

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 27/118

(45) 공고일자 1999년07월01일

(11) 등록번호 10-0197193

(24) 등록일자 1999년02월24일

(21) 출원번호	10-1996-0005726	(65) 공개번호	특1996-0036096
(22) 출원일자	1996년03월05일	(43) 공개일자	1996년10월28일
(30) 우선권주장	95-048063	1995년03월08일	일본(JP)

(73) 특허권자 마츠시타 덴끼 산교 가부시키가이샤 모리시다 요이치

일본국 오오사카후 가도마시 오오자가도마 1006

(72) 발명자 후쿠이 마사히로

일본국 오사카후 하비키노시 예가노쇼 6초메 2-14

세가와 미즈키

일본국 교토후 야와타시 오토코야마요시이 1-3-303

아키노 도시로

일본국 오사카후 다카쓰키시 난페이다이 5-22-22

마쯔모토 미치카즈

일본국 오사카후 모리구치시 후지타초 5-26-6

(74) 대리인

김영철

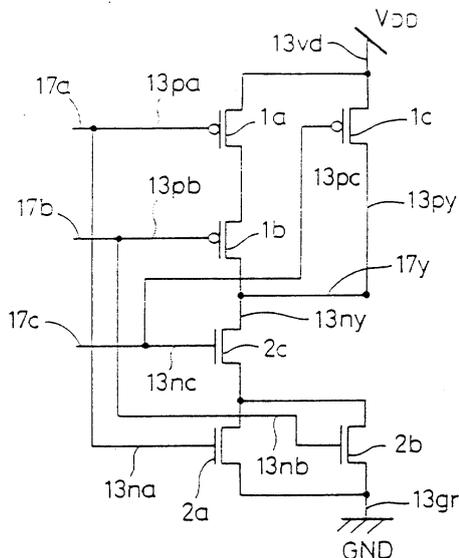
심사관 : 김관식

(54) 반도체장치 및 그 제조방법

요약

활성영역과 소자분리에 걸치는 게이트배선이 설치되고, 활성영역상의 게이트선의 측방에 불순물 확산영역이 형성되어 있다. 게이트배선의 상층에 설치된 제1층 알루미늄배선과 게이트배선을 접속하는 콘택트부재와, 게이트배선의 활성영역상의 부위에서 게이트배선에 콘택트하고 있다. 활성영역의 이용효율이 향상하므로 소자분리폭을 축소 할 수 있다. 또, 게이트배선에 마스크 맞춤마진을 설치하지 않고 게이트배선의 폭을 콘택트부재의 폭을 넘지 않도록 하는 것으로, 반도체장치의 점유면적을 저감한다.

대표도



명세서

[발명의 명칭]

반도체장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 실시예 1에 관한 CMOS 로직의 전기회로도.

제2a도, 제2b도는 제1도에 도시하는 CMOS 논리회로를 실현하기 위한 실시예 1에 관한 반도체장치의 게이트.

알루미늄배선을 형성했을 때의 상태를 나타내는 평면도.

제3a도, 제3b도는 실시예 2에 관한 반도체장치의 로컬 인터커넥트를 이용하여 게이트와 직교하는 배선, 알루미늄 배선을 형성했을 때의 상태를 나타내는 평면도.

제4a도, 제4b도는 실시예 3에 관한 패스 트랜지스터회로의 전기회로도 및 이 전기회로를 실현하기 위한 반도체장치의 평면도.

제5a도, 제5b도는 실시예 4에 관한 게이트 어레이의 마스터 슬라이스 및 마스터 슬라이스상에 실시되는 배선패턴의 예를 나타내는 평면도.

제6a도, 제6b도는 실시예 4에 관한 다른 구성을 가지는 게이트 어레이의 마스터 슬라이스 및 마스터 슬라이스상에 실시되는 배선패턴의 예를 나타내는 평면도.

제7도는 저 5 실시예에 관한 SRAM 회로를 실현하기 위한 반도체장치의 평면도.

제8도는 실시예 5에 관한 SRAM 회로를 실현하기 위한 게이트치수를 규칙화하여 이루는 반도체장치의 평면도.

제9a도~제9f도는 실시예 6에 관한 반도체장치의 제조공정의 구조변화를 나타내는 단면도.

제10a도~제10c도는 실시예 7에 관한 반도체장치의 제조공정중 인출전극을 형성하기까지의 공정의 구조변화를 나타내는 단면도.

제11a도~제11c도는 실시예 7에 관한 반도체장치의 제조공정중 제2 측벽이 되는 실리콘 질화막을 형성한 후의 공정의 구조변화를 나타내는 단면도.

제12a도~제12c도는 실시예 8에 관한 반도체장치의 제조공정중 제2 측벽을 형성하기까지의 공정의 구조변화를 나타내는 단면도.

제13a도, 제13b도는 실시예 8에 관한 반도체장치의 제조공정중 로컬배선을 형성한 후의 공정중의 구조변화를 나타내는 단면도.

제14a도 제14c도는 실시예 9에 관한 반도체장치의 제조공정의 구조변화를 나타내는 단면도.

제15도는 SRAM 회로를 실현하기 위한 종래의 반도체장치의 평면도.

제16a도, 제16b도는 제1도에 나타내는 CMOS 논리회로를 실현하기 위한 종래의 반도체장치의 게이트, 알루미늄배선을 형성한 상태를 나타내는 평면도.

제17도는 듀얼게이트 구조를 가지는 종래의 반도체장치의 평면도.

제18도는 종래의 반도체장치의 기본적인 구조를 나타내는 종단면도.

\* 도면의 주요부분에 관한 부호의 설명

51 : 반도체기판	53 : 소자분리
55 : 게이트전극	57 : 제1 측벽
59 : 인출전극	62 : 제2 측벽
63 : 층간절연막	

[발명의 상세한 설명]

(발명의 배경)

본 발명은 반도체소자를 집적하여 이루는 반도체장치 및 그 제조방법에 관한 것으로, 특히 반도체소자의 고집적화, 신뢰성의 향상 및 면적절감대책에 관한 것이다. 스탠다스 셀, 게이트 어레이, 커스텀 셀 등을 배치한 종래의 반도체장치의 제조공정에서는 상기 스탠다드 셀 등을 구성하는 트랜지스터의 게이트, 불순물 확산영역 등을 형성한 후, 그 위에 층간절연막을 퇴적하고, 또 층간절연막 위에 알루미늄 배선 등의 배선부재를 형성하도록 하고 있다. 이 경우, 이 배선부재와 하방의 게이트를 접속하는 콘택트부재를 형성할 때에는 트랜지스터의 게이트를 구성하는 게이트배선을 트랜지스터의 활성영역의 외부채움 소자분리 상으로 인출하고, 이 소자분리 상의 게이트 배선과 상층의 배선부재를 전기적으로 접속하는 콘택트부재를 형성하여 원하는 논리회로를 실현하는 방법이 채택되고 있었다.

제16a도, 제16b도는 제1도에 나타내는 논리회로, 즉 패스 트랜지스터로서 기능하는 3개의 P채널형 트랜지스터(1a~1c)와 패스 트랜지스터로서 기능하는 3개의 N채널형 트랜지스터(2a~2c)를 배치한 논리회로를 실현하기 위해 종래 실행되고 있던 방법을 설명하기 위한도면으로써, 각각 제1 층 알루미늄배선, 제2 층 알루미늄배선을 형성했을 때의 구조를 개략적으로 나타내는 평면도이다.

제1도에 나타내는 바와 같은 논리회로를 형성할 경우, 제16a도에 나타내는 바와 같이 P형 반도체기판에 N웰(15)을 형성하고, N웰(15)내에 P형 확산층(14p)으로 이루는 활성영역을 N웰이 형성되어 있지 않은 P형 반도체기판에는 N형 확산층(14n)이 되는 활성영역을 각각 둘러 싸는 LOCOS막으로 구성되는 소자분리를 형성한다. 그리고 각 활성영역에 각각 3개의 폴리실리콘막으로 구성되는 게이트배선(11pa~11pc, 11na~11nc)을 서로 같은 방향 [제16a도 내에서는 횡방향] 으로 형성한다. 각 1쌍의 게이트배선은 소자분리상에서 패드부(Pd)를 통하여 접속되어 있다. 그리고 이 게이트배선을 마스크로 하여 활성영역내에 불순물을 주입하고, P형 확산층(14p) 및 N형 확산층(14n)을 각각 형성한다. 그 후, 게이트배선(11pa, ..., 11nc)의 상부에 제1 층간절연막(도시하지 않음)을 통하여 제1 층 알루미늄배선(13)을 형성한다. 이 제1 층 알루미늄

능배선(13)의 형성과 동시에 같은 알루미늄을 이용하여 각 제1 층 알루미늄배선(13)과 소자분리 상의 게이트배선의 패드(Pd)나 각 확산층(14p, 14n)의 각 트랜지스터의 소스·드레인이 되는 영역 등의 부위를 접속되는 CW 콘택트(12)를 형성한다. 이 CW 콘택트(12)는 제1 층 알루미늄배선(13)을 구성하는 알루미늄을 콘택트를 내에 퇴적하는 것으로 형성해도 되고, 또 텅스텐 등의 고용점금속을 콘택트홀내에 매립하여 형성해도 된다.

또 제16b도에 나타내는 바와 같이 제2 층간절연막(도시하지 않음)을 통하여 각 제1 층 알루미늄배선(13) 상에 4개의 제2 층 알루미늄 배선(17a~17c, 17y)을 형성한다. 또, 제2 층 알루미늄배선(17)과 상기 제1 층 알루미늄배선(13)을 각각 접속하는 CX 콘택트(16)가 형성된다.

제15도에 나타내는 SRAM회로에서도 상기 제16a도, 제16b도에 나타내는 것과 마찬가지로 게이트(11)의 불순물 확장영역(14) 위의 부분은 피하고 소자분리상의 부분에 패드영역(Pd)을 설치하고, 이 패드영역(Pd)에 CW콘택트(12)를 콘택트시키고 있었다.

또 제17도는 제16a도에 나타내는 싱글게이트의 구조에 대하여 듀얼게이트를 이용한 경우의 제1 층알루미늄배선을 형성했을 때의 구조를 간략화하여 나타내는 평면도이다. 듀얼게이트에는 N채널형 트랜지스터(2a~2c)의 게이트배선(11na~12nc)과, P채널형 트랜지스터(1a~1c)의 게이트배선(11pa~11pc)의 각각에 다른 불순물을 포함하는 폴리실리콘을 이용하므로 확산시키는 물질이 다른 이 N채널형 트랜지스터의 게이트배선과 P채널형 트랜지스터의 게이트배선을 게이트를 직접접속할 수는 없다. 그 때문에 제17도에 나타내는 바와 같이 CW 콘택트(12)와 제1 층 알루미늄배선(13)을 통하여 게이트간의 접속이 실행된다.

이와 같은 종래의 상기 방법에 의해 설계된 셀은 셀면적 내에서 약 2할~3할의 영역이 상기 콘택트의 형성을 위한 영역으로서 차지하고 있었다. 더구나 이 콘택트가 배치되는 영역은 트랜지스터의 주변에 집중하고 있었다. 특히 제17도에 나타내는 듀얼게이트를 가지는 구조에서는 점유면적이 크다.

일반적으로 게이트 및 확산간의 배선을 실행하기 위해서는 게이트의 방향과 수직방향의 배선이 많아지므로 콘택트로부터의 인출배선이 트랜지스터 주변에 집중하여 혼잡하고, 반면 게이트 위의 영역은 배선영역으로서 효과적으로 활용되지 않았다.

또, 제18도는 종래의 MISFET을 탑재한 반도체장치의 종단면도이다. 동 도면에 나타내는 바와 같이 P형 반도체기판(51)에 형성된 P형 확산층(52p)에 N채널형 트랜지스터가 형성되어 있다. 이 경우, 소자분리(53)로 둘러싸인 활성영역내에 게이트산화막(54)을 통하여 게이트전극(55)을 형성하고, 그 양측벽에 측벽(57)을 상면에 게이트상 절연막(56))을 각각 형성한다. 또, 게이트전극(55)의 양측방에 소스·드레인으로서 기능하는 N형 고농도 확산층(58n)을 형성한다. 또, 기판의 전면에 층간절연막(63)을 퇴적하여 이 층간절연막(63)에 각각 게이트전극(55), 각 N형 고농도 확산층(58n)까지 도달하는 콘택트홀을 형성한 후, 콘택트홀에 도전성부재를 퇴적하여 이루는 콘택트부재(64)를 형성하고, 층간절연막(63)상에 배선부재(65)를 형성한다. 이 배선부재(65)와 게이트전극(55), 각 N형 고농도 확산층(58n)이 전기적으로 접속되는 구조가 된다.

한편, 최근 LSI의 고집적화에 따라 디바이스의 미세화가 더한층 요망되고 있다. 이 미세화의 실현을 위해서는,

(1) 가공 룰의 미세화

(2) 포토리소그래피 공정의 맞춤마진의 축소

등의 실현이 필요하게 된다.

여기에서, 제1문서로서 가공 룰의 미세화에 관해서는 요소기술의 진보에 의해 트렌드에 따른 미세화가 앞으로 전망되고 있지만 맞춤마진에 관해서는 가공치수의 미세화에 비하여 미세화의 향상도가 적고, 고집적화의 방해가 되고 있다. 특히 층간절연막상에 게이트전극을 인출하여 게이트와의 콘택트를 형성하는 경우, 소자분리폭은 미세화에 의해 축소되어왔지만 이 소자분리폭의 최소 룰이 게이트의 콘택트주변의 마진에 맞도록 규칙화되어오고 있다. 이 때문에 트렌치분리 등과 같은 더욱 뛰어난 소자분리폭의 축소를 실현할 수 있는 기술을도입해도 콘택트주변의 마진이 방해가 되어 LSI의 고집적화는 기대할 수 없다는 문제가 현저하게 되고 있다.

제2의 문제로서 제18도에 나타내는 바와 같이 활성영역의 게이트전극(55) 위에 마진을 고려하지 않고 콘택트홀을 형성하는 경우, 과잉 오버에칭을 가하기 때문에 게이트전극(55)으로부터 분리된 부분은 N형 고농도 확산층(58n)까지 콘택트홀의 저부가도달하는 일이 있다. 그렇게 하면 콘택트부재(64)를 통하여 게이트전극(55)과 N형 고농도 확산층(58n)이 전기적으로 단락할 우려가 있었다.

(발명의 개요)

본 발명의 제1 목적은 활성영역의 이용효율을 향상시키는 수단을 강구함으로써 반도체장치의 소자분리폭의 축소를 도모하고, 반도체장치의 치수 축소를도모하는 데에 있다.

본 발명의 제2 목적은 소스·드레인으로서 기능하는 불순물 확산영역으로부터의 인출전극과 게이트전극의 단락을 방지할 수 있는 기능을 가지는 부재를 셀프 얼라인적으로 형성할 수 있는 구조로 형성함으로써 반도체장치의 치수 축소와 신뢰성의 향상을도모하는 데에 있다.

또, 본 발명의 제3 목적은 완성품으로서의 반도체장치의 치수 축소가 가능한 마스터 슬라이스상태의 반도체장치를 제공하는 데에 있다.

상기 제1 목적을 달성하기 위해 본 발명에 관한 제1의 반도체장치는 반도체기판과 상기 반도체기판의 일부에 형성된 소자분리와, 상기 반도체기판의 상기 소자분리로 둘러싸이는 영역에 형성된 활성영역과, 상기 활성영역 및 상기 소자분리에 걸쳐서 형성되어 상기 활성영역상에서 게이트전극으로서 기능하는 제1도전성부재와, 상기 활성영역,상기 소자분리 및 상기 제1도전성부재 위에 퇴적된 층간절연막과, 상기 층간절연막을 관통하여 상기 활성영역상의 상기 도전성부재의 상면에도달하도록 형성된 콘택트홀과, 상기 콘택트홀을 메꾸는 도전성재료로 구성되고 상기 제1도전성부재에 전기적으로 접속되는 콘택트부재와, 상기

콘택트부재 및 층간절연막 위에 형성되고 상기 콘택트부재와 전기적으로 접속되는 제2도전성부재를 구비하고 있다.

이 구성에 의해 활성영역상의 제1도전성부재의 상면에 있어서 콘택트부재를 통해 상층의 제2도전성부재와의 콘택트가 실행되므로 활성영역의 이용효율이 향상하고, 그만큼 소자분리상의 제1도전성부재에 필요하게 되는 콘택트를 위한 공간이 저감된다. 따라서, 소자분리영역의 면적이 저감하고, 반도체장치의 치수의 축소가 가능하게 된다.

제1 반도체장치에 있어서, 상기 제1도전성부재의 상기 콘택트부재와 접촉하는 부위의 게이트 길이방향의 치수를 마스크 맞춤마진이 없는 치수로 할 수 있다.

이 구성에 의해 제1도전성부재에 콘택트를 위한 마스크 맞춤마진이 설치되어 있지 않으므로 종래와 같은 패드는 불필요하게 되고 그만큼 제1도전성부재끼리의 틈도 채울 수 있고, 더구나 각 제1도전성부재가 규칙적인 형상이 된다. 따라서, 반도체장치 자체의 치수 축소가 가능하게 된다.

제1 반도체장치에 있어서, 상기 콘택트홀의 게이트 길이방향의 치수보다도 크게 할 수 있다.

이 구성에 의해 제1도전성부재의 게이트 길이방향의 치수를 보다 작게 할 수 있으므로 활성영역의 면적도 저감하는 것이 가능하게 되고, 반도체장치의 치수를 더욱 축소하는 것이 가능하게 된다. 또 콘택트홀 형성시의 마스크 어긋남이 생겨도 제1도전성부재와 콘택트부재의 접속이 확실하게 실행된다.

상기 제1 반도체장치에 있어서, 상기 제1도전성부재를 서로 평행으로 나열하도록 복수개 형성하고, 상기 제2도전성부재를 상기 제1도전성부재에 대하여 평면시야 내에서 각각 직교하도록 복수개 형성한 것이다.

상기 각 제2도전성부재의 길이는 거의 공통의 치수로 하는 것이 바람직하다.

이들의 구성에 의해 제1, 제2도전성부재가 규칙적인 형상이 되므로 포토리소그래피 공정의 패터닝 정밀도가 향상한다. 따라서, 각도전성부재의 틈을 채우는 것이 가능하게 되고 반도체장치의 치수 축소가 가능하게 된다.

상기 제2도전성부재의 상방에 층간절연막을 통하여 형성되고 배선으로서 기능하는 제3도전성부재를 더 설치할 수 있다.

이 구성에 의해 제1도전성부재나 활성영역의 사이를 전기적으로 접속하기 위한 수단이 풍부하게 되고 설계의 자유도가 확대된다.

상기 제1도전성부재의 상방, 또 상기 제2도전성부재의 하방에 형성되고, 상기 반도체소자의 활성영역, 게이트전극 등을 서로 접속하기 위한 로컬배선을 더 설치할 수 있다.

이 구성에 의해 로컬배선이 각 부재간을 접속하는 분량만큼 상층의 배선수의 저감이 가능하게 된다. 또, 층간절연막을 관통하여 불순물 확산영역 등에도달하는 콘택트홀을 형성할 필요도 없다. 따라서 각 부재의 마스크 맞춤마진을 저감하는 것이 가능하게 되고 반도체장치의 치수 축소가 가능하게 된다.

또, 제2 반도체장치는 반도체기판과 상기 반도체기판의 일부에 형성된 소자분리와, 상기 반도체기판의 상기 소자분리로 둘러싸이는 영역에 형성된 활성영역과, 상기 활성영역 및 상기 소자분리에 걸쳐서 형성되어 상기 활성영역상에서 게이트전극으로서 기능하는 제1도전성부재와, 상기 활성영역, 상기 소자분리 및 상기 제1도전성부재위에 퇴적된 층간절연막과, 상기 층간절연막을 관통하여 상기 소자분리상의 상기 도전성부재의 상면에 도달하도록 형성되고 상기 제1도전성부재의 게이트 길이방향의 치수보다도 큰 게이트 길이방향의 치수를 가지는 콘택트홀과, 상기 콘택트홀을 메꾸어 상기 제1도전성부재에 전기적으로 접속되는 콘택트부재와, 상기 콘택트부재 및 층간절연막 위에 형성되고 상기 콘택트부재와 접속된 제2도전성부재를 구비하고 있다.

이 구성에 의해 콘택트홀 형성시의 마스크 어긋남이 생겨도 소자분리 영역상에서 제1도전성부재와 콘택트부재의 접속이 확실하게 실행된다. 따라서 제1도전성부재에 마스크 맞춤을 위한 마진을 설치할 필요가 없으므로 소자분리 영역의 면적이 저감된다.

상기 제2의 목적을 달성하기 위해 제3의 반도체장치는 반도체기판과, 상기 반도체기판의 형성된 소자분리와, 상기 반도체기판의 상기 소자분리로 둘러싸이는 영역에 형성된 활성영역과, 상기 활성영역상에 형성된 상기 반도체소자의 게이트전극과, 상기 활성영역의 상기 게이트전극의 양측방에 불순물 을도입하여 형성된 불순물 확산영역과, 상기 게이트전극의 양측면상에 형성된 절연성재료로 구성되는 제1 절연막과, 상기 제1 절연막에 인접하여 상기 불순물 확산영역을 덮도록 형성되고, 상기 제1절연막에 접하는 박막부(薄膜部)와 이 박막부로부터 단차를 두고 두꺼워지는 후막부(厚膜部)로 구성되는 인출전극과, 상기 인출전극의 단차측면으로부터 상기 제1 절연막에 걸쳐서 형성된 제2 절연막을 구비하고 있다.

제3 반도체장치에 있어서, 상기 게이트전극, 인출전극, 제1 절연막 및 제2 절연막 상방에 퇴적된 층간절연막과, 상기 층간절연막을 관통하여 적어도 상기 게이트 전극의 상면에도달하는 콘택트홀과, 상기 콘택트홀을 메꾸는 도전성재료로 구성되어 고상기 게이트전극에 접속되는 콘택트부재와, 상기 콘택트부재 및 상기 층간절연막위에 형성되고 상기 콘택트부재에 전기적으로 접속되는 배선부재를 더 설치할 수 있다.

상기 제1절연막 및 층간절연막을 실리콘산화막으로 구성하고, 상기 제2절연막을 실리콘 질화막으로 구성하는 것이 바람직하다.

이들의 구성에 의해 인출전극의 일부는 불순물 확산영역과 접촉하고 있으므로 상방의 배선부재와의 콘택트영역은 넓게 확보되어 있다. 한편, 인출전극의 게이트전극에 가까운 쪽에서는 제2 절연막이 형성되어 있으므로 인출전극과 게이트전극의 절연성이 유지된다. 더구나 제2 절연막을 셀프 얼라인적으로 형성하는 것이 가능한 구조가 되고, 반도체장치의 치수 축소가 가능하게 되고 신뢰성이 향상된다.

상기 제2 절연막은 상기 층간절연막에 대한 에칭선택비가 높은 재료로 구성하는 것이 바람직하다.

이들 구성에 의해 층간절연막에 콘택트 홀을 형성할 때에 제2 절연막의 에칭스토퍼로서의 기능이 매우 높

아지므로 게이트전극과 제1도전성부재 사이의 콘택트부재를 통한 게이트전극과 인출전극의 단락이 확실히 방지된다.

상기 제3 반도체장치에 있어서, 상기 게이트전극, 인출전극, 제1 절연막 및 제2 절연막의 상방에 퇴적된 층간절연막과, 상기 층간절연막을 관통하여 상기 소자분리상의 상기 인출전극의 상면에 도달하는 콘택트홀과, 상기 콘택트홀을 메꾸는도전성부재로 구성되고 상기 인출전극에 전기적으로 접속되는 콘택트부재와, 상기 콘택트부재 및 상기 층간절연막 위에 형성되고 상기 콘택트부재와 전기적으로 접속되는 제2 배선부재를 더 설치할 수 있다.

이 구성에 의해 제1 콘택트부재와 제2콘택트 부재의 간격이 넓게 확보되므로 그만큼 불순물 확산영역의 축소가 가능하게 되고 신뢰성도 향상된다.

상기 제3 반도체장치에 있어서, 상기 활성영역을 복수개 설치하고, 상기 각 활성영역에 형성되는 상기 인출전극중 적어도 하나를 상기 복수의 활성영역중 적어도 2개의 서로 인접하는 활성영역에 있어서 상기 소자분리를 끼우는 2개의 불순물 확산영역에 걸쳐서 형성할 수 있다.

이 구성에 의해 인출전극을 통하여 공통으로 접속되는 각 불순물 확산영역에 대하여 개별로 제2 콘택트부재를 설치할 필요가 없으므로 그 만큼 반도체 장치의 치수 축소가 가능하게 되고 신뢰성도 향상된다.

상기 제3의 반도체장치에 있어서, 상기 게이트전극상에 형성된 게이트상 절연막을 더 설치하고, 상기 게이트전극의 양측에 있는 상기 각 인출전극을 각각 상기 제1 절연막의 거의 전면에 걸쳐서 형성하고, 상기 각 인출전극의 단부간의 간격이 상기 제2 절연막에 의해 메꾸어져 있도록 구성할 수 있다.

이구성에 의해 사용하지 않는 게이트전극의 절연성이 제2 절연막에 의해 확보되게 된다.

상기 제3의 반도체 장치에 있어서, 상기 활성영역을 복수개 설치하고, 상기 각 인출전극 위에 형성된 제3 절연막과, 상기 제1, 제2 및 제3 절연막의 위이며, 또 층간절연막의 하방에서, 상기 각 불순물 확산영역, 게이트 전극 등을 서로 접속하기 위한 로컬배선을 더 설치할 수 있다.

상기 로컬배선이 적어도 1개소에서 상기 게이트전극의 상방을 걸쳐있는 구성으로 할 수 있다.

이들의 구성에 의해 로컬배선이 각 부재간을 접속하는 분량만큼 상층의 배선수의 저감이 가능하게 된다. 또 층간절연막을 관통하여 불순물 확산영역 등에도달하는 콘택트홀을 형성할 필요도 없다. 따라서, 각 부재의 마스크 맞춤마진을 저감하는 것이 가능하게 되고, 반도체장치의 치수 축소가 가능하게 되고 또 신뢰성도 향상된다.

상기 제3의 목적을 달성하기 위해 제4의 반도체장치는 반도체기판과, 상기 반도체기판의 일부에 형성된 소자분리와, 상기 반도체기판의 상기 소자분리로 둘러싸이는 영역에 형성된 복수의 활성영역과, 상기 각 활성영역에 있어서 상기 활성영역 및 상기 소자분리에 걸쳐서 형성되고 상기 활성영역상에서 게이트전극으로서 기능하는 도전성부재와, 상기 각 활성영역에 있어서, 상기 도전성부재의 양측에 형성된 2개의 불순물 확산영역을 구비하고 있고, 상기 각 불순물 확산영역은 상기도전성 부재에 접하는 부분으로부터 양측에 상기도전성부재에 평행으로 연장한 후, 인접하는 불순물 확산영역 끼리 접촉하지 않도록 선단에서 구부러져 있고, 이 구부러진 선단부가 상층의 배선과의 콘택트부로 되어 있다. 그리고 이 반도체장치는 마스크 슬라이스로서 기능한다.

또, 마스크 슬라이스로서 기능하는 반도체장치를 이하와 같이 구성할 수 있다.

반도체기판과, 상기 반도체기판의 일부에 형성된 소자분리와, 상기 반도체기판의 상기 소자분리로 둘러싸이는 영역에 형성된 복수의 활성영역과, 상기 각 활성영역에 있어서, 상기 활성영역 및 상기 소자분리에 걸쳐서 서로 평행으로 연장하도록 형성되고 상기 활성영역상에서 게이트전극으로서 기능하는 복수의 도전성주부재와, 상기 각활성영역에 있어서 상기 각 도전성부재 사이와 양단의 도전성부재와 소자분리와의 사이에 형성된 복수의 불순물 확산영역을 구비하고 있고, 상기 각 불순물 확산영역중 적어도 양단의 2개의 불순물 확산영역은 상기도전성부재에 접하는 부분으로부터 양측에 상기도전성부재에 평행으로 연장한 후, 인접하는 불순물 확산영역 끼리 접촉하지 않도록 선단에서 구부러져 있고, 이 구부러진 선단부가 상층의 배선과의 콘택트부로 되어 있다.

상기 각도전성부재 사이의 불순물 확산영역을 상기도전성부재에 접하는 부분으로부터 양측에 상기도전성부재에 평행으로 연장한 후, 인접하는 불순물 확산영역끼리 접촉하지 않도록 선단에서 구부러져 있고, 이 구부러진 선단부가 상층의 배선과의 콘택트부로 되어 있도록 구성할 수 있다.

이러한 구성에 의해 마스터 슬라이스로서 기능하는 반도체 장치에 있어서, 불순물 확산영역과 상층의 배선과의 접속을 채택하기 위한 콘택트 영역이 소자분리측으로 들어간 확산영역이 선단부에 형성되어 있으므로 서로 인접하는 활성영역 사이에서 각 확산영역 끼리를 접속하기 위한 배선의 길이를 매우 짧게 하는 것이 가능하게 된다. 더구나 불순물 확산영역의 선단부가 서로 간섭하지 않도록 구부러져 있으므로 활성영역 및 소자분리 전체의 면적을 매우 작게 하는 것이 가능하게 된다.

상기 활성영역, 상기 도전성부재 및 상기 소자분리 위에 퇴적된 층간절연막과, 상기 층간절연막을 관통하여 상기 활성영역상의 상기 도전성부재에 도달하는 콘택트홀과, 상기 각 콘택트홀을 메꾸는도전성부재로 구성되고 상기 도전성부재에 전기적으로 접속되는 콘택트부재와, 상기 층간절연막 및 상기 콘택트부재 위에 형성되고 상기 콘택트부재에 전기적으로 접속되는 배선부재를 더 설치할 수 있다.

이 구성에 의해 활성영역상의 게이트전극 상면에 콘택트부재가 접속되므로 더 소자분리의 면적을 저감하는 것이 가능하게 된다.

또 상기 제3 반도체장치의 구성을 가지는 반도체장치는 이하의 제조방법에 의해 용이하게 형성된다.

기본적인 반도체장치의 제조방법은 반도체기판 위에 적어도 하나의 활성영역을 둘러싸는 소자분리를 형성하는 제1 공정과, 상기 활성영역 위에 게이트전극 및 게이트상 절연막을 형성하는 제2 공정과, 상기 반도체기판의 상기 게이트전극의 양측방에 위치하는 영역에 불순물을 도입하여 불순물 확산영역을 형성하는

제3 공정과, 상기 제3 공정후, 기판상에 절연막을 퇴적한 후, 이방성 에칭을 실행하여 상기 게이트전극 및 상기 게이트상 절연막의 양측면상에 제1 측벽을 형성하는 제4 공정과, 상기 제4공정후, 기판상에 도전성막을 퇴적한 후, 이 도전성막을 패터닝하여 상기 불순물 확산영역을 덮는 영역에 상기 제1 측벽을 접하는 박막부와 이 박막부로부터 단차를 두고 두꺼워지는 후막부로 구성되는 인출전극을 형성하는 제5공정과, 상기 제5 공정후, 기판상에 절연막을 퇴적한 후, 이방성 에칭을 실행하여 상기 인출전극의 단차측벽으로부터 상기 제1 측벽에 걸치는 제2측벽을 형성하는 제6공정을 구비하고 있다.

상기 제6 공정후, 기판상에 층간절연막을 퇴적하는 공정과, 상기 층간절연막을 관통하여 상기 활성영역사의 상기 게이트전극의 상면에 도달하는 콘택트홀을 형성하는 공정과, 상기 콘택트홀내 및 상기 층간절연막 위에 도전성막을 퇴적한 후, 이 도전성막을 패터닝하여 상기 콘택트홀을 메꾸는 콘택트부재와 이 콘택트부재에 접속되는 배선부재를 형성하는 공정을 더 구비해도 된다.

상기 제6 공정 후, 기판상에 층간절연막을 퇴적하는 공정과, 상기 층간절연막을 관통하여 상기 인출전극의 상면에도달하는 콘택트홀을 형성하는 공정과, 상기 콘택트홀내 및 상기 층간절연막 위에 도전성막을 퇴적한 후, 이 도전성막을 패터닝하여 상기 콘택트홀을 메꾸는 콘택트부재와 이 콘택트부재에 접속되는 배선부재를 형성하는 공정을 더 구비해도 된다.

상기 제1 공정에서는 복수의 활성영역을 구획하는 소자분리를 형성하고, 상기 제5 공정에서는 상기 복수의 활성영역중 적어도 2개의 서로 인접하는 활성영역에 있어서 서로 인접하는 2개의 불순물 확산영역 위와 각 불순물 확산영역 사이의 소자분리 위에 걸치는 인출전극을 형성할 수 있다.

상기 제5 공정에서는 상기 게이트전극의 양측의 상기 인출전극을 각각 상기 각 제1 절연막의 거의 전면상에 걸치도록, 또 각 인출전극간의 틈이 상기 제6 공정에 있어서 제2 측벽에 의한 매립이 가능한 값이 되도록 패터닝할 수 있다.

상기 제6 공정후 상기 게이트전극, 불순물 확산영역 등을 서로 접속하는 로컬배선을 형성하는 공정과, 상기 로컬배선이 형성된 기판상에 층간절연막을 퇴적하는 공정과, 상기 층간절연막을 관통하여 상기 로컬배선의 상면에 도달하는 콘택트홀을 형성하는 공정과, 상기 콘택트홀내 및 상기 로컬배선 위에 도전성막을 퇴적한 후, 이 도전성막을 패터닝하여 상기 콘택트홀을 메꾸는 콘택트부재와 이 콘택트부재에 접속되는 배선부재를 형성하는 공정을 더 구비해도 된다.

[실시예]

[실시예 1]

이하, 본 발명의 실시예 1에 대하여 설명한다. 제1도는 실시예 1에 관한 반도체장치인 셀의 전기회로를 나타내고, 제2a도, 제2b도는 각각 제1도에 나타내는 회로구성을 가지는 셀의 제1 층 알루미늄배선, 제2 층 알루미늄배선을 형성했을 때의 반도체 장치의 구조를 간략화하여 나타내는 평면도이다.

제1도는 3개의 P채널형 트랜지스터(1a~1c)와, 3개의 N채널형 트랜지스터(2a~2c)를 배치한 CMOS 논리회로의 예를 나타낸다.

제1도에 나타내는 바와 같은 논리회로를 형성하는 경우, 제2a도에 나타내는 바와 같이 P형 반도체기판에 N웰(15)을 형성하고, N웰(15) 내에 P채널형 트랜지스터를 형성하기 위한 활성영역을 N웰이 형성되어 있지 않은 P형 반도체기판에는 N채널형 트랜지스터를 형성하기 위한 활성영역을 각각 둘러싸는 LOCOS막으로 구성되는 소자분리를 형성한다. 단, 제2a도에 나타내는 패턴의 주위는 반도체기판이지만 편의상 도면상에서는 이를 생략하고 있다. 그리고 각 활성영역에 각각 3개의 폴리실리콘막으로 구성되는 게이트배선(11pa~11pc, 11na~11nc)을 서로 같은 방향(제2a도내에서는 횡방향)으로 나열하도록 형성한다. 그리고 이 게이트배선(11pa~11pc, 11na~11nc)을 마스크로 하여 활성영역내에 불순물을 주입하고, P형 확산층(14p) 및 N형 확산층(14n)을 각각 형성한다. 그후, 게이트배선(11pa~11pc)의 상방에 제1층간절연막(도시하지 않음)을 통하여 각 게이트배선에 직교하는 5개의 제1층 알루미늄배선(13pa, 13pb, 13pc, 13vd, 13py)을 형성한다. 또 게이트배선(11na~11nc)의 상방에는 마찬가지로 제1 층간절연막을 통하여 각 게이트배선에 직교하는 5개의 제1 층 알루미늄배선(13na, 13nb, 13nc, 13ny, 13gr)을 형성한다. 그리고 이 제1 층 알루미늄배선의 형성과 동시에 같은 알루미늄을 이용하여 각 제1 층 알루미늄배선(13pa, ..., 13py)과 게이트배선(11pa~11pc)의 활성영역상의 일부위 및 P형 확산층(14p)의 2개의 부위를 접속하기 위한 CW콘택트(12pa, 12pb, 12pc, 12vd, 12py)를 각각 형성한다. 또, 각 제1 층 알루미늄배선(13na, ..., 13gr)로부터 게이트배선(11pa~11pc)의 활성영역상의 일부위 및 N형 확산층(14n)의 2개의 부위에 접속되는 CW콘택트(12na, 12nb, 12nc, 12ny, 12gr)도 형성한다. 단, 각 콘택트의 형성부위에는 미리 제1 층간절연막을 관통하는 콘택트홀이 형성되어 있다. 이 CW콘택트(12)나 제1 층 알루미늄배선(13)을 구성하는 알루미늄을 콘택트홀내에 퇴적하는 것으로 형성해도 되고, 또 텅스텐 등의 고용점금속을 콘택트홀내에 매립하여 형성해도 된다.

또 제2b도에 나타내는 바와 같이 제2 층간절연막(도시하지 않음)을 통하여 각 제1 층 알루미늄배선(13pa, ..., 13gr)에 직교하는 4개의 제2 층 알루미늄배선(17a, 17b, 17c, 17y)을 형성한다. 이 때, 이 제2 층 알루미늄배선의 형성과 동시에 같은 알루미늄을 이용하여 제2 층 알루미늄배선(17a, 17b, 17c, 17y)과 상기 제1 층 알루미늄배선(13pa, 13pb, 13pc, 13py, 13ny, 13nc, 13na, 13nb)을 각각 접속하는 CX콘택트(16pa, 16pb, 16pc, 16py, 16ny, 16nc, 16na, 16nb)가 형성된다.

그리고 제1도에 나타내는 바와 같이 상기 제2a도, 제2b도에 나타내는 각 알루미늄배선에 의해 각 트랜지스터(1a~1b 및 2a~2b)의 게이트, 소스·드레인 사이가 접속된다. 또, 제1도에 나타내는 바와같이 트랜지스터(1c)의 소스와 트랜지스터(2c)의 드레인 2개의 제1층 알루미늄배선(13py, 13ny) 및 제2층 알루미늄배선(17y)을 통하여 접속되어 있다. 또, 각 트랜지스터(1a, 1c)의 드레인과 전원전압(VDD)공급하는 전원측은 제1 층 알루미늄배선(13vd)을 통해 접속되고, 각 트랜지스터(2a, 2b)의 소스와 그라운드측은 제1 층 알루미늄배선(13gr)을 통하여 접속되어 있다.

또, 본 실시예와는 다른 방법으로서 셀의 외부영역을 사용하여 제1 층 알루미늄배선에 의한 접속을 실행하는 것도 가능하다. 어느 쪽을 선택할 것인지는 셀간의 배치배선의 방법이나 사용할 수 있는 배선층의

수에 따라 달라진다.

본 실시예에 있어서 제2b도에 나타내는 구조에서는 제1 층 알루미늄배선(13)과 게이트배선(11) 사이를 접속하는 CW(콘택트)(12)가 게이트배선(11)의 활성영역상에 위치하는 부위에서 게이트배선(11)에 콘택트하고 있다. 그리고 콘택트위치의 게이트배선(11)에는 종래의 반도체장치의 구조와 같이[제16a도, 제16도 (b) 참조] 콘택트를 형성할 때의 마스크 맞춤마진이 되는 패드(Pb)는 형성되어 있지 않다. 따라서, 본 실시예와 같은 구조로 함으로써 셀의 활성영역상을 매우 효율적으로 사용할 수 있고, 그 결과, 소자분리폭의 축소가 가능하게 된다. 더구나 셀의 각 변에 배선용 접속단자를 내는 것이 가능하게 되기 때문에 셀간의 배치배선도 효율적으로 실행할 수 있다.

특히 듀얼게이트를 이용하는 경우라도 트랜지스터를 형성하는 영역외에 패턴형성시의 조건이 거의 전면적에 균질하게 되기 때문에 미세가공이 용이하게 된다. 즉, 상기 제17도에 나타내는 종래의 구조와 같이 트랜지스터를 형성하는 활성영역 이외의 영역에 성질이 다른 게이트끼리 접속하기 위한 콘택트를 형성할 필요가 없다. 이 때문에 배선간격을 종래의 레이아웃구조에 비해 약 1 할 정도 작게 하는 것이 가능하게 되고, 또 셀면적을 작게 하는 것이 가능하게 된다.

여기에서 본 실시예에 의한 점유면적의 삭감효과를 나타내기 위해 실행한 테스트에 대하여 설명한다. 상기 종래의 구조(제16b도 참조)에 의한 회로의 면적과 본 실시예의 구조(제2b도 참조)에 의한 회로의 면적을 비교하면 같은 디자인룰을 이용한 경우에 제2b도에 나타내는 본 발명의 구조에서는 5400 유닛(135×40 피치), 제16b도에 나타내는 종래의 구조에서는 6825 유닛(105×40 피치), 제17도에 나타내는 듀얼게이트를 가지는 종래의 구조에서는 7800 유닛(120×40 피치)였다. 본 실시예의 반도체장치의 구조에서는 종래의 반도체장치의 구조에 비하여 20%에서 30%정도의 점유면적의 삭감이 가능한 것을 알 수 있다.

또, 제1도의 예에서는 폴리실리콘, 제1 층 알루미늄배선, 제2층 알루미늄 배선 거의 전면적에 정확한 규칙으로 형성되지만 이것은 종래의 불규칙한 레이아웃구조에 비하여 포토리소그래피의 패턴닝 정밀도가 향상하므로 마진을 작게 할 수 있고, 보다 점유면적을 저감할 수 있는 효과가 있다.

#### [실시예 2]

다음에 실시예 2에 대하여 제3a도, 제3b도를 참조하면서 설명한다.

제3a도, 제3b도는 실시예 1의 제2a도, 제2b도에 나타내는 제1 층 알루미늄배선 대신에 로컬 인터커넥트(18pa, ..., 18gr)를 이용하여 게이트와 직교하는 방향의 배선을 실현하고, 제2a도, 제2b도에 나타내는 제2 층 알루미늄배선 대신에 제1 층 알루미늄배선(13a, ..., 13y)을 이용한 경우의 반도체장치의 구조를 간략화하여 나타내는 평면도이다. 이 로컬 인터커넥트(18)의 하방에는 층간절연막은 형성되어 있지 않다. 그리고 CW콘택트(12)는 게이트 배선(11) 위의 절연막이 개구한 부위에 로컬 인터커넥트(18)가 들어가서 게이트배선(11)과 접속하는 부분이 된다. 또, 제3a도, 제3b도에 있어서 제1도와 같은 부재는 부호의 도시가 생략되어 있다.

제3a도, 제3b도에 나타내는 바와 같이 본 실시예에서는 로컬 인터커넥트에 의해 층간절연막을 통하지 않고 트랜지스터의 각부가 접속되므로 실시예 1의 구조에 비하여 배선층을 적게 하면서 같은 기능을 실현할 수 있다. 그리고 불순물 확산영역에 층간절연막을 통하여 콘택트홀을 형성할 필요가 없으므로 불순물 확산영역의 면적을 저감할 수 있고, 반도체장치의 치수 축소가 가능하게 된다.

#### [실시예 3]

다음에 실시예 3에 대하여 제4a도 및 제4b도를 참조하면서 설명한다. 제4a도는 실시예 3에 관한 반도체장치내의 패스 트랜지스터회로의 전기회로도이며, 제4b도는 제4a도에 나타내는 전기회로를 실현하기 위한 반도체장치의 평면도이다. 제4b도는 제1 층 알루미늄배선을 형성했을 때의 상태를 나타내고, 제2층 알루미늄배선을 형성했을 때의 상태의 도시는 생략되어 있다.

본 실시예에서는 각 패스 트랜지스터는 모두 N채널형 트랜지스터(2a~2h)이다. 제4a도에 나타내는 자와 같이 패스 트랜지스터는 2점간이 도통하고 있는지 아닌지에 따라 논리를 실현하는 회로로서 직렬접속과 병렬접속의 조합에 의해 실현되는 회로이다. 이 패스 트랜지스터의 레이아웃은 제4b도에 나타내는 바와 같이 개개의 직렬 패스에 대응하여 확산군(群)(14v~14z)을 작성하고, 확산군(14v~14z) 내의 소스와 드레인을 불순물 확산영역을 이용하여 접속한다. 이 패스 트랜지스터는 스택틱 혹은 다이나믹 논리회로의 일부 혹은 패스로직회로의 일부로서 이용된다. 그리고 이와 같은 회로에 있어서도 상기 실시예 1와 마찬가지로 반도체장치의 치수의 축소를 도모할 수 있다.

#### [실시예 4]

다음에 실시예 4에 대하여 제5a도, 제5b도 및 제6a도, 제6b도를 참조하면서 설명한다.

제5a도, 제5b도는 본 실시예에 관한 게이트 어레이의 마스터 슬라이스의 평면도 및 마스터 슬라이스 위에 알루미늄배선을 형성하는 방법의 예를 나타내는 평면도이다. 제5a도에 나타내는 바와 같이 본 실시예의 마스터 슬라이스는 2종류의 폴리실리콘 게이트(11n 및 11p)와, 복수의 확산군(14pv~14py 및 14nv~14ny)을 가지고 있다. 그리고 상기 확산군(14pv~14py 및 14nv~14ny)에는 트랜지스터의 게이트가 형성되어 있다. 또, 각각의 확산군(14pv~14py 및 14nv~14ny)에는 각 게이트의 측방의 불순물 확산영역으로부터 게이트에 따라 연장하는 인출부가 설치되어 있다. 그리고 이 인출부에 서로 인접하는 확산군의 불순물 확산영역간을 접속하는 콘택트를 설치하기 위한 콘택트 형성영역(20)이 설치되어 있다. 본 실시예에서는 기본적인 레이아웃구조만을 나타내고 있지만 프로세서의 성질에 따라서는 기판전위를 안정시키기 위한 콘택트 등을 형성하기 위한 영역도 확보할 수도 있다. 제5b도는 제1a도에 나타내는 CMOS 논리회로를 제5a도에 나타내는 마스터 슬라이스 위에 실현한 예이다. CW콘택트(12)와 제1 층 알루미늄배선(13)을 필요한 곳에 형성함으로써 원하는 기능을 가지는 반도체회로를 형성할 수 있다. 예를 들면 확산군(14pv)와 확산군(14pw)의 각 콘택트 형성영역(20) 위에 전원에 접속되는 알루미늄배선(13vd)이나 그라운드에 접속되는 알루미늄배선(13gr)을 형성하고, CW콘택트(12)에 의해 접속하는 것이 용이하게 된다.

제6a도 및 제6b도는 제5a도, 제5b도와는 다른구성을 가지는 게이트 어레이의 마스터 슬라이스와 이 마스

터 슬라이스 위에 제1층 알루미늄배선(13)을 형성한 것의 평면도이다. 제6a도, 제6b도에 있어서 모든 트랜지스터는 N형이며, 직렬의 트랜지스터를 효율적으로 실현할 수 있도록 게이트간의 불순물 확산영역에는 인출부가 설치되어 있지 않다. 확산군 끼리 사이를 접촉하기 위한 구조는 상기 제5a도, 제5b도에 나타내는 구조와 같다. 제6b도에 나타내는 바와 같이 트랜지스터로서 사용하지 않는 게이트에 걸치는 로컬배선(21)을 설치하는 것으로 게이트 양측의 불순물 확산영역 끼리를 단락시키는 것이 가능하다.

#### [실시예 5]

다음에 실시예 5에 대하여 제7도 및 제8도를 참조하면서 설명한다. 제7도 및 제8도는 불순물 확산영역(14) 위에 게이트(11)에 상층에 알루미늄배선(13)으로부터의 CW콘택트(12a)를 접촉시킨 SRAM회로의 평면도를 나타낸다. 콘택트 중에는 게이트(11)의 불순물 확산영역(14)과 소자분리 위에 걸치는 부분에 콘택트하는 CW콘택트(12b)나 게이트(11)가 완전히 소자분리 상에 위치하는 부분에 콘택트하는 CW콘택트(12c)가 있다. 그러나 어느 경우에 게이트(11)에는 콘택트부재(12)에 대한 마스크 맞춤을 위한 마진채움 패드영역이 설치되어 있지 않다.

이와 같이 CW콘택트(12)를 게이트의 소자분리 상에 위치하는 부분에 콘택트시킨 경우라도 마스크맞춤을 위한 마진을 설치하지 않음으로써 회로의 점유면적을 저감할 수 있다. 제7도에 나타내는 SRAM회로의 경우, 상기 제15도에 나타내는 종래의 SRAM회로에 비하여 점유면적을 2할정도 저감하는 것이 가능하게 된다. 또, 제7도에서 용이하게 이해되는 바와 같이 게이트배선(11)의 폭이 콘택트부재(12)의 폭을 넘지 않도록 함으로써 더욱 반도체회로의 점유면적의 저감을 도모할 수 있다.

또 제8도에 나타내는 패턴에서는 각 제1층 알루미늄배선(13)의 길이를 균일화함으로써 제7도에 나타내는 패턴을 가지는 반도체회로보다도 1할 정도 더 점유면적을 삭감할 수 있다. 그 이유는 규칙적인 패턴을 가지는 배선을 에칭할 때에는 포토리소그래픽 공정의 레지스트의 에칭불량이 생기기 어려우므로 알루미늄배선 간의 마진을 작게 할 수 있기 때문이다.

#### [실시예 6]

다음에 실시예 6에 대하여 제9a도~제9f도를 참조하면서 설명한다.

제9a도 ~ 제9f도는 게이트전극 상에 콘택트를 가지는 N채널형 MOS트랜지스터의 제조공정의 구조변화를 나타내는 종단면도이다.

우선 제9a도에 나타내는 바와 같이 P형 실리콘기판(51) 위에 우선 P형 확산층(52p)을 형성한 후, 두께가 약 500nm인 LOCOS막으로 구성되는 소자분리(53)를 형성한다. 또, 소자분리(53)로 둘러싸이는 활성영역의 반도체기판 상에 두께가 약 7nm의 게이트산화막(54)을 형성한 후, 감압 CVD법에 의해 두께가 약 250nm의 폴리실리콘막을 퇴적하고, 예를 들면  $POCl_3$ 를 이용한 확산공정을 실행하여 폴리실리콘막 중에 N형 불순물인 인을 도입하여 또, 예를 들면 두께가 150nm의 HT0막을 퇴적한다. 이 HT0막은 후에 측벽 형성시에 에치백법을 이용하여 산화막을 에칭할 때 게이트전극을 구성하는 폴리실리콘막의 상면이 노출하지 않도록 보호하기 위한 것이다. 이어서, 원하는 레지스트 마스크를 형성한 후(도시하지 않음), 드라이에칭 기술을 이용하여 폴리실리콘막 및 HT0막의 에칭을 실행하고, 게이트전극(55) 및 게이트상 절연막(56)의 패턴링을 실행한다. 이어서, 예를 들면 두께가 100nm의 실리콘산화막을 형성한 후, 에치백법을 이용하여 산화막을 에칭하고, 제1 측벽(57)을 형성한다. 이때, 게이트상 절연막(56)에 의해 게이트전극(55)이 보호되어 있으므로 통상 실행되고 있는 20%정도의 오버에칭에 의해 게이트전극(55)을 구성하는 폴리실리콘막의 표면이 노출하지는 않는다. 이어서, 원하는 레지스트 마스크(도시하지 않음)를 형성한 후, 레지스트 마스크 및 게이트전극을 마스크로 하여 P형 확산층(52p)주에 이온주입법에 의해 N형 불순물인 비소이온을 주입(가속에너지 40keV, 도즈량  $5 \times 10^{15} \text{cm}^{-2}$ )하여 N형 고농도 확산층(58n)을 형성한다. 결국, 게이트 전극(55), 게이트산화막(54) 및 소스.드레인이 되는 N형 고농도 확산층(58n)에 의해 N채널형 MOS 트랜지스터가 형성된다.

이어서, 제9b도에 나타내는 바와 같이 예를 들면 CVD법에 의해 두께가 300nm의 텅스텐막(59a)을 N형 고농도 확산층(58n)에 직접 접하도록 퇴적한다. 이 때, N형 고농도 확산층(58n) 위의 텅스텐막(59a)의 최대막 두께는 게이트전극의 단차가 있기 때문에 500nm있고, 게이트전극 사의 막두께에 비하여 두껍게 되어 있다. 또 두께가 200nm의 실리콘 산화막(60a)을 형성한다.

이어서, 제9c도에 나타내는 바와 같이 게이트전극(55) 및 그 측방의 소정영역의 상방 부분을 개구한 레지스트 마스크(61)를 이용하여 실리콘 산화막(60a) 및 텅스텐막(59a)을 에칭하여 소스.드레인으로부터의 인출전극(59) 및 전극상 절연막(60)을 패턴링한다. 이 때, 인출전극(59)의 N형 고농도 확산층(58n) 위에 위치하는 부위에서는 제1 측벽(57)에 인접하는 박막부(59x)와, 이 박막부(59x)를 끼워서 제1 측벽(57)에 대치하는 측벽부(59y)와, 측벽부(59y)의 상단으로부터 소자분리(53)측에 연장하는 후막부(59z)로 구성되는 단차부를 형성한다. 또, 본 실시예에서는 인출전극(59)의 소자분리(53) 위에 위치하는 부위에도 단차부가 형성되어 있고, 단부에 박막부(59w)가 형성되어 있다.

이와 같이 인출전극(59)의 게이트전극측의 단부에 두께를 제1 측벽(57)의 높이이하로 하고, 또, N형 고농도 확산층(58n)의 표면이 노출하지 않도록 하려면 에칭량의 제어를 실행한다. 예를 들면 텅스텐막(59a)의 에칭량을 400nm 정도로 함으로써 인출전극(59)을 구성하는 텅스텐막(59a)의 게이트전극(55) 상에 위치하는 부분은 제거하면서 인출전극(59)의 박막부(59x)의 두께를 100nm 정도로 할 수 있다. 또, 레지스트 마스크(61)의 개구영역의 폭으로서는 게이트 전극(55)의 길이보다도 0.4 $\mu\text{m}$ 정도 넓게 되도록 설계하는 것이 바람직하다. 이것보다도 좁게 설정하면 후에 형성하는 제2 측벽(62)이 게이트상에서 완전히 매우저버려서 게이트상에 콘택트가 취해지지 않게 될 우려가 있다. 또, 반대로 레지스트 마스크(61)의 개구영역의 폭이 너무 넓으면 제2 측벽(62)을 형성했을 때에 인출전극(59)의 제1 측벽(57)에 가까운 부분의 표면이 노출하여 버리고, 게이트전극(55) 사에 콘택트를 취할 때 포토리소그래피 공중에서 맞출어긋남이 생기 경우, 콘택트부를 통하여 게이트전극(55)과 N형 고농도 확산층(58n)이 전기적으로 단락하여 버린다.

이어서 제9d도에 나타내는 바와 같이 예를 들면 두께가 150nm 정도의 실리콘 질화막(62a)을 기판의 전면 상에 퇴적하고, 계속해서 제9e도에 나타내는 바와 같이 에치백법을 이 하여 인출전극(59)의 측벽부(59y) 및 박막부(59x) 및 제1 측벽(57)의 적어도 일부를 덮는 제2 측벽(62)을 형성한다. 이 때, 인출전극(59)

의 후막부(59z)의 높이는 게이트 전극(55)의 상면위치보다도 200nm정도 높아져 있다. 또 인출전극(59)의 박막부(59x)의 폭을 적절히 설정하는 것으로 인출전극(59)의 측벽부(59y)에 인출전극(59)의 박막부(59x)의 상면을 덮고, 게이트 절연막(55)의 상면을 노출시킨 제2 측벽을 형성할 수 있다. 또, 소자분리(53) 위 등에 잔존하고 있는 인출전극(59)이 되는 텅스텐을 제거한다.

이어서 제9f도에 나타내는 바와 같이 기판의 전면에 증간절연막(63)을 퇴적한 후, 증간절연막(63)의 평탄화를 실행하고, 콘택트홀 및 콘택트부재인 매립 전극(64)을 형성한다. 이 때, 포토리소그래피공정에서 맞춤형이 생기 경우라도 제2 측벽(62)이 에칭 스톱퍼가 되어 콘택트홀의 저부가 인출전극(59)까지 도달하지 않고 전기적으로 안정된 게이트상의 콘택트가 형성된다. 또, 금속배선(65)을 형성하고, 게이트 전극상에 콘택트를 가지는 N채널형 MOS 트랜지스터가 형성된다.

또 본 실시예에서는 소스·드레인으로부터의 인출전극(59)을 텅스텐막으로 구성했지만 본 발명은 이러한 실시예에 한정되는 것은 아니다. 예를 들면 부직물을 도입한 폴리실리콘막이나 다른 도전성막으로 구성해 도 된다.

또 제1 측벽(57)을 실리콘산화막으로 구성하고, 제2측벽(62)을 실리콘 질화막으로 구성했지만 양쪽모두 같은 절연배료라도 상관없다. 단, 제2 측벽(62)을 구성하는 재료로서는 제1 측벽(57)을 구성하는 재료보다도 에칭선택비가 높게 취해지는 재료쪽이 바람직하다. 게이트전극(55)으로서의 콘택트를 형성할 때에는 에칭 스톱퍼로서 기능하기 때문이다.

#### [실시예 7]

이어서 실시예 7에 대하여 제10a도~제10c도 및 제11a도~제11c도를 참조하면서 설명한다. 제10a도~제10c도 및 제11a도~제11c도는 게이트전극상에 콘택트를 가지고, N형 채널 MOS트랜지스터와 P형 채널 MOS 트랜지스터의 확산층을 접속하도록 한 CMOS 트랜지스터의 제조공정의 구조변화를 나타내는 종단면도이다.

우선 제10a도에 나타내는 바와 같이 P형 실리콘기판(51) 위에 우선 P형 확산층(52p) 및 N형 확산층(52n)을 형성한 후, 두께가 약 500nm의 LOCOS막으로 구성되는 소자분리(53)를 형성한다. 그리고 제10a도~제10c도제 및 11a도~제11c도에 나타내는 바와 같이 각 확산층(52p 및 52n) 위에서 상기 실시예 6의 제9a도~제9f도에 나타내는 공정과 같은 공정을 실행한다.

본 실시예에 관한 반도체장치의 제조방법에서는, 최종적으로 제11c도에 나타내는 바와 같이 게이트전극상에 콘택트를 가지는 CMOS 트랜지스터가 형성된다. 그리고 P형 확산층(52p)에 형성되는 N형 채널 MOS 트랜지스터의 N형 고농도 확산층(58n)과 N형 확산층(52n)에 형성되는 P형 채널 MOS 트랜지스터의 P형 고농도 확산층(58p)은 공통의 인출전극(59)에 의해 접속되어 있다. 이와 같이 인출전극(59)을 패터닝함으로써 종래는 다층배선으로 접속하고 있던 다른 도전형 고농도 확산층 끼리의 접속을 하층의 로컬배선 레벨로 실현 할 수 있고, 코스트저감이 가능하게 된다. 또, 고농도 확산층으로의 셀프 얼라인 콘택트에 의한 접속이 가능하게 되므로 증간절연막을 관통하여 고농도 확산층에 달하는 콘택트홀을 형성할 필요가 없다. 따라서 각 부의 마스크 맞춤마진을 저감할 수 있고, 고농도 확산층의 면적의 축소가 도모된다.

또, 제11a도에 나타내는 공정에서 인출전극(59)의 소자분리(53) 위에 위치하는 부분에서는 소자분리(53)의 활성영역과의 경계부 부근만 인출전극(59)의 두께를 두껍게 하고 소자분리(53)의 다른 영역에 위치하는 부분은 두께를 얇게 해 둔다. 인출전극(59)의 단차를 이처럼 형성해 둠으로써 제11b도에 나타내는 바와 같이 제2 측벽(62)을 형성할 때, 실리콘 질화막(62a)과 인출전극(59)소자분리(53) 위의 잔존 부분을 마스크를 이용하지 않고 제거할 수 있다.

#### [실시예 8]

이어서 실시예 8에 대하여 제12a도~제12c도 및 제13a도, 제13b도를 참조하면서 설명한다. 제12a도~제12b도 및 제13a도, 제13b도는 게이트전극 상에 콘택트를 가지고 로컬배선을 통하여 복수의 금속배선층과 트랜지스터의 활성영역상에서 접속하는 것이 가능한 트랜지스터의 제조공정의 구조변화를 나타내는 종단면도이다.

우선 제12a도 및 제12b도에 나타내는 바와 같이 상기 실시예 6의 제9a도~제9c도에 나타내는 공정과 같은 공정을 실행한다. 단, 게이트전극(55)에 콘택트부를 형성하고 싶은 부위에서는 상기 실시예 6와 같은 인출전극(59)의 패터닝을 실행하지만 고농도 확산층에 콘택트부를 형성하고 싶은 부위에서는 해당 고농도 확산층의 양측의 게이트전극(55)의 위(영역 Rst 참조) 또는 소자분리 상에 인출전극의 단차부가 형성되는 것과 같은 레지스트 마스크(61)를 이용한다. 또 후에 형성하는 로컬배선과 하층의 게이트전극(55)의 접속을 회피해야 할 부위에서는 레지스트 마스크(61)의 개구영역의 폭을 0.3 $\mu$ m 이하로 함으로써 (영역 Rde 참조), 그 부위의 텅스텐막(59a)이 제거되어 생긴 틈이 후에 형성되는 제2 측벽에 의해 완전히 매립되게 된다.

이어서, 제12c도에 나타내는 바와 같이 예를 들면 두께가 150nm정도의 실리콘질화막을 형성하고, 계속해서 에치백법에 의해 제2 측벽(62)을 형성한다. 또, 상기 실시예 7의 제11b도에 나타내는 공정과 마찬가지로 소자분리(53)상 등에 잔존하고 있는 인출전극(59)(텅스텐막)을 제거한다. 이 때, 상기 영역(Rde)에서는 제2 측벽(62)에 의해 게이트전극(55)의 상방이 완전하게 매립된다. 또, 상기 영역(Rst)에서는 인출전극(59)의 패터닝시에 잔존하고 있던 N형 고농도 확산층(58n) 위에 텅스텐막을 완전하게 제거됨과 동시에 N형 고농도 확산층(58n)과 인출전극(59) 사이에 도전막이 형성되어도 양자가 전기적으로 절연되도록 인출전극(59)의 측벽에 제2측벽(62)이 형성된다.

이어서 제13a도에 나타내는 바와 같이 전면에 로컬배선(66)이 되는 텅스텐막을 퇴적한 후, 레지스트 마스크(67)를 이용하여 텅스텐막을 패터닝하고, 로컬배선(67)을 형성한다. 즉, 제3a도에 나타내는 바와 같이 로컬 인터커넥트(18)를 로컬배선(66)에 의해 실현할 수 있다.

이어서 제13b도에 나타내는 바와 같이 증간절연막(63)을 형성한 후, 평탄화를 실행하고, 콘택트홀 및 매립전극(64)을 형성한다. 이 때, 포토리소그래피공정에서 맞춤형이 생긴 경우에도 제2 측벽(62)이 에칭 스톱퍼가 되어 콘택트홀의 저부가 인출전극(59)까지 도달하지 않고, 전기적으로 안정된 게이트전극(5

5)상의 콘택트부를 형성할 수 있다. 또, 로컬배선(66)(제3a도에 나타내는 로컬 인터커넥트(18)를 통하여 상층의 금속배선(65))제3b도에 나타내는 제1 층 알루미늄배선(13)과 게이트 전극(55) 및 N형 고농도 확산층(58n)을 트랜지스터의 형성영역내에서 비교적 자유롭게 접속할 수 있으므로 설계의 자유도가 향상하고 반도체회로의 점유면적의 저감을 도모할 수 있다.

#### [실시에 9]

이어서, 실시예 9에 대하여 제14a도~제14c도를 참조하면서 설명한다. 제14a도~제14c도는 게이트전극 상에 콘택트를 가지고, 로컬배선을 통하여 복수의 게이트전극과 고농도 확산층을 활성영역 상에서 접속하는 것이 가능한 트랜지스터의 제조공정의 구조변화를 나타내는 종단면도이다.

우선 제14a도에 나타내는 바와 같이 상기 실시예 8의 제12a도~제12c도에 나타내는 공정과 같은 공정을 실행하여 제12c도에 나타내는 상태와 같은 상태를 얻는다.

다음에 제14b도에 나타내는 바와 같이 후에 형성되는 로컬배선을 침착시키고자 하는 게이트 전극(55) 위에서 그 표면이 노출된 게이트상 절연막(56)을 제거한 후, 전면에 로컬배선(66)이 되는 텅스텐막을 퇴적한 후, 제지스트 마스크(67)를 이용하여 이것을 패터닝하고, 로컬배선(66)을 형성한다.

이어서, 제14c도에 나타내는 바와 같이 층간절연막(63)을 형성한 후, 평탄화를 실행하고, 콘택트홀을 개구하고, 매립전극(64)과 금속배선(65)을 형성한다.

본 실시예에서는 로컬배선(66)을 통하여 임의의 게이트전극(55)과 고농도 확산층(58n)을 활성영역 상에서 접속하는 것이 가능하게 된다.

### (57) 청구의 범위

#### 청구항 1

반도체기판과, 상기 반도체기판의 일부에 형성된 소자분리와, 상기 반도체기판의 상기 소자분리로 둘러싸이는 영역에 형성된 활성영역과, 상기 활성영역 및 상기 소자분리에 걸쳐서 형성되고 상기 활성영역 상에서 게이트전극으로서 기능하는 제1도전성부재와, 상기 활성영역, 상기소자분리 및 상기 제1도전성부재 위에 퇴적된 층간절연막과, 상기 층간절연막을 관통하여 상기 활성영역상 상기 도전성부재의 상면에 도달하도록 형성된 콘택트홀과, 상기 콘택트 홀을 메꾸는도전성재료로 구성되고 상기 제1도전성부재에 전기적으로 접속되는 콘택트부재와, 상기 콘택트부재 및 층간절연막 위에 형성되고 상기 콘택트부재와 전기적으로 접속되는 제2도전성부재를 구비하고 있는 것을 특징으로 하는 반도체 장치.

#### 청구항 2

제1항에 있어서, 상기 제1도전성부재의 상기 콘택트부재와 접촉하는 부위의 게이트 길이방향의 치수는 마스크 맞춤마진이 없는 치수인 것을 특징으로 하는 반도체 장치.

#### 청구항 3

제1 또는 제2항에 있어서, 상기 콘택트홀의 게이트 길이방향의 치수는 상기 제1도전성부재의 게이트 길이방향의 치수보다도 큰 것을 특징으로 하는 반도체 장치.

#### 청구항 4

반도체기판과, 상기 반도체기판의 일부에 형성된 소자분리와, 상기 반도체기판의 상기 소자분리로 둘러싸이는 영역에 형성된 활성영역과, 상기 활성영역 및 상기 소자분리에 걸쳐서 형성되고 상기 활성영역상에서 게이트전극으로서 기능하는 제1도전성부재와 상기 활성영역, 상기 소자분리 및 상기 제1도전성부재 위에 퇴적된 층간절연막과, 상기 층간절연막을 관통하여 상기 활성영역상의 상기 도전성부재의 상면에 도달하도록 형성되고 상기 제1도전성부재의 게이트 길이방향의 치수보다도 큰 게이트 길이방향의 치수를 가지는 콘택트홀과, 상기 콘택트홀을 메꾸어 상기 제1도전성부재에 전기적으로 접속되는 콘택트 부재와, 상기 콘택트부재 및 층간절연막 위에 형성되고 상기 콘택트부재와 접속된 제2도전성부재를 구비하고 있는 것을 특징으로 하는 반도체 장치.

#### 청구항 5

제1항 또는 제4항에 있어서, 상기 제1도전성부재는 서로 평행으로 나열하도록 복수개 형성되어 있고, 상기 제2도전성부재는 상기 제1도전성부재에 대하여 평면시야 내에서 각각 직교하도록 복수개 형성되어 있는 것을 특징으로 하는 반도체장치.

#### 청구항 6

제5항에 있어서, 상기 각 제2도전성부재의 길이는 거의 공통된 치수인 것을 특징으로 하는 반도체 장치.

#### 청구항 7

제5항에 있어서, 상기 제2도전성부재의 상방에 층간절연막을 통하여 형성되고 배선으로서 기능하는 제3도전성부재를 더 구비하고 있는 것을 특징으로 하는 반도체장치.

#### 청구항 8

제5항에 있어서, 상기 제1도전성부재의 상방이면서 상기 제2도전성부재의 하방에 형성되고, 상기 반도체 소자의 활성영역, 게이트전극 등을 서로 저속하기 위한 로컬배선을 더 구비하고 있는 것을 특징으로 하는 반도체장치.

**청구항 9**

반도체기판과, 상기 반도체기판의 일부에 형성된 소자분리와, 상기 반도체기판의 상기 소자분리로 둘러싸이는 영역에 형성된 활성영역과, 상기 활성영역상에 형성된 상기 반도체소자의 게이트전극과, 상기 활성영역상의 상기 게이트전극의 양측방에 불순물을 도입하여 형성된 불순물 확산영역과, 상기 게이트전극의 양측면상에 형성된 절연성재료로 구성되는 제1 절연막과, 상기 제1 절연막에 인접하여 상기 불순물 확산영역을 덮도록 형성되고, 상기 제1 절연막에 접하는 박막부와 이 박막부로부터 단차를 두고 두껍게 되는 후막부로 구성되는 인출전극과, 상기 인출전극의 단차측벽으로부터 상기 제1 절연막에 걸쳐서 형성된 제2 절연막을 구비하고 있는 것을 특징으로 하는 반도체장치.

**청구항 10**

제9항에 있어서, 상기 게이트전극, 인출전극, 제1 절연막 및 제2 절연막의 상방에 퇴적된 층간 절연막과, 상기 층간절연막을 관통하여 적어도 상기 게이트전극의 상면에도달하는 콘택트홀과, 상기 콘택트홀을 메꾸는 도전성재료로 구성되고 상기 게이트전극에 전기적으로 접속되는 콘택트부재와, 상기 콘택트 부재 및 상기 층간 절연막 위에 형성되고 상기 콘택트부재에 전기적으로 접속되는 배선부재를 더 구비하고 있는 것을 특징으로 하는 반도체장치.

**청구항 11**

제10항에 있어서, 상기 제2 절연막은 상기 층간절연막에 대한 에칭선택비가 높은 재료로 구성되어 있는 것을 특징으로 하는 반도체장치 .

**청구항 12**

제10항에 있어서, 상기 제1 절연막 및 층간절연막은 실리콘 산화막으로 구성되어 있고, 상기 제2 절연막은 실리콘 질화막으로 구성되어 있는 것을 특징으로 하는 반도체장치.

**청구항 13**

제9항에 있어서, 상기 게이트전극, 인출전극, 제1 절연막 및 제2 절연막의 상방에 퇴적된 층간 절연막과, 상기 층간절연막을 관통하여 상기 소자분리상의 상기 인출전극 상면에 도달하는 콘택트홀과, 상기 콘택트홀을 메꾸는 도전성재료로 구성되고 상기 인출전극에 전기적으로 접속되는 콘택트부재와, 상기 콘택트 부재 및 상기 층간절연막 위에 형성되고 상기 콘택트부재와 전기적으로 접속되는 제2 배선부재를 더 구비하고 있는 것을 특징으로 하는 반도체 장치.

**청구항 14**

제10, 11, 12 또는 제13항에 있어서, 상기 활성영역은 복수개 설치되어 있고, 상기 각 활성영역에 형성되는 상기 인출전극중 적어도 하나는 상기 복수위 활성영역중 적어도 2대의 서로 인접하는 활성영역에 있어서, 상기 소자분리를 끼우는 2개의 불순물 확산영역에 걸쳐서 형성되어 있는 것을 특징으로 하는 반도체장치.

**청구항 15**

제10, 11, 12 또는 제13항에 있어서, 상기 게이트전극상에 형성되는 게이트상 절연막을 더 구비하고, 상기 게이트전극의 양측에 있는 상기 각 인출전극은 각각 상기 제1 절연막의 거의 전면상에 걸쳐서 형성되어 있고, 상기 각 인출전극의 단부간의 틈이 상기 제2 절연막에 의해 메꾸어져 있는 것을 특징으로 하는 반도체장치.

**청구항 16**

제10, 11, 12 또는 제13항에 있어서, 상기 활성영역은 복수개 설치되어 있고, 상기 각 인출전극 위에 형성된 제2 절연막과, 상기 제1, 제2, 및 제3 절연막의 위이며 또, 층간절연막의 하방에서 상기 각 불순물 확산영역, 게이트전극 등을 서로 접속하기 위한 로컬배선을 더 구비하고 있는 것을 특징으로 하는 반도체장치.

**청구항 17**

제16항에 있어서, 상기 로컬배선은 적어도 1개소에서 상기 게이트전극의 상방을 걸쳐 있는 것을 특징으로 하는 반도체 장치.

**청구항 18**

반도체기판과, 상기 반도체기판의 일부에 형성된 소자분리와, 상기 반도체기판의 상기 소자분리로 둘러싸이는 영역에 형성된 복수의 활성영역과, 상기 각 활성영역에 있어서 상기 활성영역 및 상기 소자분리에 걸쳐서 형성되고 상기 활성영역상에서 게이트전극으로서 기능하는 도전성부재와, 상기 각 활성영역에 있어서 상기 도전성부재의 양측에 형성된 2개의 불순물 확산영역을 구비함과 동시에, 상기 각 불순물 확산영역은 상기 도전성부재에 접하는 부분으로부터 양측에 상기도전성부재에 평행으로 연장한 후, 인접하는 불순물 확산영역끼리 접촉하지 않도록 선단에서 구부러져 있고, 이 구부러진선단부가 상층 배선과의 콘택트부로 되어 있는 것을 특징으로 하는 반도체장치.

**청구항 19**

반도체기판과, 상기 반도체기판의 일부에 형성된 소자분리와 상기 반도체기판의 상기 소자분리로 둘러싸이는 영역에 형성된 복수의 활성영역과, 상기 활성영역상에 있어서 상기 활성영역 및 상기 소자분리에 걸쳐서 서로 평행으로 연장하도록 형성되고 상기 활성영역상에서 게이트전극으로서 기능하는 복수의도전성부재와, 상기 각 활성영역에 있어서 상기 각 도전성부재 사이와 양단의 도전성부재와 소자분리 사이에 형

성된 복수의 불순물 확산영역을 구비함과 동시에, 상기 각 불순물 확산영역중 적어도 양단의 2개의 불순물 확산영역은 상기 도전성부재에 접하는 부분으로부터 양측에 상기도전성부재에 평행으로 연장한 후, 인접하는 불순물 확산영역끼리 접촉하지 않도록 선단에서 구부러져 있고, 이 구부러진 선단 부가 상층 배선과의 콘택트부로 되어 있는 것을 특징으로 하는 반도체장치.

#### 청구항 20

제19항에 있어서, 상기 각도전성부재 사이의 불순물 확산영역은 상기도전성부재에 접하는 부분으로부터 양측에 상기도전성부재에 평행으로 연장한 후, 인접하는 불순물 확산영역끼리 접촉하지 않도록 선단에서 구부러져 있고, 이 구부러진 선단부가 상층 배선과의 콘택트부로 되어 있는 것을 특징으로 하는 반도체장치.

#### 청구항 21

제18, 19 또는 20항에 있어서, 상기 활성영역, 상기 도전성부재 및 상기 소자분리 위에 퇴적된 층간절연막과, 상기 층간절연막을 관통하여 상기 활성영역상의 상기 도전성부재에도달하는 콘택트홀과, 상기 각 콘택트홀을 메꾸는 도전성재료로 구성되고 상기 도전성부재에 전기적으로 접속되는 콘택트부재와, 상기 층간절연막 및 상기 콘택트부재 위에 형성되고 상기 콘택트부재에 전기적으로 접속되는 배선부재를 더 구비하고 있는 것을 특징으로 하는 반도체장치.

#### 청구항 22

반도체기판 위에 적어도 하나의 활성영역을 둘러싸는 소자분리를 형성하는 제1 공정과, 상기 활성영역 위에 게이트전극 및 게이트상 절연막을 형성하는 제2 공정과, 상기 반도체기판의 상기 게이트전극의 양측방에 위치하는 영역에 불순물을 도입하여 불순물 확산영역을 형성하는 제3 공정과, 상기 제3 공정후, 기판상에 절연막을 퇴적한 후 이방성 에칭을 실행하여 상기 게이트전극 및 상기 게이트상 절연막의 양측면상에 제1 측벽을 형성하는 제4 공정과, 상기 제4 공정후, 기판상에 도전성막을 퇴적한 후, 이 도전성막을 패터닝하여 상기 불순물 확산영역을 덮는 영역에 상기 제1 측벽에 접하는 박막부와 이 박막부로부터 단차를 두고 두껍게 되는 후막부로 구성되는 인출전극을 형성하는 제5 공정과, 상기 제5 공정후, 기판상에 절연막을 퇴적한 후 이방성 에칭을 실행하여 상기 인출전극의 단차측벽으로부터 상기 제1 측벽에 걸치는 제2 측벽을 형성하는 제6 공정을 구비하고 있는 것을 특징으로 하는 반도체장치의 제조방법.

#### 청구항 23

제22항에 있어서, 상기 제6 공정후, 기판상에 층간절연막을 퇴적한 공정과, 상기 층간절연막을 관통하여 상기 활성영역상의 상기 게이트전극의 상면에 도달하는 콘택트홀을 형성하는 공정과, 상기 콘택트홀내 및 상기 층간절연막 위에 도전성막을 퇴적한 후, 이 도전성막을 패터닝하여 상기 콘택트홀을 메꾸는 콘택트부재와 이 콘택트부재에 접속되는 배선부재를 형성하는 공정을 더 구비하고 있는 것을 특징으로 하는 반도체장치의 제조방법.

#### 청구항 24

제22항에 있어서, 상기 제6 공정후, 기판상에 층간절연막을 퇴적하는 공정과, 상기 층간절연막을 관통하여 상기 인출전극의 상면에 도달하는 콘택트홀을 형성하는 공정과, 상기 콘택트홀내 및 상기 층간절연막 위에 도전성막을 퇴적한 후, 이 도전성막을 패터닝하여 상기 콘택트홀을 메꾸는 콘택트부재와 이 콘택트부재에 접속되는 배선부재를 형성하는 공정을 더 구비하고 있는 것을 특징으로 하는 반도체장치의 제조방법.

#### 청구항 25

제22, 23 또는 24항에 있어서, 상기 제1 공정에서는 복수의 활성영역을 구획하는 소자분리를 형성하고, 상기 제5 공저에서는 상기 복수의 활성영역중 적어도 2개의 서로 인접하는 활성영역에 있어서 서로 인접하는 2개의 불순물 확산영역위와 각 불순물 확산영역간의 소자분리위에 이르는 인출전극을 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

#### 청구항 26

제22, 23 또는 24항에 있어서, 상기 제5 공정에서는 상기 게이트전극의 양측의 상기 인출전극을 각각 상기 각 제1 절연막의 거의 전면상에 이르도록도 각 인출전극간의 틈이 상기 제6 공정에 있어서 제2 측벽에 의한 매립이 가능한 깊이 되도록 패터닝하는 것을 특징으로 하는 반도체장치의 제조방법.

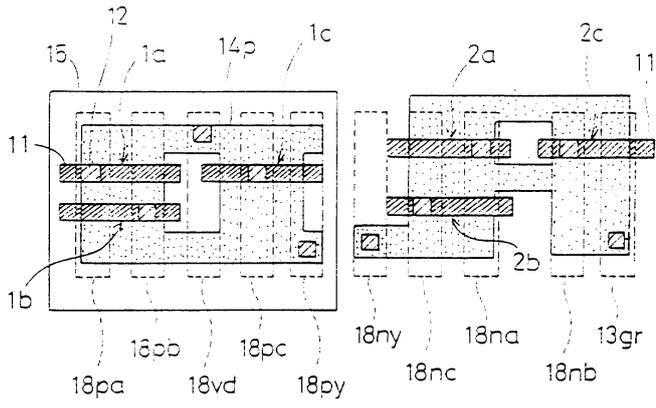
#### 청구항 27

제22항에 있어서, 상기 제6 공정후, 상기 게이트전극, 불순물 확산영역 등을 서로 접속하는 로컬배선을 형성하는 공정과, 상기 로컬배선이 형성된 기판상에 층간절연막을 퇴적하는 공정과, 상기 층간절연막을 관통하여 상기 로컬배선의 상면에 도달하는 콘택트홀을 형성하는 공정과, 상기 콘택트홀내 및 상기 로컬배선 위에 도전성막을 퇴적한 후, 이 도전성막을 패터닝하여 상기 콘택트홀을 메꾸는 콘택트부재와 이 콘택트부재에 접속되는 배선부재를 형성하는 공정을 더 구비하고 있는 것을 특징으로 하는 반도체장치의 제조방법.

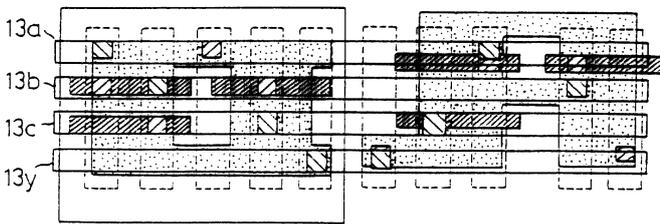
**도면**



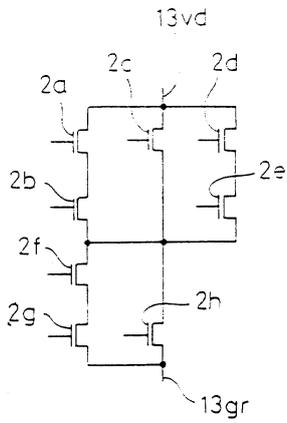
도면3a



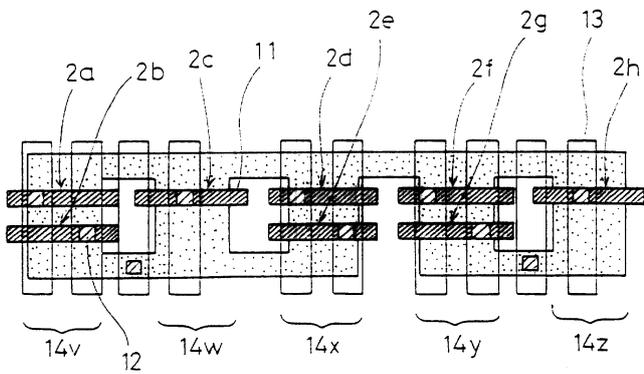
도면3b



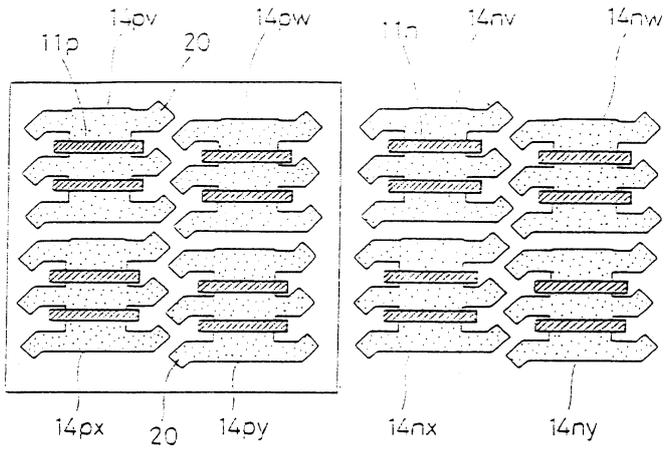
도면4a



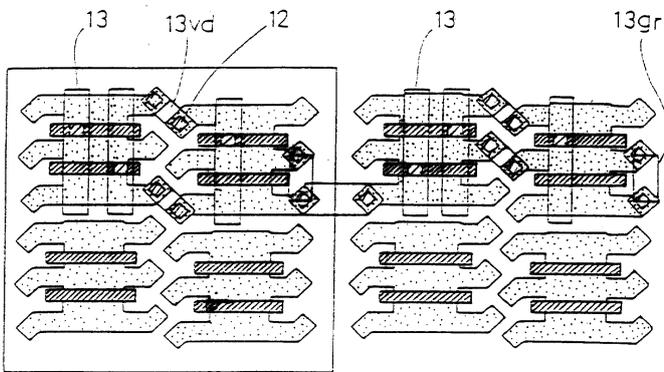
도면4b



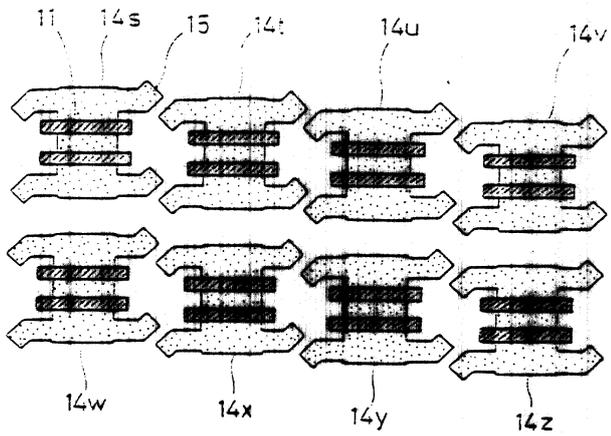
도면5a



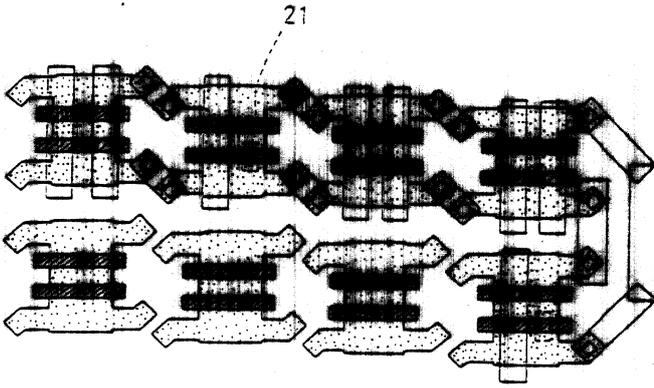
도면5b



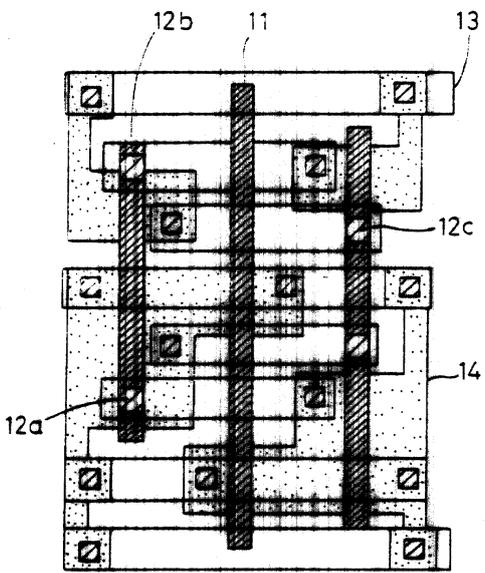
도면6a



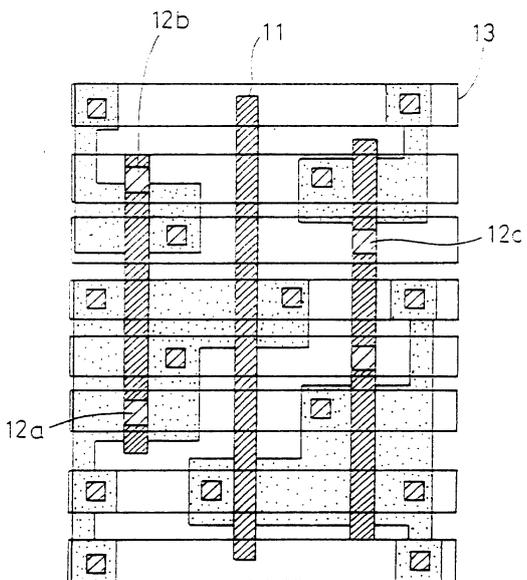
도면6b



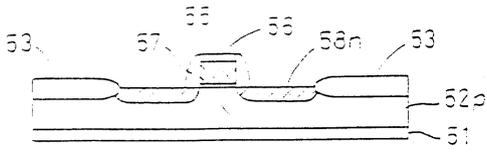
도면7



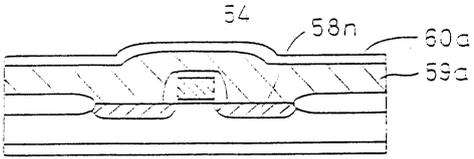
도면8



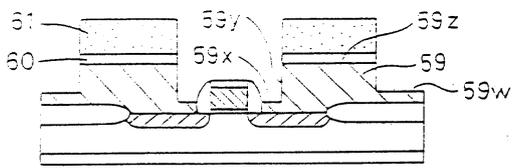
도면9a



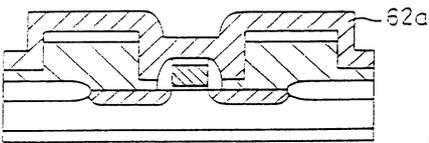
도면9b



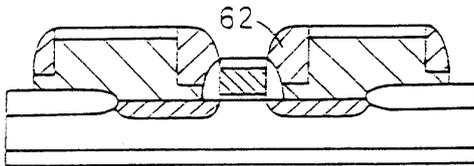
도면9c



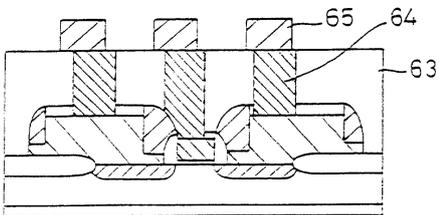
도면9d



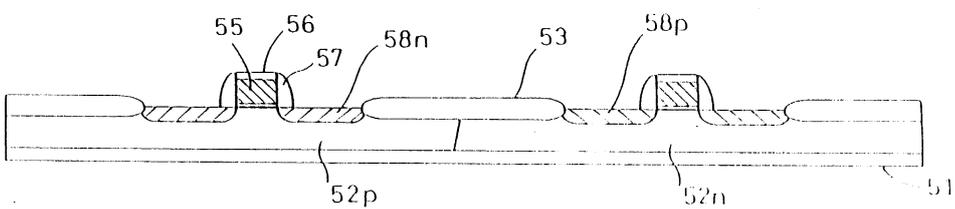
도면9e



도면9f



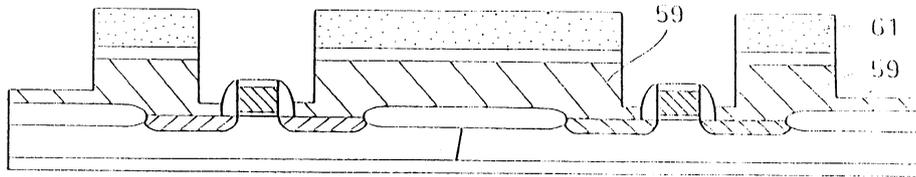
도면10a



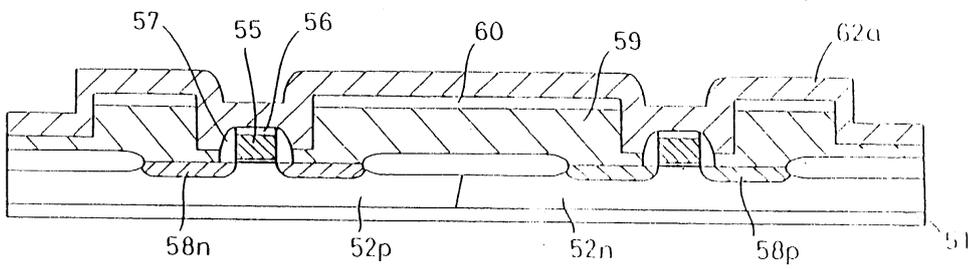
도면 10b



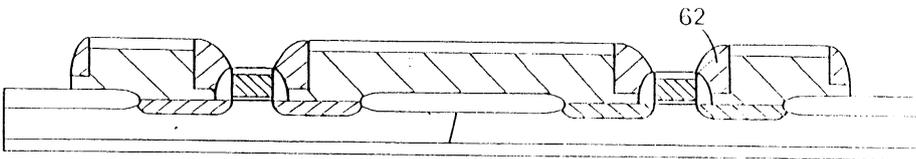
도면 10c



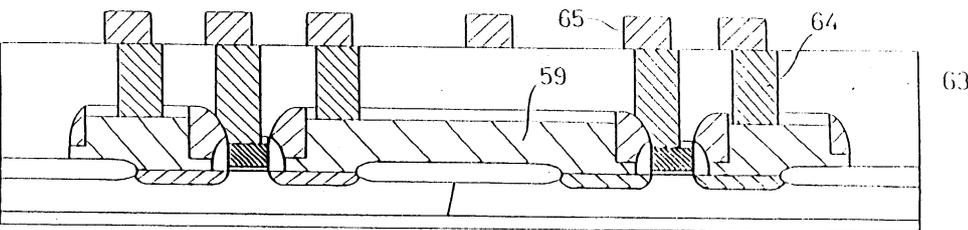
도면 11a



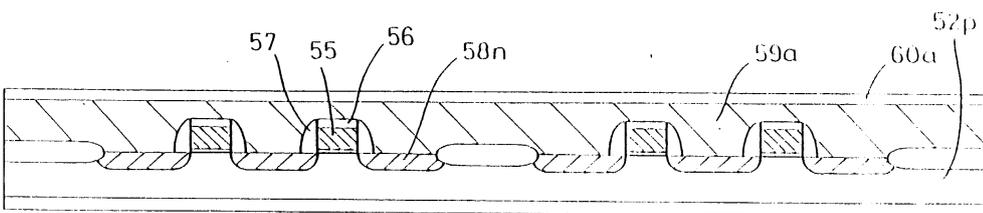
도면 11b



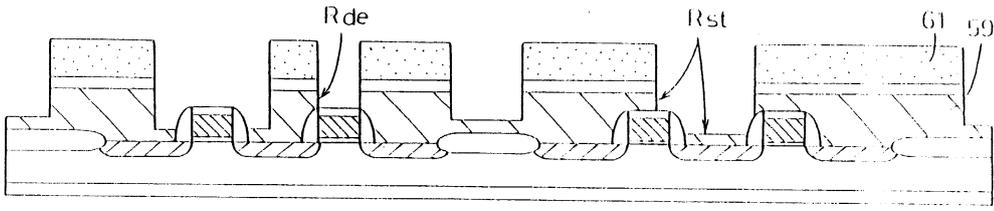
도면 11c



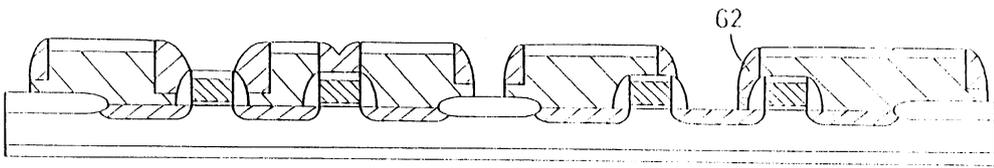
도면 12a



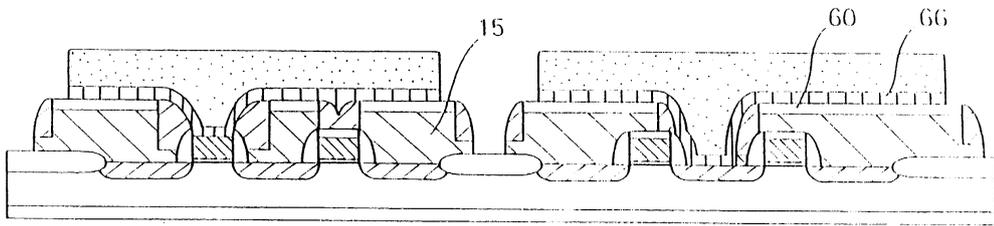
도면 12b



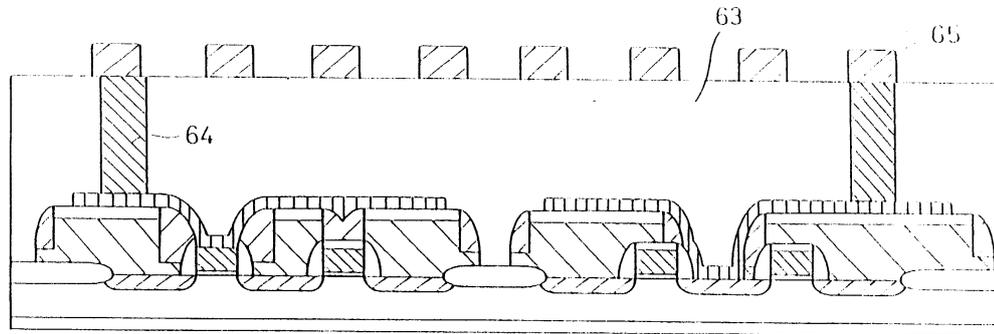
도면 12c



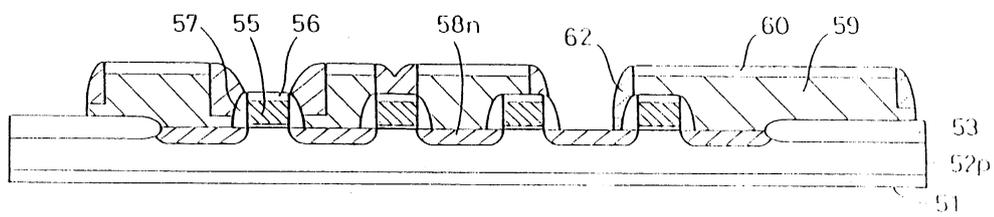
도면 13a



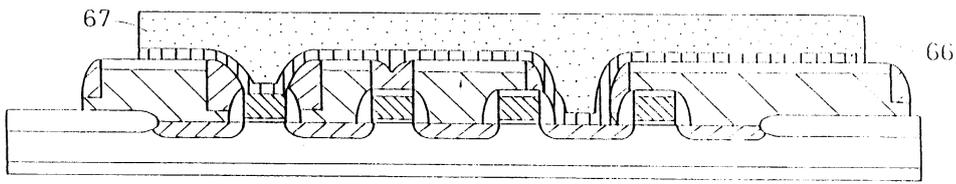
도면 13b



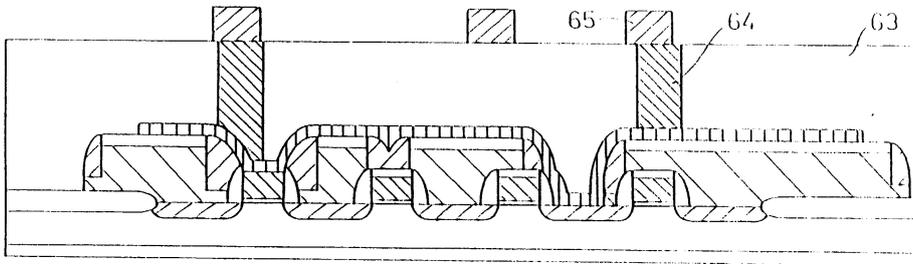
도면 14a



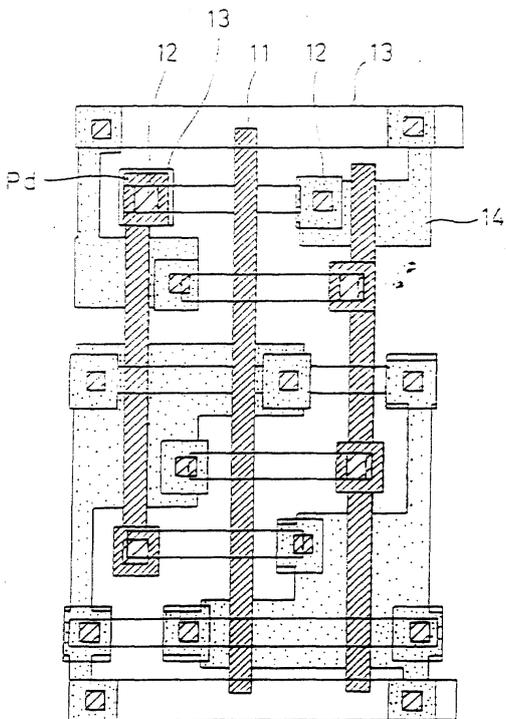
도면 14b



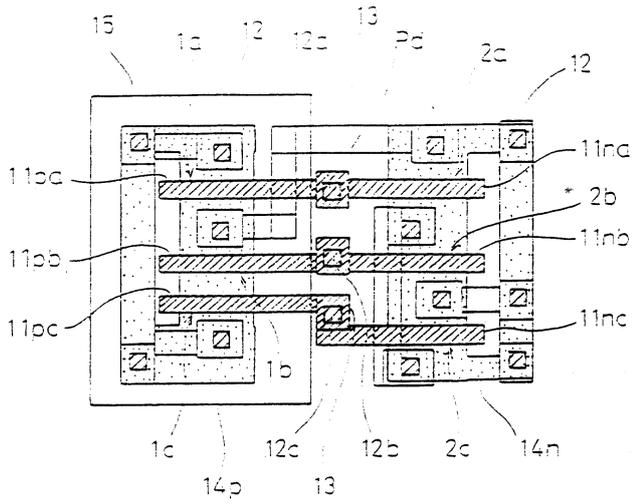
도면 14c



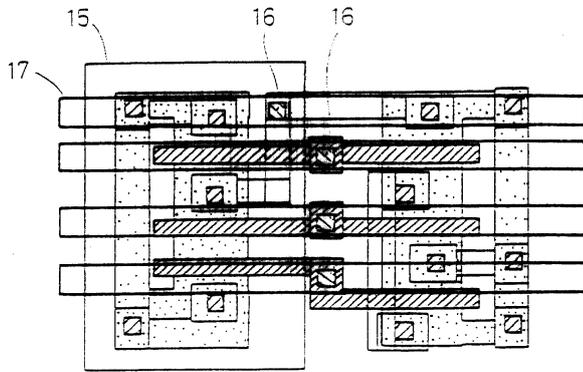
도면 15



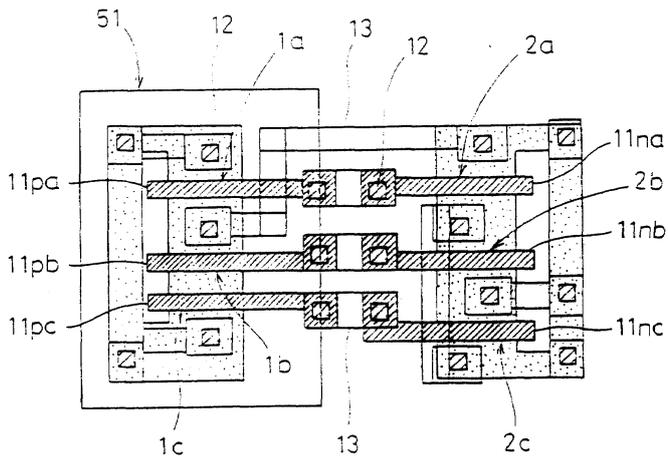
도면 16a



도면 16b



도면 17



도면 18

