

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4664392号
(P4664392)

(45) 発行日 平成23年4月6日(2011.4.6)

(24) 登録日 平成23年1月14日(2011.1.14)

(51) Int.Cl.		F I		
G 1 1 C	11/22	(2006.01)	G 1 1 C	11/22 5 0 1 G
G 1 1 C	14/00	(2006.01)	G 1 1 C	11/22 5 0 1 J
G 1 1 C	11/4091	(2006.01)	G 1 1 C	11/34 3 5 2 A
			G 1 1 C	11/34 3 5 3 C

請求項の数 7 (全 41 頁)

(21) 出願番号	特願2008-123616 (P2008-123616)	(73) 特許権者	308014341
(22) 出願日	平成20年5月9日(2008.5.9)		富士通セミコンダクター株式会社
(62) 分割の表示	特願2005-10380 (P2005-10380)		神奈川県横浜市港北区新横浜二丁目10番23
原出願日	平成17年1月18日(2005.1.18)	(74) 代理人	100072718
(65) 公開番号	特開2008-234829 (P2008-234829A)		弁理士 古谷 史旺
(43) 公開日	平成20年10月2日(2008.10.2)	(74) 代理人	100116001
審査請求日	平成20年5月9日(2008.5.9)		弁理士 森 俊秀
(31) 優先権主張番号	特願2004-63682 (P2004-63682)	(72) 発明者	福士 功
(32) 優先日	平成16年3月8日(2004.3.8)		神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	森田 敬三
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体メモリ

(57) 【特許請求の範囲】

【請求項1】

データの論理に応じて電荷を蓄積するキャパシタを有するメモリセルと、
前記メモリセルに接続されたビット線と、
前記ビット線に接続される電荷転送回路と、
前記電荷転送回路を介してビット線に接続され、読み出し動作時に前記メモリセルから前記ビット線に読み出される電荷を蓄積するとともに、蓄積電荷に応じて読み出し電圧を生成する電荷蓄積回路と、

前記電荷蓄積回路が生成する読み出し電圧に応じて前記メモリセルに保持されていたデータの論理を生成する読み出し回路とを備え、

前記電荷蓄積回路は、

前記メモリセルから前記ビット線に読み出される電荷を蓄積するために、一端が前記電荷転送回路に接続され互いに並列に配置された第1および第2キャパシタと、

読み出し動作が開始された後、前記第2キャパシタと前記電荷転送回路との電気的な接続を解除する接続解放回路とを備えていることを特徴とする半導体メモリ。

【請求項2】

請求項1記載の半導体メモリにおいて、

前記接続解放回路は、読み出し動作が開始された後、前記第2キャパシタの他端をフローティング状態に設定するフローティング設定回路を備えていることを特徴とする半導体メモリ。

【請求項 3】

請求項 1 記載の半導体メモリにおいて、
電源電圧を検出する電源電圧検出部と、
前記接続解放回路の機能を、前記電源電圧検出部により検出される電源電圧が所定値より低いときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

【請求項 4】

請求項 1 記載の半導体メモリにおいて、
半導体メモリの温度を検出する温度検出部と、
前記接続解放回路の機能を、前記温度検出部により検出される温度が所定値より高いときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

10

【請求項 5】

請求項 1 記載の半導体メモリにおいて、
前記メモリセルを有するメモリセルアレイと、
前記メモリセルを選択するためのアドレスを受けるアドレス端子と、
前記アドレスにより選択されるメモリセルの物理的な位置を検出するアドレス検出部と、
前記接続解放回路の機能を、前記アドレス検出部により検出されるアドレスが前記メモリセルアレイの端を示すときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

【請求項 6】

請求項 1 記載の半導体メモリにおいて、
半導体メモリの使用期間を示す時間信号を受ける時間端子と、
前記接続解放回路の機能を、前記時間信号が示す使用期間が所定期間を超えているときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

20

【請求項 7】

請求項 1 記載の半導体メモリにおいて、
前記読み出し電圧を検出すると共に、前記接続解放回路の機能を、前記読み出し電圧が所定値に達したときに有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、データの論理値を電荷として保持する強誘電体キャパシタ等で構成されるメモリセルを有する半導体メモリに関する。特に、メモリセルに書き込まれたデータを読み出すための回路技術に関する。

【背景技術】

【0002】

近時、ビット線 GND センス方式と称する強誘電体メモリの読み出し方式が提案されている（例えば、特許文献 1、非特許文献 1 参照）。この種の読み出し方式では、プレート線に電圧を印加したときにビット線の電圧が変動しないように、メモリセルからビット線に読み出される電荷を、プリセンスアンプ内に形成されるチャージトランスファと称する電荷転送回路を介して電荷蓄積回路に転送し、電荷蓄積回路に転送された電荷量に応じてメモリセルに保持されていたデータの論理値を判定する。チャージトランスファは、pMOS トランジスタにより構成される。pMOS トランジスタは、プレート線を立ち上げる前にゲート・ソース間電圧が閾値電圧と同じ値に初期設定される。pMOS トランジスタのゲートは、ビット線の電圧の上昇に応じて出力電圧を下降させるインバータアンプで制御される。

40

【特許文献 1】特開 2002 - 133857 号公報

【非特許文献 1】IEEE Journal of Solid-State Circuits, Vol.37, No.5, pp592-597, May 2002

50

【発明の開示】

【発明が解決しようとする課題】

【0003】

読み出し動作において、pMOSトランジスタのゲート・ソース間電圧が閾値電圧に初期設定された後、プレート線が立ち上がるまでの期間、pMOSトランジスタは、弱くオンしている。このため、pMOSトランジスタのソース・ドレイン間にリークが発生する。このリークにより、pMOSトランジスタのドレイン電圧（負電圧）が上昇するため、読み出しマージンが低下するという問題があった。

【0004】

また、従来は、インバータアンプを活性化する制御信号の活性化期間を遅延回路等を用いて生成している。このため、制御信号の活性化期間を動作温度および動作電圧のワーストケースに応じて設計する必要がある、動作条件によってはインバータアンプの活性化期間が必要以上に長くなり、無駄な電力を消費していた。インバータアンプは、プリセンスアンプ毎に必要なものであり、同時に動作する数も多いため、消費電力に与える影響は大きい。

【0005】

本発明の目的は、メモリセルに書き込まれたデータを読み出すときの読み出しマージンの低下を防止することにある。

【課題を解決するための手段】

【0006】

本発明の第1の形態では、メモリセルに接続されたビット線は、電荷転送回路を介して電荷蓄積回路に接続される。メモリセルは、データの論理に応じた電荷を蓄積するキャパシタを有する。電荷蓄積回路は、第1および第2キャパシタを有する。第1キャパシタは、読み出し動作中に、メモリセルからビット線に読み出される電荷を常時蓄積する。第2キャパシタは、読み出し動作が開始された後、接続解放回路の制御により電荷転送回路との電氣的な接続が解除される。接続の解除により、電荷転送回路に接続されたキャパシタの容量値は小さくなる。このため、読み出し動作の後半に、読み出し電圧を急激に上昇させることができ、読み出しマージンを向上できる。

【発明の効果】

【0007】

本発明によれば、メモリセルに書き込まれたデータを読み出すときの読み出しマージンの低下を防止できる。

【発明を実施するための最良の形態】

【0008】

以下、本発明の実施形態を図面を用いて説明する。図中の二重丸は、外部端子を示している。図中、太線で示した信号線は、複数本で構成されている。また、太線が接続されているブロックの一部は、複数の回路で構成されている。外部端子を介して供給される信号には、端子名と同じ符号を使用する。また、信号が伝達される信号線には、信号名と同じ符号を使用する。

【0009】

図1は、本発明に関連する半導体メモリを示している。この半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリは、アドレスバッファADB、コマンドバッファCMD、ロウデコーダRDEC、タイミング生成回路TGEN、コラムデコーダCDEC、プレートドライバPD、ワードドライバWD、メモリコアCOREおよびデータ出力バッファBUFを有している。図1では、主に読み出し動作に必要な回路を記載している。このため、書き込み動作に必要なデータ入力バッファおよびライトアンプ等の回路は、記載を省略している。

【0010】

アドレスバッファADBは、アドレス信号ADをアドレス端子を介して受信し、受信した信号をロウデコーダRDECおよびコラムデコーダCDECに出力する。ロウデコーダ

10

20

30

40

50

R D E Cは、アドレス信号の上位ビット（ロウアドレス）をデコードしてロウデコード信号を生成し、生成した信号をワードドライバW DおよびプレートドライバP Dに出力する。コラムデコーダC D E Cは、アドレス信号の下位ビット（コラムアドレス）をデコードしてコラムデコード信号を生成し、生成した信号をデータ出力バッファB U Fに出力する。

【 0 0 1 1 】

コマンドバッファC M D Bは、チップセレクト信号/ C Sおよびライトイネーブル信号/ W E等のコマンド信号をコマンド端子を介して受信し、受信した信号をタイミング生成回路T G E Nに出力する。タイミング生成回路T G E Nは、受信したコマンド信号が示す動作モードを解釈し、プレートドライバP D、ワードドライバW D、データ出力バッファB U Fおよび後述するプリセンスアンプP S A等を動作させるタイミング信号を、デコード結果に応じて出力する。

10

【 0 0 1 2 】

プレートドライバP Dは、タイミング生成回路T G E Nからのタイミング信号およびロウデコーダR D E Cからのロウデコード信号にตอบสนองして、所定のプレート線P Lを選択する。選択されたプレート線P Lは、所定の期間低レベルから高レベルに変化する。ワードドライバW Dは、タイミング生成回路T G E Nからのタイミング信号およびロウデコーダR D E Cからのロウデコード信号にตอบสนองして、所定のワード線W L（W L EまたはW L O）を選択する。選択されたワード線W Lは、所定の期間低レベルから高レベルに変化する。

20

【 0 0 1 3 】

メモリアコアC O R Eは、メモリセルアレイA R Yと、ビット線B L（B L E、B L O）に共通に接続されたリファレンスメモリセルR M Cと、ビット線B Lにそれぞれ対応するプリセンスアンプP S A 1（ビット線G N Dセンス回路）と、ビット線B L E、B L Oに対応する一対のプリセンスアンプP S A 1の出力をそれぞれ受けるセンスアンプS Aとを有している。ワード線W L Eに接続されたメモリセルM Cは、ビット線B L Eに接続されている。ワード線W L Oに接続されたメモリセルM Cは、ビット線B L Oに接続されている。

【 0 0 1 4 】

プリセンスアンプP S A 1は、メモリセルM Cからデータを読み出すときに動作する。プリセンスアンプP S A 1は、ビット線B L E（またはB L O）に読み出される電荷を電圧に変換し、変換した電圧をセンスアンプに出力する。プリセンスアンプP S A 1の詳細は、後述する図3および図4で説明する。センスアンプS Aは、ビット線対B L E、B L Oに対応する一対のプリセンスアンプP S A 1からそれぞれ出力される読み出し電圧を差動増幅し、増幅したデータ信号をデータ出力バッファB U Fに出力する。データ出力バッファB U Fは、メモリアコアC O R Eから読み出される複数ビットの読み出しデータのうち、例えば16ビットを、コラムデコード信号に応じて選択し、選択した読み出しデータをデータ入出力端子I / Oに出力する。データ入出力端子I / Oは、例えば、16ビットで構成されている。

30

【 0 0 1 5 】

図2は、図1に示したメモリセルM CおよびリファレンスメモリセルR M Cの詳細を示している。

40

【 0 0 1 6 】

各メモリセルM Cは、一般に1 T 1 C型を称されており、n M O SトランジスタからなるアクセストランジスタN 1（アクセスゲート）および強誘電体キャパシタF 1を有している。強誘電体キャパシタF 1は、一端がアクセストランジスタN 1を介してビット線B L Eまたはビット線B L Oに接続され、他端がプレート線P Lに接続されている。相補のビット線B L E、B L Oにそれぞれ接続されたメモリセルM CのアクセストランジスタN 1のゲートは、それぞれ異なるワード線W L E、W L Oに接続されている。すなわち、相補のビット線B L E、B L Oにそれぞれ接続されたメモリセルM Cは、同時にアクセスさ

50

れない。

【 0 0 1 7 】

リファレンスメモリセル R M C は、メモリセル M C の強誘電体キャパシタ F 1 と同じ 4 つの強誘電体キャパシタ C 1 0、C 1 1 で構成されるリファレンスキャパシタと、2 つの n M O S トランジスタ N 1 0、N 1 1 とを有している。n M O S トランジスタ N 1 0 は、リファレンスワード線 R W L O が高レベルのときに、リファレンスキャパシタをビット線 B L E に接続する。n M O S トランジスタ N 1 1 は、リファレンスワード線 R W L E が高レベルのときに、リファレンスキャパシタをビット線 B L O に接続する。

【 0 0 1 8 】

リファレンスキャパシタは、"論理 0" を記憶する強誘電体キャパシタ C 1 0 と、"論理 1" を記憶する強誘電体キャパシタ C 1 1 を直列に接続した 2 つの容量対を並列に接続して構成されている。各容量対の一端は、接地線 V S S に接続されている。リファレンスキャパシタの容量値は、 $(C 1 0 + C 1 1) / 2$ になる。すなわち、リファレンスキャパシタは、"論理 0" を記憶する強誘電体キャパシタ F 1 の容量値と、"論理 1" を記憶する強誘電体キャパシタ F 1 の容量値の中間の容量値を有している。メモリセルキャパシタと同じ複数の強誘電体キャパシタを組み合わせてリファレンスキャパシタを構成することで、中間の容量値を簡易かつ高い精度で構成できる。

【 0 0 1 9 】

1 T 1 C 型セルで構成されるメモリセルアレイ A R Y では、ワード線 W L E が高レベルになりビット線 B L E に接続されたメモリセル M C が選択される場合、リファレンスワード線 R W L E は、リファレンスキャパシタをビット線 B L O に接続するために高レベルになる。同様に、ワード線 W L O が高レベルになりビット線 B L O に接続されたメモリセル M C が選択される場合、リファレンスワード線 R W L O は、リファレンスキャパシタをビット線 B L E に接続するために高レベルになる。そして、強誘電体キャパシタ F 1 の容量値に応じて変化するビット線 B L E (または B L O) の電圧と、リファレンスキャパシタの容量値に応じて変化するビット線 B L O (または B L E) の電圧とが、それぞれプリセンスアンプ P S A 1 に伝達される。

【 0 0 2 0 】

図 3 は、図 1 に示したプリセンスアンプ P S A 1 の詳細を示している。プリセンスアンプ P S A 1 は、ビット線初期化回路 1 0、電荷転送回路 1 2、リーク抑制回路 1 4、インバータアンプ 1 6 (制御回路)、閾値電圧生成回路 1 8 (初期化回路)、負電圧生成回路 2 0 (電荷蓄積回路、初期化回路) およびレベルシフト回路 2 2 を有している。

【 0 0 2 1 】

ビット線初期化回路 1 0 は、ゲートで制御信号 B G N D を受け、ソースが接地線に接続され、ドレインがビット線 B L (B L E または B L O) に接続された n M O S トランジスタで構成されている。電荷転送回路 1 2 は、ゲート (制御端子) が閾値電圧生成回路 1 8 の出力ノード V T H に接続され、ソースがビット線 B L に接続され、ドレインが負電圧生成回路 2 0 の出力ノード M I N S に接続された p M O S トランジスタで構成されている。リーク抑制回路 1 4 は、ノード M G E N X とインバータアンプ 1 6 の入力端子 I I N との間に配置されたキャパシタ C 3 を有している。キャパシタ C 3 は、例えば、強誘電体キャパシタで構成されている。キャパシタ C 3 の容量値は、後述するインバータアンプ 1 6 のキャパシタ C 1 の容量値より十分小さい。インバータアンプ 1 6 の入力電圧 I I N は、キャパシタ C 3 の容量結合により、ノード M G E N X の立ち下がり同期して僅かに下がる。

【 0 0 2 2 】

インバータアンプ 1 6 は、C M O S インバータ 1 6 a (フィードバックインバータ)、C M O S インバータ 1 6 a の出力端子 I O U T を入力端子 I I N に接続するスイッチ S 1、C M O S インバータ 1 6 a の入力端子 I I N とビット線 B L との間に配置されたキャパシタ C 1、C M O S インバータ 1 6 a の出力 I O U T 端子と電荷転送回路 1 2 のゲートとの間に配置されたキャパシタ C 2 を有している。C M O S インバータ 1 6 a の p M O S ト

10

20

30

40

50

ランジスタ（図示せず）のソースは、ゲートでパワー制御信号 $POWX$ を受ける $pMOS$ トランジスタを介して電源線 VDD に接続されている。 $CMOS$ インバータ $16a$ の $nMOS$ トランジスタ（図示せず）のソースは、ゲートでパワー制御信号 POW を受ける $nMOS$ トランジスタを介して接地線に接続されている。パワー制御信号 $POWX$ 、 POW は、読み出し動作を開始するときに、それぞれ低レベルおよび高レベルに変化し、 $CMOS$ インバータ $16a$ を活性化する。同様に、スイッチ $S1$ は、読み出し動作を開始するときにオフされる。キャパシタ $C1$ 、 $C2$ は、例えば、強誘電体キャパシタで構成されている。

【0023】

閾値電圧生成回路 18 は、ノード $VGENX$ に高レベル（電源電圧 VDD ）または低レベル（接地電圧）を生成する電圧生成回路 $18a$ と、ノード $VGENX$ とノード VTH との間に接続されたキャパシタ $C4$ と、ノード VTH に接続されたクランプ回路 $18b$ と、クランプ回路 $18b$ を接地線に接続するスイッチ $S2$ とを有している。電圧生成回路 $18a$ は、電源線 VDD と接地線の間に直列に接続された $pMOS$ トランジスタおよび $nMOS$ トランジスタを有している。 $pMOS$ トランジスタおよび $nMOS$ トランジスタのゲートは、それぞれ電圧制御信号 $VGENP$ 、 $VGENN$ を受けている。クランプ回路 $18b$ は、ソースがスイッチ $S2$ を介して接地線に接続され、ゲートおよびドレインがノード VTH に接続された $pMOS$ トランジスタで構成されている。キャパシタ $C4$ は、例えば、強誘電体キャパシタで構成されている。

【0024】

負電圧生成回路 20 は、負電圧制御信号 $MGEN$ を受け、出力がノード $MGENX$ に接続された $CMOS$ インバータ $20a$ と、ノード $MGENX$ とノード $MINS$ との間に配置されたキャパシタ $C5$ とを有している。キャパシタ $C5$ は、例えば、強誘電体キャパシタで構成されている。レベルシフト回路 22 は、ノード $MINS$ に発生する負電圧を正電圧に変換するためのキャパシタ（図示せず）を有している。

【0025】

図 4 は、図 1 に示した半導体メモリの読み出し動作を示している。まず、初期状態において、 $pMOS$ トランジスタ 12 （電荷転送回路）のゲートおよびドレインにそれぞれ接続されたノード VTH および $MINS$ は、フローティング状態のためその電圧は不定である。しかし、 $pMOS$ トランジスタ 12 のソースおよびドレイン（ p 型拡散層）と、バックゲート（ n 型拡散層、接地電圧）とにより pn 接合が形成されているため、ノード VTH および $MINS$ の電圧は、 pn 接合の順方向電圧（約 $0.8V$ ）より上がることはない。

【0026】

電圧制御信号 $VGENP$ 、 $VGENN$ および負電圧制御信号 $MGEN$ は、低レベルに保持されており、ノード $VGENX$ および $MGENX$ は、高レベルに保持されている。制御信号 $BGND$ は、高レベルに保持されているため、 $nMOS$ トランジスタ 10 （ビット線初期化回路）はオンし、ビット線 BL （ BLE または BLO ）の電圧は、接地電圧に初期化されている。パワー制御信号 POW 、 $POWX$ は、低レベル、高レベルにそれぞれ保持されており、フィードバックインバータ $16a$ （ $CMOS$ インバータ）は、オフしている。スイッチ $S1$ 、 $S2$ は、オンしている。スイッチ $S1$ 、 $S2$ の動作を制御する制御信号、および電圧制御信号 $VGENP$ 、 $VGENN$ 、負電圧制御信号 $MGEN$ 、制御信号 $BGND$ 、パワー制御信号 POW 、 $POWX$ は、図 1 に示したタイミング生成回路 $TGEN$ により生成される。

【0027】

時刻 $T1$ において、パワー制御信号 POW 、 $POWX$ が高レベルおよび低レベルにそれぞれ変化し、フィードバックインバータ $16a$ は活性化される。スイッチ $S1$ がオンしているため、フィードバックインバータ $16a$ の入力電圧 IIN および出力電圧 $IOUT$ は、ともにほぼ $VDD/2$ になる。

【0028】

10

20

30

40

50

時刻 T 2 において、電圧制御信号 V G E N P、V G E N N が高レベルに変化し、ノード V G E N X は、高レベルから低レベルに変化する。キャパシタ C 4 による容量結合により、ノード V G E N X の低レベルへの変化に応じてノード V T H の電圧も下がる。電源電圧 V D D が 3 V の場合、ノード V G E N X の電圧が 3 V 下がると、V T H の電圧も 3 V 下がろうとする。しかし、スイッチ S 2 のオンにより、p M O S トランジスタ 1 8 b (クランプ回路) は、ノード V T H の電圧を p M O S トランジスタ 1 8 b の閾値電圧 (例えば、 -0.6V) にクランプする。このため、ノード V T H の電圧は、一旦立ち下がった後、微分波形を描いて負電圧 (-0.6V) に落ち着く。このように、閾値電圧生成回路 1 8 は、電荷転送回路 1 2 の入力ノード V T H を所定の電圧に設定する初期化回路として動作する。

10

【 0 0 2 9 】

p M O S トランジスタ 1 2 の閾値電圧は、p M O S トランジスタ 1 8 b の閾値電圧に等しくなるように設計されている。このため、ノード V T H の電圧が一旦下がったときに、p M O S トランジスタ 1 2 はオンし、ノード M I N S の電圧は、ビット線 B L の電圧 (接地電圧) まで下がる。ノード M G E N X の電圧は、C M O S インバータ 2 0 a により高レベル (= 電源電圧 V D D) に設定されているため、キャパシタ C 5 には、その容量値と電源電圧 V D D との積に対応する電荷が充電される。

【 0 0 3 0 】

時刻 T 3 において、電圧制御信号 V G E N N が低レベルに変化し、電圧生成回路 1 8 a の n M O S トランジスタがオフする。電圧生成回路 1 8 a の p M O S トランジスタは、既にオフしているため、ノード V G E N X は、フローティング状態になる。同時にスイッチ S 1、S 2 がオフされる。スイッチ S 2 のオフにより、p M O S トランジスタ 1 8 b によるノード V T H のクランプが解除される。スイッチ S 1 のオフにより、フィードバックインバータ 1 6 a の入力と出力との短絡が解除される。フィードバックインバータ 1 6 a の入力の電圧は、ほぼ V D D / 2 のため、フィードバックインバータ 1 6 a は、高いゲインを有する反転アンプとして動作する。一方、制御信号 B G N D も低レベルに変化し、ビット線 B L は、フローティング状態になる。以上により、時刻 T 3 以降、ビット線 B L の電圧が変化すると、キャパシタ C 1 の容量結合によりフィードバックインバータ 1 6 a の入力電圧 I I N が変化する。フィードバックインバータ 1 6 a は、入力電圧 I I N の変化を増幅し、出力電圧 I O U T を反対方向に変化させる。キャパシタ C 2 の容量結合によりノード V T H の電圧は、出力電圧 I O U T の変化に伴い変化する。

20

30

【 0 0 3 1 】

時刻 T 4 において、負電圧制御信号 M G E N が高レベルに変化し、ノード M G E N X の電圧は高レベルから低レベルに変化する。ノード M I N S の電圧は、キャパシタ C 5 の容量結合により、ノード M G E N X の電圧の低下に伴い低下する。電源電圧 V D D が 3 V の場合、ノード M G E N X の電圧は 3 V 下がり、ノード M I N S の電圧もほぼ 3 V 下がる。ノード M I N S の電圧は、0 V に初期化されているため、ノード M G E N X の電圧変化によりほぼ -3V まで下がる。しかし、寄生容量によるロスと、既に浅くオンしている p M O S トランジスタ 1 2 のリーク電流により、ノード M I N S の電圧は、 -3V より高くなる。ノード M I N S の電圧は、キャパシタ C 5 によりこの電圧に保持される。このように、負電圧生成回路 2 0 は、電荷転送回路 1 2 の入出力ノード M I N S を所定の電圧に設定し、電荷転送回路 1 2 の電荷転送能力を初期状態に設定する初期化回路として動作する。

40

【 0 0 3 2 】

また、時刻 T 4 において、負電圧制御信号 M G E N の変化によりノード M G E N X が立ち下がると、キャパシタ C 3 の容量結合により、フィードバックインバータ 1 6 a の入力電圧 I I N は強制的に僅かに下がる。フィードバックインバータ 1 6 a は、この電圧変化を増幅し、出力電圧 I O U T を上昇させる。ノード V T H の電圧は、キャパシタ C 2 の容量結合により、出力電圧 I O U T に応じて上昇する。これにより、p M O S トランジスタ 1 2 のゲート・ソース間電圧 (絶対値) が小さくなり、p M O S トランジスタ 1 2 を介してノード M I N S からビット線 B L に流れるリーク電流は低減される。すなわち、電荷転

50

送回路12の電荷転送能力は低下する。したがって、メモリセルMCからビット線BLに電荷が読み出される前に、pMOSトランジスタ12のソース・ドレイン間リークによりノードMINSの電圧が上昇することが防止される。なお、キャパシタC1の容量値は、キャパシタC3の容量値に比べて十分大きいため、入力電圧IINが変化したときに、キャパシタC1の容量結合により発生するビット線BLの電圧の変化量は無視できる。

【0033】

時刻T5において、ワード線WLとプレート線PLの電圧が接地電圧から電源電圧VDDに変化する。ワード線WLの立ち上がりにより、メモリセルMCのアクセストランジスタN1がオンし、メモリセルMCの強誘電体キャパシタF1に正電圧が掛かる。メモリセルMCがデータ"1"を記憶している場合、強誘電体キャパシタF1に掛かる電圧の極性は、書き込み時と反対のため、分極反転が起こり、大きな反転電荷がビット線BLに読み出される。メモリセルMCがデータ"0"を記憶している場合、強誘電体キャパシタF1に掛かる電圧の極性は、書き込み時と同じため、分極反転は起こらず、比較的小さな電荷がビット線BLに読み出される。このとき、ビット線BLの電圧は、上昇しようとする。しかし、ビット線BLの電圧が僅かに上がると、キャパシタC1の容量結合により、フィードバックインバータ16aの入力電圧が上がる。フィードバックインバータ16aの反転増幅作用およびキャパシタC2の容量結合により、ノードVTHの電圧は下がり、pMOSトランジスタ12のゲート・ソース間電圧(絶対値)は大きくなる。このため、pMOSトランジスタ12にドレイン電流が発生し、ビット線BLに読み出された電荷は、ビット線BLからノードMINSに転送される。したがって、ビット線BLの電圧上昇は、抑えられ、ほぼ0V(接地電圧)に保持される。このように、フィードバックインバータ16aは、電荷転送回路12の電荷転送能力を調整する制御回路として動作する。キャパシタC5は、ノードMINSに転送された電荷により放電されるため、ノードMINSの電圧(読み出し電圧)は、上昇する。このように、負電圧生成回路20のキャパシタC5は、蓄積電荷に応じて読み出し電圧を生成する読み出し回路として動作する。なお、メモリセルMCがデータ"0"を記憶する場合("0 read")、ノードVTHの電圧は、メモリセルMCがデータ"1"を記憶する場合("1 read")に比べ、緩やかに低下する。このため、"0 read"において、ノードVTHの電圧が、pMOSトランジスタ12の閾値電圧を下回るタイミングは、"1 read"において、ノードVTHの電圧が、pMOSトランジスタ12の閾値電圧を下回るタイミングより遅くなる。したがって、"0 read"においてノードMINSの電圧が上昇を開始するタイミングは、"1 read"においてノードMINSの電圧が上昇を開始するタイミングより遅くなる。この結果、"0 read"の読み出しマージンを大きくできる。

【0034】

ビット線BLEに接続されたメモリセルMCからデータを読み出す場合、リファレンスメモリセルRMCがビット線BLOに接続される。同様に、ビット線BLOに接続されたメモリセルMCからデータを読み出す場合、リファレンスメモリセルRMCがビット線BLEに接続される。リファレンスメモリセルRMCに接続されるプリセンスアンプPSAも、上述と同様に動作し、リファレンスメモリセルRMCから読み出される電荷に応じてノードMINSに負電圧を発生させる。リファレンスメモリセルRMCに接続されるプリセンスアンプPSA内の主要な電圧を、図中に破線で示す。

【0035】

時刻T6において、メモリセルMCおよびリファレンスメモリセルRMCにそれぞれ対応するノードMINSの読み出し電圧(負電圧)は、図3に示したレベルシフト回路22により正電圧に変換された後、図1に示したセンスアンプSAで差動増幅される。そして、メモリセルMCに記憶されていたデータの論理値が読み出される。その後、一般の強誘電体メモリと同様に、読み出し動作により分極反転したメモリセルMCの分極状態を元に戻すリストア動作が実施される。

【0036】

図4の一番下の波形は、従来のノードMINSの変化を示している。従来では、期間T

10

20

30

40

50

4 から T 5 において、p M O S トランジスタ 1 2 のゲート・ソース間電圧が、p M O S トランジスタ 1 2 の閾値電圧に等しく設定されている。このため、p M O S トランジスタ 1 2 にリーク電流（ドレイン・ソース間電流）が発生し、ノード M I N S の電圧は上昇する。この結果、メモリセル M C にデータ " 0 " が記憶されている場合の波形が正方向にシフトし、センスアンプ S A に入力される電圧差が小さくなってしまう。この結果、読み出しマージンは小さくなる。なお、期間 T 4 から T 5 は、可能な限り短く設計されるが、時刻 T 4、T 5 の関係が逆転しないために所定のマージンが必要である。

【 0 0 3 7 】

以上、リーク抑制回路 1 4 を構成するキャパシタ C 3 により、ノード M I N S の電圧が初期値に設定された後、メモリセル M C から電荷が読み出されるまでの期間（T 4 から T 5）、電荷転送回路 1 2 の電荷転送能力を低くするために、p M O S トランジスタ 1 2 のゲート・ソース間電圧（絶対値）は、p M O S トランジスタ 1 2 の閾値電圧（絶対値）より僅かに小さくされる。このため、この期間に p M O S トランジスタ 1 2 のドレイン・ソース間にリークが発生することを防止できる。

10

【 0 0 3 8 】

特に、ノード M I N S の電圧が初期値に設定されることに同期して、電荷転送回路 1 2 の電荷転送能力を一時的に低くするため、ノード M I N S の初期設定後、データが読み出されるまで電荷蓄積回路 1 2 にリークが発生することを防止できる。したがって、メモリセル M C にデータ " 0 " が記憶されている場合のノード M I N S の波形が正方向にシフトすることを防止できる。換言すれば、ノード M I N S に、メモリセル M C に記憶されているデータの論理値に応じてセンスアンプ S A が動作するために十分な読み出し電圧を生成できる。この結果、読み出しマージンの低下を防止できる。すなわち、強誘電体メモリの誤動作を防止できる。

20

【 0 0 3 9 】

また、リーク抑制回路 1 4 により、インバータアンプ 1 6 の入力電圧を強制的に変化させることで、インバータアンプ 1 6 の増幅作用を利用して電荷転送回路 1 2 の電荷転送能力を容易に調整できる。

【 0 0 4 0 】

図 5 は、本発明に関連する半導体メモリのプリセンスアンプを示している。図 3 で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この例では、図 1 のプリセンスアンプ P S A 1 の代わりにプリセンスアンプ P S A 2 が形成されている。その他の構成は、図 3 と同じである。すなわち、半導体メモリは、シリコン基板上に C M O S プロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、プリセンスアンプを除き、上述した図 1 および図 2 と同じである。

30

【 0 0 4 1 】

プリセンスアンプ P S A 2 は、図 3 のプリセンスアンプ P S A 1 のリーク抑制回路 1 4 の代わりにリーク抑制回路 2 4 を有している。プリセンスアンプ P S A 2 のその他の構成は、プリセンスアンプ P S A 1 と同じである。リーク抑制回路 2 4 は、ノード M G E N X とインバータアンプ 1 6 の出力端子 I O U T との間に配置された C M O S インバータ 2 4 a およびキャパシタ C 6 を有している。すなわち、リーク抑制回路 2 4 の出力は、キャパシタ C 2 に直接接続されている。キャパシタ C 6 は、例えば、強誘電体キャパシタで構成されている。キャパシタ C 6 の容量値は、図 3 のキャパシタ C 3 の容量値よりは大きい、インバータアンプ 1 6 のキャパシタ C 2 の容量値より十分小さい。インバータアンプ 1 6 の出力端子 I O U T の電圧およびノード V T H の電圧は、キャパシタ C 6 の容量結合およびキャパシタ C 2 の容量結合により、ノード M G E N X の立ち下がりに同期して僅かに上がる。

40

【 0 0 4 2 】

図 6 は、図 5 に示した半導体メモリの読み出し動作を示している。この例では、ノード

50

V T Hの時刻T 4以降の波形のみが図4と相違する。その他の波形は、図4と同じである。

【0043】

時刻T 4において、負電圧制御信号M G E Nの変化によりノードM G E N Xが立ち下ると、キャパシタC 6の容量結合により、フィードバックインバータ1 6 aの出力電圧I O U Tは強制的に僅かに上昇する。ノードV T Hの電圧は、キャパシタC 2の容量結合により、出力電圧I O U Tに応じて強制的に上昇する。すなわち、ノードV T Hの電圧は、インバータアンプ1 6の動作と無関係に、負電圧制御信号M G E Nの変化に同期して上昇する。これにより、p M O Sトランジスタ1 2のゲート・ソース間電圧（絶対値）が小さくなり、p M O Sトランジスタ1 2を介してノードM I N Sからビット線B Lに流れるリーク電流は低減される。すなわち、電荷転送回路1 2の電荷転送能力は低下する。したがって、図4と同様に、メモリセルM Cからビット線B Lに電荷が読み出される前に、p M O Sトランジスタ1 2のソース・ドレイン間リークによりノードM I N Sの電圧が上昇することが防止される。

10

【0044】

この例では、リーク抑制回路2 4により、p M O Sトランジスタ1 2のゲート電圧を強制的に直接調整できるため、電荷転送回路1 2の電荷転送能力を迅速かつ高い精度で調整できる。

【0045】

図7は、本発明に関連する半導体メモリのプリセンスアンプを示している。図3で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この例では、図3のプリセンスアンプP S A 1の代わりにプリセンスアンプP S A 3が形成されている。その他の構成は、図3と同じである。すなわち、半導体メモリは、シリコン基板上にC M O Sプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、プリセンスアンプを除き、上述した図1および図2と同じである。

20

【0046】

プリセンスアンプP S A 3は、図3のプリセンスアンプP S A 1のリーク抑制回路1 4および閾値電圧生成回路1 8の代わりに、電荷転送能力調整回路2 6（プルダウン回路）および閾値電圧生成回路2 8（初期化回路）を有している。また、プリセンスアンプP S A 3には、インバータアンプ1 6は形成されていない。プリセンスアンプP S A 3のその他の構成は、プリセンスアンプP S A 1と同じである。

30

【0047】

電荷転送能力調整回路2 6は、制御信号V B U M Pの入力ノードと、ノードV T Hとの間に直列に配置されたC M O Sインバータ2 6 aおよびキャパシタC 7を有している。キャパシタC 7は、例えば、強誘電体キャパシタで構成されている。キャパシタC 7の容量値は、キャパシタC 4の容量値より小さく設計されている。ノードV T Hの電圧は、制御信号V B U M Pの低レベルから高レベルへの変化にตอบสนองして、キャパシタC 7の容量結合により、一時的に下降する。制御信号V B U M Pは、タイミング生成回路T G E N（図1）が生成する。

40

【0048】

閾値電圧生成回路2 8は、スイッチS 2が削除されていること、電圧生成回路2 8 aがC M O Sインバータで構成されていること、およびクランプ回路2 8 b（p M O Sトランジスタ）の閾値電圧の絶対値が、電荷転送回路1 2（p M O Sトランジスタ）の閾値電圧の絶対値より低いことを除き、図3の閾値電圧生成回路1 8と同じである。スイッチS 2が存在しないため、クランプ回路2 8 b（p M O Sトランジスタ）のソースは、接地線に直接接続されている。電圧生成回路2 8 aの入力は、図3の電圧制御信号V G E N Pと同じ論理の電圧制御信号V G E Nを受けている。例えば、p M O Sトランジスタ2 8 bの閾値電圧は、- 0 . 5 Vであり、p M O Sトランジスタ1 2の閾値電圧は、- 0 . 6 Vであ

50

る。閾値電圧（絶対値）は、トランジスタのゲート長を小さくする、ゲート幅を大きくする、あるいは、バックゲートの不純物濃度を低くする等により下げることができる。

【 0 0 4 9 】

図 8 は、図 7 に示した半導体メモリの読み出し動作を示している。この例では、電圧制御信号 V G E N の波形は、図 4 の電圧制御信号 V G E N P の波形と同じである。制御信号 V B U M P は、ワード線 W L およびプレート線 P L の活性化タイミングと同じ時刻 T 5 に高レベルに変化し、時刻 T 7 に低レベルに変化する。その他の波形は、ノード V T H の波形を除いて図 4 と同じである。

【 0 0 5 0 】

時刻 T 2 において、ノード V T H の電圧は、電圧制御信号 V G E N が高レベルに変化した後、p M O S トランジスタ 2 8 b の閾値電圧に応じて、例えば、約 - 0 . 5 V にクランプされる。時刻 T 4 において、負電圧制御信号 M G E N が高レベルに変化し、ノード M G E N X の電圧は 3 V 下がり、ノード M I N S の電圧もほぼ 3 V 下がる。このとき、ビット線 B L およびノード V T H の電圧は、それぞれ 0 V、- 0 . 5 V であり、p M O S トランジスタ 1 2 のゲート・ソース間電圧の絶対値は、p M O S トランジスタ 1 2 の閾値電圧の絶対値より低い。このため、ノード M I N S からビット線 B L へのリークは発生せず、ノード M I N S の電圧は、期間 T 4 から T 5 において一定になる。

【 0 0 5 1 】

時刻 T 5 において、ワード線 W L およびプレート線 P L が高レベルに変化し、同時に制御信号 V B U M P が高レベルに変化する。ノード V T H は、キャパシタ C 7 の容量結合により、制御信号 V B U M P の高レベルへの変化にตอบสนองして、p M O S トランジスタ 1 2 の閾値電圧（例えば、- 0 . 6 V）より低くなる（例えば、- 0 . 8 V）。ノード V T H の電圧は、p M O S トランジスタ 2 8 b によりクランプされるため、徐々に - 0 . 5 V に戻る。ノード V T H の電圧が p M O S トランジスタ 1 2 の閾値電圧より低い間、p M O S トランジスタ 1 2 の電荷転送能力は、一時的に高くなり、p M O S トランジスタ 1 2 に十分な電流が流れる。このため、時刻 T 5 から所定の期間、ビット線に読み出された電荷をノード M I N S 側に転送することができる。時刻 T 7 において、制御信号 V B U M P が低レベルに変化し、プリセンスアンプ P S A 3 の動作が終了する。

【 0 0 5 2 】

この例では、ノード M I N S の電圧が所定の負電圧に設定されてからワード線 W L およびプレート線 P L が活性化するまでの期間、ノード V T H の電圧を p M O S トランジスタ 1 2 の閾値電圧より高くし、ワード線 W L およびプレート線 P L の活性化に同期してノード V T H の電圧を p M O S トランジスタ 1 2 の閾値電圧より一時的に低くする。このため、メモリセル M C からビット線 B L に電荷が読み出される前に p M O S トランジスタ 1 2 のドレイン・ソース間にリークが発生することを防止できる。メモリセル M C からビット線 B L に電荷が読み出されたときには、ノード M I N S に、メモリセル M C に記憶されているデータの論理値に応じてセンスアンプ S A が動作するために十分な読み出し電圧を生成できる。

【 0 0 5 3 】

プリセンスアンプ P S A 3 にインバータアンプ 1 6（図 3）を形成していないため、プリセンスアンプ P S A 3 のレイアウトサイズを小さくできる。プリセンスアンプ P S A 3 は、ビット線 B L 毎に必要な回路であり、チップ内に配置される数が多い。このため、プリセンスアンプ P S A 3 のレイアウトサイズの削減により、強誘電体メモリのチップサイズを大幅に小さくでき、チップコストを削減できる。また、インバータアンプ 1 6 は、入力電圧に電源電圧 V D D と接地電圧との中間電圧が印加されるため、電源線 V D D から接地線に貫通電流が常に流れている。このため、インバータアンプ 1 6 を使用しないことで、強誘電体メモリの消費電力を削減できる。

【 0 0 5 4 】

図 9 は、本発明に関連する半導体メモリを示している。図 1 で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この例で

10

20

30

40

50

は、メモリコアCOREが図1と相違している。その他の構成は、図1と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。

【0055】

メモリコアCOREのメモリセルアレイARRAYは、相補のビット線BL、BLXに接続された一般に2T2Cと称するメモリセルMCで構成されている。ビット線BL、BLXは、それぞれプリセンスアンプPSA1に接続されている。メモリコアCOREは、ビット線対BL、BLXに対応する一対のプリセンスアンプPSA1毎に、検出回路30を有している。検出回路30は、一対のプリセンスアンプPSA1からそれぞれ出力される読み出し電圧OUT、OUTXの一方が所定電圧(図11に示すVSMT)を超えたときに、プリセンスアンプPSA1内のインバータアンプ16への電源電圧VDD、VSSの供給を停止し、その動作を停止する。

10

【0056】

図10は、図9に示したメモリセルアレイARRAYおよび検出回路30の詳細を示している。メモリセルアレイARRAYは、上述したように、2T2C型のメモリセルMCで構成されている。メモリセルMCは、nMOSトランジスタからなる転送トランジスタ対N1、N2および強誘電体キャパシタ対F1、F2を有している。強誘電体キャパシタF1は、一端が転送トランジスタN1を介してビット線BLに接続され、他端がプレート線PLに接続されている。強誘電体キャパシタF2は、一端が転送トランジスタN2を介してビット線BLXに接続され、他端がプレート線PLに接続されている。転送トランジスタN1、N2のゲートは、共通のワード線WLに接続されている。図中、強誘電体キャパシタF1、F2に付けた矢印は、分極状態を表している。上向きの矢印は、"論理0"を記憶している状態である。下向きの矢印は、"論理1"を記憶している状態である。このように、2T2C型セルでは、一対の強誘電体キャパシタF1、F2は、互いに反対のデータが書き込まれる。このため、図9に示したセンスアンプSAは、相補のビット線BL、BLXにそれぞれ読み出された電荷に対応するノードMINSの電圧(後述する図11の"1 read"、"0 read")を正電圧に変換した値を差動増幅する。したがって、リファレンスメモリセルは不要である。

20

【0057】

検出回路30は、検出部30a、遅延回路DLY、AND回路30bおよびインバータ30cを有している。検出部30aは、対応する一対のプリセンスアンプPSA1の出力OUT、OUTXをそれぞれ受けるシュミットトリガタイプのインバータ30d、インバータ30dの出力を受けるNANDゲート30e、NANDゲート30eの出力と遅延回路DLYの出力とを受けるNANDゲート30fを有している。インバータ30dは、入力の立ち上がりの閾値電圧がVSMTに設定されている。すなわち、インバータ30dは、入力電圧がVSMTを超えたときに、出力を高レベルから低レベルに変化する。

30

【0058】

NANDゲート30eは、負論理のORゲートとして動作する。NANDゲート30fは、遅延回路DLYにより所定時間遅延された負電圧制御信号MGENDの遅延信号MGENDが高レベルの期間動作し、インバータ30dのいずれかの低レベルへの変化にตอบสนองして出力を高レベルから低レベルに変化する。AND回路30bは、NANDゲート30fの出力が低レベルの期間、パワー制御信号EPOWの伝達をマスクする。パワー制御信号EPOWのマスクにより、パワー制御信号POW、POWXは、低レベル、高レベルにそれぞれ保持される。

40

【0059】

図11は、図9に示した半導体メモリの読み出し動作を示している。この例では、パワー制御信号POW、POWXの非活性化タイミングが図4と相違する。また、検出回路30の形成により、新たにパワー制御信号EPOWと遅延信号MGENDの波形が記載されている。その他の波形は、図4と同じである。

50

【0060】

2T2C型のメモリセルMCでは、相補のビット線BL、BLXに対応するノードOUT、OUTXの電圧の一方は、期間T5からT6の間にシュミットトリガインバータ30dの閾値電圧VSM Tを必ず超える。検出回路30は、ノードOUT、OUTXの電圧の一方が閾値電圧VSM Tを超えたことを検出したときに、パワー制御信号POW、POWXを低レベル、高レベルにそれぞれ変化させ、プリセンスアンプPSA1内のインバータアンプ16への電源電圧VDDおよび接地電圧の供給を停止する。このため、インバータアンプ16は、増幅動作を停止する。インバータアンプ16は、入力電圧に電源電圧VDDと接地電圧との中間電圧が印加されるため、電源線VDDから接地線に貫通電流が常に流れている。動作が必要ないときにインバータアンプ16への電源の供給を遮断することで、読み出し動作での消費電力が削減される。

10

【0061】

この例では、必要なときのみインバータアンプ16に電源を供給することで、貫通電流を削減でき、強誘電体メモリの動作中の消費電力を削減できる。

【0062】

また、本発明を、2T2C型のメモリセルを有する強誘電体メモリに適用することで、読み出し電圧OUT、OUTXの一方は、必ず閾値電圧VSM Tに達する。このため、インバータアンプ16の動作を、メモリセルMCに保持されているデータの論理値にかかわらず、読み出し動作毎に停止させることができる。この結果、読み出し動作中の消費電力を常に削減できる。

20

【0063】

図12は、本発明に関連する半導体メモリの読み出し動作を示している。図1から図4で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この例では、図9のプリセンスアンプPSA1の代わりにプリセンスアンプPSA2(図5)が形成されている。その他の構成は、図8および図10と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。

【0064】

図13は、本発明に関連する半導体メモリのプリセンスアンプを示している。図3で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この例では、図3のプリセンスアンプPSA1の代わりにプリセンスアンプPSA6が形成されている。その他の構成は、図3と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、プリセンスアンプを除き、上述した図1および図2と同じである。

30

【0065】

プリセンスアンプPSA6は、図3のプリセンスアンプPSA1に、強誘電体材料で形成されたキャパシタC8(プルアップ回路32、転送制御回路)を追加して構成されている。プリセンスアンプPSA6のその他の構成は、プリセンスアンプPSA1と同じである。キャパシタC8は、一端でプルアップ信号PUPを受け、他端をインバータアンプ16に形成されるフィードバックインバータ16aの入力端子IINに接続している。キャパシタC8の容量値は、入力端子IINとビット線BLとの間を接続するキャパシタC1の容量値より十分に小さく、キャパシタC3の容量値とほぼ同じである。

40

【0066】

図14は、図13に示した半導体メモリの読み出し動作を示している。この例では、ノードVTHの時刻T6以降の波形のみが図4と相違する。その他の波形は、図4と同じである。プルアップ信号PUPは、負電圧制御信号MGENが立ち下がり、ワード線WLおよびプレート線PLが駆動された後、時刻T6に立ち上がる。

50

【 0 0 6 7 】

時刻 T 6 において、プルアップ信号 P U P の立ち上がりにより、フィードバックインバータ 1 6 a の入力電圧 I I N は、キャパシタ C 8 の容量結合により強制的に僅かに上昇する。この上昇により、フィードバックインバータ 1 6 a の出力電圧 I O U T は僅かに下降する。ノード V T H の電圧は、キャパシタ C 2 の容量結合により、出力電圧 I O U T に応じて強制的に下降する。このため、ノード V T H の下降率は、時刻 T 6 を境に僅かに大きくなる。

【 0 0 6 8 】

ノード V T H の電圧の下降に伴い、p M O S トランジスタ 1 2 (電荷転送回路) のゲート・ソース間電圧 (絶対値) は大きくなり、p M O S トランジスタ 1 2 を介してノード M I N S からビット線 B L に流れるリーク電流は増加する。すなわち、電荷転送回路 1 2 の電荷転送能力は向上する。このため、強誘電体キャパシタ F 1 からビット線 B L に読み出された電荷は、ビット線 B L に残ることなくノード M I N S に転送される。ノード M I N S の電圧変化 (充電速度) は、図 4 のノード M I N S の波形に比べて大きくなる。ビット線 B L 上に読み出された電荷をノード M I N S に確実に転送できるため、メモリセル M C の特性のばらつきによる読み出し電圧 (ノード M I N S および図 1 3 のノード O U T) の差は小さくなる。

【 0 0 6 9 】

ここで、キャパシタ C 8 の容量値は、ビット線 B L 上の電荷をノード M I N S に転送した後、ビット線 B L の電圧が 0 V になるように設計される。図 3 では、インバータアン
プ 1 6 は、ビット線 B L の電圧のみに応答して動作する。このため、ビット線 B L 上に読み出された全電荷をノード M I N S に転送することは難しく、読み出し動作後に (例えば、時刻 T 7)、ビット線 B L の電圧は 0 V より僅かに高くなってしま
う。換言すれば、ビット線 B L の上昇だけでは、フィードバックインバータ 1 6 a の入力電圧 I I N を出力電圧 I O U T と同じ値にできな
かった。この例では、キャパシタ C 8 により、フィードバックインバータ 1 6 a の入力電圧 I I N を強制的に出力電圧 I O U T と同じ値に戻すこと
で、ビット線 B L 上に読み出された全電荷をノード M I N S に転送できる。

【 0 0 7 0 】

図中のノード M I N S の波形の右端の曲線は、読み出し電圧のばらつき (メモリセル M C の特性のばらつき) を示す分布を示している。図 4 のノード M I N S の波形におけるデータ " 0 " の読み出し電圧のばらつきは大きい。これに対してこの例では、データ " 0 " の読み出し電圧のばらつきを小さくできる。ワーストのメモリセル M C において、データ " 0 " の読み出しマージンを大きくできるため、図 1 において、マージンが不足することで不良品になっていた強誘電体メモリを良品として出荷できる。この結果、強誘電体メモリの歩留を向上できる。ここで、読み出しマージンは、データ " 0 " の読み出し電圧と、図中に破線で示したリファレンスメモリセル R M C からの読み出し電圧との差である。なお、ノード M I N S の読み出し電圧は、データ " 1 " では図 4 および図 1 4 と同、ほぼ 0 V になる。このため、読み出し電圧のばらつきは小さい。

【 0 0 7 1 】

さらに、データ " 1 " の読み出し電圧 M I N S を速く 0 V に近づけることができるため、メモリセル M C から読み出されたデータの論理を、図 4 より早いタイミング (図 1 4 に示した時刻 T 7) で判定できる。この結果、強誘電体メモリのアクセス時間は短縮される。

【 0 0 7 2 】

この例では、プルアップ信号 P U P により駆動されるキャパシタ C 8 により、ビット線 B L 上に読み出された電荷をビット線 B L 上に残すことなくノード M I N S に転送できる。この結果、データ " 0 " の読み出しマージンのばらつきを小さくでき、強誘電体メモリの歩留を向上できる。また、強誘電体メモリのアクセス時間を短縮できる。

【 0 0 7 3 】

図 1 5 は、本発明の半導体メモリの第 1 の実施形態におけるプリセンスアンプを示して

いる。図3で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、図1のプリセンスアンプPSA1の代わりにプリセンスアンプPSA7が形成されている。その他の構成は、図1と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、プリセンスアンプを除き、上述した図1および図2と同じである。

【0074】

プリセンスアンプPSA7は、図3の負電圧生成回路20の代わりに負電圧生成回路34（電荷蓄積回路、初期化回路）を有している。また、プリセンスアンプPSA7は、リーク抑制回路14を有していない。プリセンスアンプPSA7のその他の構成は、プリセンスアンプPSA1と同じである。

10

【0075】

負電圧生成回路34は、負電圧制御信号MGENを受け、出力がノードMGENXに接続されたCMOSインバータ20a、ノードMGENXとノードMINSとの間に配置されたキャパシタC9a（第1キャパシタ）、電源線VDDと接地線との間に直列に接続されたpMOSトランジスタ34a、nMOSトランジスタ34b、およびトランジスタ34a、34bのドレインノードMGENZとノードMINSとの間に配置されたキャパシタC9b（第2キャパシタ）を有している。pMOSトランジスタ34aのゲートは、負電圧制御信号MGENを受け、nMOSトランジスタ34bのゲートは、キャパシタ制御信号UCUTを受けている。キャパシタ制御信号UCUTは、図1に示したタイミング生成回路TGENにより生成される。キャパシタC9a、C9bは、例えば、強誘電体キャパシタで構成されており、その容量値は、図3のキャパシタC4の半分および2倍にそれぞれ設計されている。

20

【0076】

図16は、第1の実施形態における半導体メモリの読み出し動作を示している。この実施形態では、時刻T4以降のノードVTH、MINSの波形が図4と相違する。その他の波形は、図4と同じである。キャパシタ制御信号UCUTは、時刻T4に立ち上がり、時刻T6に立ち下がる。この実施形態のプリセンスアンプPSA7は、リーク抑制回路14を有していないため、時刻T4から時刻T5の期間、ノードVTHの電圧は、上昇することなくほぼ一定の電圧を維持する。

30

【0077】

時刻T4において、負電圧制御信号MGENとキャパシタ制御信号UCUTが同時に高レベルに変化する。pMOSトランジスタ34aはオフし、nMOSトランジスタ34bはオンする。ノードMGENX、MGENZの電圧は、共に高レベルから低レベルに変化する。ノードMINSの電圧は、キャパシタC9a、C9bの容量結合により、ノードMGENX、MGENZの電圧の低下に伴い低下する。電源電圧VDDが3Vの場合、ノードMGENX、MGENZの電圧は3V下がり、ノードMINSの電圧もほぼ3V下がる。ノードMINSの電圧は、0Vに初期化されているため、ノードMGENXの電圧変化によりほぼ-3Vまで下がる。その後、ノードMINSの電圧は、寄生容量によるロスと、既に浅くオンしているpMOSトランジスタ12のリーク電流により、徐々に上昇する。しかし、キャパシタC9a、C9bの容量値の合計は、図3のキャパシタC5の容量値の2.5倍あるため、上昇の程度は、図4より小さい。時刻T4から時刻T6まで動作は、図4と同じである。

40

【0078】

時刻T5において、ワード線WLとプレート線PLの立ち上がりにより、インバータアンプ16が動作し、ノードVTHの電圧が下降する。この下降により、pMOSトランジスタ12のゲート・ソース間電圧（絶対値）は大きくなり、ノードMINSからビット線BLに流れるリーク電流は増加し、ノードMINSの電圧は上昇する。但し、ノードMINSに図3のキャパシタC5より容量値の大きいキャパシタC9a、C9bが並列に接続

50

されているため、電圧の上昇は、図 4 に比べ緩やかである。

【 0 0 7 9 】

一方、時刻 T 6 において、キャパシタ制御信号 U C U T の立ち下がりにより、n M O S トランジスタ 3 4 b はオフし、ノード M G E N Z はフローティング状態になる。このため、キャパシタ C 9 b は、等価的に開放され、ノード M I N S から見えなくなる。すなわち、トランジスタ 3 4 a、3 4 b は、読み出し動作が開始された後、キャパシタ C 9 b と電荷転送回路 1 2 (ノード M I N S) との電気的な接続を解除する接続解放回路として機能する。また、トランジスタ 3 4 b は、読み出し動作が開始された後、キャパシタ C 9 b の他端をフローティング状態に設定するフローティング設定回路として機能する。

【 0 0 8 0 】

ビット線 B L からノード M I N S に転送された電荷を蓄積するキャパシタは、容量値の小さいキャパシタ C 9 a のみになる。したがって、ノード M I N S の電圧の上昇率は、急激に大きくなる。しかし、時刻 T 5 から時刻 T 6 までの間にメモリセル M C からノード M I N S に転送された電荷は、すでにキャパシタ C 9 a、C 9 b に蓄積されている。このため、データ " 0 " を読み出すときのノード M I N S の電圧の上昇は抑えられる。この結果、データ " 0 " とデータ " 1 " の読み出し電圧 (M I N S、O U T) の差は、大きくなる。すなわち、読み出しマージンは大きくなる。

【 0 0 8 1 】

また、図 1 4 と同様に、データ " 1 " の読み出し電圧 M I N S を速く 0 V に近づけることができるため、メモリセル M C から読み出されたデータの論理を、図 4 より早いタイミング (図 1 4 に示した時刻 T 7) で判定できる。この結果、強誘電体メモリのアクセス時間は短縮される。

【 0 0 8 2 】

以上、この実施形態では、図 1 から図 4 に示した例と同様の効果を得ることができる。さらに、この実施形態では、キャパシタ C 9 a、C 9 b の容量値を読み出し動作中に小さくすることにより、読み出しマージンを向上できる。この結果、強誘電体メモリの歩留を向上できる。また、強誘電体メモリのアクセス時間を短縮できる。

【 0 0 8 3 】

図 1 7 は、本発明の半導体メモリの第 2 の実施形態におけるプリセンスアンプを示している。図 3 および図 1 5 で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、図 3 のプリセンスアンプ P S A 1 の代わりにプリセンスアンプ P S A 8 が形成されている。その他の構成は、図 3 と同じである。すなわち、半導体メモリは、シリコン基板上に C M O S プロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、プリセンスアンプを除き、上述した図 1 および図 2 と同じである。

【 0 0 8 4 】

プリセンスアンプ P S A 8 は、図 3 の負電圧生成回路 2 0 の代わりに上述した図 1 5 の負電圧生成回路 3 4 を有している。プリセンスアンプ P S A 8 のその他の構成は、プリセンスアンプ P S A 1 と同じである。

【 0 0 8 5 】

図 1 8 は、図 1 7 に示した半導体メモリの読み出し動作を示している。この実施形態では、時刻 T 5 までの波形は、図 4 と同じである。時刻 T 5 以降の波形は、図 1 6 と同じである。但し、キャパシタ C 9 a、C 9 b の総容量値が図 3 のキャパシタ C 5 の容量値より大きいいため、時刻 T 4 から時刻 T 5 の間におけるノード M I N S の電圧の上昇は、図 4 に比べ緩やかである。キャパシタ制御信号 U C U T は、上述した図 1 6 と同様に、時刻 T 4 に立ち上がり、時刻 T 6 に立ち下がる。この実施形態においても、上述と同様の効果を得ることができる。

【 0 0 8 6 】

図 1 9 は、本発明の半導体メモリの第 3 の実施形態におけるプリセンスアンプを示して

10

20

30

40

50

いる。図3、図5および図15で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、図5のプリセンスアンプPSA2の代わりにプリセンスアンプPSA9が形成されている。その他の構成は、図5と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、プリセンスアンプを除き、上述した図1および図2と同じである。

【0087】

プリセンスアンプPSA9は、図5の負電圧生成回路20の代わりに上述した図15の負電圧生成回路34を有している。プリセンスアンプPSA9のその他の構成は、プリセンスアンプPSA2と同じである。

10

【0088】

図20は、図19に示した半導体メモリの読み出し動作を示している。この実施形態では、時刻T5までの波形は、図6と同じである。時刻T5以降の波形は、図16とほぼ同じである。但し、時刻T4から時刻T5の間におけるノードMINSの電圧の上昇は、図6に比べ緩やかである。キャパシタ制御信号UCUTは、上述した図16と同様に、時刻T4に立ち上がり、時刻T6に立ち下がる。この実施形態においても、上述と同様の効果を得ることができる。

【0089】

図21は、本発明の半導体メモリの第4の実施形態におけるプリセンスアンプを示している。図3、図7および図28で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、図7のプリセンスアンプPSA3の代わりにプリセンスアンプPSA10が形成されている。その他の構成は、図7と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、プリセンスアンプを除き、上述した図1および図2と同じである。

20

【0090】

プリセンスアンプPSA10は、図7の負電圧生成回路20の代わりに上述した図15の負電圧生成回路34を有している。プリセンスアンプPSA10のその他の構成は、プリセンスアンプPSA3と同じである。

30

【0091】

図22は、図21に示した半導体メモリの読み出し動作を示している。この実施形態では、時刻T5までの波形は、図8と同じである。時刻T5以降の波形は、図16とほぼ同じである。但し、時刻T4から時刻T5の間におけるノードMINSの電圧の上昇は、図8に比べ緩やかである。キャパシタ制御信号UCUTは、上述した図16と同様に、時刻T4に立ち上がり、時刻T6に立ち下がる。この実施形態においても、上述と同様の効果を得ることができる。

【0092】

図23は、本発明の半導体メモリの第5の実施形態におけるプリセンスアンプを示している。図3および図15で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態は、図15の構成に電源電圧検出部36および信号選択部38(解放制御回路)を追加して構成されている。その他の構成は、図15と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、上述した図1および図2と同じである。

40

【0093】

電源電圧検出部36は、電源電圧VDDをモニタし、電源電圧VDDが、例えば2.5V以下の間、選択制御信号SELを低レベルに維持し、電源電圧VDDが2.5Vを超え

50

ている間、選択制御信号SELを高レベルに維持する。信号選択部38は、低レベルの選択制御信号SELを受けている間、キャパシタ制御信号UCUTをキャパシタ制御信号UCUT1として出力する。信号選択部38は、高レベルの選択制御信号SELを受けている間、負電圧制御信号MGENをキャパシタ制御信号UCUT1として出力する。キャパシタ制御信号UCUT1は、負電圧生成回路34のnMOSトランジスタ34bのゲートに供給される。

【0094】

すなわち、この実施形態では、電源電圧VDDが2.5Vを超えているとき、キャパシタC9bは、読み出し動作中、キャパシタC9aとともに、常に電荷を蓄積するキャパシタとして作用する。電源電圧VDDが2.5V以下のとき、キャパシタC9bは、読み出し動作の途中で等価的に開放され、ノードMINSから見えなくなる。換言すれば、プリセンスアンプPSA7は、電源電圧VDDが2.5V以下のときのみ上述した図16と同じ動作を実行する。すなわち、信号選択部38は、電源電圧が低いときのみ、トランジスタ34bを読み出し動作中にオフする解放制御回路として機能する。

10

【0095】

図24は、図23に示した半導体メモリの読み出し動作を示している。この実施形態の動作波形は、ノードMINSの波形が電源電圧VDDの応じて異なることを除き、上述した図16と同じである。より詳細には、電源電圧VDDが2.5V以下のとき、ノードMINSの波形は、図16と同じになる。電源電圧VDDが2.5Vを超えているとき、キャパシタC9a、C9bは、読み出し動作中にビット線BLからノードMINSに転送された電荷を常に蓄積するため（電荷を蓄積するキャパシタの容量値が変わらないため）、ノードMINSの波形は、図4に近い波形になる。

20

【0096】

電源電圧VDDが下がると、強誘電体キャパシタに充電される電荷量は、相対的に小さくなる。また、メモリセルMCの強誘電体キャパシタF1から読み出される電荷量は、電源電圧VDDが低いほど相対的に小さくなる。このため、プリセンスアンプPSA7により生成される読み出し電圧MINSは低くなる。具体的には、データ"1"の読み出し電圧とデータ"0"の読み出し電圧との差は小さくなる。本実施形態では、電源電圧VDDが低い読み出し動作中に、キャパシタC9bをノードMINSから解放することで、強誘電体キャパシタの電源電圧VDDによる特性の変化に応じて、最適な読み出し電圧MINSが生成される。この実施形態においても、上述したと同様の効果を得ることができる。さらに、電源電圧VDDに応じて最適な読み出し電圧MINSを生成できる。

30

【0097】

図25は、本発明の半導体メモリの第6の実施形態におけるプリセンスアンプを示している。図3、図15および図23で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態は、図15の構成に温度検出部40および信号選択部38を追加して構成されている。その他の構成は、図15と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、上述した図1および図2と同じである。

40

【0098】

温度検出部40は、強誘電体メモリのチップ温度をモニタし、温度が、例えば0以下の間、選択制御信号SELを高レベルに維持し、温度が0を超えている間、選択制御信号SELを低レベルに維持する。信号選択部38は、低レベルの選択制御信号SELを受けている間、キャパシタ制御信号UCUTをキャパシタ制御信号UCUT1として出力する。信号選択部38は、高レベルの選択制御信号SELを受けている間、負電圧制御信号MGENをキャパシタ制御信号UCUT1として出力する。キャパシタ制御信号UCUT1は、負電圧生成回路34のnMOSトランジスタ34bのゲートに供給される。

【0099】

50

すなわち、この実施形態では、温度が0 以下のとき、キャパシタC 9 bは、読み出し動作中、キャパシタC 9 aとともに、常に電荷を蓄積するキャパシタとして作用する。温度が0 を超えているとき、キャパシタC 9 bは、読み出し動作の途中で等価的に開放され、ノードM I N Sから見えなくなる。換言すれば、プリセンスアンプP S A 7は、温度が0 を超えているときのみ上述した図1 6と同じ動作を実行する。このように、信号選択部3 8は、チップ温度が高いときのみ、トランジスタ3 4 bを読み出し動作中にオフする解放制御回路として機能する。

【0100】

この実施形態では、ノードM I N Sの波形は、温度が0 以下のときに上述した図2 4の上側の波形になり、温度が0 を超えているときに図2 4の下側の波形になる。強誘電体キャパシタに充電される電荷量、およびメモリセルM Cの強誘電体キャパシタF 1から読み出される電荷量は、温度が高いほど相対的に小さくなる。読み出し動作中にノードM I N Sに接続されるキャパシタC 9 a、C 9 bを温度に応じて切り替えることで、強誘電体キャパシタの温度による特性の変化に応じて、最適な読み出し電圧M I N Sが生成される。この実施形態においても、上述と同様の効果を得ることができる。さらに、温度に応じて最適な読み出し電圧M I N Sを生成できる。

【0101】

図2 6は、本発明の半導体メモリの第7の実施形態におけるプリセンスアンプを示している。図3、図1 5および図2 3で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態は、図1 5の構成にアドレレス検出部4 2および信号選択部3 8を追加して構成されている。その他の構成は、図1 5と同じである。すなわち、半導体メモリは、シリコン基板上にC M O Sプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、上述した図1 および図2と同じである。

【0102】

アドレス検出部4 2は、強誘電体メモリを読み出しアクセスするために供給されるアドレス信号A Dを、図1に示したアドレス端子A Dを介して受ける。アドレス検出部4 2は、アドレス信号A Dが図1に示したメモリセルアレイA R Yの端に位置するメモリセルM Cを示すときに低レベルの選択制御信号を出力し、アドレス信号A DがメモリセルM C以外を示すときに高レベルの選択制御信号を出力する。信号選択部3 8は、低レベルの選択制御信号S E Lを受けている間、キャパシタ制御信号U C U Tをキャパシタ制御信号U C U T 1として出力する。信号選択部3 8は、高レベルの選択制御信号S E Lを受けている間、負電圧制御信号M G E Nをキャパシタ制御信号U C U T 1として出力する。キャパシタ制御信号U C U T 1は、負電圧生成回路3 4のn M O Sトランジスタ3 4 bのゲートに供給される。

【0103】

すなわち、この実施形態では、メモリセルアレイA R Yの端以外に位置するメモリセルM Cが読み出しアクセスされるとき、キャパシタC 9 bは、キャパシタC 9 aとともに、常に電荷を蓄積するキャパシタとして作用する。メモリセルアレイA R Yの端に位置するメモリセルM Cが読み出しアクセスされるとき、キャパシタC 9 bは、読み出し動作の途中で等価的に開放され、ノードM I N Sから見えなくなる。換言すれば、プリセンスアンプP S A 7は、メモリセルアレイA R Yの端に位置するメモリセルM Cが読み出しアクセスされるときのみ上述した図1 6と同じ動作を実行する。このように、信号選択部3 8は、メモリセルアレイA R Yの端が読み出しアクセスされたときのみ、トランジスタ3 4 bを読み出し動作中にオフする解放制御回路として機能する。

【0104】

この実施形態では、ノードM I N Sの波形は、メモリセルアレイA R Yの端以外に位置するメモリセルM Cが読み出しアクセスされるときに上述した図2 4の上側の波形になり、メモリセルアレイA R Yの端に位置するメモリセルM Cが読み出しアクセスされるとき

10

20

30

40

50

に図24の下側の波形になる。一般に、メモリセルアレイARRAYの内部に形成される強誘電体キャパシタF1の形状は、同じパターンが繰り返されるため、理想的な形状に形成されやすい。これに対して、メモリセルアレイARRAYの端側に形成される強誘電体キャパシタF1の形状は、繰り返しパターンが途切れるため、理想的な形状に形成されにくい。また、メモリセルアレイARRAYの端に位置するメモリセルMCは、メモリセルMCを構成する絶縁膜、導電膜の厚さも標準値に対してずれやすい。このため、メモリセルアレイARRAYの端側に形成される強誘電体キャパシタF1の特性は、標準時に対してずれやすい。特性がずれやすい強誘電体キャパシタF1を読み出しアクセスするとき、ノードMINSに接続されるキャパシタC9a、C9bを読み出し動作中に切り替えることで、悪い特性を有する強誘電体キャパシタF1からデータを読み出す場合にも、最適な読み出し電圧MINSが生成される。この実施形態においても、上述と同様の効果を得ることができる。さらに、読み出しアクセスするメモリセルMCの位置に依存せずに最適な読み出し電圧MINSを生成できる。

【0105】

図27は、本発明の半導体メモリの第8の実施形態におけるプリセンスアンプを示している。図3、図15および図23で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態は、図15の構成に時間検出部44および信号選択部38を追加して構成されている。その他の構成は、図15と同じである。すなわち、半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、上述した図1および図2と同じである。

【0106】

時間検出部44は、強誘電体メモリの外部から時間信号TIME（例えば、レベルが一定の信号）を受ける。強誘電体メモリは、時間信号TIMEを受けるための時間端子（図示せず）を有している。強誘電体メモリを使用するシステム（ユーザ）は、例えば、強誘電体メモリのアクセスを開始してから所定期間（強誘電体メモリの使用期間；例えば、3年）が経過するまで高レベルの時間信号TIMEを出力し、3年が経過した後に低レベルの時間信号TIMEを出力する。時間検出部44は、高レベルの時間信号TIMEを受けているときに、高レベルの選択制御信号SELを出力し、高レベルの時間信号TIMEを受けているときに、低レベルの選択制御信号SELを出力する。信号選択部38は、高レベルの選択制御信号SELを受けている間、負電圧制御信号MGENをキャパシタ制御信号UCUT1として出力する。信号選択部38は、低レベルの選択制御信号SELを受けている間、キャパシタ制御信号UCUTをキャパシタ制御信号UCUT1として出力する。キャパシタ制御信号UCUT1は、負電圧生成回路34のnMOSトランジスタ34bのゲートに供給される。

【0107】

すなわち、この実施形態では、強誘電体メモリのアクセスを開始してから所定期間が経過するまで、キャパシタC9bは、キャパシタC9aとともに、常に電荷を蓄積するキャパシタとして作用する。所定期間が経過した後、キャパシタC9bは、読み出し動作の途中で等価的に開放され、ノードMINSから見えなくなる。換言すれば、プリセンスアンプPSA7は、所定期間が経過するまで上述した図16と同じ動作を実行する。このように、信号選択部38は、強誘電体メモリの使用期間が所定期間を超えたときのみ、トランジスタ34bを読み出し動作中にオフする解放制御回路として機能する。

【0108】

この実施形態では、ノードMINSの波形は、所定期間が経過するまで上述した図24の上側の波形になり、所定期間が経過した後、上述した図24の下側の波形になる。一般に、強誘電体キャパシタF1は、アクセス回数が多いほどリテンション特性（ヒステリシス特性）が劣化し、メモリセルMCから読み出される電荷量は少なくなる。このため、長期間使用した強誘電体メモリにおいて、ノードMINSに接続されるキャパシタC9a、

10

20

30

40

50

C 9 bを読み出し動作中に切り替えることで、特性が劣化した強誘電体キャパシタ F 1 からデータを読み出す場合にも、最適な読み出し電圧 M I N S が生成される。この実施形態においても、上述と同様の効果を得ることができる。さらに、長期間の使用により特性が劣化した強誘電体キャパシタ F 1 からデータを読み出す場合にも最適な読み出し電圧 M I N S を生成できる。

【 0 1 0 9 】

図 2 8 は、本発明の半導体メモリの第 9 の実施形態におけるプリセンスアンプを示している。図 3 および図 1 5 で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、図 1 5 のプリセンスアンプ P S A 7 の代わりにプリセンスアンプ P S A 1 5 が形成されている。また、電圧検出部 4 8 (解放制御回路) が新たに追加されている。その他の構成は、図 1 5 と同じである。すなわち、半導体メモリは、シリコン基板上に C M O S プロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリの基本的な構成は、上述した図 1 および図 2 と同じである。

10

【 0 1 1 0 】

プリセンスアンプ P S A 1 5 は、図 1 5 の負電圧生成回路 3 4 の代わりに負電圧生成回路 4 6 (電荷蓄積回路、初期化回路) を有している。電圧生成回路 4 6 は、負電圧制御信号 M G E N を受け、出力がノード M G E N X に接続された C M O S インバータ 2 0 a、ノード M G E N X とノード M I N S との間に配置されたキャパシタ C 9 a、電源線 V D D と接地線との間に直列に接続された p M O S トランジスタ 4 6 a、n M O S トランジスタ 4 6 b、4 6 c およびトランジスタ 4 6 a、4 6 b のドレインノード M G E N Z とノード M I N S との間に配置されたキャパシタ C 9 b を有している。トランジスタ 4 6 a、4 6 b のゲートは、負電圧制御信号 M G E N を受け、トランジスタ 4 6 c のゲートは、キャパシタ制御信号 U C U T を受けている。

20

【 0 1 1 1 】

電圧検出部 4 8 は、プリセンスアンプ P S A 1 5 毎に形成されている。電圧検出部 4 8 は、設定信号 S E T およびプリセンスアンプ P S A 1 5 から出力される読み出し電圧 O U T に応じて、キャパシタ制御信号 U C U T の論理レベルを設定する。設定信号 S E T は、図 1 に示したタイミング生成回路 T G E N により生成される。

30

【 0 1 1 2 】

図 2 9 は、電圧検出部 4 8 の詳細を示している。電圧検出部 4 8 は、電源線 V D D と接地線との間に直列に配置された p M O S トランジスタ 4 8 a および n M O S トランジスタ 4 8 b、4 8 c を有している。p M O S トランジスタ 4 8 a および n M O S トランジスタ 4 8 b のゲートは、設定信号 S E T を受けている。n M O S トランジスタ 4 8 c のゲートは、読み出し電圧 O U T を受けている。n M O S トランジスタ 4 8 c の閾値電圧は、V T に設計されている。キャパシタ制御信号 U C U T は、p M O S トランジスタ 4 8 a および n M O S トランジスタ 4 8 b のドレインから出力される。

【 0 1 1 3 】

図 3 0 は、図 2 8 に示した半導体メモリの読み出し動作を示している。この実施形態の動作波形は、ノード M I N S、O U T の波形およびキャパシタ制御信号 U C U T の立ち下がりエッジのタイミングが異なることと、設定信号 S E T の波形が加えられたことを除き、上述した図 1 6 と同じである。

40

【 0 1 1 4 】

設定信号 S E T は、時刻 T 4 に立ち下がり、時刻 T 5 に立ち上がる。キャパシタ制御信号 U C U T は、時刻 T 4 に設定信号 S E T が低レベルに変化すると、読み出し電圧 O U T に関係なく高レベルに変化する。図中、上側のキャパシタ制御信号 U C U T は、データ " 1 " を読み出すプリセンスアンプ P S A 7 に対応する電圧検出部 4 8 から出力される。下側のキャパシタ制御信号 U C U T は、データ " 0 " を読み出すプリセンスアンプ P S A 7 に対応する電圧検出部 4 8 から出力される。時刻 T 6 までの読み出し電圧 M I N S、O U

50

Tの波形は、図16と同じである。但し、読み出し電圧OUTの波形は、図16には示していない。

【0115】

まず、データ"1"がメモリセルMCから読み出される場合、読み出し電圧OUTがnMOSトランジスタ48cの閾値電圧VTを超えたとき(時刻T6a)、対応するキャパシタ制御信号UCUTは低レベルに変化する(図30(a))。この変化により、キャパシタC9bは、等価的に開放され、ノードMINSから見えなくなる。したがって、データ"1"が読み出されるノードMINSの電圧の上昇率は、急激に大きくなる(図30(b))。ノードMINSの電圧の変化に追従して、読み出し電圧OUTも急激に高レベルに変化する(図30(c))。このように、トランジスタ46a、46b、46cは、読み出し動作が開始された後、キャパシタC9bと電荷転送回路12(ノードMINS)との電氣的な接続を解除する接続解放回路として機能する。

10

【0116】

一方、データ"0"がメモリセルMCから読み出される場合、読み出し電圧OUTがnMOSトランジスタ48cの閾値電圧VTを超えたとき(時刻T6b)、対応するキャパシタ制御信号UCUTは低レベルに変化する(図30(d))。この変化により、キャパシタC9bは、等価的に開放され、データ"0"が読み出されるノードMINSの電圧の上昇速度は速くなる(図30(e))。ノードMINSの電圧の変化に追従して、読み出し電圧OUTも急激に高レベルに変化する(図30(f))。

【0117】

すなわち、電圧検出部48は、読み出し電圧OUTが所定値に到達したときに、トランジスタ46cを読み出し動作中にオフする解放制御回路として機能する。このように、データ"1"が読み出されるノードMINSの電圧の上昇速度を、データ"0"が読み出されるノードMINSの電圧に比べて速くすることで、データ"0"とデータ"1"の読み出し電圧(MINS、OUT)の差は、大きくなる。すなわち、読み出しマージンは大きくなる。

20

この実施形態においても、上述と同様の効果を得ることができる。さらに、データ"0"とデータ"1"の読み出し電圧(MINS、OUT)の差を、図16に比べて大きくでき、読み出しマージンは大きくできる。

【0118】

なお、上述した例では、キャパシタC1-C8、C9a、C9bを強誘電体材料で形成する例について述べた。本発明はかかる例に限定されるものではない。例えば、キャパシタC1-C8、C9a、C9bをMOSトランジスタのゲート絶縁膜(MOSゲートキャパシタ)、互いに対向するポリシリコン層間に形成されるキャパシタ、あるいは金属配線層間に形成されるキャパシタで構成してもよい。

30

【0119】

上述した例では、本発明を強誘電体キャパシタを有する強誘電体メモリに適用する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明をDRAM(Dynamic Random Access Memory)に適用してもよい。

40

【0120】

上述した図13から図30では、本発明を、図2に示した1T1C型のメモリセルMCを有する強誘電体メモリに適用する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を、図10に示した2T2C型のメモリセルを有する強誘電体メモリに適用しても同様の効果を得ることができる。

【0121】

上述した図27では、時間信号TIMEに応じて時間検出部44により生成される選択制御信号SELにより、キャパシタ制御信号UCUTの生成タイミングを変更する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、時間信号TIMEを信号選択部38で直接受け、時間信号TIMEに応じてキャパシタ制御信号UCU

50

Tの生成タイミングを変更してもよい。

【0122】

上述した図23から図30では、図15のプリセンスアンプPSA7の負電圧生成回路34の電荷蓄積動作を制御するために、電源電圧検出部36等を形成する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図31から図35に示すように、図17のプリセンスアンプPSA8の負電圧生成回路34の電荷蓄積動作を制御するために、電源電圧検出部36等を形成してもよい。あるいは、特に図示していないが、図19および図21の実施形態のプリセンスアンプPSA9、PSA10の負電圧生成回路34の電荷蓄積動作を制御するために、電源電圧検出部36等を形成してもよい。

【0123】

上述した図23では、信号選択部38は、電源電圧VDDが所定値(2.5V)より低いときのみ、キャパシタC9bを読み出し動作の途中で解放する解放制御回路として機能する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、信号選択部38は、電源電圧VDDが所定値より高いときのみ、電源電圧VDDが所定の範囲にあるとき、あるいは、電源電圧VDDが所定の範囲をはずれたときに、解放制御回路として機能してもよい。

【0124】

上述した図25では、信号選択部38は、チップ温度が所定値(0)より高いときのみ、キャパシタC9bを読み出し動作の途中で解放する解放制御回路として機能する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、信号選択部38は、チップ温度が所定値より低いときのみ、チップ温度が所定の範囲にあるとき、あるいは、チップ温度が所定の範囲をはずれたときに、解放制御回路として機能してもよい。

【0125】

上述した図26では、信号選択部38は、アクセスアドレスがメモリセルアレイARYの端を示すときに、キャパシタC9bを読み出し動作の途中で解放する解放制御回路として機能する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、信号選択部38は、アクセスアドレスがメモリセルアレイARYの端以外を示すときに解放制御回路として機能してもよい。

【0126】

上述した図27では、信号選択部38は、半導体メモリの使用期間が所定期間を超えたときに、キャパシタC9bを読み出し動作の途中で解放する解放制御回路として機能する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、信号選択部38は、半導体メモリの使用期間が所定期間内のときに解放制御回路として機能してもよい。

【0127】

上述した図27では、強誘電体メモリの使用期間に応じてキャパシタC9bの接続時間を変更する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、メモリセルアレイARYまたは各メモリセルMCのアクセス回数をカウントするカウンタを強誘電体メモリに形成し、カウンタ値が所定値を超えたときにキャパシタC9bの接続を読み出し動作中に解除してもよい。

【0128】

以上の説明を整理して、付記として開示する。

(付記1)

データの論理に応じた電荷を蓄積するキャパシタを有するメモリセルと、
前記メモリセルに接続されたビット線と、
前記ビット線に接続される電荷転送回路と、

前記電荷転送回路を介してビット線に接続され、読み出し動作時に前記メモリセルから前記ビット線に読み出される電荷を蓄積するとともに、蓄積電荷に応じて読み出し電圧を生成する電荷蓄積回路と、

10

20

30

40

50

前記電荷蓄積回路が生成する読み出し電圧に応じて前記メモリセルに保持されていたデータの論理を生成する読み出し回路と、

前記ビット線に読み出された電荷を前記電荷蓄積回路に転送するために、読み出された電荷による前記ビット線の電圧の変化に応じて前記電荷転送回路の電荷転送能力を制御する制御回路と、

読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出される前に、前記電荷転送回路の電荷転送能力を一時的に低くするリーク抑制回路とを備えていることを特徴とする半導体メモリ。

(付記 2)

付記 1 記載の半導体メモリにおいて、

前記制御回路は、前記ビット線に接続された入力端子と、前記電荷転送能力を調整するために前記電荷転送回路の制御端子に接続された出力端子とを備え、

前記リーク抑制回路は、前記入力端子に接続されており、読み出し動作において、この入力端子の電圧を前記電荷転送能力が低くなる側に強制的に変化させることを特徴とする半導体メモリ。

(付記 3)

付記 1 記載の半導体メモリにおいて、

前記制御回路は、前記ビット線に接続された入力端子と、前記電荷転送能力を調整するために前記電荷転送回路の制御端子に接続された出力端子とを備え、

前記リーク抑制回路は、前記出力端子に接続されており、読み出し動作において、この出力端子の電圧を前記電荷転送能力が低くなる側に強制的に変化させることを特徴とする半導体メモリ。

(付記 4)

付記 1 記載の半導体メモリにおいて、

読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出される前に、前記電荷転送回路の電荷転送能力を初期状態に設定する初期化回路を備え、

前記リーク抑制回路は、前記初期化回路による初期設定に同期して電荷転送能力を一時的に低くすることを特徴とする半導体メモリ。

(付記 5)

付記 4 記載の半導体メモリにおいて、

前記電荷転送回路は、ゲートが前記制御回路の出力に接続され、ソースおよびドレインの一方および他方が前記ビット線および前記電荷蓄積回路に接続されたトランジスタを備え、

前記初期化回路は、読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出される前に、前記トランジスタのゲート・ソース間電圧を前記トランジスタの閾値電圧に設定し、

前記リーク抑制回路は、前記初期化回路による設定後、前記メモリセルから前記ビット線に電荷が読み出される前まで、前記ゲート・ソース間電圧の絶対値を前記閾値電圧の絶対値より一時的に低くするために、前記トランジスタのゲート電圧を変化させることを特徴とする半導体メモリ。

(付記 6)

付記 1 記載の半導体メモリにおいて、

読み出し動作において、前記メモリセルから前記ビット線への前記電荷の読み出しが開始された後に、前記電荷転送回路の電荷転送能力を高くする転送制御回路を備えていることを特徴とする半導体メモリ。

(付記 7)

付記 1 記載の半導体メモリにおいて、

前記電荷蓄積回路は、

前記メモリセルから前記ビット線に読み出される電荷を蓄積するために、一端が前記電荷転送回路に接続され互いに並列に配置された第 1 および第 2 キャパシタと、

10

20

30

40

50

読み出し動作が開始された後、前記第2キャパシタと前記電荷転送回路との電気的な接続を解除する接続解放回路とを備えていることを特徴とする半導体メモリ。

(付記8)

付記7記載の半導体メモリにおいて、

前記接続解放回路は、読み出し動作が開始された後、前記第2キャパシタの他端をフローティング状態に設定するフローティング設定回路を備えていることを特徴とする半導体メモリ。

(付記9)

付記7記載の半導体メモリにおいて、

電源電圧を検出する電源電圧検出部と、

前記接続解放回路の機能を、前記電源電圧検出部により検出される電源電圧が所定値より低いときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記10)

付記7記載の半導体メモリにおいて、

半導体メモリの温度を検出する温度検出部と、

前記接続解放回路の機能を、前記温度検出部により検出される温度が所定値より高いときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記11)

付記7記載の半導体メモリにおいて、

前記メモリセルを有するメモリセルアレイと、

前記メモリセルを選択するためのアドレスを受けるアドレス端子と、

前記アドレスにより選択されるメモリセルの物理的な位置を検出するアドレス検出部と

、前記接続解放回路の機能を、前記アドレス検出部により検出されるアドレスが前記メモリセルアレイの端を示すときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記12)

付記7記載の半導体メモリにおいて、

半導体メモリの使用期間を示す時間信号を受ける時間端子と、

前記接続解放回路の機能を、前記時間信号が示す使用期間が所定期間を超えているときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記13)

付記7記載の半導体メモリにおいて、

前記読み出し電圧を検出すると共に、前記接続解放回路の機能を、前記読み出し電圧が所定値に達したときに有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記14)

付記1記載の半導体メモリにおいて、

前記読み出し電圧が所定値に達したことを検出し、この検出にตอบสนองして前記制御回路の動作を停止する検出回路を備えていることを特徴とする半導体メモリ。

(付記15)

付記14記載の半導体メモリにおいて、

前記メモリセルに形成され、相補の論理値に応じた電荷をそれぞれ蓄積するキャパシタ対を備え、

前記電荷転送回路、前記電荷蓄積回路、前記制御回路および前記リーク抑制回路は、前記前記キャパシタ対のキャパシタ毎に形成され、

前記検出回路は、前記キャパシタ対に対応する一対の電荷蓄積回路が生成する読み出し電圧のいずれかが所定値に達したことを検出することを特徴とする半導体メモリ。

(付記16)

データの論理に応じて電荷を蓄積するキャパシタを有するメモリセルと、

10

20

30

40

50

前記メモリセルに接続されたビット線と、
 前記ビット線に接続される電荷転送回路と、
 前記電荷転送回路を介してビット線に接続され、読み出し動作時に前記メモリセルから前記ビット線に読み出される電荷を蓄積するとともに、蓄積電荷に応じて読み出し電圧を生成する電荷蓄積回路と、

前記電荷蓄積回路が生成する読み出し電圧に応じて前記メモリセルに保持されていたデータの論理を生成する読み出し回路と、

前記読み出し動作において、前記メモリセルから前記ビット線に前記電荷が読み出されるときに、前記電荷転送回路の電荷転送能力を高くする電荷転送能力調整回路とを備えていることを特徴とする半導体メモリ。

10

(付記 17)

付記 16 記載の半導体メモリにおいて、

前記メモリセルの前記キャパシタを前記ビット線に接続するためのアクセスゲートと、読み出し動作において、前記アクセスゲートがオンする前に、前記電荷転送回路の電荷転送能力を初期状態に設定する初期化回路とを備え、

前記電荷転送能力調整回路は、前記アクセスゲートのオンに同期して、電荷転送能力を一時的に高くすることを特徴とする半導体メモリ。

(付記 18)

付記 17 記載の半導体メモリにおいて、

前記電荷転送回路は、ゲートが前記リーク抑制回路の出力に接続され、ソースおよびドレインの一方および他方が前記ビット線および前記電荷蓄積回路に接続されたトランジスタを備え

20

前記初期化回路は、読み出し動作において、前記アクセスゲートがオンする前に、前記トランジスタのゲート・ソース間電圧の絶対値を前記トランジスタの閾値電圧の絶対値より低く設定し、

前記電荷転送能力調整回路は、前記アクセスゲートのオンに同期して前記ゲート・ソース間電圧の絶対値を前記閾値電圧の絶対値より一時的に大きくするために、前記トランジスタのゲート電圧を変化させることを特徴とする半導体メモリ。

(付記 19)

付記 16 記載の半導体メモリにおいて、

前記電荷蓄積回路は、

前記メモリセルから前記ビット線に読み出される電荷を蓄積するために、一端が前記電荷転送回路に接続され互いに並列に配置された第 1 および第 2 キャパシタと、

30

読み出し動作が開始された後、前記第 2 キャパシタと前記電荷転送回路との電気的な接続を解除する接続解放回路とを備えていることを特徴とする半導体メモリ。

(付記 20)

付記 19 記載の半導体メモリにおいて、

前記接続解放回路は、読み出し動作が開始された後、前記第 2 キャパシタの他端をフローティング状態に設定するフローティング設定回路を備えていることを特徴とする半導体メモリ。

40

(付記 21)

データの論理に応じて電荷を蓄積するキャパシタを有するメモリセルと、

前記メモリセルに接続されたビット線と、

前記ビット線に接続される電荷転送回路と、

前記電荷転送回路を介してビット線に接続され、読み出し動作時に前記メモリセルから前記ビット線に読み出される電荷を蓄積するとともに、蓄積電荷に応じて読み出し電圧を生成する電荷蓄積回路と、

前記電荷蓄積回路が生成する読み出し電圧に応じて前記メモリセルに保持されていたデータの論理を生成する読み出し回路とを備え、

前記電荷蓄積回路は、

50

前記メモリセルから前記ビット線に読み出される電荷を蓄積するために、一端が前記電荷転送回路に接続され互いに並列に配置された第1および第2キャパシタと、

読み出し動作が開始された後、前記第2キャパシタと前記電荷転送回路との電気的な接続を解除する接続解放回路とを備えていることを特徴とする半導体メモリ。

(付記22)

付記21記載の半導体メモリにおいて、

前記接続解放回路は、読み出し動作が開始された後、前記第2キャパシタの他端をフローティング状態に設定するフローティング設定回路を備えていることを特徴とする半導体メモリ。

(付記23)

付記21記載の半導体メモリにおいて、

電源電圧を検出する電源電圧検出部と、

前記接続解放回路の機能を、前記電源電圧検出部により検出される電源電圧が所定値より低いときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記24)

付記21記載の半導体メモリにおいて、

半導体メモリの温度を検出する温度検出部と、

前記接続解放回路の機能を、前記温度検出部により検出される温度が所定値より高いときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記25)

付記21記載の半導体メモリにおいて、

前記メモリセルを有するメモリセルアレイと、

前記メモリセルを選択するためのアドレスを受けるアドレス端子と、

前記アドレスにより選択されるメモリセルの物理的な位置を検出するアドレス検出部と

、前記接続解放回路の機能を、前記アドレス検出部により検出されるアドレスが前記メモリセルアレイの端を示すときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記26)

付記21記載の半導体メモリにおいて、

半導体メモリの使用期間を示す時間信号を受ける時間端子と、

前記接続解放回路の機能を、前記時間信号が示す使用期間が所定期間を超えているときのみ有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

(付記27)

付記21記載の半導体メモリにおいて、

前記読み出し電圧を検出すると共に、前記接続解放回路の機能を、前記読み出し電圧が所定値に達したときに有効にする解放制御回路とを備えていることを特徴とする半導体メモリ。

【0129】

付記5記載の半導体メモリでは、電荷転送回路は、ゲートが制御回路の出力に接続され、ソースおよびドレインの一方および他方がビット線および電荷蓄積回路に接続されたトランジスタを有している。初期化回路は、読み出し動作において、メモリセルからビット線に電荷が読み出される前に、トランジスタのゲート・ソース間電圧をトランジスタの閾値電圧に設定する。リーク抑制回路は、初期化回路による設定後、メモリセルからビット線に電荷が読み出される前まで、ゲート・ソース間電圧の絶対値を閾値電圧の絶対値より一時的に低くするために、トランジスタのゲート電圧を変化させる。このように、電荷転送回路をトランジスタで構成し、リーク抑制回路によりトランジスタのゲート・ソース間電圧を調整することで、電荷転送回路の電荷転送能力を容易に調整できる。

【0130】

付記8、20、22記載の半導体メモリでは、接続解放回路のフローティング設定回路

10

20

30

40

50

は、読み出し動作が開始された後、第2キャパシタの他端をフローティング状態に設定する。このため、第2キャパシタと電荷転送回路との電気的な接続を容易に解除できる。

【0131】

付記9、23記載の半導体メモリでは、解放制御回路の制御により、接続解放回路の機能は、電源電圧検出部により検出される電源電圧が所定値より低いときのみ有効になる。読み出し動作中の第2キャパシタの接続/非接続を、電源電圧に応じて制御することで、電源電圧による強誘電体キャパシタの特性の変化に応じて、最適な読み出し電圧を生成できる。

【0132】

付記10、24記載の半導体メモリでは、解放制御回路の制御により、接続解放回路の機能は、温度検出部により検出される温度が所定値より高いときのみ有効になる。読み出し動作中の第2キャパシタの接続/非接続を、温度に応じて制御することで、温度による強誘電体キャパシタの特性の変化に応じて、最適な読み出し電圧を生成できる。

10

【0133】

付記11、25記載の半導体メモリでは、解放制御回路の制御により、接続解放回路の機能は、アドレス検出部により検出されるアドレスがメモリセルアレイの端を示すときのみ有効になる。読み出し動作中の第2キャパシタの接続/非接続を、アクセスされるメモリセルの位置に応じて制御することで、レイアウトに依存する強誘電体キャパシタの特性の変化に応じて、最適な読み出し電圧を生成できる。

【0134】

20

付記12、26記載の半導体メモリでは、解放制御回路の制御により、接続解放回路の機能は、時間信号が示す使用期間が所定期間を超えているときのみ有効になる。読み出し動作中の第2キャパシタの接続/非接続を、強誘電体メモリの使用期間に応じて制御することで、強誘電体キャパシタの特性の劣化に応じて、最適な読み出し電圧を生成できる。

【0135】

付記13、27記載の半導体メモリでは、解放制御回路は、読み出し電圧を検出すると共に、接続解放回路の機能を、読み出し電圧が所定値に達したときに有効にする。例えば、参照電圧を用いて読み出し電圧の論理値を検出する場合、あるいは相補の読み出し電圧を用いて読み出し電圧の論理値を検出する場合、一方の電圧は、他方の電圧より早く所定値に到達する。所定値に到達した電圧は、接続解放回路の機能により急激に上昇するため、読み出しマージンを向上できる。

30

【0136】

付記17記載の半導体メモリでは、メモリセルは、キャパシタをビット線に接続するためのアクセスゲートを有している。初期化回路は、読み出し動作において、アクセスゲートがオンする前に、電荷転送回路の電荷転送能力を初期状態に設定する。電荷転送能力調整回路は、アクセスゲートのオンに同期して、電荷転送能力を一時的に高くする。このため、初期設定後、データの読み出しに同期して電荷転送能力を高くでき、電荷蓄積回路は、読み出し回路が動作するために十分な読み出し電圧を生成できる。データが読み出される前には、電荷蓄積回路とビット線との間で電荷が転送されることを防止できる。

【0137】

40

付記18記載の半導体メモリでは、電荷転送回路は、ゲートが電荷転送能力調整回路の出力に接続され、ソースおよびドレインの一方および他方がビット線および電荷蓄積回路に接続されたトランジスタを有している。初期化回路は、読み出し動作において、アクセスゲートがオンする前に、トランジスタのゲート・ソース間電圧の絶対値をトランジスタの閾値電圧の絶対値より低く設定する。電荷転送能力調整回路は、アクセスゲートのオンに同期してゲート・ソース間電圧の絶対値を閾値電圧の絶対値より一時的に大きくするために、トランジスタのゲート電圧を変化させる。このように、電荷転送回路をトランジスタで構成し、リーク抑制回路によりトランジスタのゲート・ソース間電圧を調整することで、電荷転送回路の電荷転送能力を容易に調整できる。

【0138】

50

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【図面の簡単な説明】

【0139】

【図1】本発明に関連する半導体メモリを示すブロック図である。

【図2】図1に示したメモリセルおよびリファレンスメモリセルの詳細を示す回路図である。

【図3】図1に示したプリセンスアンプの詳細を示す回路図である。

【図4】図1に示した半導体メモリの読み出し動作を示す波形図である。

10

【図5】本発明に関連する半導体メモリのプリセンスアンプの詳細を示す回路図である。

【図6】図5に示した半導体メモリの読み出し動作を示す波形図である。

【図7】本発明に関連する半導体メモリのプリセンスアンプの詳細を示す回路図である。

【図8】図7に示した半導体メモリの読み出し動作を示す波形図である。

【図9】本発明に関連する半導体メモリを示すブロック図である。

【図10】図9に示したメモリセルおよび検出回路の詳細を示す回路図である。

【図11】図9に示した半導体メモリの読み出し動作を示す波形図である。

【図12】本発明に関連する半導体メモリの読み出し動作を示す波形図である。

【図13】本発明に関連する半導体メモリのプリセンスアンプの詳細を示す回路図である。

20

【図14】図13に示した半導体メモリの読み出し動作を示す波形図である。

【図15】本発明の第1の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図16】第1の実施形態における半導体メモリの読み出し動作を示す波形図である。

【図17】本発明の第2の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図18】図17に示した半導体メモリの読み出し動作を示す波形図である。

【図19】本発明の第3の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図20】図19に示した半導体メモリの読み出し動作を示す波形図である。

30

【図21】本発明の第4の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図22】図21に示した半導体メモリの読み出し動作を示す波形図である。

【図23】本発明の第5の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図24】図23に示した半導体メモリの読み出し動作を示す波形図である。

【図25】本発明の第6の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図26】本発明の第7の実施形態におけるプリセンスアンプの詳細を示す回路図である。

40

【図27】本発明の第8の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図28】本発明の第9の実施形態におけるプリセンスアンプの詳細を示す回路図である。

【図29】図28に示した電圧検出部の詳細を示す回路図である。

【図30】図28に示した半導体メモリの読み出し動作を示す波形図である。

【図31】本発明の別の適用例を示す回路図である。

【図32】本発明の別の適用例を示す回路図である。

【図33】本発明の別の適用例を示す回路図である。

【図34】本発明の別の適用例を示す回路図である。

50

【図35】本発明の別の適用例を示す回路図である。

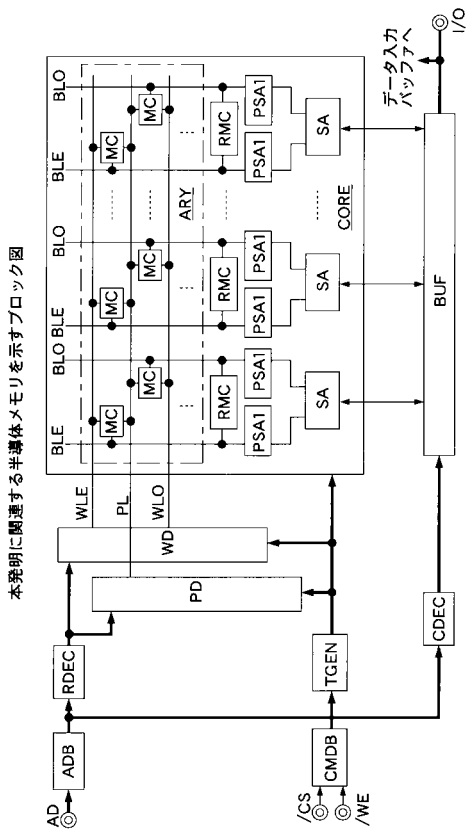
【符号の説明】

【0140】

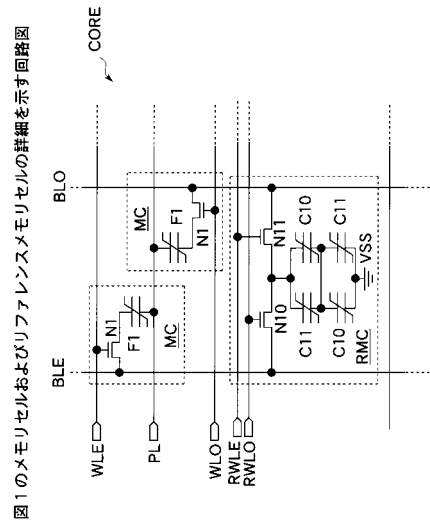
10	ビット線初期化回路	
12	電荷転送回路	
14	リーク抑制回路	
16	インバータアンプ	
18	閾値電圧生成回路	
20	負電圧生成回路	
22	レベルシフト回路	10
24	リーク抑制回路	
26	電荷転送能力調整回路	
28	閾値電圧生成回路	
30	検出回路	
32	ブルアップ回路	
34	負電圧生成回路	
36	電源電圧検出部	
38	信号選択部	
40	温度検出部	
42	アドレス検出部	20
44	時間検出部	
46	負電圧生成回路	
48	電圧検出部	
ADB	アドレスバッファ	
ARY	メモリセルアレイ	
BL、BLE、BLO、BLX	ビット線	
BUF	データ出力バッファ	
C1、C2、C3、C4、C5、C6、C7	キャパシタ	
C8、C9a、C9b	キャパシタ	
CDEC	コラムデコーダ	30
CMDB	コマンドバッファ	
CORE	メモリコア	
F1、F2	強誘電体キャパシタ	
IIN	入力端子	
IOUT	出力端子	
MC	メモリセル	
MGEN	負電圧制御信号	
MINS	ノード	
N1、N2	アクセストランジスタ	
OUT、OUTX	読み出し電圧	40
PD	プレートドライバ	
PSA1、PSA2、PSA3	プリセンスアンプ	
PSA6、PSA7、PSA8、PSA9	プリセンスアンプ	
PSA10、PSA15	プリセンスアンプ	
POWX、POW	パワー制御信号	
RDEC	ロウデコーダ	
RMCM	リファレンスメモリセル	
SA	センスアンプ	
SEL	選択制御信号	
SET	設定信号	50

T GEN タイミング生成回路
 UCUT、UCUT1 キャパシタ制御信号
 VTH ノード
 WD ワードドライバ
 WLE、WLO ワード線

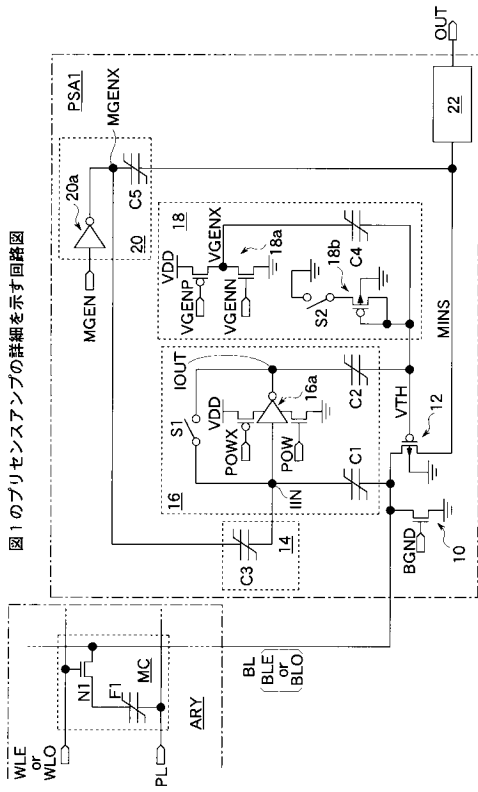
【図1】



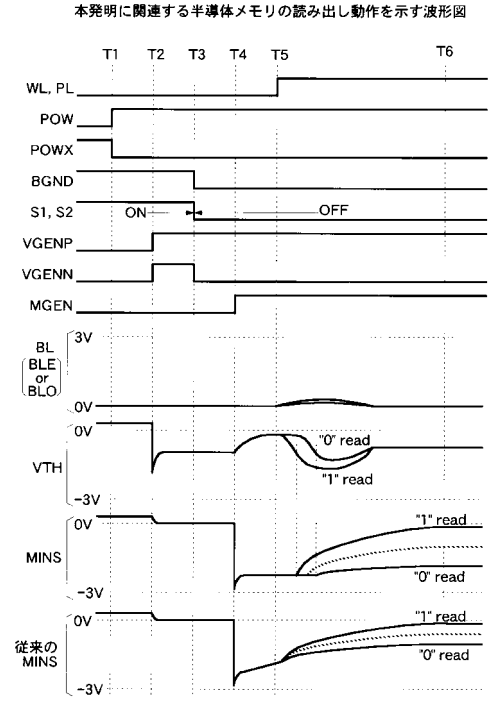
【図2】



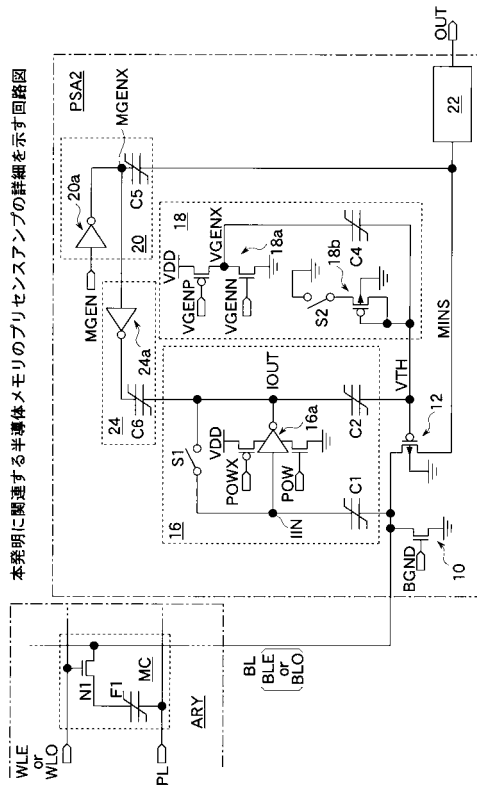
【 図 3 】



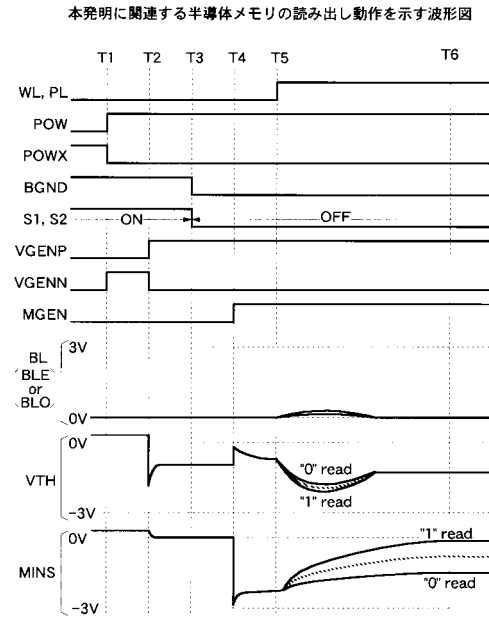
【 図 4 】



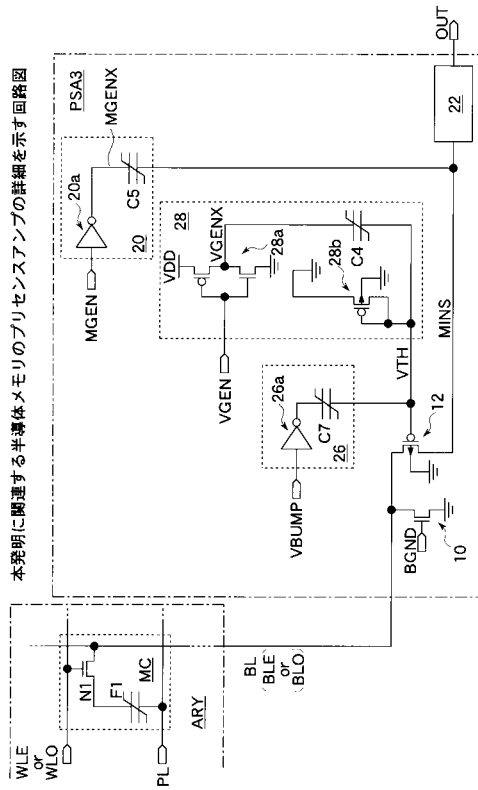
【 図 5 】



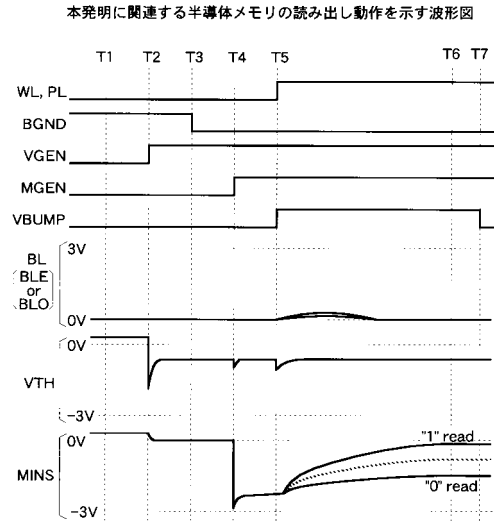
【 図 6 】



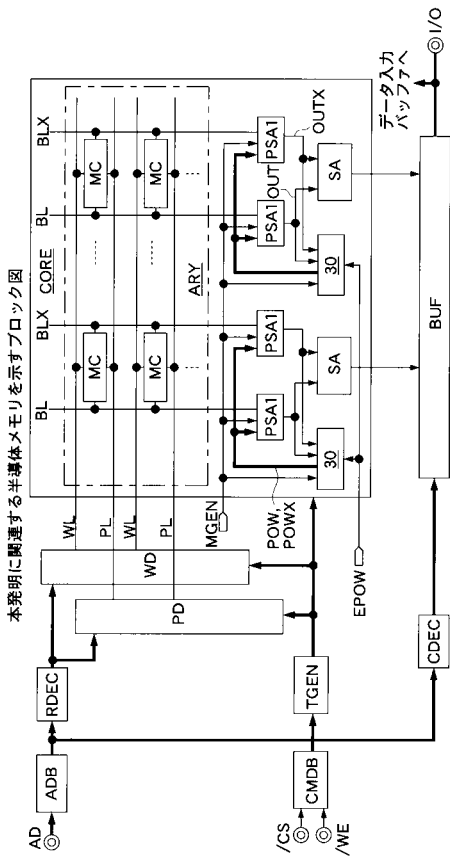
【 図 7 】



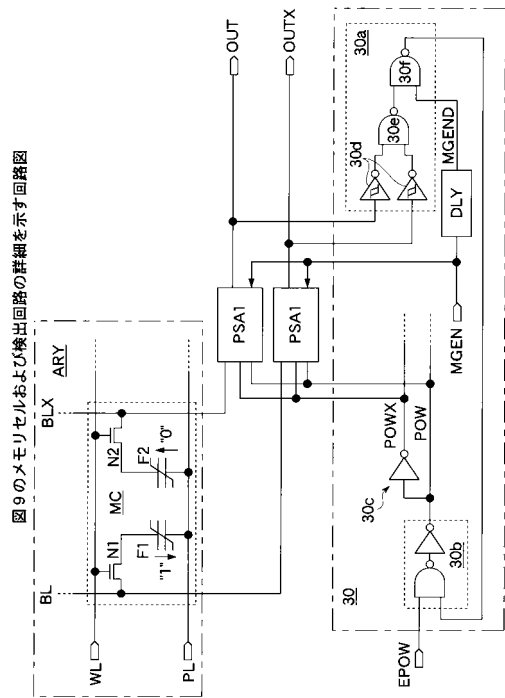
【 図 8 】



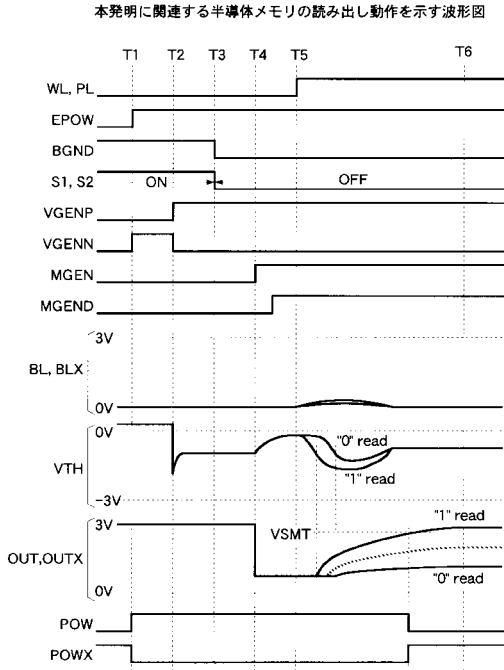
【 図 9 】



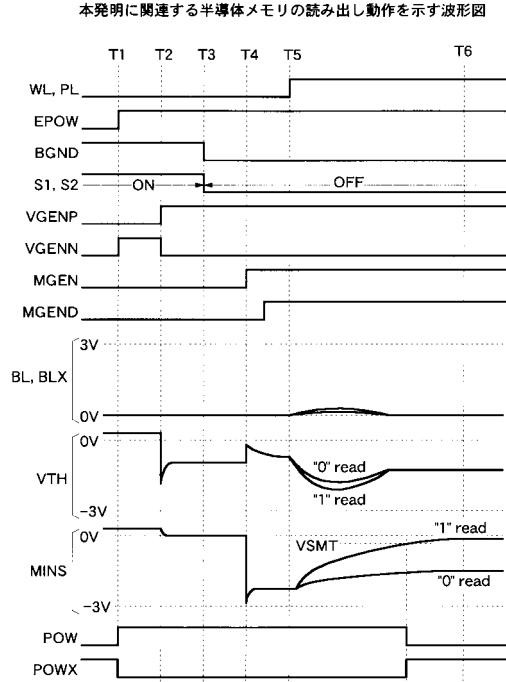
【 図 10 】



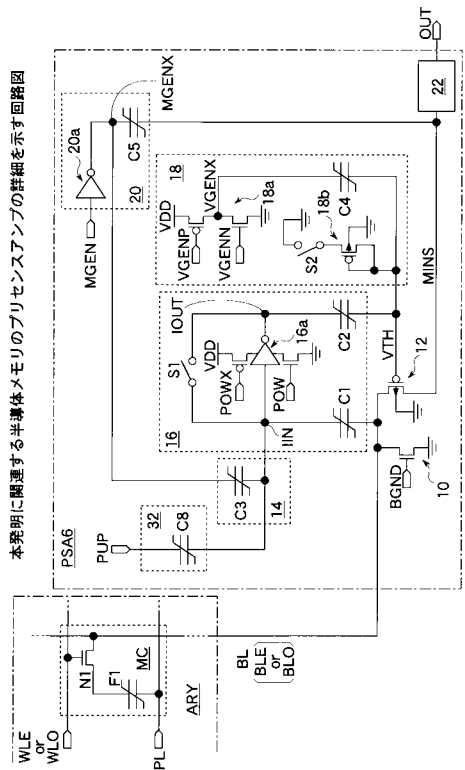
【図11】



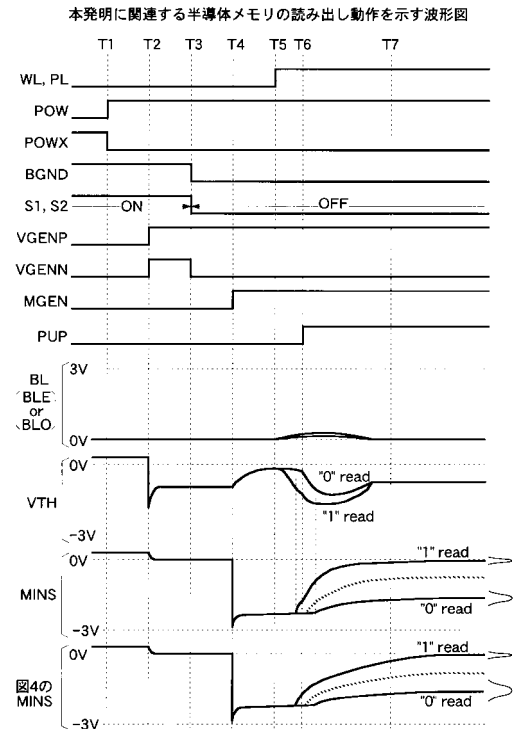
【図12】



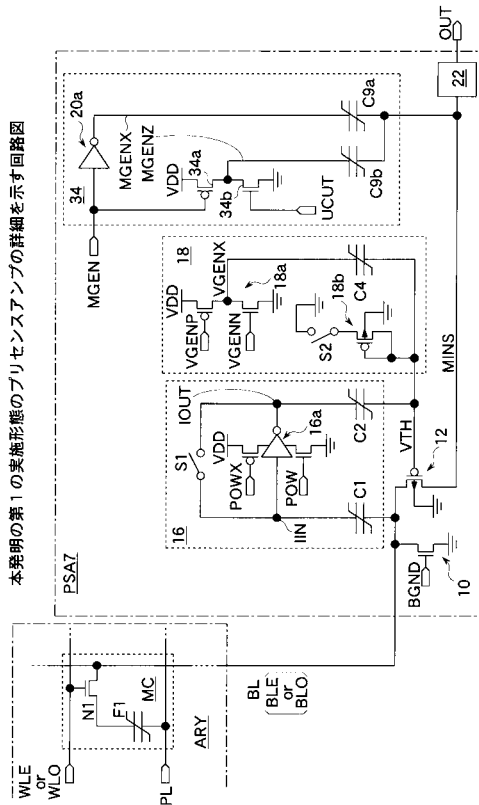
【図13】



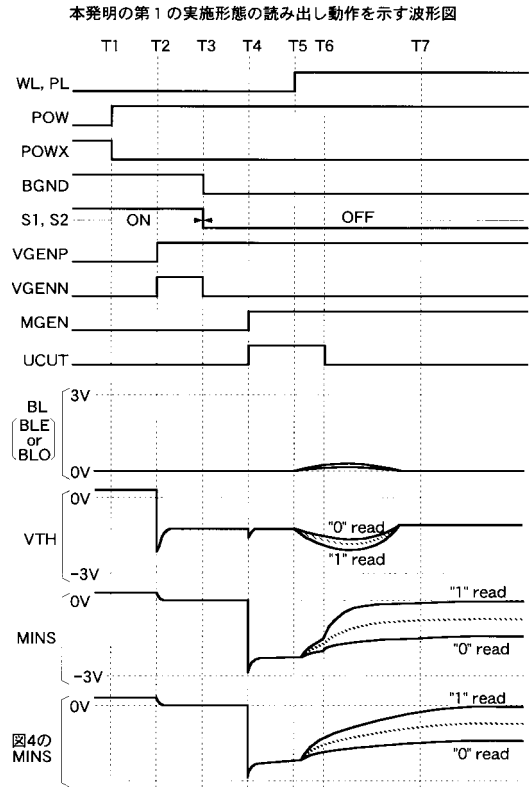
【図14】



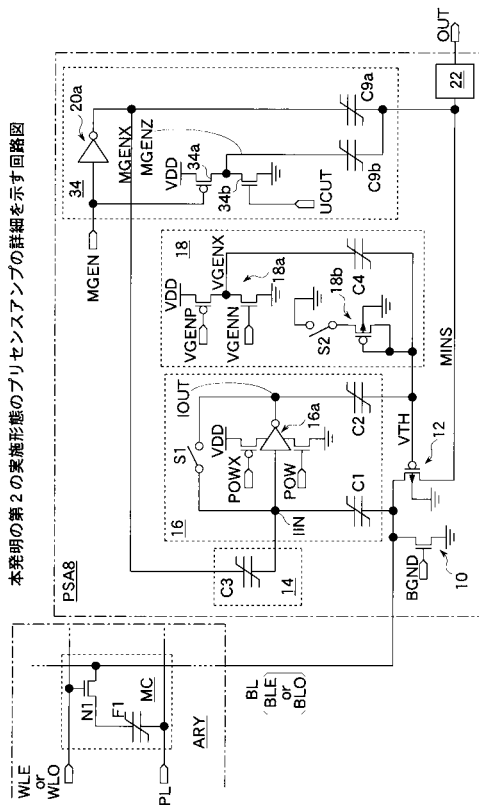
【図15】



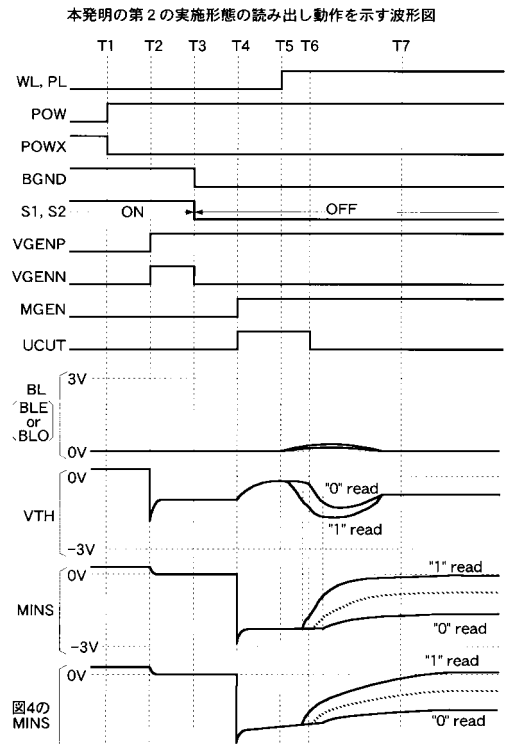
【図16】



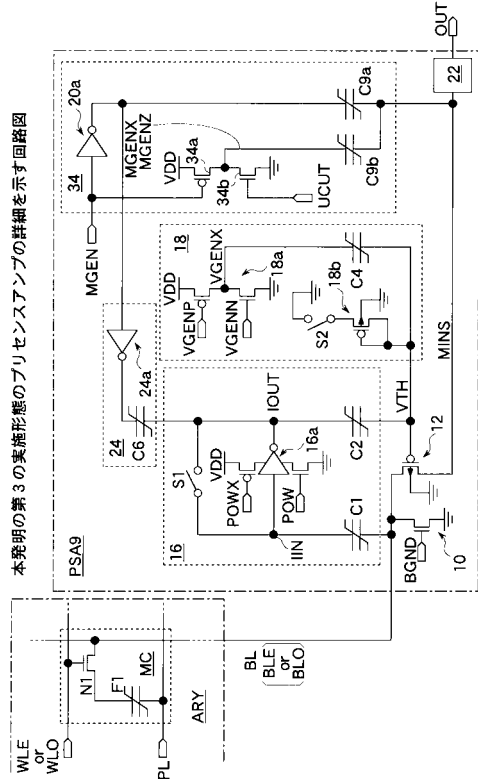
【図17】



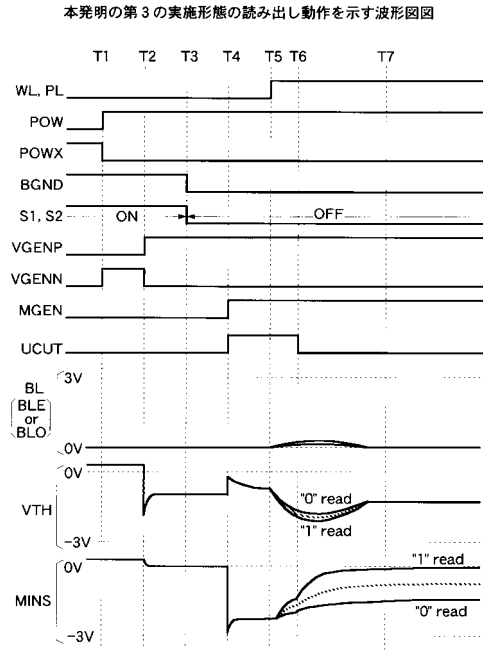
【図18】



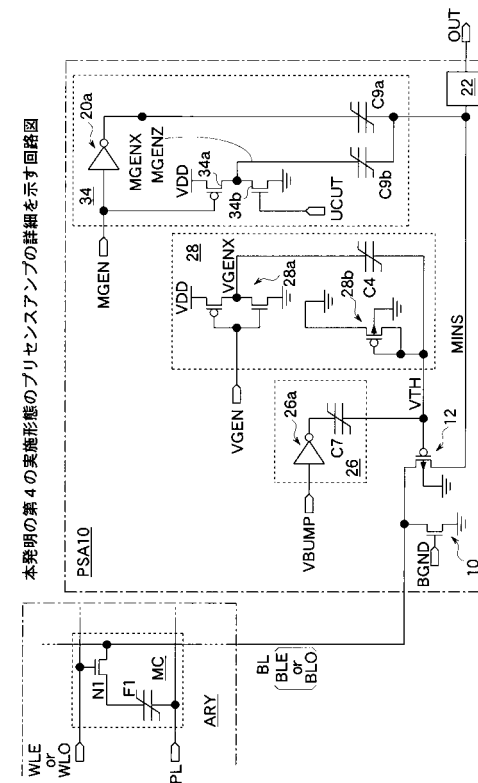
【図19】



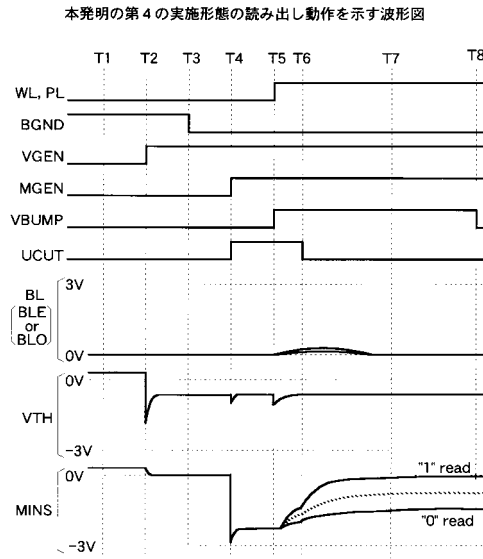
【図20】



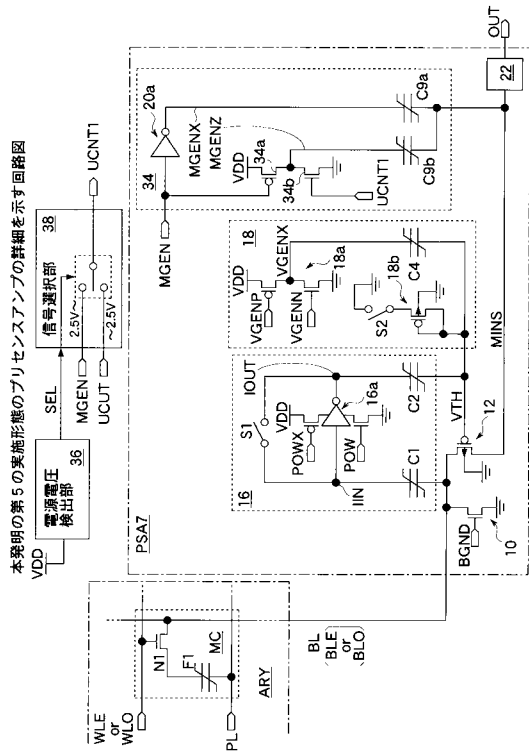
【図21】



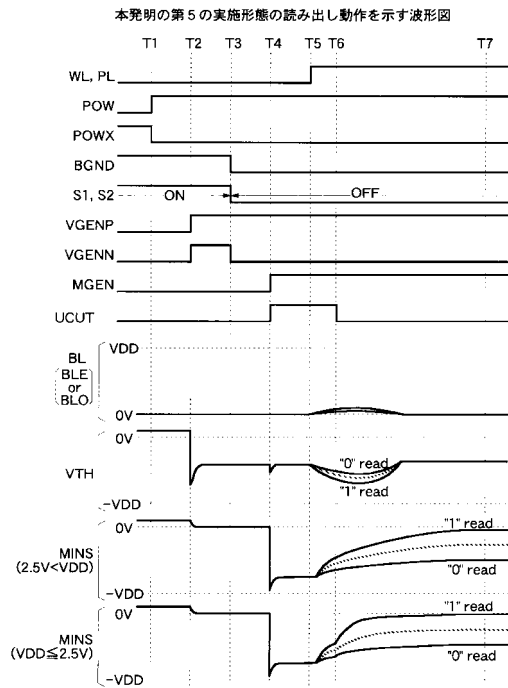
【図22】



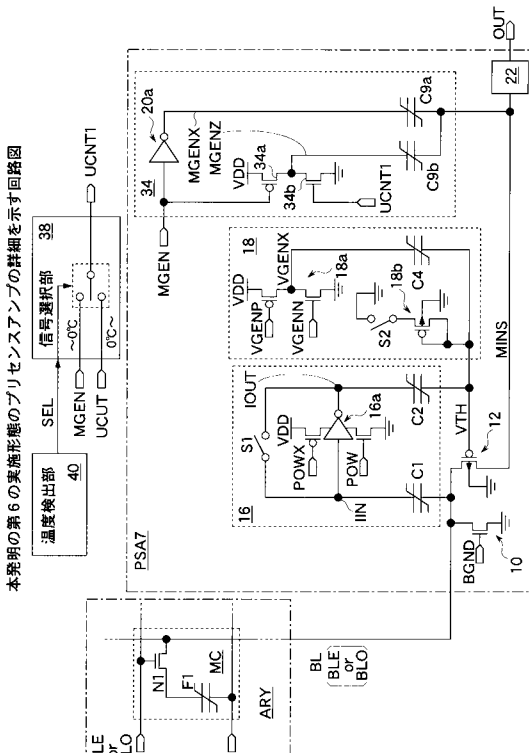
【 図 2 3 】



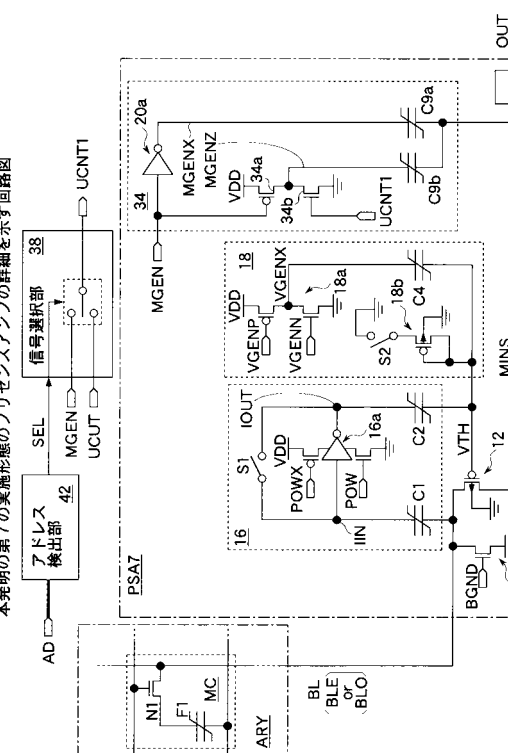
【 図 2 4 】



【 図 2 5 】

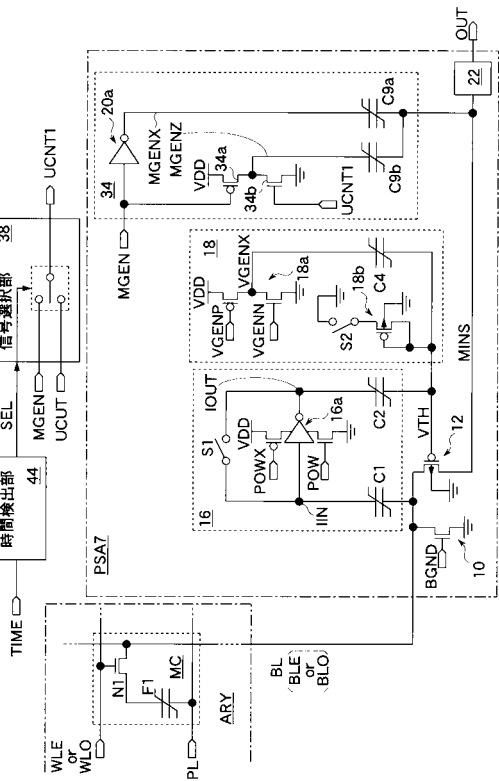


【 図 2 6 】



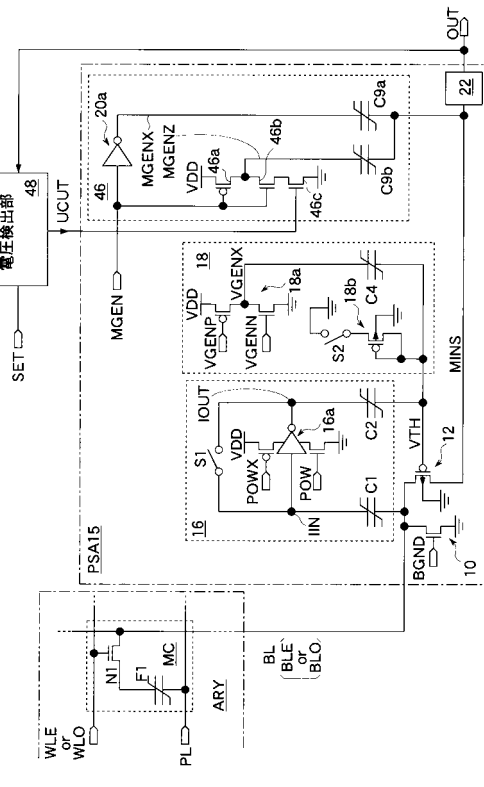
【 図 27 】

本発明の第8の実施形態のプリセンスアンプの詳細を示す回路図



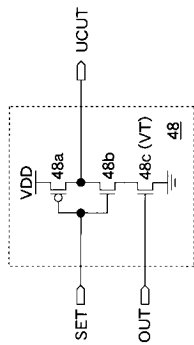
【 図 28 】

本発明の第9の実施形態のプリセンスアンプの詳細を示す回路図



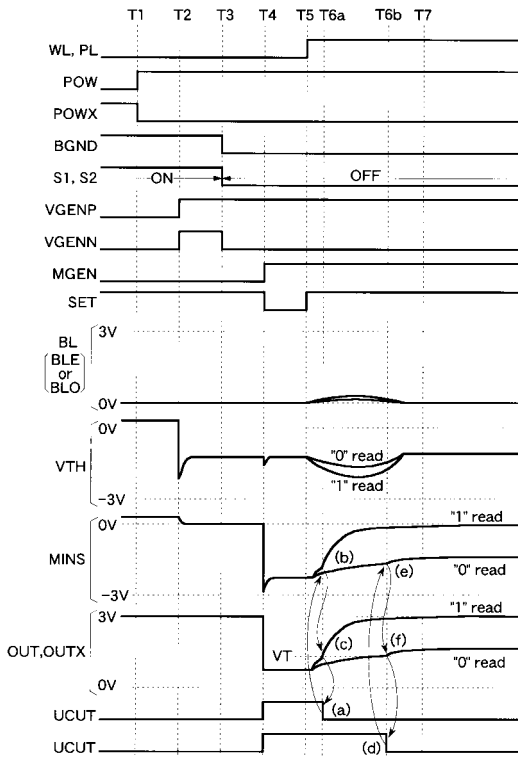
【 図 29 】

図 28 に示した電圧検出部の詳細を示す回路図

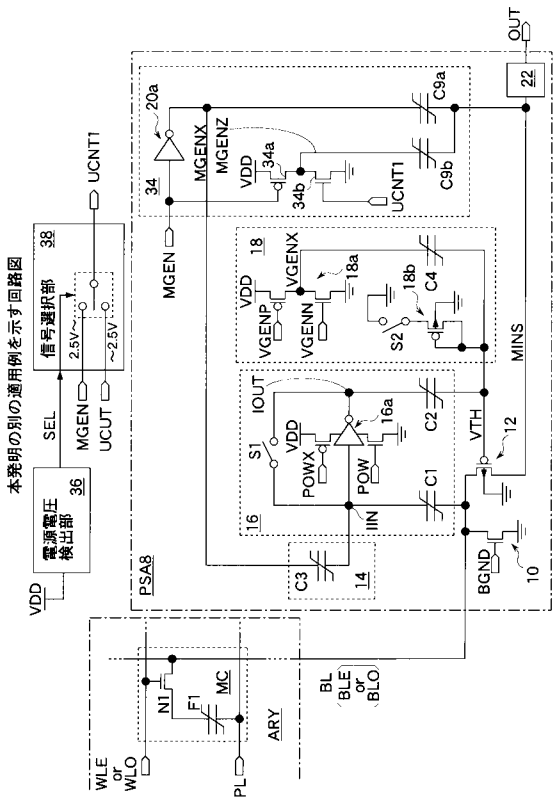


【 図 30 】

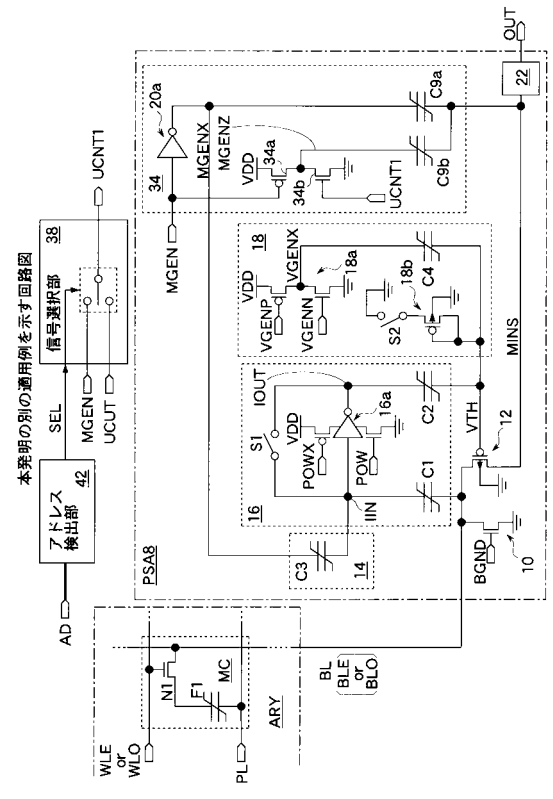
本発明の第9の実施形態の読み出し動作を示す波形図



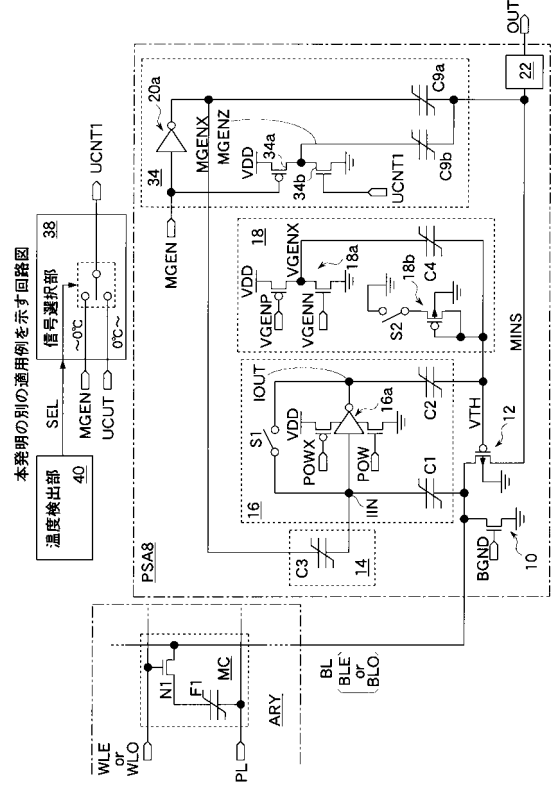
【 図 3 1 】



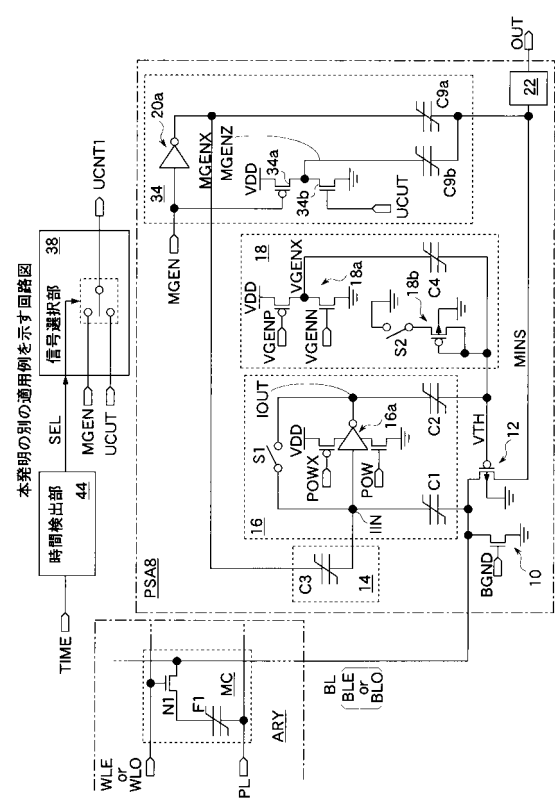
【 図 3 3 】



【 図 3 2 】

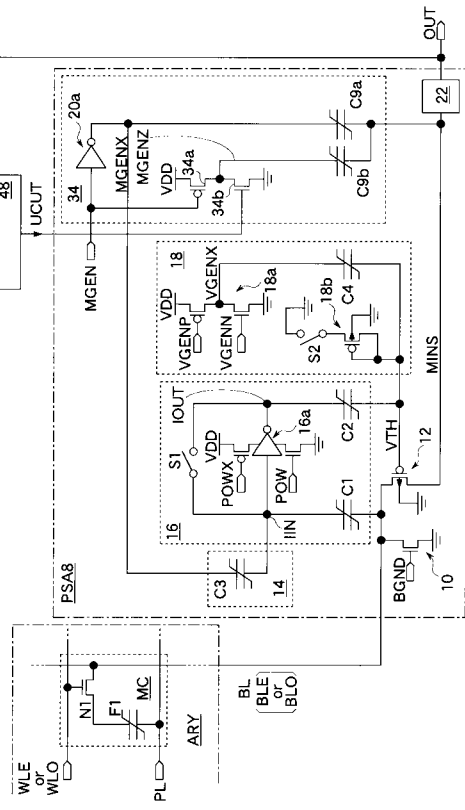


【 図 3 4 】



【 図 35 】

本発明の別の適用例を示す回路図



フロントページの続き

(72)発明者 川嶋 将一郎

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 加藤 俊哉

(56)参考文献 特開2000-195268(JP,A)

特開昭64-010493(JP,A)

特開平07-105693(JP,A)

特開平11-306783(JP,A)

特開昭55-038611(JP,A)

特開平03-296989(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/22

G11C 11/409