

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
G11C 29/00
H01L 21/82

(45) 공고일자 1996년01월25일
(11) 공고번호 96-001304

(21) 출원번호	특1988-0014896	(65) 공개번호	특1989-0008849
(22) 출원일자	1988년11월12일	(43) 공개일자	1989년07월12일
(30) 우선권주장	129,891 1987년11월12일 미국(US)		
(71) 출원인	삼성전자주식회사 김광호		
	경기도 수원시 팔달구 매탄동 416번지		

(72) 발명자 키쓰 더블유.고르키
미합중국, 미네소타 55408, 미네아폴리스, 프레먼트 애비뉴 사우스 3240
로버트 엘.래비
미합중국, 미네소타 55369, 맵플 글로브, 91 애비뉴 노오스 14909

(74) 대리인 나영환, 윤동열, 안진석

심사관 : 김희태 (책자공보 제4304호)

(54) 퓨우즈 상태 검출 회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

퓨우즈 상태 검출 회로

[도면의 간단한 설명]

제1도는 본 발명의 양호한 실시예를 나타내는 개략적인 회로도.

제2도는 본 발명의 다른 실시예를 나타내는 개략적인 회로도.

제3도는 본 발명의 제3의 실시예를 나타내는 개략적인 회로도.

* 도면의 주요부분에 대한 부호의 설명

1, 2 : 퓨우즈 V_{DD} : 정전압원단자

V_{SS} : 접지 C_C : 커패시터

S : 소오스 D : 드레인

QP, QN : 트랜지스터 A, B : 노드

[발명의 상세한 설명]

본 발명은 프로그램 가능한 퓨우즈 회로 소자의 분야에 관한 것으로, 특히 퓨우즈의 상태를 검출하기 위한 회로에 관한 것이다.

대규모 집적회로의 제조시에 결함이 발생하는 것은 흔한 일이다. 회로 산출의 증가에 따라서 결함 회로소자를 대체하기 위하여 통상적으로 용장성 회로 소자를 포함하고 있다. 예컨대, 메모리 장치내에 있어서, 칩위에 부수적인 컬럼 혹은 로우를 포함하고 있으며, 회로 검사중에, 퓨우즈는 비결함 용장성 소자를 갖는 결함 메모리 셀로 대체할 수 있도록 설정되어 있다.

퓨우즈 상태 검출 회로 소자는 논리함수 회로의 입력으로서 사용되는데, 프로그램된 퓨우즈의 상태에 따라서, 상기 논리 회로는 선택된 논리 기능을 수행하게 된다.

통상의 집적회로 퓨우즈는 레이저 블로우(laser blown)형, 레이저어닐드(laser annealed)형 또는 전기블로우형중의 어느 하나로 구성된다. 사용 퓨우즈의 형태에 상관없이, 프로그램된 회로는 그들의 기능을 수행하기 위하여 퓨우즈의 상태를 검출할 수 있다. 대부분의 퓨우즈 검출회로 소자는 내부 이동 노드를 제거하기 위하여 풀-업 혹은 풀 다운 회로를 구비하는데, 이 회로들은 복잡할 뿐 아니라 때때로 부수적인 처리 단계를 필요로 한다. 종래의 회로들은 정상 상태 전류가 상기 퓨우즈 상태에 따라서 흐르도록 함으로써 극소전력 요건을 절충한다.

본 발명은 재구성 가능한 집적회로에 사용하기 위한 퓨우즈 상태 검출 회로를 제공한다. 양호한 실시예에 있어서, 퓨우즈 구조는 플립플롭을 형성하도록 회로에 결합되고, 저전력 소비를 위하여 CMOS 기술이 사용된다. 회로의 출력이 높아질때, 상기 퓨우즈 상태는 검출되고, 클럭킹 펄스는 필요없게 된다. 상기 회로는 기능적으로 안정되어 퓨우즈 기술과는 무관하다. 또한 상기 회로는 전체적 또는 국부적인 이온화 방사의 영향에 둔감하다.

제1도는 본 발명의 양호한 실시예에 따른 프로그램 가능 퓨우즈 회로의 상세한 개략 다이어그램인데, 정전압원 단자인 V_{DD} 인 퓨우즈(1)의 일단자에 접속되고, P채널 트랜지스터 QP의 소오스 S 및 커패시터 C_C 로서 도시된 초기 설정 소자의 일단자에 접속된다. 퓨우즈(1)의 타단자, 노드 A는 트랜지스터 QN의 드레인 D 및 QP의 게이트에 접속되고, QP의 드레인 D, 노드 B는 QN의 게이트와 상기 초기 설정 소자(C_C)의 타단에 접속되고, 또한 V_{out} 이다. QN의 소오스 S는 접지 V_{SS} 에 접속되며, 퓨우즈 (2)는 QN의 게이트와 접지사이에 병렬로 접속된다.

상기 초기 설정 소자는 전력이 상승하는 동안에 트랜지스터를 턴온하기 위한 것인데, 전력 상승중에 상기 QN의 게이트와 전원, 또는 QP의 게이트와 접지간에 전류 경로를 제공함으로써, 상기 트랜지스터는 턴온임계 전압에 도달하게 된다. 일단 트랜지스터가 턴온되면, 상기 회로는 후술되어 있는 정귀한 루프로 인한 퓨우즈 상태에 따라서 안정 상태에 이르게 된다. 상기 초기 설정 소자는 커패시터 또는, 트랜지스터 같이, 회로의 전력이 상승하는 동안 전류 경로를 제공하는 그외의 장치일 수 있다. 제2도에 도시된 바와같이, 상기 초기 설정 소자는 제1도에서 QP와 병렬 접속되는 대신에 QN과 병렬로 대체될 수 있다. 이와 달리, 두개의 초기 설정 소자는 제3도와 같이 사용될 수 있는데, 3개의 회로는 사실상 등가 회로이다.

퓨우즈 상태를 적합하게 검출하려면 초기 설정 소자의 적절한 기능을 필요로 한다(하기 기술됨). 따라서 다양한 조건하에서 초기 설정 소자로서 최대의 안정성을 제공하는 커패시터 C_C 를 사용하는 것이 매우 바람직하다. 박막커패시터는 다음의 두가지 이유에 있어서 접합 커패시터보다 우수한 안정성을 제공한다.

첫째로, 실리콘내의 정공 전자쌍을 발생하는 상태하에서(방사 또는 가열로 인한) 접합 커패시터의 P-n 접합 양단에 형성된 전류는 순정전 용량을 감소시키거나 심지어 제로화시킨다. 그러나, 박막 커패시터의 경우는 그렇지 않은데, 그 이유는 상기 박막 필름 전극은 유전층에 의해서 하부에 도우핑된 반도체 영역과 분리되어 있기 때문이다. 두번째로, 상기 접합 커패시터는 정전용량을 제공하기 위하여 공간 전하 혹은 접합부에 인접한 공핍 영역에 좌우되는데 이 공핍 영역의 폭은 인가된 전압과 온도에 함수이다. 대조적으로, 상기 박막 커패시터의 정전용량은 본질적으로 인가된 전압과 온도와는 무관하다.

상기 박막 커패시터는 정전 용량의 선택 값을 조절할 수 있다.

본 발명의 양호한 실시예에 있어서, QN과 QP는 대체로 CMOS 기술을 구체화한 MOS 트랜지스터이며, 상기 퓨우즈는 레이저에 의해 조사된 도전성 폴리실리콘의 스트립일 수도 있는데, 조사할때, 퓨우즈는 도전상태에서 비도전상태로 변화된다. 회로의 동작을 원활히 하기 위하여, 양쪽 퓨우즈는 도전 상태이던지 비도전상태이던지 동일한 상태여야 한다

정규의 동작방식에 있어서, 단자 V_{DD} 는 약 5V의 정전압원에 접속되고, 단자 V_{SS} 는 접지전위에 접속된다. 퓨우즈(1, 2)가 도전될, 노드 A는 퓨우즈(1)를 통하여 전원에 접속되고, 이것에 의하여 정전압으로 충전되어 트랜지스터 QP는 불완전한 도전 상태로 된다. 또한, 노드 B에서의 전압은 퓨우즈(2)의 방전으로 감소됨으로써, 트랜지스터 QN은 불완전한 도전 상태를 갖게 된다. 마찬가지로 QN이 불완전한 도전 상태로 되는 것 같이, 노드 A에서 QP가 계속해서 불완전한 도전 상태를 갖도록 전압이 증가한다. 이같은 정귀한 루프는 QP와 QN 둘다를 완전히 턴오프함으로써, 정적전원 전류를 기생접합 누설레벨로 감소시키고, 노드 B와 노드 A의 출력전압을 각기, 접지 전위 및 전원 전위와 동일하게 한다.

상기 퓨우즈가 도전성일 경우, 만일 퓨우즈 콘덕턴스가 QP 및 QN의 콘덕턴스와 비교하여 클 경우에는, 전원 전압과 동일한 노드 A 및 접지 전위와 동일한 노드 B만이 안정상태로 된다. 예컨대, 스퀘어당 100 Ω 의 사이트 저항을 갖는 폴리실리콘이 퓨우즈 재료로서 사용되는 경우, 설계자는 스퀘어수를 변화시킴으로써 퓨우즈의 저항을 선택할 수 있으므로 퓨우즈 콘덕턴스는 트랜지스터의 최대 콘덕턴스 보다 커진다. 만일 퓨우즈가 5스퀘어인 경우, 전체 퓨우즈 저항은 500 Ω 로 된다. 통상적인 트랜지스터는 폭의 비와 길이의 비는 100이하인데, 정확한 비율은 처리 상태 여하에 달려 있고 특정한 제조 방법에 적합하도록 선택되어야 한다. 대조적인 경우로서 상기 퓨우즈가 비도전성일때, 회로의 전력이 상승일 경우 V_{DD} 는 제로 V에서 증가되고, 노드 B 전압은 상기 초기 설정 소자의 작용으로 인하여 증가하게 된다(예컨대, 커패시터 C_C 의 작용으로 전원 V_{DD} 을 용량성으로 결합). 충분한 노드 B 전압을 형성하도록 상기 초기 설정 소자를 구성함으로써 QN이 턴온되고, 노드 A에서 QP가 턴온되도록 방전됨으로써 노드 B는 V_{DD} 로 되어 정귀한 루프가 완결된다. QP와 QN 둘다는 거의 제로에 가까운 드레인 전류와 더불어 각기 전원 전위와 접지 전위와 동일한 노드 A 및 노드 B는 온 상태를 유지한다. 반대로 QP가 턴온되도록, 이와 동일 한 초기 설정은 노드 A를 방전함으로써 이루어질 수 있으며, 그때 QP가 노드 B를 충전하여, QN을 턴온함으로써 정귀한 루프를 완료한다.

기능상의 요약에 대하여 도표 1에 기재되어 있다.

[표 1]

퓨우즈 1 및 퓨우즈 2 상태	I_{DD}	V_{out}	$\overline{V_{out}}$
도전 상태	0	V_{SS}	V_{DD}
비도전 상태	0	V_{DD}	V_{SS}

출력신호는 양쪽 트랜지스터의 드레인 접속부에서 얻을 수 있으며, V_{out} 나 $\overline{V_{out}}$ 중 V_{DD} 중 어느 하나 혹은 둘다는 용장성 회로 소자를 제어하는데 사용된다. 도면에 도시된 플립플롭 혹은 쌍안정 퓨우즈 검출회로는 클럭킹, 리프레싱 또는 직류전력소비 없이도 퓨우즈 상태를 좌우하는 접지 또는 V_{DD} 중 어느 하나의 출력 레벨을 생성한다. 상기 기재된 회로는 안전성이 있고 사용된 퓨우즈 기술과 무관한 기능을 구비하고 있다.

또한, 상기 회로는 시간 종속 방사 현상에 의해 업세트에 매우 둔감하므로, 이 회로는 회로 노드에 형성될 수 있는 부하를 생성한다.

상기 퓨우즈의 높은 콘덕턴스로 인하여, 상기 노드 전압을 변화시키기 위하여 많은 양의 방사를 필요로 한다. 상기 퓨우즈가 비도전성일때, 고유회로 상태는 반도체 P-n 접합부가 역바이어스로 되지 않는다. 방사로 인한 전하 축적 때문에 P-n 접합부 이 역바이어스가 감소되는 경향으로 인하여, 방사 현상으로 발생된 전하 축적으로 회로 상태가 보장되고 노드 A와 노드 B가 안정하게 된다. 따라서 상기 회로는 과도한 이온 방사에 무관하게 된다.

(57) 청구의 범위

청구항 1

제1전압(V_{DD}) 및 제2전압(V_{SS})에 각각 전기 접속되는 제1 및 제2단자 수단과; 두개의 퓨우즈(퓨우즈1, 퓨우즈2) 및 각각의 제어 영역을 갖는 두개의 트랜지스터 (Q_n , Q_p)를 추가로 구비하는 상기 제1 및 제2단자 수단 사이에 전기적으로 접속되는 플립플롭 회로로서, 각각의 퓨우즈는 각 트랜지스터의 제어 영역이 다른 트랜지스터의 부하회로에 전기적으로 접속되는 하나의 트랜지스터의 부하회로내에 있으며, 퓨우즈 초기 설정 단계시에는 상대적으로 높은 도전성을 갖지만 퓨우즈가 끊어진 경우에는 상대적으로 낮은 도전성을 갖는 소정의 도전 경로를 제공하는 플립플롭 회로와; 상기 제1 및 제2단자 수단 중에서 선택된 하나의 단자 수단과 상기 트랜지스터 제어 영역중에서 선택된 하나의 제어 영역 사이에 전기적으로 접속되는 초기 설정 소자(C_c)로서, 절연층에 의하여 도우핑된 반도체 영역으로부터 분리되어 놓여 있는 박막 금속층을 포함하는 커패시터를 구비하는 초기 설정소자(C_c)를

포함하며, 검출회로가 전기적으로 작동할 경우, 소정의 신호는 퓨우즈 도전 상태일때 제공되고, 제2 소정의 신호는 퓨우즈가 끊어질 때 제공되는 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 2

제1항에 있어서, 상기 퓨우즈는 도전성 폴리실리콘 부재를 포함하는 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 3

제2항에 있어서, 상기 트랜지스터중의 한 트랜지스터는 p채널 MOS 트랜지스터이고, 다른 하나의 트랜지스터는 n채널 MOS 트랜지스터 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 4

제1항에 있어서, 상기 트랜지스터중의 한 트랜지스터는 p채널 MOS 트랜지스터이고, 다른 하나의 트랜지스터는 n채널 MOS 트랜지스터 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 5

제1전압(V_{DD}) 및 제2전압(V_{SS})에 각각 전기 접속되는 제1 및 제2단자 수단과; 각각 제1 및 제2단자 영역을 갖고, 상기 제1 및 제2단자 영역 사이에서 소정의 도전성을 갖는 도전 경로를 효과적으로 제공하는 제어 영역을 갖는 제1 및 제2트랜지스터(Q_n , Q_p)로서, 제1트랜지스터의 제1단자 영역은 제2트랜지스터의 제어 영역에 전기적으로 접속되고, 제1트랜지스터의 제2단자 영역은 제2단자 수단에 전기적으로 접속되며, 제2트랜지스터의 제1단자 영역은 제1단자 수단에 전기적으로 접속되고, 제2트랜지스터의 제2단자 영역은 제1트랜지스터 제어 영역에 전기적으로 접속되는 제1 및 제2트랜지스터(Q_n , Q_p)와; 제1 및 제2단자 수단중에서 선택된 하나의 단자 수단과, 제1 및 제2트랜지스터 제어 영역중에서 선택된 하나의 제어 영역 사이에 전기적으로 접속되는 초기 설정 소자(C_c)로서, 절연층에 의하여 도우핑된 반도체 영역으로부터 분리되어 놓여 있는 박막 금속층을 구비하는 커패시터를 포함하는 초기 설정소자(C_c)와; 퓨우즈 초기 설정 단계시에는 상대적으로 높은 도전성을 갖지만 퓨우즈가 끊어진 경우에는 상대적으로 낮은 도전성을 갖는 소정의 도전성을 가진 도전 경로를 사이에 제공하는 제1 및 제2단자 영역을 각각 가진 제1 및 제2퓨우즈(퓨우즈1, 퓨우즈2)로서, 제1퓨우즈는 1단자 수단과 제2트랜지스터의 제어영역 사이에 전기적으로 접속되고, 제2퓨우즈는 제1트랜지스터 제어영역과 제2단자 수단 사이에 전기적으로 접속되는 제1 및 제2퓨우즈(퓨우즈1, 퓨우즈2)를 포함하며, 검

출 회로가 전기적으로 작동할 경우, 제1소정의 신호는 제1및 제2퓨우즈 양자가 도전될 때 제공되고, 제2소정의 신호는 제1및 제2퓨우즈가 끊어질 때 제공되는 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 6

제5항에 있어서, 초기 설정 소자는 커패시터를 포함하는 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 7

제5항에 있어서, 상기 퓨우즈들중 적어도 하나의 퓨우즈는 도전성 폴리실리콘 부재를 포함하는 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 8

제5항에 있어서, 상기 트랜지스터중의 한 트랜지스터는 p채널 MOS 트랜지스터이고, 다른 하나의 트랜지스터는 n채널 MOS 트랜지스터 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 9

드레인, 게이트 및 소오스를 갖는 제1트랜지스터(Qp)와; 드레인, 게이트 및 소오스를 갖는 제2트랜지스터(Qn)와; 제1트랜지스터의 드레인을 제2트랜지스터의 게이트에 접속시키기 위한 수단(노드 B)과; 제1트랜지스터의 게이트를 제2트랜지스터의 드레인에 접속시키기 위한 수단(노드 A)과; 절연층에 의하여 도우핑된 반도체 영역으로부터 분리되어 놓인 박막 금속층을 포함하는 커패시터를 구비하는 초기 설정소자(C_C)와; 드레인과 최소한 하나의 트랜지스터 소오스 사이에 초기 설정화 소자를 접속시키기 위한 수단과; 한쌍의 퓨우즈(퓨우즈1, 퓨우즈2)와; 제1트랜지스터의 게이트와 제1트랜지스터의 소오스 사이에 상기 퓨우즈중의 한 퓨우즈를 접속시키기 위한 수단과; 제2트랜지스터의 게이트와 제2트랜지스터의 소오스 사이에 제2퓨우즈를 접속시키기 위한 수단과; 높은 전압(V_{DD})을 제1트랜지스터(Qp)의 소오스에 접속시키기 위한 수단과; 접지 전위(V_{SS})를 제2트랜지스터(Qn)의 소오스에 접속시키기 위한 수단과; 출력신호를 제공하기 위해 하나의 트랜지스터 드레인에 접속되는 출력 수단(V_{OUT})과; 퓨우즈가 도전성을 가질 때 출력수단이 제1의 소정의 출력 신호를 발생하고, 퓨우즈가 비도전성을 가질 때 출력수단이 제2의 소정의 출력 신호를 발생하도록 선택된 파라미터를 가진 트랜지스터, 초기 설정화 소자 및 퓨우즈를 포함하는 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 10

제9항에 있어서, 상기 출력 수단은 공급 전압과 소정의 관계를 유지하는 신호레벨을 갖는 제1소정의 신호를 발생하기 위한 수단을 포함하는 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 11

제9항에 있어서, 상기 출력 수단은 실질적으로 공급 전압과 동등한 전압레벨을 갖는 제1소정의 신호를 발생시키기 위한 수단을 포함하는 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 12

제9항에 있어서, 상기 트랜지스터는 제1트랜지스터는 p채널 MOS 트랜지스터이고, 제2트랜지스터는 n채널 MOS 트랜지스터 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 13

제9항에 있어서, 상기 트랜지스터는 제1트랜지스터가 p채널이고, 제2트랜지스터가 n채널 CMOS 트랜지스터 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 14

제9항에 있어서, 상기 초기 설정 소자는 제1트랜지스터와 병렬로 접속되는 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 15

제9항에 있어서, 상기 초기 설정 소자는 제2트랜지스터와 병렬로 접속되는 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 16

제9항에 있어서, 상기 초기 설정 소자는 제1및 제2트랜지스터 양자와 병렬로 접속되는 것을 특징으로 하는 퓨우즈 상태 검출 회로.

청구항 17

제9항에 있어서, 각각의 퓨우즈는 도전성 폴리실리콘 부재를 포함하는 것을 특징으로 하는 퓨우즈 상태 검출 회로.

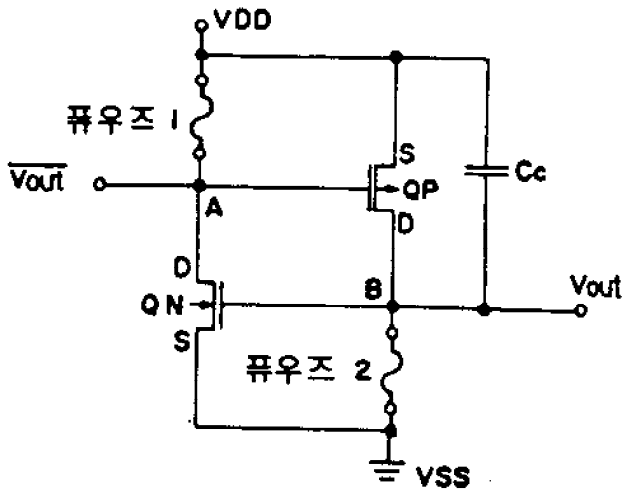
청구항 18

제9항에 있어서, 상기 초기 설정 소자는 커패시터를 포함하는 것을 특징으로 하는 퓨우즈 상태 검출 회로.

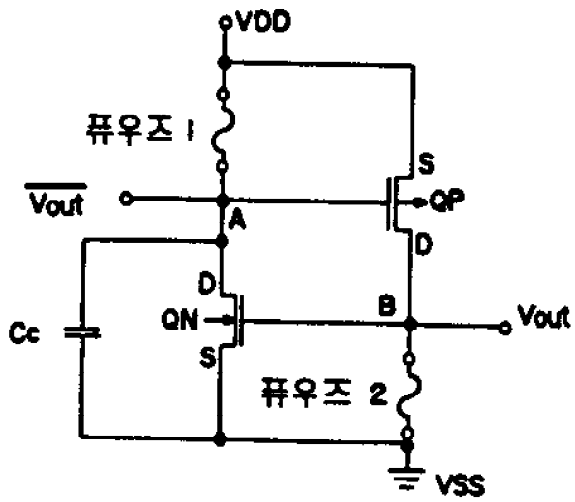
회로.

도면

도면1



도면2



도면3

