

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-156191

(P2012-156191A)

(43) 公開日 平成24年8月16日(2012.8.16)

(51) Int.Cl.		F I	テーマコード (参考)
HO 1 F	17/06 (2006.01)	HO 1 F 17/06 D	5 E 0 7 0
HO 1 G	4/40 (2006.01)	HO 1 G 4/40 3 2 1 A	5 E 0 8 2
HO 1 F	27/00 (2006.01)	HO 1 F 15/00 D	5 J 0 2 4
HO 3 H	7/01 (2006.01)	HO 3 H 7/01 Z	

審査請求 有 請求項の数 6 O L (全 18 頁)

(21) 出願番号 特願2011-12024 (P2011-12024)
 (22) 出願日 平成23年1月24日 (2011.1.24)

(71) 出願人 000003067
 T D K 株式会社
 東京都中央区日本橋一丁目13番1号
 (74) 代理人 100088155
 弁理士 長谷川 芳樹
 (74) 代理人 100113435
 弁理士 黒木 義樹
 (74) 代理人 100124062
 弁理士 三上 敬史
 (74) 代理人 100145012
 弁理士 石坂 泰紀
 (72) 発明者 富樫 正明
 東京都中央区日本橋一丁目13番1号 T
 D K - E P C 株式会社内
 Fターム(参考) 5E070 AA01 AA05 AB01 BA07 CB02
 最終頁に続く

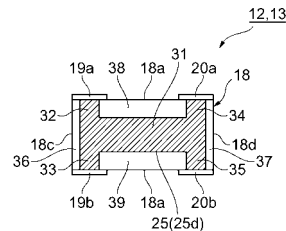
(54) 【発明の名称】 積層型電子部品及び電子部品の実装構造

(57) 【要約】

【課題】低周波帯域において低インピーダンスを保ちつつ、高周波帯域において高インピーダンスとすることができる実装構造などに適した積層型電子部品を提供する。

【解決手段】フェライトビーズインダクタ12, 13は、磁性体層24と内部電極25a~25hとが実装基板に対して略垂直になるように主面18aの長辺方向に積層されているフェライトビーズ素体18と、フェライトビーズ素体18の主面18bに互いに離間して配置される第1及び第2の外部電極19b, 20bとを備えている。内部電極25a~25hは、主面18aの短辺方向に伸びる主電極部31と、主電極部31を第1及び第2の外部電極19b, 20bそれぞれに接続する引き出し電極部33, 35とを有し、主面18a, 18bの対向方向において主電極部31の幅t1がフェライトビーズ素体18の厚みTの50%以上の長さとなっている。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

第 1 の方向に対向している第 1 及び第 2 の主面と、前記主面間を連結するように前記第 1 の方向と交差する第 2 の方向に伸び且つ互いに対向する第 1 及び第 2 の側面と、前記主面間を連結するように前記第 1 及び第 2 の方向と交差する第 3 の方向に伸び且つ互いに対向する第 3 及び第 4 の側面とを有し、前記第 2 の方向に磁性体層と内部電極とが積層されている素体と、

前記素体の前記第 1 及び第 2 の主面の少なくとも一方に互いに離間して配置される第 1 及び第 2 の外部電極と、を備え、

前記内部電極は、前記第 3 の方向に伸びる主電極部と当該主電極部を前記第 1 及び第 2 の外部電極それぞれに接続する引き出し電極部とを有し、

前記主面が対向する前記第 1 の方向において前記主電極部の幅 t_1 が前記素体の厚み T の 50% 以上の長さであることを特徴とする積層型電子部品。

【請求項 2】

前記磁性体層と前記内部電極とが積層される前記第 2 の方向における前記素体の幅寸法 W は、前記主電極部が伸びる前記第 3 方向における前記素体の幅寸法 L よりも長いことを特徴とする請求項 1 に記載の積層型電子部品。

【請求項 3】

前記第 1 の方向において前記主電極部の幅 t_1 が前記素体の厚み T の 75% 以下の長さであることを特徴とする請求項 1 又は 2 に記載の積層型電子部品。

【請求項 4】

前記第 1 及び第 2 の外部電極は、前記第 1 及び第 2 の主面と当該主面を連結する第 1 又は第 2 の側面とに跨って配置されており、

前記内部電極は、それぞれの端部において、前記第 1 及び第 2 の主面と前記第 1 又は第 2 の側面とに引き出され、各前記引き出し電極部が前記第 1 又は第 2 の外部電極に接続されることを特徴とする請求項 1 ~ 3 の何れか一項に記載の積層型電子部品。

【請求項 5】

前記第 1 及び第 2 の主面と前記第 1 及び第 2 の側面とが交わる何れかの角部に前記内部電極が形成されていないことを特徴とする請求項 1 ~ 4 の何れか一項に記載の積層型電子部品。

【請求項 6】

電流を供給するための電源ラインに接続される電子部品の実装構造であって、

前記電子部品として、コンデンサと請求項 1 ~ 5 の何れか 1 項に記載の積層型電子部品であるピーズインダクタとを備え、

前記電源ラインの間に、前記コンデンサと前記ピーズインダクタとが直列となるように実装されることを特徴とする電子部品の実装構造。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層型電子部品及び当該積層型電子部品を含む電子部品の実装構造に関する。特に本発明は、積層ピーズインダクタ及び当該積層ピーズインダクタと積層コンデンサとの実装構造に関する。

【背景技術】

【0002】

電源や信号等の配線を介したノイズの漏洩や侵入を防止するためのノイズフィルタとして、例えば特許文献 1 に記載のインダクタとコンデンサとが組み合わされた電子部品や特許文献 2 に記載の電子部品が従来知られている。

【先行技術文献】

【特許文献】

【0003】

10

20

30

40

50

【特許文献1】特開2007-234755号公報

【特許文献2】特開2003-272923号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

近年、電子機器の高周波化に伴い、電子機器に用いられる部品についても高周波化に対応することが求められている。しかしながら、上記特許文献1等に記載された従来の電子部品では、高周波に対応すべく高周波帯域での抵抗成分を大きくすると、低周波帯域での直流抵抗も含め、全帯域での抵抗、ひいてはインピーダンスが大きくなってしまふ。

【0005】

そこで、本願出願人は、例えば、特願2010-279010号において、低周波帯域において低インピーダンスを保ちつつ、高周波帯域において高インピーダンスとすることができる電子部品の実装構造を提案している。そして、このような実装構造に適した電子部品が望まれている。

【0006】

本発明は、低周波帯域において低インピーダンスを保ちつつ、高周波帯域において高インピーダンスとすることができる実装構造などに適した積層型電子部品、及び、当該積層型電子部品を含む電子部品の実装構造を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明に係る積層型電子部品は、第1の方向に対向している第1及び第2の主面と、主面間を連結するように第1の方向と交差する第2の方向に伸び且つ互いに対向する第1及び第2の側面と、主面間を連結するように第1及び第2の方向と交差する第3の方向に伸び且つ互いに対向する第3及び第4の側面とを有し、第2の方向に磁性体層と内部電極とが積層されている素体と、素体の第1及び第2の主面の少なくとも一方に互いに離間して配置される第1及び第2の外部電極とを備えている。この積層型電子部品では、内部電極は、第3の方向に伸びる主電極部と当該主電極部を第1及び第2の外部電極それぞれに接続する引き出し電極部とを有し、主面が対向する第1の方向において主電極部の幅 t_1 が素体の厚み T の50%以上の長さとなっている。

【0008】

また、本発明に係る電子部品の実装構造は、電流を供給するための電源ラインに接続される電子部品の実装構造であって、電子部品として、コンデンサと上記構成の積層型電子部品であるビーズインダクタとを備え、電源ラインの間に、コンデンサとビーズインダクタとが直列となるように実装される。

【0009】

この実装構造によれば、コンデンサとビーズインダクタとが直列となるように電源ライン間に接続されるので、ビーズインダクタの抵抗成分がコンデンサの等価直列抵抗(ESR : Equivalent Series Resistance)として作用する。ビーズインダクタの抵抗成分は、直流抵抗成分と高周波帯域で増加する損失との和で構成される。よって、この実装構造によれば、高周波帯域でのインピーダンスを増加させることが可能になり、高周波ノイズを好適に除去することが可能となる。一方、ビーズインダクタは、低周波帯域では抵抗成分よりもむしろインダクタ成分が機能するため、上記実装構造によれば低周波帯域ではインピーダンスを小さく保つことが可能となる。そして、低周波ノイズに対しては、コンデンサを実装しているため、当該コンデンサでその低周波ノイズは吸収され好適に除去することができる。

【0010】

ところで、このビーズインダクタでは、両主面の対向方向(第1の方向)に内部電極等を積層(水平積層)するのではなく、それと交差する第2の方向に内部電極等を積層し、内部電極が基板に対して略垂直に実装される構成としている。このため、上記実装構造等において本発明に係るビーズインダクタを用いた場合、内部電極等を第2の方向に多層化

10

20

30

40

50

することにより、ピーズインダクタの抵抗成分の構成の1つである直流抵抗成分を小さくすることができる。つまり、このピーズインダクタを用いることにより、低周波帯域では更に低ESRとすることができ、高周波帯域では高ESRとすることができる。

【0011】

しかも、上記のピーズインダクタでは、主面の対向方向（第1の方向）において主電極部の幅 t_1 が素体の厚み T の50%以上の長さとなるように幅広に構成されている。このため、このピーズインダクタによれば、直流抵抗成分を更に小さくすることができる。

【0012】

なお、特許文献2に記載の電子部品では、この電子部品単体で高周波帯域のノイズをも除去しようとしているため、高周波帯域で極めて高いインピーダンスとなることが要求され（図9（b）参照）、主電極部の幅を細くせざるを得ないが、本発明に係るピーズインダクタでは、主として上記実装構造でコンデンサと共に用いられるため、ピーズインダクタ単体では高周波帯域である程度の高インピーダンスとなればよく（図9（a）参照）、特許文献2に記載の電子部品とは異なる上記構成を採用することができる。そして、本発明に係るピーズインダクタでは、このような独特の構成を採用できることから、特許文献2の電子部品よりも直流抵抗成分を格段に小さくすることが可能となっている。

10

【0013】

また、上記のピーズインダクタでは、磁性体層と内部電極とが積層される第2の方向における素体の幅寸法 W は、主電極部が伸びる第3方向における素体の幅寸法 L よりも長くなっていることが好ましい。この場合、内部電極の積層数を更に多層化させることができ、それにより直流抵抗を更に小さくすることができる。水平積層の場合、積層数を増加させると電流経路が長くなってしまい、積層数の増加がそのまま直流抵抗の低下に結びつかない場合もあり得るが、本実施形態のような積層方向であれば、内部電極の積層数を増やすことによって確実に直流抵抗を低下させることができる。

20

【0014】

また、上記のピーズインダクタでは、第1の方向において主電極部の幅 t_1 が素体の厚み T の75%以下の長さとなっていることが好ましい。この場合、内部電極を挟んで対向する磁性体層同士が互いに接合する領域を確実に確保することができるため、磁性体層の層間はがれを防止してピーズインダクタの内部欠陥の発生を抑えることができる。

【0015】

また、上記のピーズインダクタでは、第1及び第2の外部電極は、第1及び第2の主面と当該主面を連結する第1又は第2の側面とに跨って配置されており、内部電極は、それぞれの端部において、第1及び第2の主面と第1又は第2の側面とに引き出され、各引き出し電極部が第1又は第2の外部電極に接続されることが好ましい。この場合、内部電極がそれぞれの端部において3つの面（2つの主面と1つの側面）で外部電極に接続されることになるので、直流抵抗を更に低下させることができる。

30

【0016】

また、上記のピーズインダクタでは、第1及び第2の主面と第1及び第2の側面とが交わる何れかの角部に内部電極が形成されていないことが好ましい。角部に内部電極が形成されると角部において磁性体層同士が接合されないため、そこから層間はがれが発生しやすい。しかしながら、角部に内部電極を形成しないことにより、角部で磁性体層同士を接合でき、その結果、素体の密着性を向上させて、磁性体層の層間はがれによるピーズインダクタの内部欠陥の発生を更に抑えることができる。

40

【発明の効果】

【0017】

本発明によれば、低周波帯域において低インピーダンスを保ちつつ、高周波帯域において高インピーダンスとすることができる実装構造などに適した積層型電子部品、及び、当該積層型電子部品を含む電子部品の実装構造を提供することができる。

【図面の簡単な説明】

【0018】

50

【図 1】第 1 実施形態に係る電子部品の実装構造を概略的に示す図である。

【図 2】図 1 に示す実装構造に用いられるコンデンサを示す斜視図である。

【図 3】図 2 に示すコンデンサの層構成を示す図である。

【図 4】図 1 に示す実装構造に用いられるフェライトビーズインダクタを示す斜視図である。

【図 5】図 4 に示すフェライトビーズインダクタの V - V 線断面図である。

【図 6】図 4 に示すフェライトビーズインダクタの V I - V I 線断面図である。

【図 7】図 4 に示すフェライトビーズインダクタの層構成を示す図である。

【図 8】電子部品の実装構造の等価回路図である。

【図 9】図 4 に示すフェライトビーズインダクタと従来の電子部品とのインピーダンス等の性能を比較した図である。 10

【図 10】第 2 実施形態に係るフェライトビーズインダクタを示す斜視図である。

【図 11】図 10 に示すフェライトビーズインダクタの X I - X I 線断面図である。

【図 12】他の形態の電子部品の実装構造を概略的に示す図である。

【発明を実施するための形態】

【0019】

以下、添付図面を参照して、本発明の好適な実施形態について詳細に説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。

【0020】 20

[第 1 実施形態]

まず、第 1 実施形態に係る電子部品の実装構造について説明する。図 1 は、第 1 実施形態に係る電子部品の実装構造を示す図である。図 1 に示すように、電子部品の実装構造では、電源供給用流路を形成する 2 本の電源ライン 1, 2、IC (Integrated Circuit) チップ 3、第 1 ~ 第 4 のランド電極 4 ~ 7 及び接続電極 8, 9 が配置された回路に電子部品を実装する。電子部品の実装構造では、電源ライン 1, 2 に接続される電子部品として、複数のコンデンサ (チップコンデンサ) 10, 11 と、複数のフェライトビーズインダクタ 12, 13 とを実装する。コンデンサ 10, 11 及びフェライトビーズインダクタ 12, 13 は、それぞれ 2 つ実装される。コンデンサ 10, 11 とフェライトビーズインダクタ 12, 13 とは、電源ライン 1, 2 間に直列に接続されている。 30

【0021】

電源ライン 1, 2 は、IC チップ 3 の端子電極 3 a, 3 b にそれぞれ接続されている。電源ライン 1 から分岐した配線 1 a は、第 1 のランド電極 4 に接続されており、電源ライン 2 から分岐した配線 2 a は、第 2 のランド電極 5 に接続されている。第 1 のランド電極 4 と第 2 のランド電極 5 とは、対向して配置されている。第 1 のランド電極 4 と第 2 のランド電極 5 との間には、配線 1 a, 2 a に接続されない接続電極 8 が設けられている。第 1 のランド電極 4、第 2 のランド電極 5 及び接続電極 8 は、一直線上に配置されている。

【0022】

第 1 のランド電極 4、接続電極 8 及び第 2 のランド電極 5 が配置された方向と面方向において略直角に交わる方向において、第 1 のランド電極 4 の隣 (図示右側) には、所定の間隔をあけて第 3 のランド電極 6 が並設されている。また、第 2 のランド電極 5 の隣 (図示右側) には、所定の間隔をあけて第 4 のランド電極 7 が並設されている。第 3 のランド電極 6 と第 4 のランド電極 7 との間には、接続電極 8 の隣に所定の間隔をあけて接続電極 9 が並設されている。なお、第 1 ~ 第 4 のランド電極 4 ~ 7 及び接続電極 8, 9 は、矩形形状を呈している。 40

【0023】

図 1 に示すように、第 4 のランド電極 7 は、ビアホール H 1 を介して第 1 のランド電極 4 と電氣的に接続される。第 3 のランド電極 6 は、ビアホール H 2 を介して第 2 のランド電極 5 と電氣的に接続される。このような構成により、第 1 のランド電極 4 と第 4 のランド電極 7 とは、同極性 (+ 極性) となり、第 2 のランド電極 5 と第 3 のランド電極 6 とは 50

、同極性（-極性）となる。つまり、隣接する第1のランド電極4と第3のランド電極6、第2のランド電極5と第4のランド電極7は、異極性となる。

【0024】

コンデンサ10とコンデンサ11とは、同様の構成を有している。すなわち、コンデンサ10、11は、略直方体状のコンデンサ素体15と、コンデンサ素体15の側面15c、15d（図2参照）に形成された第1の外部電極16及び第2の外部電極17とを備えている。コンデンサ10は、第1のランド電極4及び接続電極8に跨って配置されている。コンデンサ11は、第3のランド電極6及び接続電極9に跨って配置されている。つまり、コンデンサ10の第1の外部電極16は、第1のランド電極4に接続されており、第2の外部電極17は、接続電極8に接続されている。コンデンサ11の第1の外部電極16は、第3のランド電極6に接続されており、第2の外部電極17は、接続電極9に接続されている。コンデンサ10、11は、はんだ等によって第1及び第3のランド電極4、6、接続電極8、9に実装されている。

10

【0025】

コンデンサ10とコンデンサ11とは、上記のように配置されることにより、近接して実装されている。具体的には、コンデンサ10とコンデンサ11とは、第1の外部電極16と第2の外部電極17とが対向する方向が略平行となる。また、コンデンサ10とコンデンサ11とは、実装面の面方向において第1の外部電極16と第2の外部電極17との対向方向に交わる方向から見た場合に、重なるように実装されている。コンデンサ10の第1の外部電極16とコンデンサ11の第1の外部電極16とは、異なる極性に接続されている。

20

【0026】

フェライトビーズインダクタ12とフェライトビーズインダクタ13とは、同様の構成を有している。すなわち、フェライトビーズインダクタ12、13は、略直方体状のフェライトビーズ素体18と、フェライトビーズ素体18の主面18a、18b（図4参照）に形成された第1の外部電極19（19a、19b）及び第2の外部電極20（20a、20b）とを備えている。フェライトビーズインダクタ12は、接続電極8と第2のランド電極5とに跨って配置されている。フェライトビーズインダクタ13は、接続電極9と第4のランド電極7とに跨って配置されている。

【0027】

つまり、フェライトビーズインダクタ12の第1の外部電極19は、接続電極8に接続されており、第2の外部電極20は、第2のランド電極5に接続されている。フェライトビーズインダクタ13の第1の外部電極19は、接続電極9に接続されており、第2の外部電極20は、第4のランド電極7に接続されている。フェライトビーズインダクタ12、13は、はんだ等によって第2及び第4のランド電極5、7、接続電極8、9に実装されている。このフェライトビーズインダクタ12、13では、側面に外部電極19、20が形成されていないため、実装の際にはんだフィレットが立たないようにすることができ、高密度実装が可能となっている。

30

【0028】

フェライトビーズインダクタ12とフェライトビーズインダクタ13とは、上記のように配置されることにより、近接して実装されている。具体的には、フェライトビーズインダクタ12とフェライトビーズインダクタ13とは、第1の外部電極19と第2の外部電極20とが対向する方向が略平行となる。また、フェライトビーズインダクタ12とフェライトビーズインダクタ13とは、実装面の面方向において第1の外部電極19と第2の外部電極20との対向方向に交わる方向に重なるように実装されている。フェライトビーズインダクタ12の第1の外部電極19とフェライトビーズインダクタ13の第1の外部電極19とは、異なる極性に接続されている。

40

【0029】

コンデンサ10、11とフェライトビーズインダクタ12、13とが上記のように配置されることにより、コンデンサ10の第2の外部電極17とフェライトビーズインダクタ

50

12の第1の外部電極19とが対向すると共に、コンデンサ11の第2の外部電極17とフェライトビーズインダクタ13の第1の外部電極19とが対向する。このように、コンデンサ10とフェライトビーズインダクタ12、及びコンデンサ11とフェライトビーズインダクタ13は、電源ライン1,2の間に直列に実装されている。そして、コンデンサ10,11及びフェライトビーズインダクタ12,13とICチップ3とは、並列接続の関係になる。

【0030】

電子部品の実装構造では、コンデンサ10,11及びフェライトビーズインダクタ12,13において、図1に示す矢印方向に電流がそれぞれ流れる。すなわち、コンデンサ10及びフェライトビーズインダクタ12においては、コンデンサ10側からフェライトビーズインダクタ12側に電流が流れる。コンデンサ11及びフェライトビーズインダクタ13においては、フェライトビーズインダクタ13側からコンデンサ11側に電流が流れる。このとき、隣接するコンデンサ10とコンデンサ11、及びフェライトビーズインダクタ12とフェライトビーズインダクタ13においては、電流が互いに逆向きに流れる。これにより、隣接するコンデンサ10とコンデンサ11、及びフェライトビーズインダクタ12とフェライトビーズインダクタ13とにおいて、磁界が相殺される。そのため、インダクタ成分のESL(Equivalent Series Inductance: 等価直列インダクタンス)が低減する。

10

【0031】

続いて、上記のコンデンサ10,11及びフェライトビーズインダクタ12,13について詳細に説明する。まず、コンデンサ10,11について説明する。図2は、コンデンサを示す斜視図であり、図3は、図2に示すコンデンサの層構成を示す図である。

20

【0032】

図2,3に示すように、コンデンサ10,11は、積層チップコンデンサである。図2に示すように、コンデンサ10のコンデンサ素体15は、互いに対向する長形状の第1及び第2の主面15a,15bと、第1及び第2の主面15a,15b間を連結するように第1及び第2の主面15a,15bの長辺方向に伸び且つ互いに対向する第1及び第2の側面15c,15dと、第1及び第2の主面15a,15b間を連結するように第1及び第2の主面15a,15bの短辺方向に伸び且つ互いに対向する第3及び第4の側面15e,15fとを有する。コンデンサ11のコンデンサ素体15も同様の構成を有している。

30

【0033】

第1の外部電極16は、コンデンサ素体15の第1の側面15c側に形成されている。第1の外部電極16は、第1の側面15c全面を覆うとともに、第1及び第2の主面15a,15b並びに第3及び第4の側面15e,15fの一部を連続して覆う。第2の外部電極17は、コンデンサ素体15の第2の側面15d側に形成されている。第2の外部電極17は、第2の側面15d全面を覆うとともに、第1及び第2の主面15a,15b並びに第3及び第4の側面15e,15fの一部を連続して覆う。すなわち、第1及び第2の外部電極16,17は、コンデンサ素体15の長手方向の側面15c,15dに配置されるように形成されている。

40

【0034】

コンデンサ素体15は、図3に示されるように、略長形状の誘電体層21上に第1~第4の内部電極22a~22dがそれぞれ形成されてなる複数(ここでは4つ)の複合層23a~23dと、複合層23a~23dの最表層に積層され、保護層として機能する誘電体層21とによって形成されている。誘電体層21は、誘電体セラミックを含むセラミックグリーンシートの焼結体からなり、第1~第4の内部電極22a~22dは、導電性ペーストの焼結体からなる。実際のコンデンサ素体15では、誘電体層21間の境界が視認できない程度に一体化されている。

【0035】

複合層23aは、誘電体層21上に第1の内部電極22aが形成された層である。複合

50

層 2 3 b は、誘電体層 2 1 上に第 2 の内部電極 2 2 b が形成された層である。複合層 2 3 c は、誘電体層 2 1 上に第 3 の内部電極 2 2 c が形成された層である。複合層 2 3 d は、誘電体層 2 1 上に第 4 の内部電極 2 2 d が形成された層である。第 1 ~ 第 4 の内部電極 2 2 a ~ 2 2 d は、積層方向において誘電体層 2 1 を介して交互に配置されている。これにより、第 1 ~ 第 4 の内部電極 2 2 a ~ 2 2 d は、コンデンサ素体 1 5 の一部である誘電体層 2 1 を間に挟んで対向する。

【 0 0 3 6 】

第 1 の内部電極 2 2 a は、長形状を呈し、コンデンサ素体 1 5 の第 1 及び第 2 の主面 1 5 a , 1 5 b の長辺方向とその長辺方向とが平行になるように、コンデンサ素体 1 5 内に配置される。第 1 の内部電極 2 2 a は、長形状を保ったままコンデンサ素体 1 5 の第 1 の側面 1 5 c に引き出されるように伸び、第 1 の外部電極 1 6 に電氣的且つ機械的に接続される。第 1 の内部電極 2 2 a は、第 2 ~ 第 4 の側面 1 5 d ~ 1 5 f それぞれからは所定距離離れて配置されている。第 1 の内部電極 2 2 a の第 3 及び第 4 の側面 1 5 e , 1 5 f の対向方向における長さは、第 1 及び第 2 の側面 1 5 c , 1 5 d の対向方向に沿って略一定である。第 3 の内部電極 2 2 c は、第 1 の内部電極 2 2 a と同様の構成を有している。

10

【 0 0 3 7 】

第 2 の内部電極 2 2 b は、長形状を呈し、コンデンサ素体 1 5 の第 1 及び第 2 の主面 1 5 a , 1 5 b の長辺方向とその長辺方向とが平行になるように、コンデンサ素体 1 5 内に配置される。第 2 の内部電極 2 2 b は、長形状を保ったままコンデンサ素体 1 5 の第 2 の側面 1 5 d に引き出されるように伸び、第 2 の外部電極 1 7 に電氣的且つ機械的に接続される。第 2 の内部電極 2 2 b は、第 1、第 3 及び第 4 の側面 1 5 c , 1 5 e , 1 5 f それぞれからは所定距離離れて配置されている。第 2 の内部電極 2 2 b の第 3 及び第 4 の側面 1 5 e , 1 5 f の対向方向における長さは、第 1 及び第 2 の側面 1 5 c , 1 5 d の対向方向に沿って略一定である。第 4 の内部電極 2 2 d は、第 2 の内部電極 2 2 b と同様の構成を有している。

20

【 0 0 3 8 】

続いて、フェライトビーズインダクタ 1 2 , 1 3 について、図 4 ~ 図 7 を参照しながら詳細に説明する。図 4 は、フェライトビーズインダクタを示す斜視図であり、図 5 は、図 4 における V - V 線断面図であり、図 6 は、図 4 における V I - V I 線断面図であり、図 7 は、図 4 に示すフェライトビーズインダクタの層構成を示す図である。

30

【 0 0 3 9 】

図 4 ~ 図 7 に示すように、フェライトビーズインダクタ 1 2 , 1 3 は、積層チップフェライトビーズインダクタである。図 4 に示すように、フェライトビーズインダクタ 1 2 のフェライトビーズ素体 1 8 は、第 1 の方向に互いに対向する略長形状の第 1 及び第 2 の主面 1 8 a , 1 8 b と、第 1 及び第 2 の主面 1 8 a , 1 8 b 間を連結するように第 1 及び第 2 の主面 1 8 a , 1 8 b の長辺方向 (第 2 の方向) に伸び且つ互いに対向する第 1 及び第 2 の側面 1 8 c , 1 8 d と、第 1 及び第 2 の主面 1 8 a , 1 8 b 間を連結するように第 1 及び第 2 の主面 1 8 a , 1 8 b の短辺方向 (第 3 の方向) に伸び且つ互いに対向する第 3 及び第 4 の側面 1 8 e , 1 8 f とを有する。フェライトビーズインダクタ 1 3 のフェライトビーズ素体 1 8 も同様の構成を有している。

40

【 0 0 4 0 】

第 1 の外部電極 1 9 a は、フェライトビーズ素体 1 8 の第 1 の主面 1 8 a の第 1 の側面 1 8 c 側の側部に形成され、その側部を第 3 の側面 1 8 e から第 4 の側面 1 8 f に至るように覆っている。第 1 の外部電極 1 9 b は、フェライトビーズ素体 1 8 の第 2 の主面 1 8 b の第 1 の側面 1 8 c 側の側部に形成され、その側部を第 3 の側面 1 8 e から第 4 の側面 1 8 f に至るように覆っている。第 2 の外部電極 2 0 a は、フェライトビーズ素体 1 8 の第 1 の主面 1 8 a の第 2 の側面 1 8 d 側の側部に形成され、その側部を第 3 の側面 1 8 e から第 4 の側面 1 8 f まで覆っている。第 2 の外部電極 2 0 b は、フェライトビーズ素体 1 8 の第 2 の主面 1 8 b の第 2 の側面 1 8 d 側の側部に形成され、その側部を第 3 の側面

50

18e から第4の側面18fまで覆っている。第1の外部電極19a, 19bと第2の外部電極20a, 20bとは、各主面18a, 18bにおいて、互いに所定距離離れている。なお、第1及び第2の外部電極19a, 19b, 20a, 20bは、いずれの側面18c ~ 18fにも形成されておらず、第1の主面18aが実装面となった際には、第1及び第2の外部電極19a, 20aが電極として機能し、第2の主面18bが実装面となった際には、第1及び第2の外部電極19b, 20bが電極として機能する。

【0041】

図5 ~ 図7に示すように、フェライトビーズ素体18は、略長形状の磁性体層24上に第1 ~ 第8の内部電極25a ~ 25hがそれぞれ形成されてなる複数(ここでは8つ)の複合層26a ~ 26h(一部図示省略)と、複合層26a ~ 26hの最外層に積層され、保護層として機能する磁性体層24とによって形成されている。フェライトビーズ素体18では、フェライトビーズインダクタ12, 13が実装される際に実装面となる第1又は第2の主面18a, 18bの対向方向と直交する方向に、複合層26a ~ 26h及び最外層の磁性体層24が積層されている。つまり、第1 ~ 第8の内部電極25a ~ 25hが基板実装面に垂直となる方向に積層(垂直積層)されている。磁性体層24は、主成分としてフェライト材料を含むシートの焼結体からなり、第1 ~ 第8の内部電極25a ~ 25hは、導電性ペーストの焼結体からなる。実際のフェライトビーズ素体18では、磁性体層24間の境界が視認できない程度に一体化されている。

10

【0042】

複合層26aは、磁性体層24上に第1の内部電極25aが形成された層である。同様に、複合層26b ~ 26hのそれぞれも、磁性体層24上に内部電極25b ~ 25hそれぞれが形成された層である。第1 ~ 第8の内部電極25a ~ 25hは、積層方向に磁性体層24を介して順に積層されている。これにより、第1 ~ 第8の内部電極25a ~ 25hがフェライトビーズ素体18の一部である磁性体層24の間に挟まれるように配置される。

20

【0043】

第1 ~ 第8の内部電極25それぞれは、図6に示すように、H形状を呈しており、第1及び第2の側面18c, 18dの対向方向に幅t1(図9参照)で伸びる長形状の主電極部31と、主電極部31を第1の外部電極19a, 19b及び第2の外部電極20a, 20bそれぞれに接続する引き出し電極部32 ~ 35とを含んで構成される。主電極部31は、例えばその幅t1がフェライトビーズ素体18の厚みTの65%程度の長さとなっているが、少なくとも厚みTの50%以上の長さであることが好ましい。

30

【0044】

引き出し電極部32は、第1の側面18c側において第1の主面18aに露出し、引き出し電極部33は、第1の側面18c側において第2の主面18bに露出し、引き出し電極部34は、第2の側面18d側において第1の主面18aに露出し、引き出し電極部35は、第2の側面18d側において第2の主面18bに露出する。内部電極25は、引き出し電極部32により第1の外部電極19aに、引き出し電極部33により第1の外部電極19bに、引き出し電極部34により第2の外部電極20aに、引き出し電極部35により第2の外部電極20bにそれぞれ電氣的且つ機械的に接続される。

40

【0045】

内部電極25は、第1及び第2の側面18c, 18dから所定距離離れて配置されており、また、その主電極部31は、第1及び第2の主面18a, 18bから所定距離離れて形成されており、それらの部分には内部電極が形成されないように構成されている。これらの空隙部36 ~ 39は、複合層26a ~ 26hと最外層の磁性体層24とが積層されてフェライトビーズインダクタ12, 13が形成された際、積層方向に隣接する磁性体層24同士が接合する接合部となり、両者の密着性を向上させるように機能する。なお、磁性体層24の接合機能を十分に果たすように、内部電極25の主電極部31の幅t1がフェライトビーズ素体18の厚みTの75%以下の長さとなっていることが好ましい。

【0046】

50

図 8 は、本実施形態における実装構造の等価回路図である。図 8 に示すように、コンデンサ 10, 11 は、静電容量 C_1, C_2 を形成する。フェライトビーズインダクタ 12, 13 は、直列に接続されたインダクタ成分 L_1, L_2 と抵抗成分 R_1, R_2 とを形成する。そして、インダクタ成分 L_1, L_2 及び抵抗成分 R_1, R_2 の合成成分は、コンデンサ 10, 11 の静電容量 C_1, C_2 と直列に電源ライン 1, 2 の間に接続される。フェライトビーズインダクタ 12, 13 は、低周波帯域においてはインダクタ成分 L_1, L_2 が主として作用し、高周波帯域においては抵抗成分 R_1, R_2 が主として作用する。

【0047】

以上説明したように、本実施形態に係る電子部品の実装構造では、コンデンサ 10, 11 とフェライトビーズインダクタ 12, 13 とが直列となるように電源ライン 1, 2 間に接続されるので、フェライトビーズインダクタ 12, 13 の抵抗成分 R_1, R_2 がコンデンサ 10, 11 の等価直列抵抗 (ESR: Equivalent Series Resistance) として作用する。フェライトビーズインダクタ 12, 13 の抵抗成分 R_1, R_2 は、直流抵抗成分と高周波帯域で増加する損失との和で構成される。したがって、この実装構造によれば、高周波帯域における抵抗成分を増加させることができる。

10

【0048】

また、この実装構造では、フェライトビーズインダクタ 12, 13 は、電流の流れる方向が互いに逆向きとなるように実装されているため、磁界が相殺される。そのため、高周波帯域において ESR が更に低減するため、高周波ノイズの反射を防止することが可能となり、高周波ノイズを抵抗成分で熱変換して好適に除去することが可能となる。一方、フェライトビーズインダクタ 12, 13 は、低周波帯域では抵抗成分よりもむしろインダクタ成分が機能するため、上記実装構造によって低周波帯域でインピーダンスを小さく保つことが可能となる。そして、低周波ノイズに対しては、コンデンサ 10, 11 を実装しているため、このコンデンサ 10, 11 でその低周波ノイズが吸収され、好適に除去することができる。

20

【0049】

また、この実装構造に用いられるフェライトビーズインダクタ 12, 13 では、両主面 18a, 18b の対向方向に内部電極等を積層 (水平積層) するのではなく、それと直交する方向に内部電極 25 等を積層し、内部電極 25 が基板に対して略垂直に実装される構成としている。このため、上記実装構造等においてフェライトビーズインダクタ 12, 13 を用いた場合、内部電極 25 等を水平方向に直交する方向に多層化 (例えば 10 層) することにより、フェライトビーズインダクタ 12, 13 の抵抗成分の構成の 1 つである直流抵抗成分を小さくすることができる。つまり、フェライトビーズインダクタ 12, 13 を用いることにより、低周波帯域では更に低 ESR とすることができ、高周波帯域では高 ESR とすることができる。

30

【0050】

しかも、フェライトビーズインダクタ 12, 13 では、主面 18a, 18b の対向方向において主電極部 31 の幅 t_1 がフェライトビーズ素体 18 の厚み T の 50% 以上の長さとなるように幅広に構成されている。このため、フェライトビーズインダクタ 12, 13 によれば、直流抵抗成分を更に小さくすることができる。

40

【0051】

ところで特許文献 2 に記載の電子部品では、この電子部品単体で高周波帯域のノイズをも除去しようとしているため、図 9 (b) に示されるように、高周波帯域で極めて高いインピーダンス (10 以上) となることが要求され、主電極部の幅 t_2 を細くせざるを得ない。しかしながら、本実施形態のフェライトビーズインダクタ 12, 13 では、上述した実装構造でコンデンサ 10, 11 と共に用いられるため、図 9 (a) に示されるように、フェライトビーズインダクタ 12, 13 単体では高周波帯域においてある程度の高インピーダンス (0.5 ~ 3) となればよく、特許文献 2 に記載の電子部品とは異なる上記構成を採用することができる。そして、このフェライトビーズインダクタ 12, 13 では、このような独特の構成 (幅広の主電極部 31) を採用できることから、特許文献 2 の電

50

子部品よりも直流抵抗成分を格段に小さくすることが可能となっている。たとえば、特許文献2に記載の電子部品のように、高周波帯域で極めて高いインピーダンスを有する電子部品を電源ラインとGNDとの間に挿入した場合、電圧降下が生じ、誤作動などの不具合が発生する恐れがある。これに対して、本実施形態のように、コンデンサ10, 11とフェライトビーズインダクタ12, 13とが直列となるように電源ラインとGNDとの間に接続された構成では、フェライトビーズインダクタ12, 13による電圧降下が生じ難く、誤作動などの不具合が発生する恐れがない。

【0052】

また、フェライトビーズインダクタ12, 13では、磁性体層24と内部電極25とが積層される方向におけるフェライトビーズ素体18の幅寸法Wは、主電極部31が伸びる第3方向におけるフェライトビーズ素体18の幅寸法Lよりも長くなっている。このため、内部電極25の積層数を更に多層化させることができ、それにより直流抵抗を更に小さくすることができる。水平積層の場合、積層数を増加させるとその分素体の厚みが厚くなり上方に位置する内部電極への電流経路が長くなってしまい、積層数の増加がそのまま直流抵抗の低下に結びつかない場合もあり得るが、本実施形態のような積層方向であれば、内部電極25の積層数を増やすことによって確実に直流抵抗を低下させることができる。

10

【0053】

また、フェライトビーズインダクタ12, 13では、主電極部31の幅t1がフェライトビーズ素体18の厚みTの75%以下の長さとなっている。この場合、内部電極25を挟んで対向する磁性体層24同士が互いに接合する領域を確実に確保することができるため、磁性体層24の層間はがれを防止してフェライトビーズインダクタ12, 13の内部欠陥の発生を抑えることができる。

20

【0054】

また、フェライトビーズインダクタ12, 13では、第1及び第2の主面18a, 18bと第1及び第2の側面18c, 18dとが交わる角部すべてに内部電極25が形成されない構成となっている。角部等に内部電極25が形成されると角部等において磁性体層24同士が接合されないため、そこから層間はがれが発生しやすい。しかしながら、角部に内部電極25を形成しないことにより、角部で磁性体層24同士を接合でき、フェライトビーズ素体18の密着性を向上させることができる。その結果、本実施形態のフェライトビーズインダクタ12, 13によれば、磁性体層24の層間はがれによるビーズインダクタの内部欠陥の発生を更に抑えることができる。

30

【0055】

ここで、上述したフェライトビーズインダクタ12, 13の作用効果についてより具体的に説明する。図9に示すように、磁性体層24上における内部電極25の主電極部31の幅をt1とした場合において、フェライトビーズ素体18の厚みTとこの幅t1との比であるt1/Tがどの範囲にある場合に直流抵抗成分が小さくなり、また、内部構造欠陥の発生が抑えられるかについて、表1に示すように確認した。確認対象のサンプルとしては、外形寸法Lが0.8mm、Wが1.6mm、Tが0.6mm(L0.8×W1.6×T0.6、表1のNo.1~No.6)のものと、外形寸法Lが1.2mm、Wが2.0mm、Tが0.8mm(L1.2mm×W2.0mm×T0.8mm、表1のNo.7~No.12)のものをを用いた。

40

【表 1】

	外形寸法(mm)	T(mm)	t1(mm)	t1/T	100MHzのインピーダンス(Ω)	Rdc(m Ω)	不良発生数 n=100個
1	L0.8 x W1.6 x T0.6	0.6	0.5	0.83	1.1	4.4	6/100
2	L0.8 x W1.6 x T0.6	0.6	0.45	0.75	1.3	4.6	0/100
3	L0.8 x W1.6 x T0.6	0.6	0.4	0.67	1.6	5.0	0/100
4	L0.8 x W1.6 x T0.6	0.6	0.3	0.50	2.5	7.4	0/100
5	L0.8 x W1.6 x T0.6	0.6	0.2	0.33	5.5	10.5	0/100
6	L0.8 x W1.6 x T0.6	0.6	0.1	0.17	16.4	22.2	0/100
7	L1.2 x W2.0 x T0.8	0.8	0.7	0.88	0.8	4	9/100
8	L1.2 x W2.0 x T0.8	0.8	0.6	0.75	1.1	4.8	0/100
9	L1.2 x W2.0 x T0.8	0.8	0.5	0.63	1.6	5.7	0/100
10	L1.2 x W2.0 x T0.8	0.8	0.4	0.50	2.5	6.5	0/100
11	L1.2 x W2.0 x T0.8	0.8	0.3	0.38	5.2	9.0	0/100
12	L1.2 x W2.0 x T0.8	0.8	0.2	0.25	15.0	14.2	0/100

10

20

30

40

50

【0056】

この確認試験では、幅比 $t1/T$ を変更させた場合における、直流抵抗 $Rdc(m\Omega)$ と周波数が $100MHz$ の際のインピーダンス()とを求めると共に、それぞれのサンプル数 n を 100 個とし、層間剥がれなどによる内部構造欠陥の発生数を求めた。その結

果、表 1 に示すように、No. 1 ~ No. 4 及び No. 7 ~ 10 のサンプルにおいて、直流抵抗 R_{dc} が低め、即ち直流抵抗が低いと認定される指標の 1 つである「10m」よりも低い直流抵抗 R_{dc} とすることができた。また、同時に、これらのサンプルでは、100MHz の際のインピーダンス()を 3 よりも低い値に抑えることができた。

【0057】

さらに、表 1 に示すように、No. 2 ~ No. 4 及び No. 8 ~ No. 10 のサンプルにおいては、内部構造欠陥の発生数を 0 個 / 100 個、即ち内部構造欠陥がないといった顕著な効果を得ることができた。このように、磁性体層 24 上における内部電極 25 の主電極部 31 の幅を t_1 とし、フェライトビーズ素体 18 の厚みを T とした場合において、これらの比 t_1 / T を 0.50 以上 0.75 以下とすることにより、低周波帯域での低 ESR や高周波帯域での高 ESR を実現でき、且つ、磁性体層 24 の層間はがれを防止してフェライトビーズインダクタ 12, 13 の内部構造欠陥の発生を抑えることもできるといった顕著な効果を奏することができる。

10

【0058】

[第 2 実施形態]

次に、第 2 実施形態に係るフェライトビーズインダクタ 12, 13 について説明する。本実施形態に係るフェライトビーズインダクタ 12, 13 では、第 1 及び第 2 の外部電極 19, 20 の形状及び内部電極 25 の形状が第 1 実施形態と異なっている。以下、第 1 実施形態と異なる点を中心に説明する。

【0059】

まず、図 10 に示すように、本実施形態に係るフェライトビーズインダクタ 12, 13 は、第 1 及び第 2 の外部電極 19, 20 を一つずつ有している。第 1 の外部電極 19 は、フェライトビーズ素体 18 の第 1 の側面 18c 全面を覆うとともに、第 1 及び第 2 の主面 18a, 18b 並びに第 3 及び第 4 の側面 18e, 18f の一部を連続して覆うようになっている。第 2 の外部電極 20 は、フェライトビーズ素体 18 の第 2 の側面 18d 全面を覆うとともに、第 1 及び第 2 の主面 18a, 18b 並びに第 3 及び第 4 の側面 18e, 18f の一部を連続して覆うようになっている。つまり、本実施形態に係る第 1 の外部電極 19 は、第 1 実施形態における外部電極 19a, 19b を第 1 の側面 18c 側で連結した電極であり、第 2 の外部電極 20 は、第 1 実施形態における外部電極 20a, 20b を第 2 の側面 18d 側で連結した電極である。なお、第 1 及び第 2 の外部電極 19, 20 は、各主面 18a, 18b 等において、互いに所定距離離れている。

20

30

【0060】

また、本実施形態に係るフェライトビーズ素体 18 に含まれる内部電極 25 それぞれは、図 11 (a) に示されるように、H 形状を呈しており、第 1 及び第 2 の側面 18c, 18d の対向方向に幅 t_1 (図 9 参照) にて伸びる長方形の主電極部 31 と、主電極部 31 を第 1 の外部電極 19 及び第 2 の外部電極 20 それぞれに接続する引き出し電極部 32 ~ 35, 41, 42 とを含んで構成される。引き出し電極部 32 は、第 1 の主面 18a と第 1 の側面 18c とが接する角部に露出し、引き出し電極部 33 は、第 2 の主面 18b と第 1 の側面 18c とが接する角部に露出し、引き出し電極部 41 は、第 1 の側面 18c の略中央部に露出し、引き出し電極部 34 は、第 1 の主面 18a と第 2 の側面 18d が接する角部に露出し、引き出し電極部 35 は、第 2 の主面 18b と第 2 の側面 18d とが接する角部に露出し、引き出し電極部 42 は、第 2 の側面 18d の略中央部に露出する。

40

【0061】

そして、内部電極 25 は、一方の端部において、引き出し電極部 32, 33, 41 により、2 つの主面 18a, 18b 及び 1 つの側面 18c の計 3 面において、第 1 の外部電極 19 に電氣的且つ機械的に接続され、他方の端部において、引き出し電極部 34, 35, 42 により、2 つの主面 18a, 18b 及び 1 つの側面 18d の計 3 面において、第 2 の外部電極 20 に電氣的且つ機械的に接続される。なお、第 2 実施形態では、内部電極が形成されない領域として空隙 38, 39 が形成され、これら空隙 38, 39 が、積層方向に隣接する磁性体層 24 同士が接合する接合部となり、両者の密着性を向上させるように機

50

能する。

【0062】

以上説明したように、本実施形態に係るフェライトビーズインダクタ12, 13では、第1実施形態と同様、ビーズインダクタの抵抗成分の1つである直流抵抗成分を小さくすることができる。これに加え、第1及び第2の外部電極19, 20が、第1及び第2の主面18a, 18bと当該主面18a, 18bを連結する第1又は第2の側面18c, 18dとに跨って配置されていることから、内部電極25をそれぞれの端部において3つの面(2つの主面18a, 18bと1つの側面18c又は18d)で外部電極19, 20に接続させることができる。このため、本実施形態に係るフェライトビーズインダクタ12, 13によれば、直流抵抗を更に低下させることができる。

10

【0063】

また、上述したフェライトビーズインダクタ12, 13において、図11(b)に示すように、第1及び第2の主面18a, 18bと第1及び第2の側面18c, 18dとが交わる角部に内部電極25を形成せずに、空隙部36a, 36b, 37a, 37bを設けるようにしてもよい。角部に内部電極25が形成されると角部において磁性体層24同士が接合されないため、そこから層間はがれが発生しやすい。しかしながら、角部に空隙部36a, 36b, 37a, 37bを設けることにより、角部で磁性体層24同士を接合でき、その結果、フェライトビーズ素体18の密着性を向上させて、磁性体層24の層間はがれによるビーズインダクタの内部欠陥の発生を抑えることができる。

20

【0064】

本発明は、上記実施形態に限定されるものではない。例えば、上述したフェライトビーズインダクタ12, 13では、8個の複合層からフェライトビーズ素体18が構成される例を示したが、これに限定されるわけではなく、例えば4個の複合層や16個の複合層から構成されるようにしてもよい。また、上述した電子部品の実装構造において、コンデンサ及びフェライトビーズインダクタの実装数は設計に応じて適宜変更することができる。例えば、図12に示すように、コンデンサ10, 11及びフェライトビーズインダクタ12, 13(例えば第2実施形態のインダクタ)をそれぞれ4つずつ実装させることができる。このような構成においても、コンデンサ10, 11及びフェライトビーズインダクタ12, 13が電源ライン1, 2間に直列に接続されていると共に、フェライトビーズインダクタ12, 13において磁界が相殺されるため、ESLを低減することができる。したがって、低周波帯域において低インピーダンスを保ちつつ、高周波帯域において高インピーダンスとすることができる。

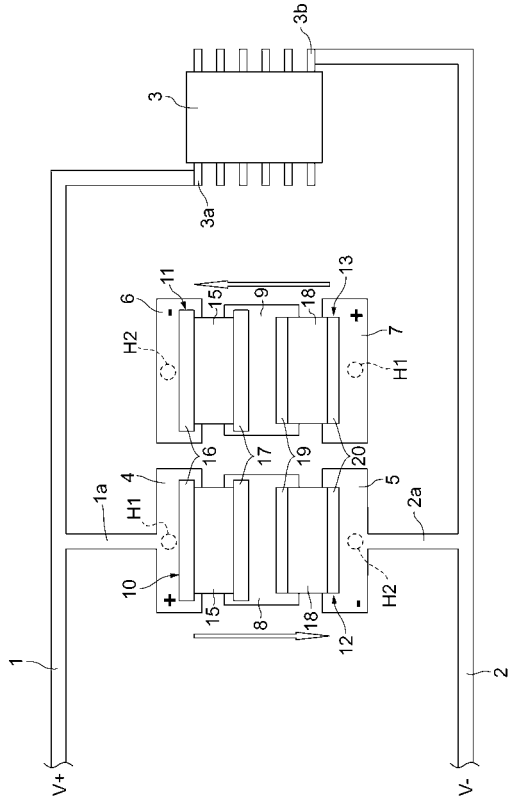
30

【符号の説明】

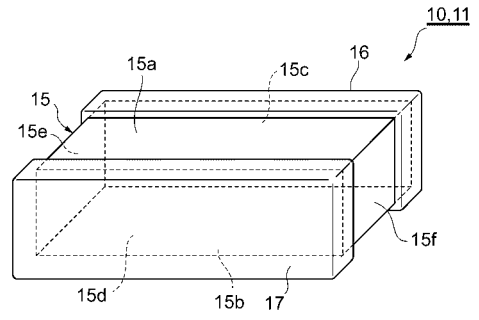
【0065】

1, 2...電源ライン、10, 11...コンデンサ、12, 13...フェライトビーズインダクタ、18...フェライトビーズ素体、18a, 18b...第1及び第2の主面、18c~18f...第1~第4の側面、19, 19a, 19b...第1の外部電極、20, 20a, 20b...第2の外部電極、25, 25a~25h...内部電極、31...主電極部、32~35, 41, 42...引き出し電極部、t1...主電極部の幅、T...素体の厚み。

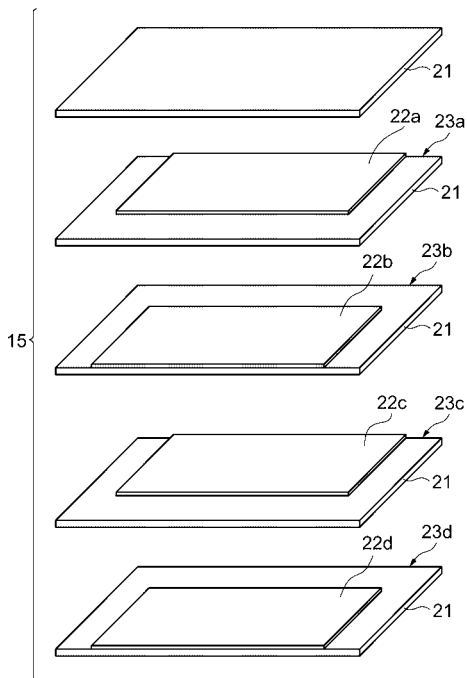
【 図 1 】



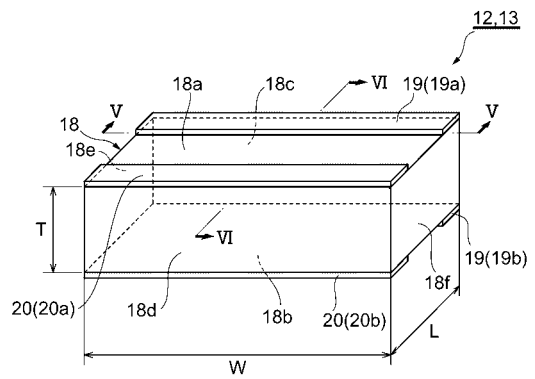
【 図 2 】



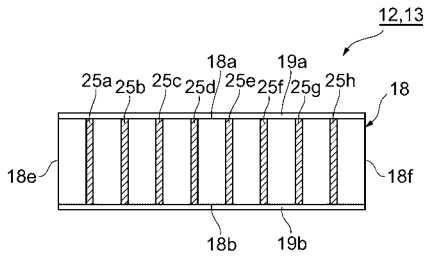
【 図 3 】



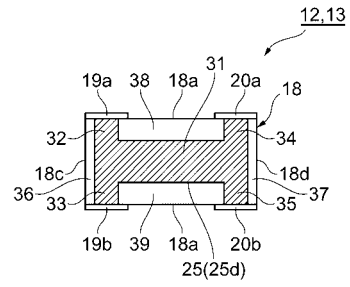
【 図 4 】



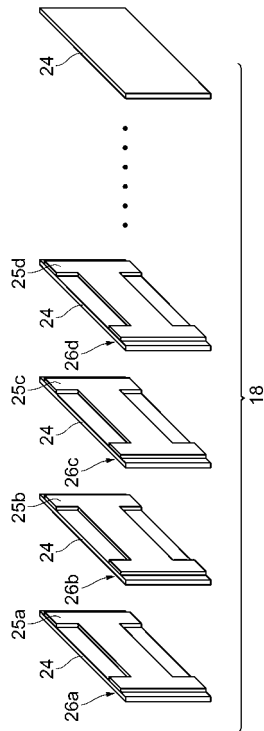
【 図 5 】



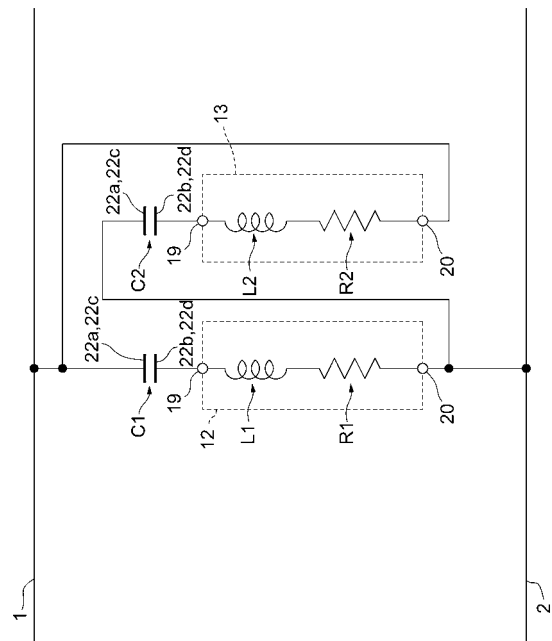
【 図 6 】



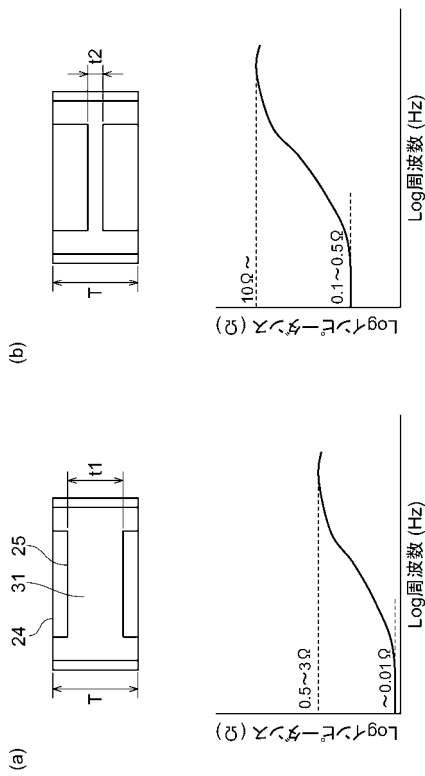
【 図 7 】



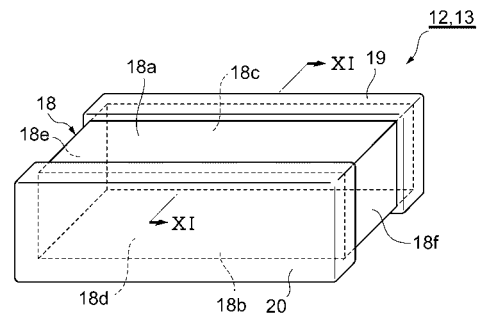
【 図 8 】



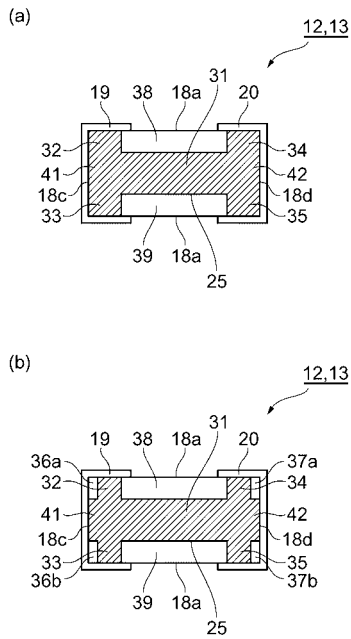
【 図 9 】



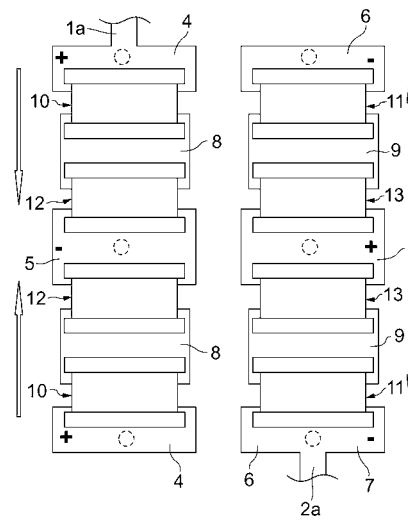
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

Fターム(参考) 5E082 AA01 AB03 DD08
5J024 AA01 DA03 DA04 DA27 DA29 DA35 EA08