



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201230245 A1

(43)公開日：中華民國 101 (2012) 年 07 月 16 日

(21)申請案號：100101422

(22)申請日：中華民國 100 (2011) 年 01 月 14 日

(51)Int. Cl. :

H01L21/768 (2006.01)

H01L21/324 (2006.01)

(71)申請人：財團法人國家實驗研究院(中華民國) (TW)

臺北市大安區和平東路 2 段 106 號 3 樓

(72)發明人：鍾朝安 (TW)；吳文發 (TW)

(74)代理人：林火泉

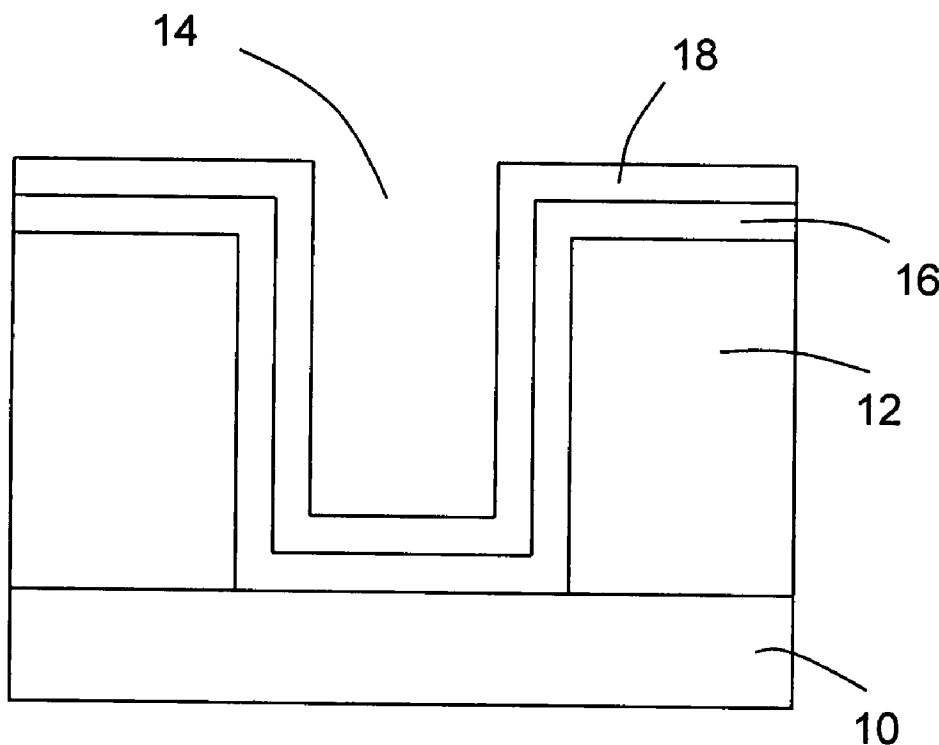
申請實體審查：有 申請專利範圍項數：8 項 圖式數：2 共 20 頁

(54)名稱

同步形成銀內連線之擴散阻障層與電鍍晶種層的方法

(57)摘要

本發明提供一種同步形成銀內連線之擴散阻障層與電鍍晶種層的方法，首先提供一基底，並於基底上形成一介電層；於介電層中形成一開口，並於開口內依序形成一富矽層或一富鍺層，以及一銀合金晶種層；進行一熱處理步驟，以將銀合金晶種層中的合金材料由銀中分離，並且合金材料擴散至銀合金晶種層之底表面，並與富矽層或者富鍺層反應形成矽化物層或者鍺化物，以作為一擴散阻障層，銀合金晶種層中的銀作為電鍍晶種層，達到同步形成銀內連線之擴散阻障層與電鍍晶種層。



10：基底

12：介電層

14：開口

16：非晶矽層

18：銀合金晶種層

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關一種集成電路的內連線製作方法，特別是指一種同步形成銀內連線之擴散阻障層與電鍍晶種層的方法。

### 【先前技術】

目前用來形成集成電路之銅合金內連線如金屬線及介層窗 (via) 的方法稱為鑲嵌 (damascene)，其方法是於介電層中形成開口，此介電層是用來分隔垂直間隔的金屬層。隨後，於開口內依序形成一擴散阻障層與一銅晶種層，擴散阻障層是用來防止銅擴散至鄰近介電層中，而銅晶種層是用以利於後續銅或銅合金填充於開口內之銅電鍍晶種層。最後，利用電鍍方式將銅或銅合金填充於開口內，並進行化學機械研磨製程，移除多餘的銅或銅合金，即完成內連線製程。

但在日益微縮的製程要求下，原本的銅製程出現製程上與電性上的瓶頸，舉例來說：1.在電性方面，當導線尺度日益減少，但作為阻障層（例如鈿/氮化鈿）的厚度維持不變時，使得相對銅或銅合金的部分比例減少，有效電阻相對提高，失去低阻值優勢；2.在製程方面，當導線尺度日益減少時，若作為阻障層（例如鈿/氮化鈿）的厚度維持不變，將使得銅晶種層的製程條件變得相對嚴苛，以目前物理氣相沈積法 (PVD) 製作品種層時的表面批覆性 (step coverage) 程度，已無法滿足需求，相對造成後續電鍍結果的失敗，例如產生孔洞；3.在材料選擇方面，一些新的擴散阻障層製程技術像原子層沈積氮化鈿 (ALD-TaN)、原子層沈積鈿 (ALD-Ru) 或者化學氣相沈積鈿 (CVD-Ru) 等，除了阻值高外，阻障效果也不佳，即使採用，還是

需要搭配極薄的晶種層，因此批覆性不佳的問題仍然存在。再者，雖然有新的電鍍促進層的研發，解決了在批覆不佳的情況下的電鍍施行成效，但是在此方式下仍需要依靠物理氣相沈積法來形成極薄的晶種層，而且阻值上也因多了這層電鍍促進層而提高，因此在孔洞極小的情況下，還是面臨到極大的挑戰。

銀金屬具有較銅低的電阻率，被視為可能取代銅成為新的金屬導線材料之一。有鑑於此，本發明遂針對上述習知技術之缺失，針對未來銀導線製程所面臨更嚴苛的困境，提出一種嶄新的同步形成銀內連線之擴散阻障層與電鍍晶種層的方法，以有效克服上述之該等問題。

### 【發明內容】

本發明之主要目的在提供一種同步形成銀內連線之擴散阻障層與電鍍晶種層的方法，其藉由材料設計與反應機制，於熱處理製程時，由於合金材料在銀中的固溶限隨溫度升高而下降析出，這種符合熱力學現象的元素分離不僅同時且等向均勻。添加的合金在升溫過程中一邊析出，一邊與其下富矽層或是富鍺層反應，形成矽化物或是鍺化物，可作為銀的擴散阻障層之用。相對原來銀合金裏的銀純度升高，可作為後續電鍍之晶種層之用。且厚度是等向均勻的分佈。

本發明之另一目的在提供一種同步形成銀內連線之擴散阻障層與電鍍晶種層的方法，其少了擴散阻障層的沈積製程步驟，使得開口內電鍍液流入空間變寬，可大大減少後續電鍍的困難性，能適用於微縮化後的集成電路。

本發明之再一目的在提供一種同步形成銀內連線之擴散阻障層與電鍍

晶種層的方法，其減少了擴散阻障層的製作流程與成本，也提高元件製作速度。

為達上述之目的，本發明提供一種同步形成銀內連線之擴散阻障層與電鍍晶種層的方法，其包含有下列步驟：首先，提供一基底，並於基底上形成一介電層；隨後，於介電層中形成一開口，並於開口內依序形成一富矽層與一銀合金晶種層；以及進行一熱處理步驟，以將銀合金晶種層中的合金材料由銀中分離，並且合金材料擴散至銀合金晶種層之底表面，並與富矽層反應形成矽化物層，以作為一擴散阻障層，銀合金晶種層中的銀作為電鍍晶種；電鍍填充一銀材料於開口中；以及執行一平坦化步驟，以移除覆蓋在介電層上的多餘銀材料。

上述之富矽層可以用富鍺層取代。當以富鍺層取代時，合金材料擴散至銀合金層之底表面後將與富鍺層反應形成鍺化物層。

底下藉由具體實施例詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

## 【實施方式】

本發明有鑑於集成電路製程技術的微縮化，選擇一個合適的新金屬導線材料，銀，並搭配適當的銀合金晶種層材料設計與反應機制，再藉由熱處理製程使銀合金晶種層內之合金與銀基材分離，以同時且等向均勻的形成電鍍晶種層與擴散阻障層，進而減少了擴散阻障層的製作流程與成本，也提高元件製作速度。再者，由於少了一道製程，相對電鍍液流入空間變寬，可大大減少後續電鍍的困難性。另外，這銀合金晶種層的厚度可以從製程條件來精準控制，相對可靠度高，能與現有製程技術相容。另一方面

也減少設備成本的支出。

以下，係舉兩個實施例來說明本發明，但並不因此侷限本發明的範圍。

請參閱第 1 (a) ~ 第 1 (g) 圖，其係本發明之一實施例的各步驟剖面示意圖。首先，如第 1 (a) 圖所示，提供一基底 10，其中此基底 10 之材質為矽或鍺，並於基底 10 上形成一介電層 12。隨後，如第 1 (b) 圖所示，形成一開口 14 於該介電層 12 中。再如第 1 (c) 圖所示，於開口 14 內沈積一非結晶矽層 16 或者非結晶鍺層，來作為富矽層或者富鍺層。如第 1 (d) 圖所示，於非結晶矽層 16 或者非結晶鍺層上形成一銀合金晶種層 18，其中銀合金晶種層 18 包含有與合金材料形成合金的基材金屬材料 (base metallic material)。在本發明中所選用的基材金屬材料為銀，合金材料則依下方是非結晶矽層或非結晶鍺層而有所不同。舉例來說，當非晶層之材料為矽時，銀合金晶種層中的合金材料可選自於鈷 (Co)、鉻 (Cr)、鉬 (Mo)、鈮 (Nb)、鎳 (Ni)、鉑 (Pt)、鉭 (Ta)、鈦 (Ti)、釩 (V)、鎢 (W) 或者鋯 (Zr)。當非晶層之材料為鍺時，銀合金晶種層中的合金材料可選自於鋯 (Zr)、鈮 (Nb)、鉭 (Ta)、鉬 (Mo)、鎳 (Ni)、鉑 (Pt)、鈷 (Co)、鉻 (Cr) 或銅 (Cu)。此外，銀合金晶種層 18 的形成方式是利用物理氣相沈積法 (PVD)、化學氣相沈積法 (CVD)、原子層沈積法 (ALD) 或者濕式製程。

接續，如第 1 (e) 圖所示，進行一熱處理步驟，以將銀合金晶種層 18 中的合金材料由作為基材金屬材料的銀中分離，並且合金材料擴散至銀合金晶種層 18 之底表面，並與富矽層或者富鍺層反應形成矽化物層 20 或者鍺化物層，以作為一擴散阻礙層，隨著銀合金晶種層 18 中的合金材料擴散後，剩下的富銀層 22 則作為電鍍晶種層。如第 1 (f) 圖所示，以銀作為電

鍍晶種層，電鍍填充一銀材料 24 於開口中且此銀材料覆蓋富矽層或者富鍺層。雖然，在第 1 (e) 圖中，有描繪出銀合金晶種層因熱處理形成一矽化物層 20 與一富銀層 22，或者是鍺化物層與富銀層，但在第 1 (f) 圖中，因為富銀層 22 與電鍍之銀材料 24 二者是相同的材料，因此二者間可能無法區隔，所以並沒有描繪出銀晶種層。最後，如第 1 (g) 圖所示，執行一平坦化步驟，以移除覆蓋在介電層上的多餘銀材料，獲得作為集成電路內連線之銀導線 26。

● 上述之熱處理步驟的溫度是  $100^{\circ}\text{C} \sim 550^{\circ}\text{C}$ ，處理時間為 1 秒~60 分鐘。

請參閱第 2 (a) ~ 第 2 (g) 圖，其係本發明之另一實施例的各步驟剖面示意圖。此實施例與上述實施例之差異在於富矽層或者富鍺層的製作方法，鑑此對於細部製程部分可參酌上述實施例的描述，在此並不再重複進行贅述。

● 首先，如第 2 (a) 圖所示，提供一半導體基底 30，並於基底 30 上形成一介電層 32。隨後，如第 2 (b) 圖所示，形成一開口 34 於介電層 32 中。再如第 2 (c) 圖所示，利用離子植入方式對自開口 34 顯露出之介電層 32 與基底 30 進行矽離子佈值，以形成一矽離子植入層 36，來作為富矽層。當然此處的矽離子也可使用鍺離子取代。

接續，如第 2 (d) 圖所示，於矽離子植入層 36 上形成一銀合金晶種層 38。再如第 2 (e) 圖所示，進行一熱處理步驟，以將銀合金晶種層 38 中的合金材料由作為基材金屬材料的銀中分離，並且合金材料擴散至銀合金層之底表面，並與矽離子植入層 36 反應形成矽化物層 40，以作為一擴散阻障層，銀合金晶種層中的富銀層 42 則作為電鍍晶種層。如第 2 (f) 圖所示，

以富銀層作為電鍍晶種層，電鍍填充一銀材料 44。最後，如第 2 (g) 圖所示，執行一平坦化步驟，以獲得作為集成電路內連線之銀導線 46。

上述之熱處理步驟的溫度是 100°C ~ 550°C，處理時間為 1 秒 ~ 60 分鐘。

鑑此，本發明巧妙地選用在高溫中對銀金屬低固容量之金屬，與矽或鍍反應後自動形成擴散阻障層，並同步形成銀晶種層，來提高製程良率並減少製程程序，降低成本。

本發明藉由熱處理製程時，銀合金晶種層中的合金材料在銀中的固溶限隨溫度升高下降而析出，這種熱力學現象的元素分離不僅同時且等向均勻的現象下，添加的合金在升溫過程中一邊析出，一邊與其下富矽層或是富鍍層反應，形成矽化物或是鍍化物，來作為銀的擴散阻障層之用。相對的原來銀合金晶種層裏的銀純度升高，可作為後續電鍍之晶種層之用。且厚度是等向均勻的分佈。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之特徵及精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

### 【圖式簡單說明】

第 1 (a) ~ 第 1 (g) 圖係本發明之一實施例的各步驟剖面示意圖。

第 2 (a) ~ 第 2 (g) 圖係本發明之另一實施例的各步驟剖面示意圖。

### 【主要元件符號說明】

10 基底

12 介電層

14 開口

16 非晶矽層

18 銀合金晶種層

20 矽化物層

22 富銀層

24 銀材料

26 銀導線

30 基底

● 32 介電層

34 開口

36 矽離子植入層

38 銀合金晶種層

40 矽化物層

42 富銀層

44 銀材料

● 46 銀導線

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：| 00101422

※申請日：100.1.14

※IPC 分類：

H01L 21/768 (2006.01)

21/324 (2006.01)

一、發明名稱：(中文/英文)

同步形成銀內連線之擴散阻障層與電鍍晶種層的方法

二、中文發明摘要：

本發明提供一種同步形成銀內連線之擴散阻障層與電鍍晶種層的方法，首先提供一基底，並於基底上形成一介電層；於介電層中形成一開口，並於開口內依序形成一富矽層或一富鍺層，以及一銀合金晶種層；進行一熱處理步驟，以將銀合金晶種層中的合金材料由銀中分離，並且合金材料擴散至銀合金晶種層之底表面，並與富矽層或者富鍺層反應形成矽化物層或者鍺化物，以作為一擴散阻障層，銀合金晶種層中的銀作為電鍍晶種層，達到同步形成銀內連線之擴散阻障層與電鍍晶種層。

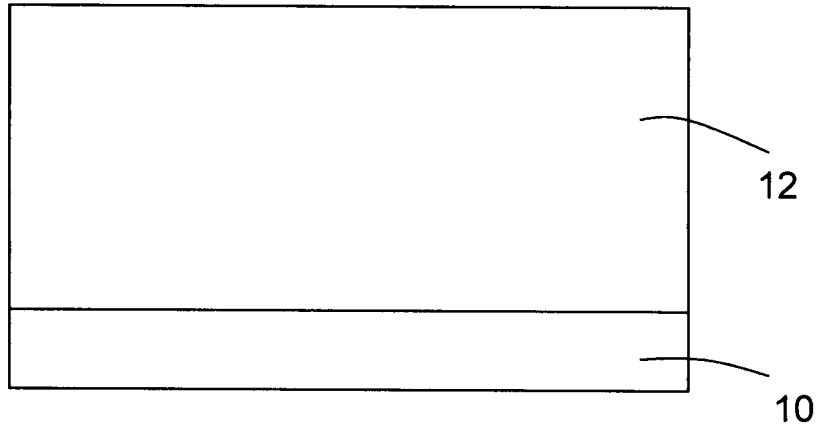
三、英文發明摘要：

七、申請專利範圍：

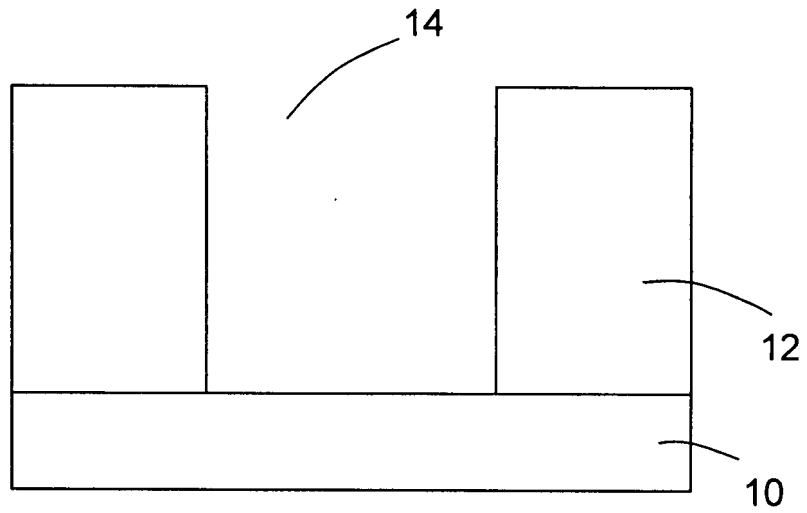
1. 一種同步形成銀內連線之擴散阻障層與電鍍晶種層的方法，其步驟包含有：
  - 提供一基底；
  - 形成一介電層於該基底上；
  - 形成一開口於該介電層中；
  - 形成一富矽層或者富鍺層於該開口內；
  - 形成一銀合金晶種層於該富矽層或者富鍺層上；
  - 進行一熱處理步驟，以將該銀合金晶種層中的該合金材料由該銀中分離，並且該合金材料擴散至該銀合金晶種層之底表面，並與該富矽層或者富鍺層反應形成矽化物層或者鍺化物層，以作為一擴散阻障層，該銀合金晶種層中的該銀作為電鍍晶種；
  - 電鍍填充一銀材料於該開口中；以及
  - 執行一平坦化步驟，以移除覆蓋在該介電層上的多餘的該銀材料。
2. 如申請專利範圍第 1 項所述之方法，其中該富矽層或者富鍺層是利用沈積方式所形成的非結晶矽層或者非結晶鍺層。
3. 如申請專利範圍第 1 項所述之方法，其中該富矽層或者富鍺層是利用離子植入方式對自該開口顯露出之該介電層與該基底進行矽離子或者鍺離子植入所形成之矽離子植入層或者鍺離子植入層。
4. 如申請專利範圍第 1 項所述之方法，其中該銀合金晶種層的形成方式是利用物理氣相沈積法（PVD）、化學氣相沈積法（CVD）、原子層沈積法（ALD）或者濕式製程。

5. 如申請專利範圍第 1 項所述之方法，其中當該開口內是形成該富矽層時，該銀合金晶種層中的該合金材料可選自於鈷(Co)、鉻(Cr)、鉬(Mo)、鈮(Nb)、鎳(Ni)、鉑(Pt)、鉭(Ta)、鈦(Ti)、釩(V)、鎢(W)或者鋯(Zr)。
6. 如申請專利範圍第 1 項所述之方法，其中當該開口內是形成該富鍍層時，該銀合金晶種層中的該合金材料可選自於鋯(Zr)、鈮(Nb)、鉭(Ta)、鉬(Mo)、鎳(Ni)、鉑(Pt)、鈷(Co)、鉻(Cr)或銅(Cu)。
7. 如申請專利範圍第 1 項所述之方法，其中該基底之材質為矽或鍍。
8. 如申請專利範圍第 1 項所述之方法，其中該熱處理步驟的溫度是 100°C ~550°C，處理時間為 1 秒~60 分鐘。

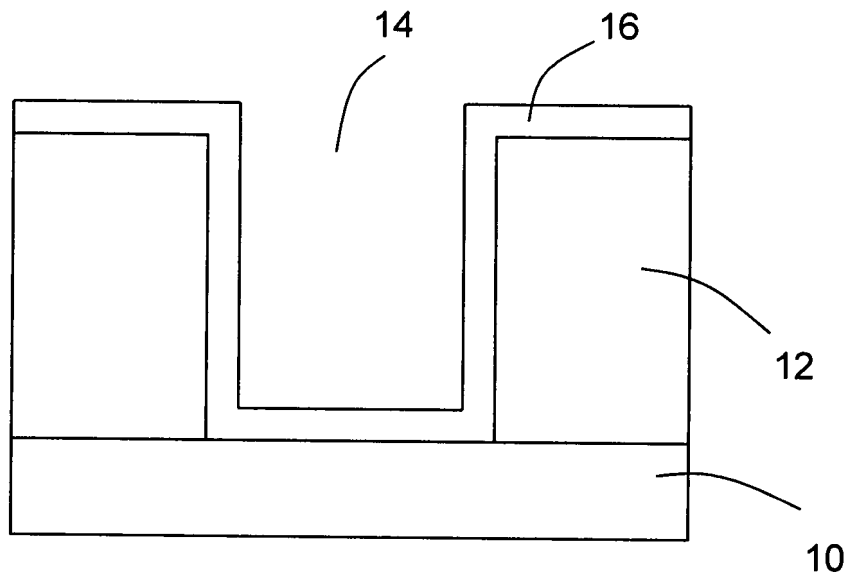
八、圖式：



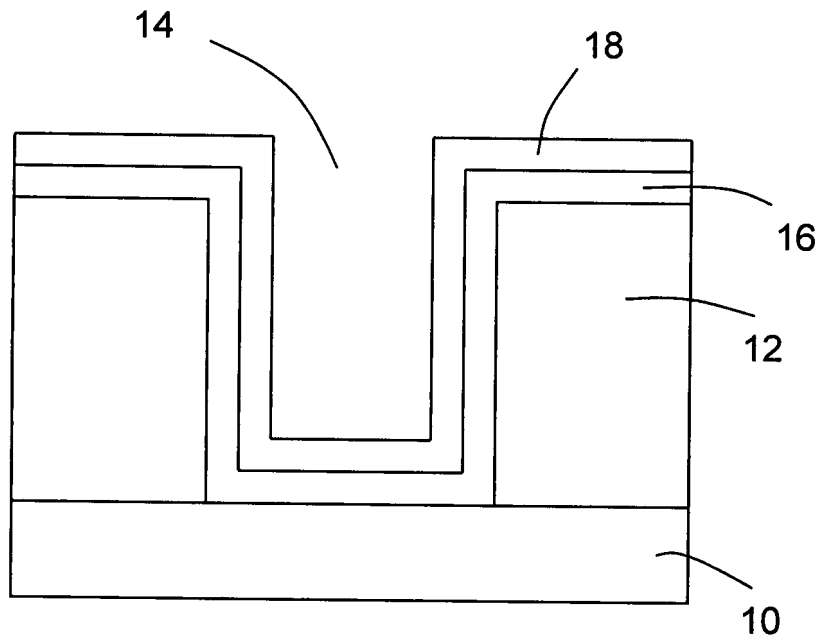
第1 (a) 圖



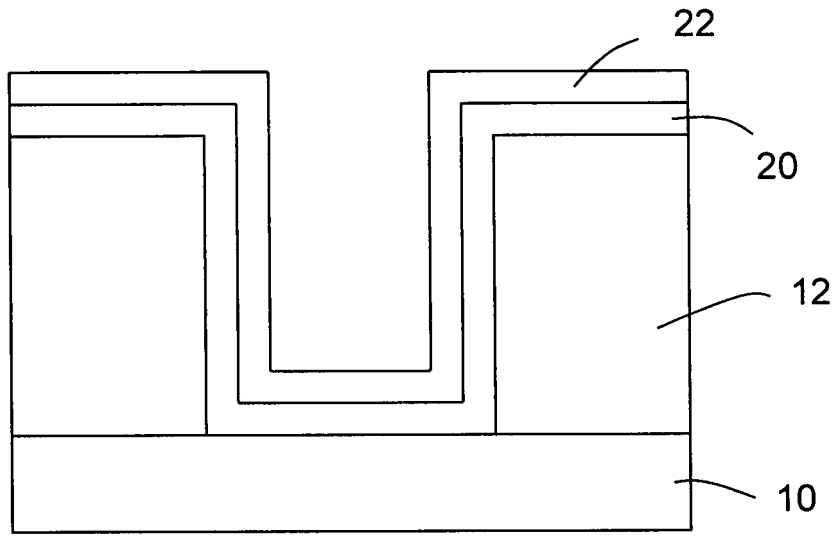
第1 (b) 圖



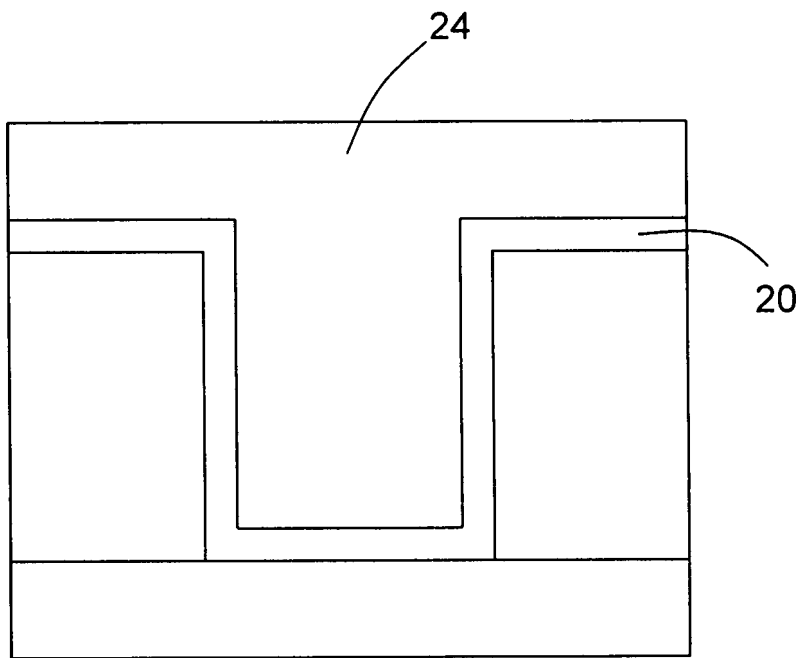
第1(c)圖



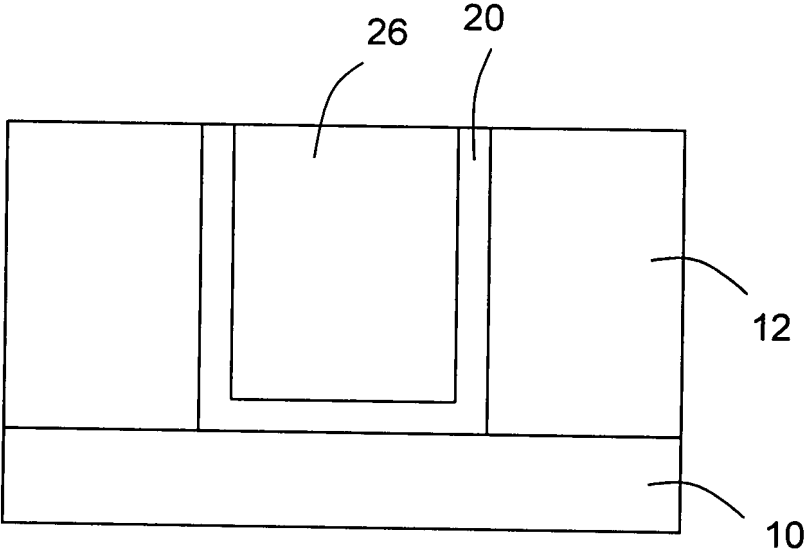
第1(d)圖



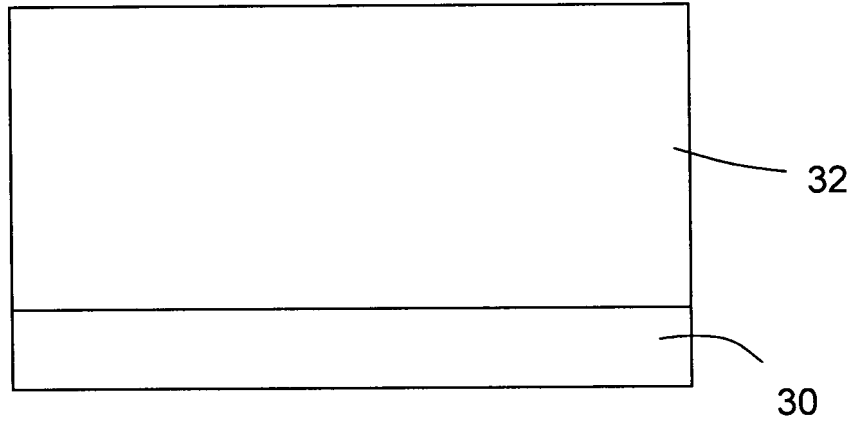
第1 (e) 圖



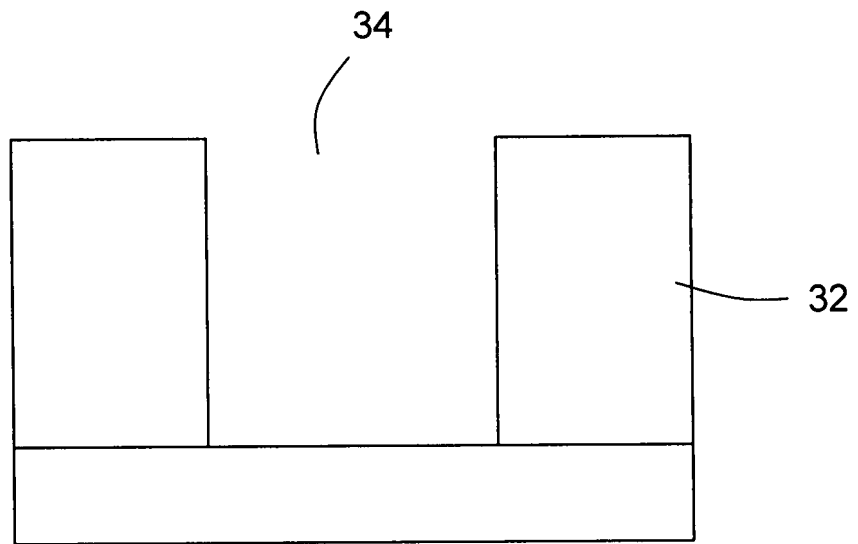
第1 (f) 圖



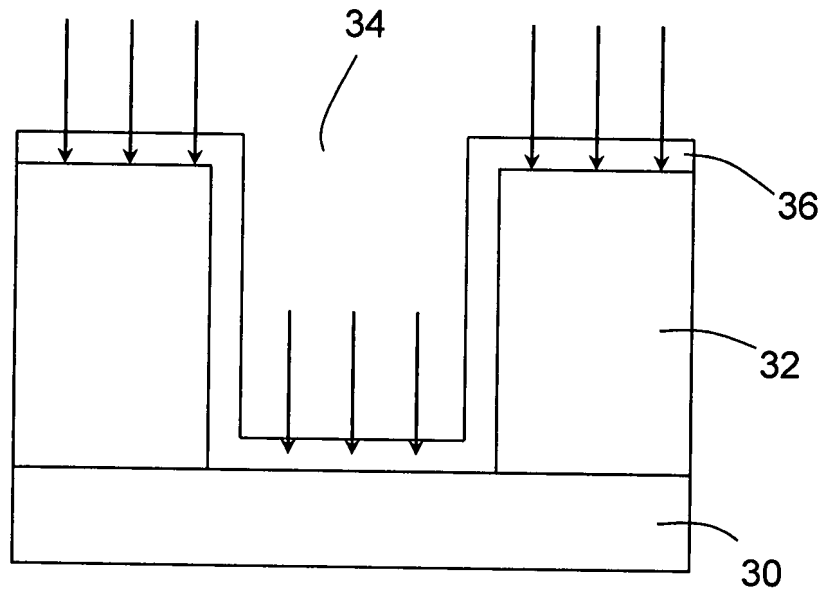
第1 (g) 圖



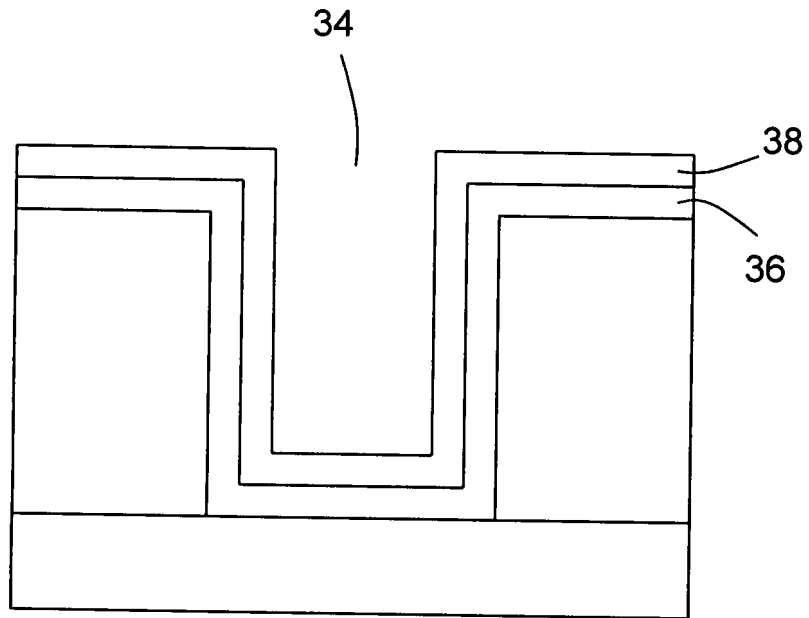
第2 (a) 圖



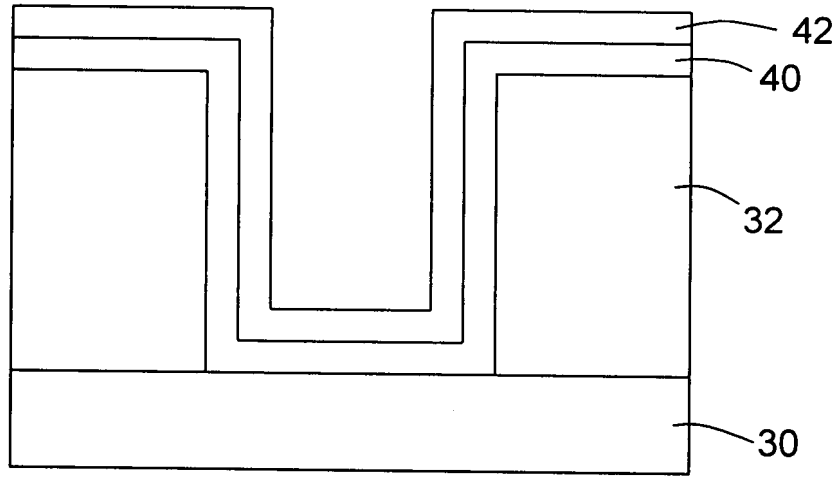
第2 (b) 圖



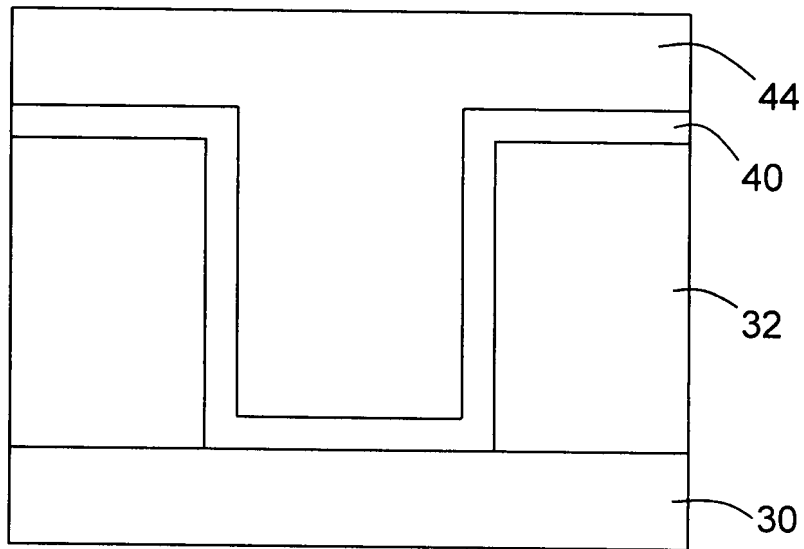
第2 (c) 圖



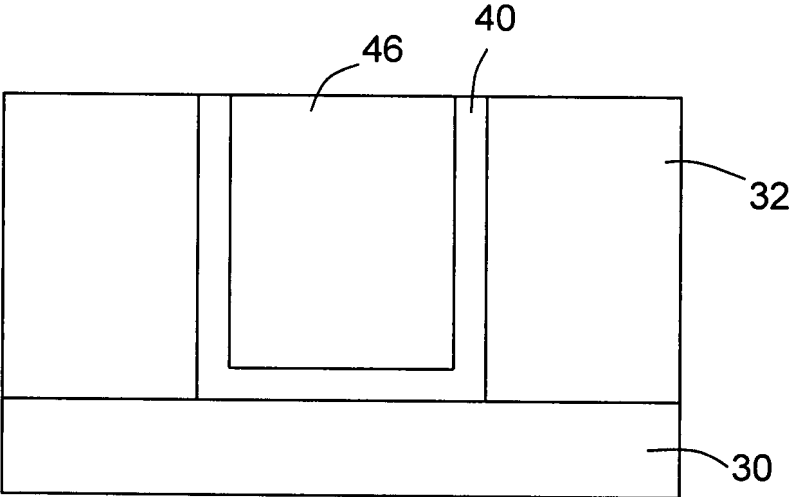
第2 (d) 圖



第2 (e) 圖



第2 (f) 圖



第2 (g) 圖

四、指定代表圖：

(一)本案指定代表圖為：第 ( 1 (d) ) 圖。

(二)本代表圖之元件符號簡單說明：

- 10 基底
- 12 介電層
- 14 開口
- 16 非晶矽層
- 18 銀合金晶種層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：