



(12)发明专利申请

(10)申请公布号 CN 110265755 A

(43)申请公布日 2019.09.20

(21)申请号 201910656198.1

(22)申请日 2019.07.19

(71)申请人 深圳市国人射频通信有限公司

地址 518000 广东省深圳市南山区高新区
中区科技中三路国人大厦B栋7F

(72)发明人 章博 段宗金

(74)专利代理机构 深圳市盈方知识产权事务所
(普通合伙) 44303

代理人 朱晓江 周才淇

(51)Int.Cl.

H01P 1/20(2006.01)

H01P 7/10(2006.01)

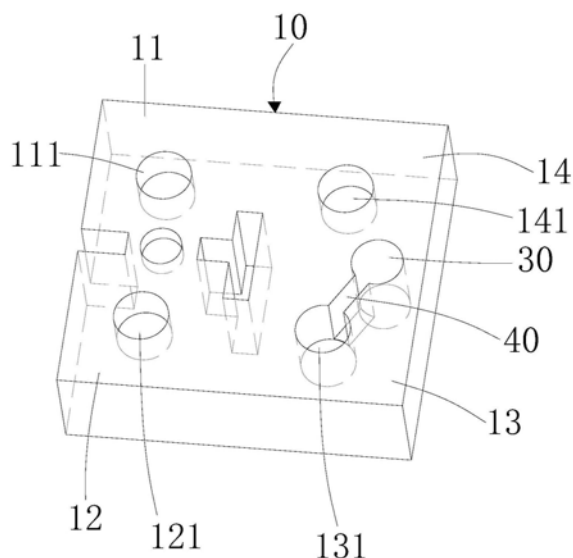
权利要求书1页 说明书5页 附图9页

(54)发明名称

一种介质波导滤波器

(57)摘要

本发明涉及一种介质波导滤波器,包括介质基体,所述介质基体包括多个谐振器,所述多个谐振器之间相互连接,所述介质基体还包括负耦合盲孔,所述负耦合盲孔设置在其中两个相邻的谐振器之间的连接处,该两个相邻的谐振器分别设有调谐盲孔,且该两个相邻的谐振器中的其中一个谐振器的调谐盲孔与所述负耦合盲孔之间通过第一耦合结构连接。本发明可有效地抑制介质波导滤波器的寄生耦合。



1. 一种介质波导滤波器,包括介质基体,所述介质基体包括多个谐振器,所述多个谐振器之间相互连接,其特征在于:所述介质基体还包括负耦合盲孔,所述负耦合盲孔设置在其中两个相邻的谐振器之间的连接处,该两个相邻的谐振器分别设有调谐盲孔,且该两个相邻的谐振器中的其中一个谐振器的调谐盲孔与所述负耦合盲孔之间通过第一耦合结构连接。

2. 根据权利要求1所述的介质波导滤波器,其特征在于:每个谐振器的外表面、所有调谐盲孔的内表面、负耦合盲孔的内表面均设有第一导电屏蔽层。

3. 根据权利要求1所述的介质波导滤波器,其特征在于:该两个相邻的谐振器中的另外一个谐振器的调谐盲孔与所述负耦合盲孔之间通过第二耦合结构连接。

4. 根据权利要求3所述的介质波导滤波器,其特征在于:该两个相邻的谐振器的上表面分别设有所述调谐盲孔,所述负耦合盲孔设置在其中两个相邻的谐振器上表面之间的连接处,所述第一耦合结构为第一加强脊,所述第二耦合结构为第二加强脊,所述第一加强脊设置在与其连接的调谐盲孔所在的谐振器的上表面,所述第二加强脊设置在与其连接的调谐盲孔所在的谐振器的上表面。

5. 根据权利要求4所述的介质波导滤波器,其特征在于:所述第一加强脊的宽度与所述第二加强脊的宽度相等或不相等。

6. 根据权利要求4所述的介质波导滤波器,其特征在于:所述第一加强脊的深度与所述第二加强脊的深度相等或不相等。

7. 根据权利要求4所述的介质波导滤波器,其特征在于:所述第一加强脊和第二加强脊中,至少一个凹槽的表面设有第二导电屏蔽层。

8. 根据权利要求1所述介质波导滤波器,其特征在于:该两个相邻的谐振器的上表面分别设有所述调谐盲孔,所述负耦合盲孔设置在其中两个相邻的谐振器上表面之间的连接处,所述第一耦合结构为第一加强脊,所述第一加强脊设置在与其连接的调谐盲孔所在的谐振器的上表面。

9. 根据权利要求8所述的介质波导滤波器,其特征在于:所述第一加强脊的底部设有通孔,所述通孔的远离第一加强脊的一端延伸至第一加强脊所在的谐振器的下表面;每个谐振器的外表面设有第一导电屏蔽层,所述第一加强脊的内表面设有第二导电屏蔽层,所述通孔的内表面设有第三导电屏蔽层,所述通孔的第三导电屏蔽层分别与对应的谐振器的第一导电屏蔽层、第一加强脊的第二导电屏蔽层连接。

10. 根据权利要求8所述的介质波导滤波器,其特征在于:所述第一加强脊的底部设有通孔,所述通孔的远离第一加强脊的一端延伸至第一加强脊所在的谐振器的下表面;每个谐振器的的外表面设有第一导电屏蔽层,所述通孔的内表面设有第三导电屏蔽层,所述通孔的第三导电屏蔽层与对应的谐振器的第一导电屏蔽层连接或不连接。

一种介质波导滤波器

【技术领域】

[0001] 本发明涉及一种通信设备器件,尤其是涉及一种介质波导滤波器。

【背景技术】

[0002] 滤波器是一种选频器件,在射频器件中起着举足轻重的作用。随着5G时代的来临,器件的小型化是其通信设备发展的关键,而小型化、高性能、低功耗滤波器又是5G设备小型化的关键。相较于传统的波导滤波器而言,介质波导滤波器具有较大的优势,成为行业内的热门研究对象。

[0003] 介质波导滤波器将传统波导滤波器的空气填充形式改进成高介电常数陶瓷材料填充,陶瓷介质材料通过压铸成型,起到传输信号和结构支撑的作用。

[0004] 由于5G无线射频系统对带外抑制要求越来越严格,这就需要在通带外添加传输零点,以提高滤波器的矩形系数。然而在实现低端传输零点时,往往采取一定深度的盲孔形式,该种方式会无形中会加大滤波器的寄生耦合,这直接影响到了滤波器的电气性能。

【发明内容】

[0005] 本发明的目的在于克服上述技术的不足,提供一种可有效地抑制寄生耦合的介质波导滤波器。

[0006] 本发明提供了一种介质波导滤波器,包括介质基体,所述介质基体包括多个谐振器,所述多个谐振器之间相互连接,所述介质基体还包括负耦合盲孔,所述负耦合盲孔设置在两个相邻的谐振器之间的连接处,该两个相邻的谐振器分别设有调谐盲孔,且该两个相邻的谐振器中的其中一个谐振器的调谐盲孔与所述负耦合盲孔之间通过第一耦合结构连接。

[0007] 进一步地,每个谐振器的外表面、所有调谐盲孔的内表面、负耦合盲孔的内表面均设有第一导电屏蔽层。

[0008] 进一步地,该两个相邻的谐振器中的另外一个谐振器的调谐盲孔与所述负耦合盲孔之间通过第二耦合结构连接。

[0009] 进一步地,该两个相邻的谐振器的上表面分别设有所述调谐盲孔,所述负耦合盲孔设置在两个相邻的谐振器上表面之间的连接处,所述第一耦合结构为第一加强脊,所述第二耦合结构为第二加强脊,所述第一加强脊设置在与其连接的调谐盲孔所在的谐振器的上表面,所述第二加强脊设置在与其连接的调谐盲孔所在的谐振器的上表面。

[0010] 进一步地,所述第一加强脊的宽度与所述第二加强脊的宽度相等或不相等。

[0011] 进一步地,所述第一加强脊的深度与所述第二加强脊的深度相等或不相等。

[0012] 进一步地,所述第一加强脊和第二加强脊中,至少一个凹槽的表面设有第二导电屏蔽层。

[0013] 进一步地,该两个相邻的谐振器的上表面分别设有所述调谐盲孔,所述负耦合盲孔设置在两个相邻的谐振器上表面之间的连接处,所述第一耦合结构为第一加强脊,

所述第一加强脊设置在与其连接的调谐盲孔所在的谐振器的上表面。

[0014] 进一步地,所述第一加强脊的底部设有通孔,所述通孔的远离第一加强脊的一端延伸至第一加强脊所在的谐振器的下表面;每个谐振器的外表面设有第一导电屏蔽层,所述第一加强脊的内表面设有第二导电屏蔽层,所述通孔的内表面设有第三导电屏蔽层,所述通孔的第三导电屏蔽层分别与对应的谐振器的第一导电屏蔽层、第一加强脊的第二导电屏蔽层连接。

[0015] 进一步地,所述第一加强脊的底部设有通孔,所述通孔的远离第一加强脊的一端延伸至第一加强脊所在的谐振器的下表面;每个谐振器的的外表面设有第一导电屏蔽层,所述通孔的内表面设有第三导电屏蔽层,所述通孔的第三导电屏蔽层与对应的谐振器的第一导电屏蔽层连接或不连接。

[0016] 本发明通过设置的第一耦合结构,可实现有效地抑制其中两个相邻的谐振器之间产生的寄生耦合,从而可保证介质波导滤波器的电气性能,且加工简单,易于实现。

【附图说明】

[0017] 图1为本发明第一实施例提供一种介质波导滤波器的结构示意图;

[0018] 图2是图1所示介质波导滤波器的两个谐振器、负耦合盲孔、第一耦合结构的俯视示意图;

[0019] 图3是图2所示A-A处的第一个方案的剖视示意图;

[0020] 图4是图2所示A-A处的第二个方案的剖视示意图;

[0021] 图5为发明第二实施例提供一种介质波导滤波器的结构示意图;

[0022] 图6是图5所示介质波导滤波器的两个谐振器、负耦合盲孔、第一耦合结构的俯视示意图;

[0023] 图7是图6所示A-A处的第一个方案的剖视示意图;

[0024] 图8是图6所示A-A处的第二个方案的剖视示意图;

[0025] 图9是图6所示A-A处的第三个方案的剖视示意图;

[0026] 图10是图6所示A-A处的第四个方案的剖视示意图;

[0027] 图11为发明第三实施例提供一种介质波导滤波器的结构示意图;

[0028] 图12是图11所示介质波导滤波器的两个谐振器、负耦合盲孔、第一耦合结构的俯视示意图;

[0029] 图13是图12所示B-B处的第一个方案的剖视示意图;

[0030] 图14是图12所示B-B处的第二个方案的剖视示意图;

[0031] 图15是图12所示B-B处的第三个方案的剖视示意图。

【具体实施方式】

[0032] 下面结合附图和实施例对本发明作进一步的描述。

[0033] 第一实施例

[0034] 参考图1和图2,本发明提供一种介质波导滤波器,包括由高介电常数例如陶瓷材料制成的介质基体10。介质基体10包括多个谐振器,多个谐振器之间相互连接。多个谐振器之间呈单层分布或叠层分布例如双层、四层等等。本实施例中,介质基体10包括四个谐振

器11、12、13、14,四个谐振器11、12、13、14呈单层分布,四个谐振器11、12、13、14之间相互连接形成正方形的介质基体10或其他形状的介质基体10。可以理解地,谐振器的数量还可以是例如两个、三个、五个、六个或六个以上等数量,可根据实际情况设置谐振器的个数。

[0035] 两个相邻的谐振器13、谐振器14分别设有调谐盲孔131、141,可以理解地,谐振器11也设有调谐盲孔111,谐振器12也设有调谐盲孔121。当然,谐振器11、谐振器12也可不设置调谐盲孔111、121。调谐盲孔用于实现所在谐振器的谐振频率的调节,通过调整调谐盲孔的深度、直径等,即可实现调节谐振频率。调谐盲孔一般设置在对应的谐振器的中心位置。所有谐振器的调谐盲孔的深度可以是相等的,也可以是不相等的,所有谐振器的调谐盲孔的直径可以是相等的,也可以是不相等的。

[0036] 介质基体10还包括负耦合盲孔30,负耦合盲孔30设置在其中两个相邻的谐振器13、14之间的连接处,且负耦合盲孔30与该两个相邻的谐振器13、14中的其中一个谐振器13的调谐盲孔131之间通过第一耦合结构连接。负耦合盲孔30的深度一般设置为大于调谐盲孔131、141的深度。负耦合盲孔30用于实现该两个相邻的谐振器13、14之间的容性耦合,使介质波导滤波器在通带低端可产生传输零点,从而提高带外抑制。由于负耦合盲孔30的存在,以及相邻谐振器之间的用于耦合能量的耦合窗口的位置、大小、形状等因素,会在两个相邻的谐振器13、14之间产生寄生耦合,而设置的第一耦合结构,可实现有效地抑制该两个相邻的谐振器13、14之间产生的寄生耦合,从而可保证介质波导滤波器的电气性能,且加工简单,易于实现。

[0037] 本实施例中,谐振器13、谐振器14、谐振器11、谐振器12的上表面分别设有调谐盲孔131、141、111、121。负耦合盲孔30设置在其中两个相邻的谐振器13、14上表面之间的连接处。四个谐振器11、12、13、14的上表面构成介质基体10的上表面,四个谐振器11、12、13、14的下表面构成介质基体10的下表面。第一耦合结构为第一加强脊40,第一加强脊40为一凹槽结构,第一加强脊40设置在与其连接的调谐盲孔131所在的谐振器13的上表面。第一加强脊40分别与负耦合盲孔30、对应的调谐盲孔131互通。

[0038] 第一加强脊40的截面形状为矩形或椭圆形等等,第一加强脊40的截面形状不构成对本发明的限制。

[0039] 第一加强脊40的深度小于负耦合盲孔30的深度,可以理解地,第一加强脊40的深度可以与负耦合盲孔30的深度相等。通过调整第一加强脊40的深度,可实现调节两个谐振器13、14之间的寄生耦合量的大小。

[0040] 参考图3,每个谐振器的外表面、负耦合盲孔30的内表面(即内壁及底面)均设有第一导电屏蔽层51。第一加强脊40的内表面(内壁及底面)设有第二导电屏蔽层52。所有的调谐盲孔内表面的第一导电屏蔽层51以及负耦合盲孔30内表面的第一导电屏蔽层51均与对应的谐振器的上表面的第一导电屏蔽层51连接,第一加强脊40内表面的第二导电屏蔽层52与第一加强脊40所在的谐振器13的上表面的第一导电屏蔽层51、负耦合盲孔30内壁的第一导电屏蔽层51、对应的调谐盲孔131内壁的第一导电屏蔽层51连接。第二导电屏蔽层52的材质和第一导电屏蔽层51的材质相同,例如为银、铜等金属材料,银、铜等金属材料可通过电镀、涂覆等等工艺设置在对应的面上。可以理解地,第二导电屏蔽层52的材质和第一导电屏蔽层51的材质也可以不相同,可根据实际情况进行设置。

[0041] 参考图4,可以理解地,在一个替换方案中,第一加强脊40的内表面(内壁及底面)

可以不设置第二导电屏蔽层52。

[0042] 第二实施例

[0043] 参考图5和图6,本实施例与第一实施例不同的是,第一加强脊40的底部设有通孔60,通孔60的远离第一加强脊40的一端延伸至第一加强脊40所在的谐振器13的下表面。通孔60的设置,可降低介质基体10成型的难度,并可降低介质基体10发生变形的可能。本实施例中,通孔60为一圆孔,圆孔与第一加强脊40共轴,也可以是不共轴。圆孔的内径小于等于第一加强脊40的宽度。圆孔的深度小于第一加强脊40的深度。

[0044] 参考图7,每个谐振器的外表面、所有调谐盲孔的内表面(内壁及底面)、负耦合盲孔30的内表面(即内壁及底面)均设有第一导电屏蔽层51。第一加强脊40的内表面(内壁及底面)设有第二导电屏蔽层52。所有的调谐盲孔内表面的第一导电屏蔽层51以及负耦合盲孔30内表面的第一导电屏蔽层51均与对应的谐振器的上表面的第一导电屏蔽层51连接,第一加强脊40内表面的第二导电屏蔽层52与第一加强脊40所在的谐振器13的上表面的第一导电屏蔽层51、负耦合盲孔30内壁的第一导电屏蔽层51、对应的调谐盲孔131内壁的第一导电屏蔽层51连接。第二导电屏蔽层52的材质和第一导电屏蔽层51的材质相同,例如为银、铜等金属材料,银、铜等金属材料可通过电镀、涂覆等等工艺设置在对应的面上。第二导电屏蔽层52的材质也可以是与第一导电屏蔽层51的材质不相同,

[0045] 通孔60的内表面(即内壁)设有第三导电屏蔽层61。通孔60内表面(即内壁)的第三导电屏蔽层61分别与第一加强脊40底面的第二导电屏蔽层52、对应的谐振器13下表面的第一导电屏蔽层51连接。第三导电屏蔽层61的材质与第一导电屏蔽层51、第二导电屏蔽层52的材质相同,也可以不同。

[0046] 参考图8,可以理解地,在第一个替换方案中,通孔60的内表面(即内壁)也可以不设置第三导电屏蔽层61。

[0047] 参考图9,在第二个替换方案中,每个谐振器的外表面、所有调谐盲孔的内表面(内壁及底面)、负耦合盲孔30的内表面(即内壁及底面)均设有第一导电屏蔽层51。第一加强脊40的内表面(内壁及底面)不设置第二导电屏蔽层52。通孔60内表面(即内壁)的第三导电屏蔽层61只与对应的谐振器13下表面的第一导电屏蔽层51连接。

[0048] 参考图10,在第三个替换方案中,每个谐振器的外表面、所有调谐盲孔的内表面(内壁及底面)、负耦合盲孔30的内表面(即内壁及底面)均设有第一导电屏蔽层51。第一加强脊40的内表面(内壁及底面)不设置第二导电屏蔽层52。通孔60所在的谐振器13的下表面的第一导电屏蔽层51形成有隔离区域53,隔离区域53围绕通孔60设置,隔离区域53用于隔离通孔60内表面(即内壁)的第三导电屏蔽层61与对应的谐振器13下表面的第一导电屏蔽层51。隔离区域53为一环状结构。隔离区域53是通过激光或打磨等工艺将位于通孔60周边的第一导电屏蔽层51去掉一部分形成。通过调整隔离区域53的面积大小,可实现调节介质波导滤波器的寄生耦合量的大小。

[0049] 第三实施例

[0050] 参考图11和图12,本实施例与第一实施例不同的是,负耦合盲孔30与该两个相邻的谐振器13、14中的另外一个谐振器14的调谐盲孔141之间通过第二耦合结构连接。设置的第二耦合结构,可进一步有效地抑制该两个相邻的谐振器13、14之间产生的寄生耦合,从而可进一步保证介质波导滤波器的电气性能。

[0051] 第二耦合结构为第二加强脊41,第一加强脊40设置在与其连接的调谐盲孔131所在的谐振器13的上表面,第二加强脊41设置在与其连接的调谐盲孔141所在的谐振器14的上表面。第二加强脊41为一凹槽结构。第二加强脊41与负耦合盲孔30、对应的调谐盲孔141互通。

[0052] 第二加强脊41的截面形状与第一加强脊40的截面形状相同,例如为矩形或椭圆形等等。第二加强脊41的宽度、深度与第一加强脊40的宽度、深度相等。可以理解地,第二加强脊41的宽度、深度也可与第一加强脊40的宽度、深度不相等。

[0053] 参考图13,每个谐振器的外表面、所有调谐盲孔的内表面(即内壁及底面)、负耦合盲孔30的内表面(即内壁及底面)均设有第一导电屏蔽层51。第一加强脊40的内表面(即内壁及底面)、第二加强脊41的内表面(即内壁及底面)设有第二导电屏蔽层52。第一加强脊40内表面(即内壁及底面)的第二导电屏蔽层52、第二加强脊41内表面(即内壁及底面)的第二导电屏蔽层52分别与第二加强脊41所在的谐振器14上表面的第一导电屏蔽层51、负耦合盲孔30内壁的第一导电屏蔽层51、对应的调谐盲孔内壁的第一导电屏蔽层51连接。第二导电屏蔽层52的材质和第一导电屏蔽层51的材质相同,可以理解地,第二导电屏蔽层52的材质和第一导电屏蔽层51的材质也可以不相同。

[0054] 在其他实施方式中,第一加强脊40的内表面(即内壁及底面)设置的导电屏蔽层的材质可以与第二加强脊41的内表面(即内壁及底面)设置的导电屏蔽层的材质不同。

[0055] 参考图14,在一个替换方案中,每个谐振器的外表面、所有调谐盲孔的内表面(即内壁及底面)、负耦合盲孔30的内表面(即内壁及底面)均设有第一导电屏蔽层51。第一加强脊40的底面设有第二导电屏蔽层52,第二加强脊41的内表面(即内壁及底面)不设置第二导电屏蔽层52。

[0056] 参考图15,在另一个替换方案中,每个谐振器的外表面、所有调谐盲孔的内表面(即内壁及底面)、负耦合盲孔30的内表面(即内壁及底面)均设有第一导电屏蔽层51。第一加强脊40的底面、第二加强脊41的内表面(即内壁及底面)都不设置第二导电屏蔽层52。

[0057] 以上实施例仅表达了本发明的优选实施方式,其描述较为具体和详细,但并不能因此而理解为对本发明专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干变形和改进,如对各个实施例中的不同特征进行组合等,这些都属于本发明的保护范围。

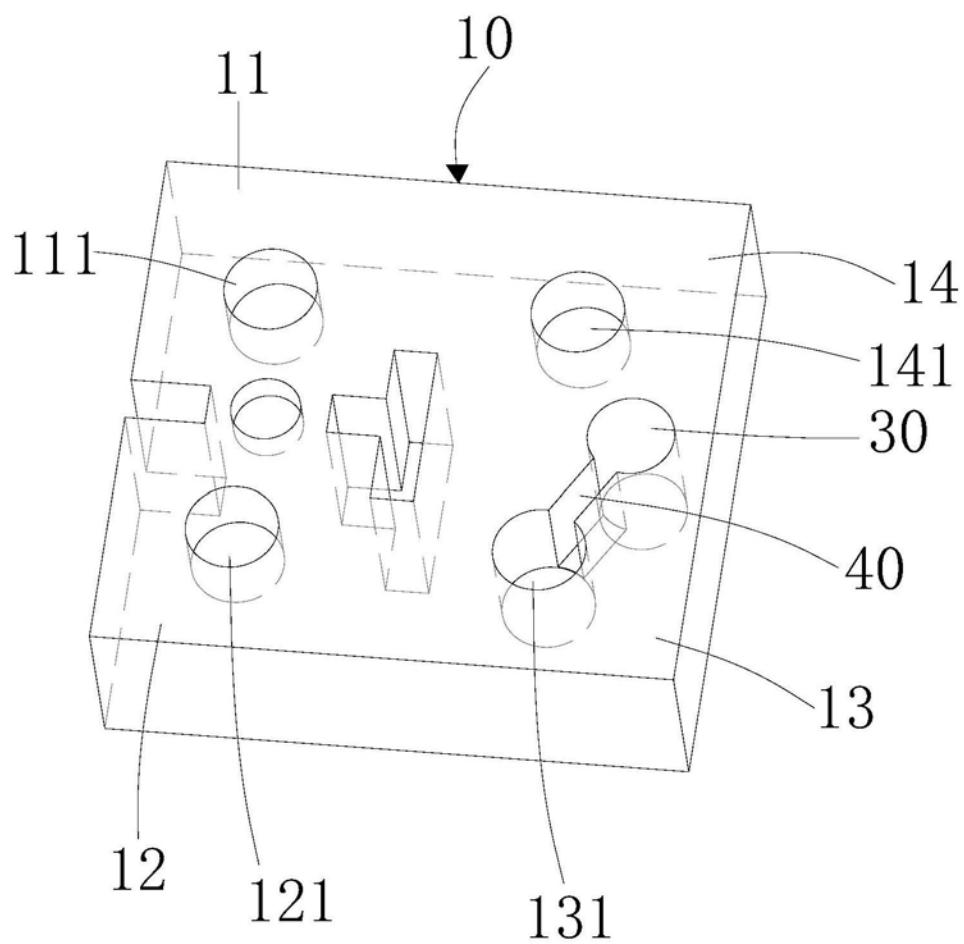


图1

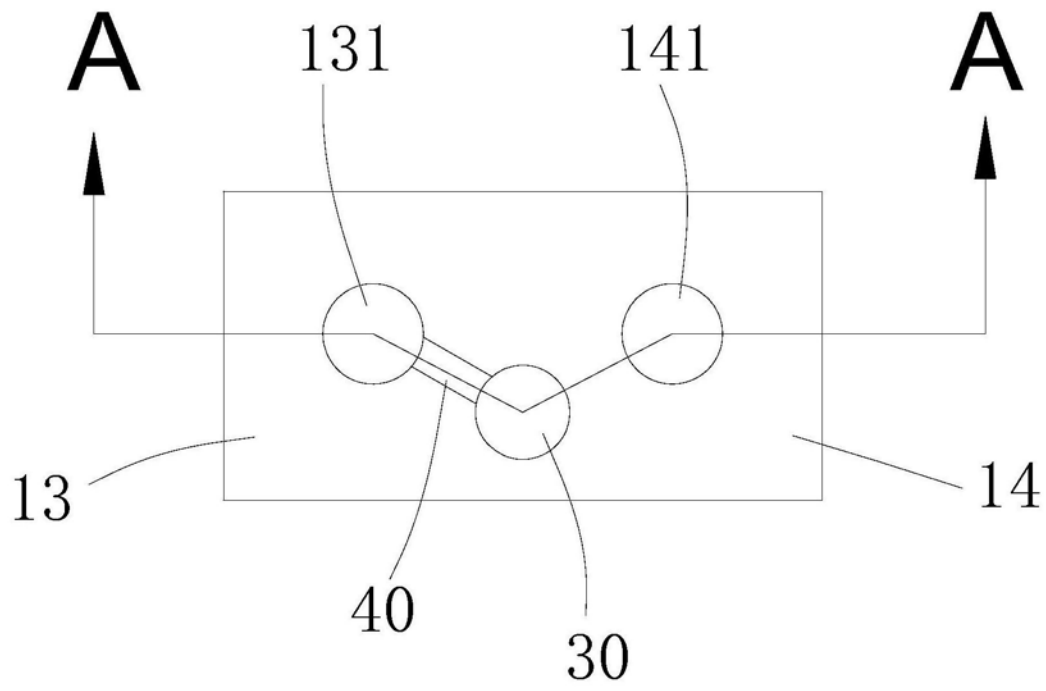


图2

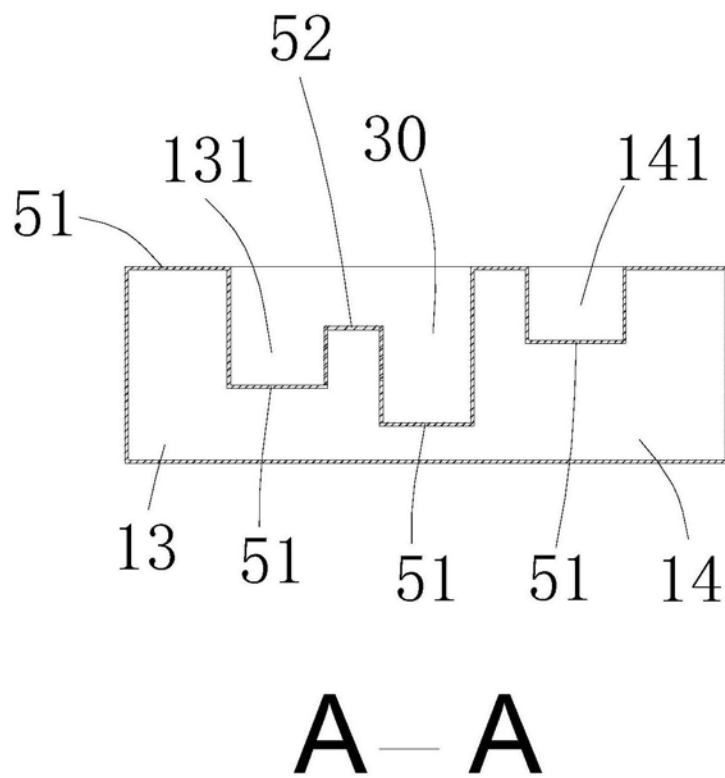
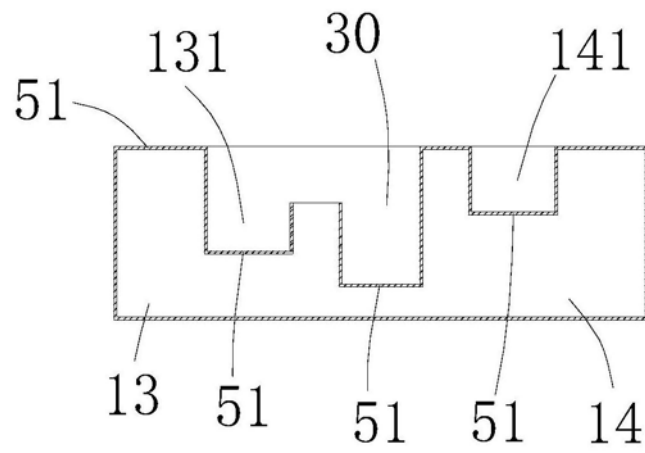


图3



A—A

图4

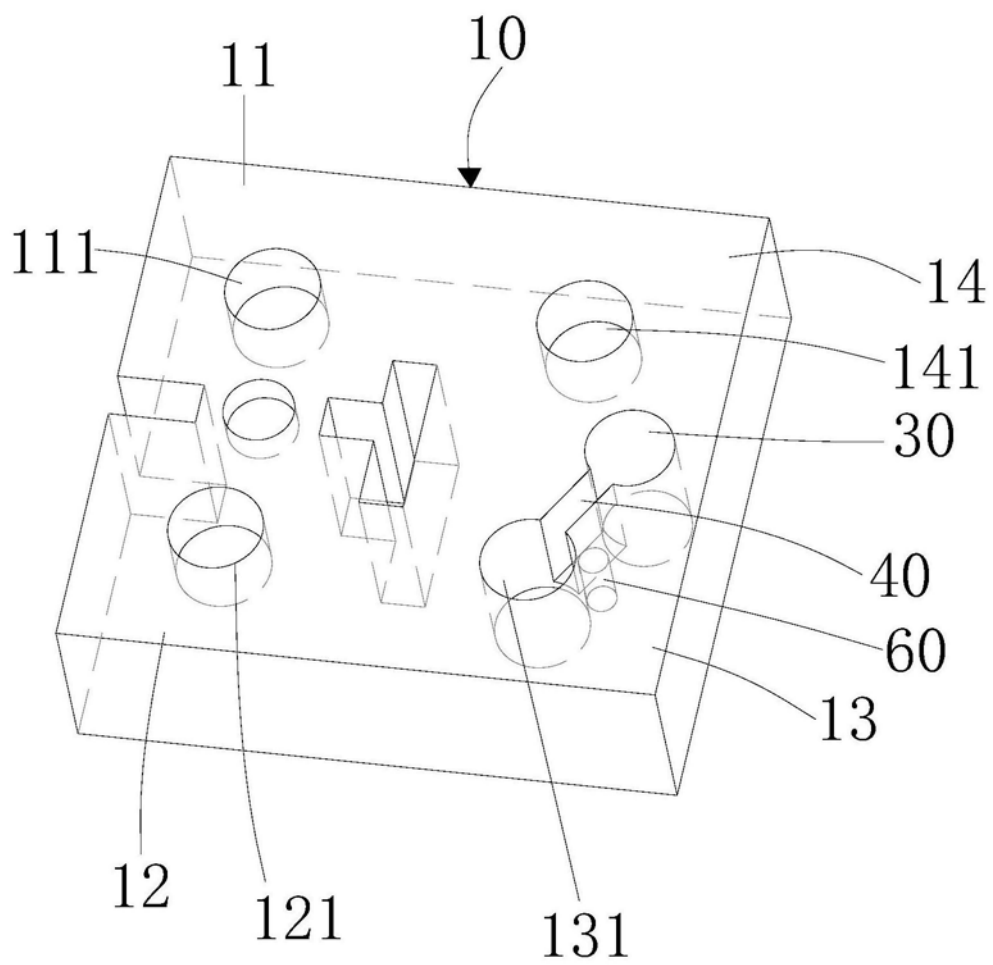


图5

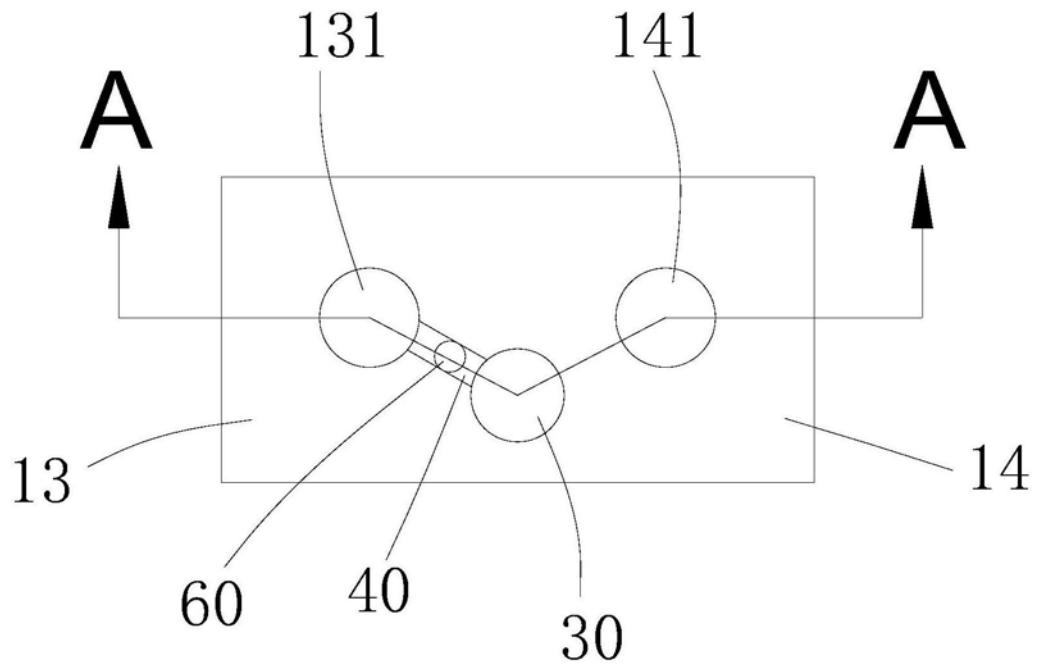


图6

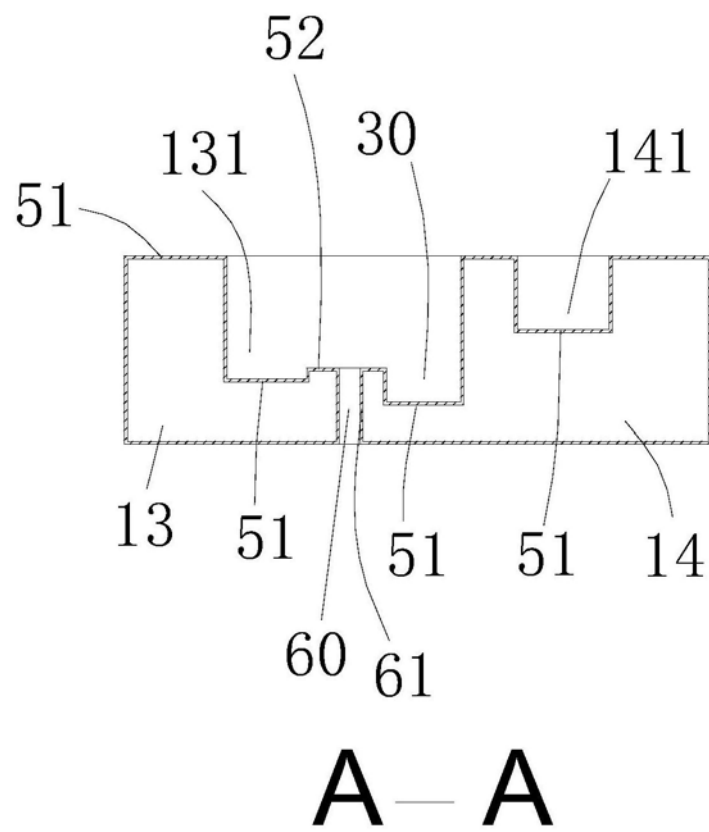


图7

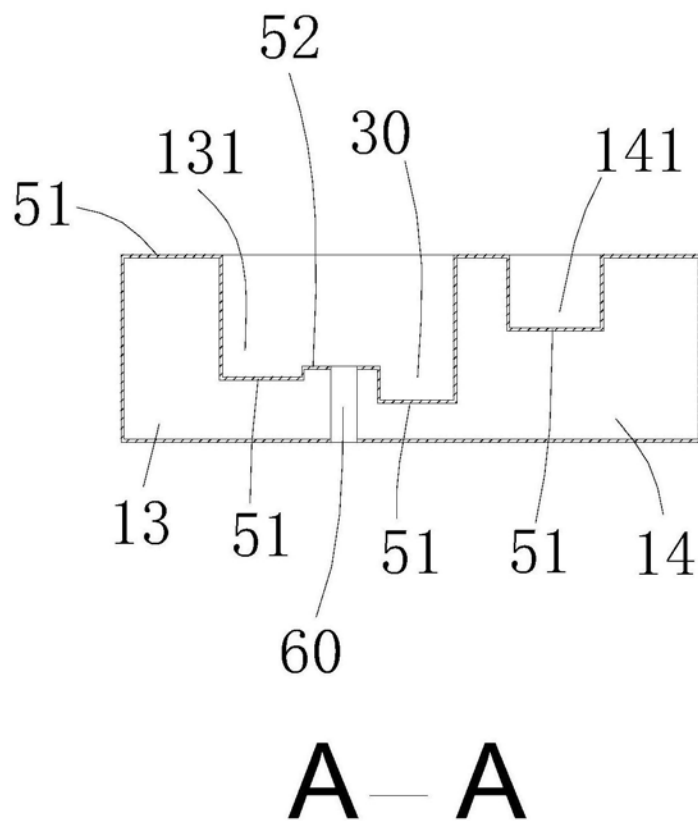


图8

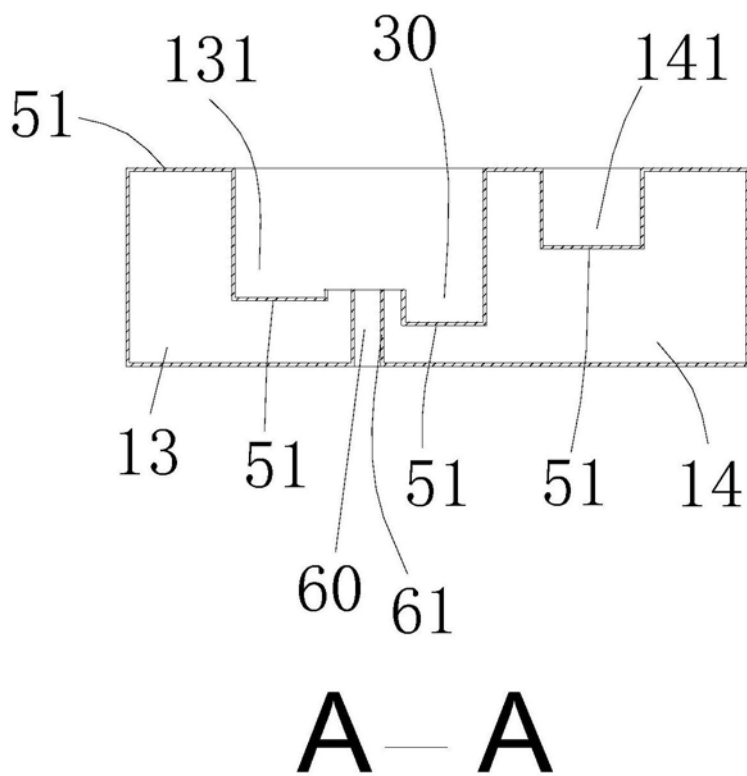


图9

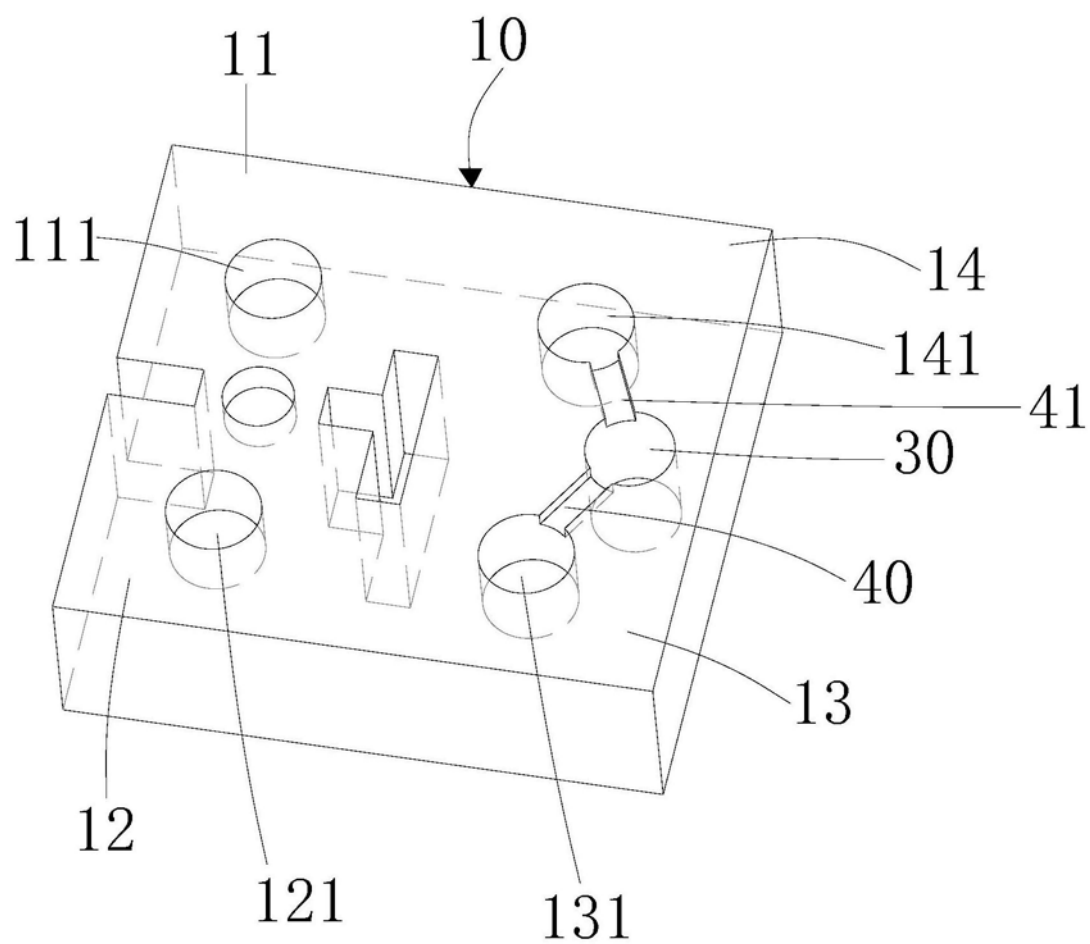


图11

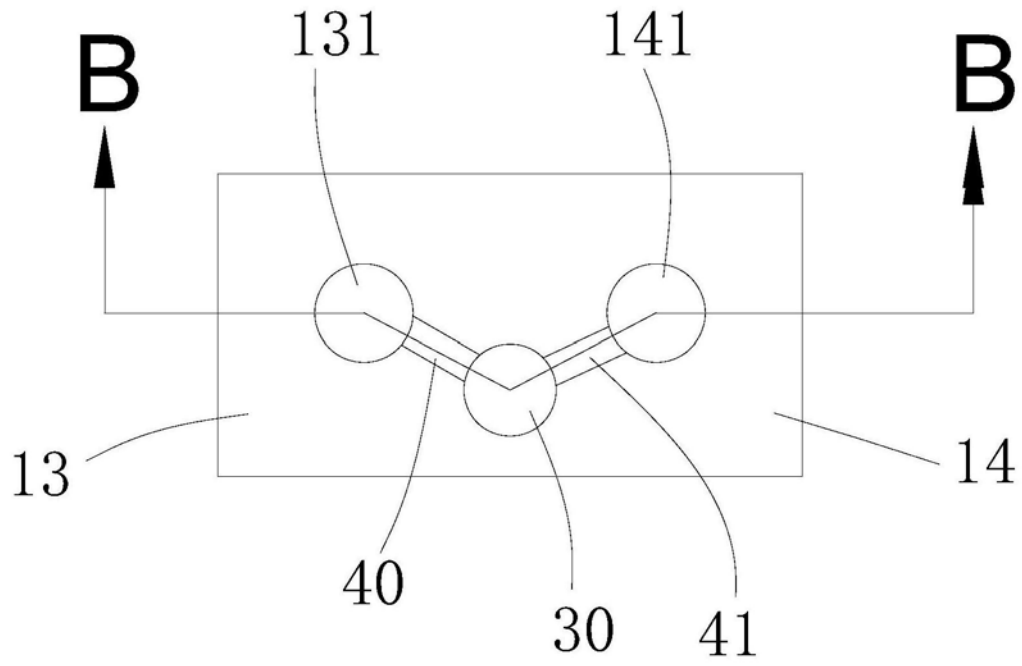


图12

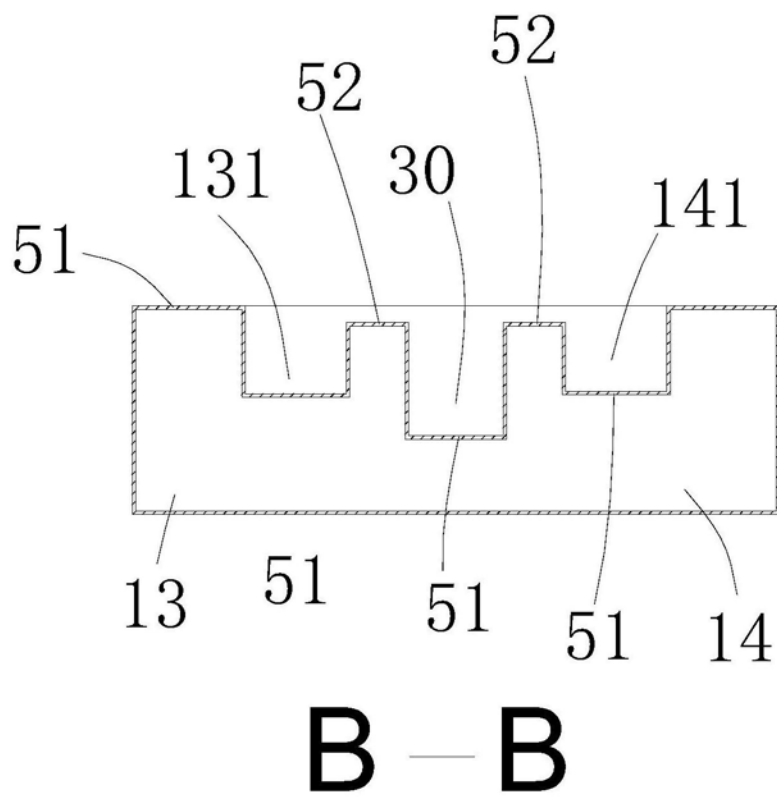
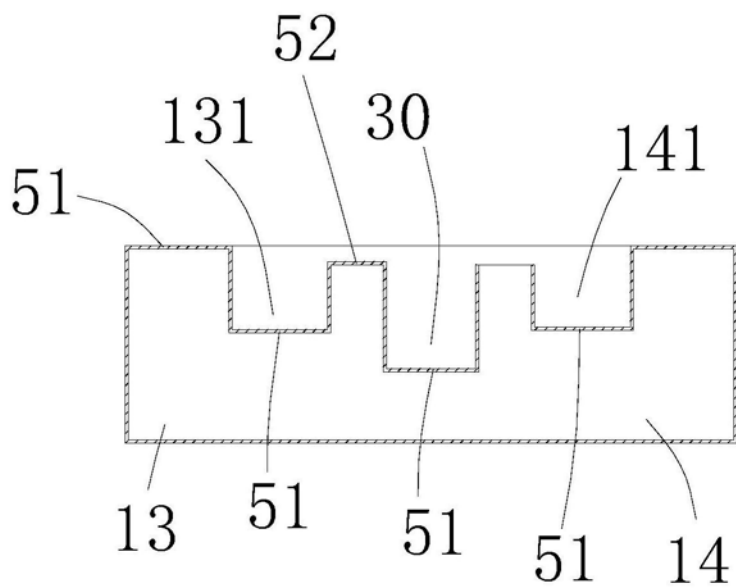
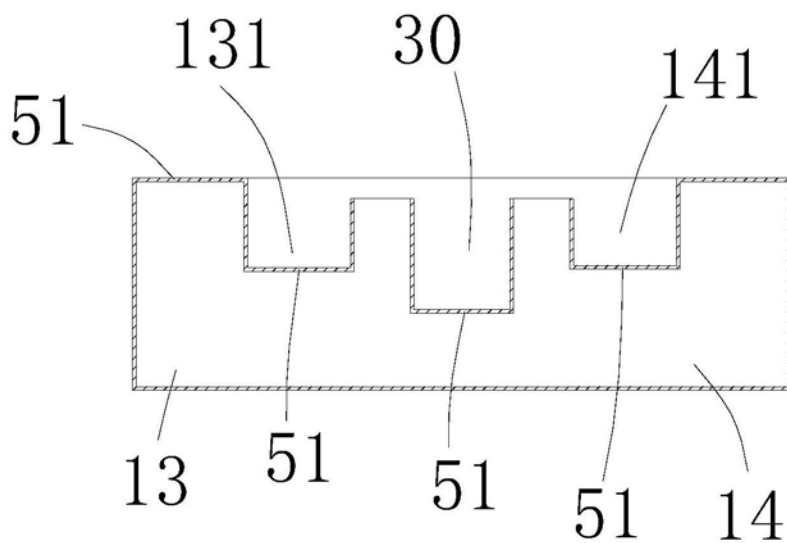


图13



B — B

图14



B — B

图15