



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 697 21 373 T2 2004.04.15**

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 0 808 069 B1**

(21) Deutsches Aktenzeichen: **697 21 373.0**

(96) Europäisches Aktenzeichen: **97 303 247.7**

(96) Europäischer Anmeldetag: **13.05.1997**

(97) Erstveröffentlichung durch das EPA: **19.11.1997**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **02.05.2003**

(47) Veröffentlichungstag im Patentblatt: **15.04.2004**

(51) Int Cl.7: **H04N 7/30**
H04N 7/50

(30) Unionspriorität:

9616003 14.05.1996 KR

9616004 14.05.1996 KR

(73) Patentinhaber:

Daewoo Electronics Corp., Seoul/Soul, KR

(74) Vertreter:

**Patentanwälte Westphal Mussnug & Partner,
78048 Villingen-Schwenningen**

(84) Benannte Vertragsstaaten:

DE, FR, GB, NL

(72) Erfinder:

Kim, Min-Nyeon, Yangcheon-gu, Seoul, KR

(54) Bezeichnung: **Quantisierer für ein Videokodierungssystem**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung betrifft einen Quantisierer und genauer einen Quantisierer zum Quantisieren von abgetasteten diskreten Cosinus-Transformations(DCT)-Koeffizienten in einem Videosignalkodiersystem.

[0002] **Fig. 1** zeigt ein Blockdiagramm eines herkömmlichen MPEG-2-Videokodierers, der einen Vollbildspeicher, einen Subtrahierer (SUB), eine diskrete Cosinus-Transformationseinheit (DCT-Einheit), einen Quantisierer (Q), eine Abtasteinheit, eine Entropiekodierungseinheit (VLC-Einheit), einen inversen Quantisierer (IQ), eine inverse diskrete Cosinus-Transformationseinheit (IDCT-Einheit), einen Addierer (ADD) und einen Bewegungskompensator (MC) aufweist.

[0003] In **Fig. 1** wird ein Differenzvideosignal zwischen einem gegenwärtigen Videosignal aus dem Vollbildspeicher und einem vorhergehenden Videosignal, das im Bewegungskompensator bewegungskompensiert wurde, im Subtrahierer berechnet und an die DCT-Einheit ausgegeben. In der DCT-Einheit wird das Differenzvideosignal in DCT-Koeffizienten umgewandelt. Die DCT-Koeffizienten werden im Quantisierer quantisiert, und die quantisierten DCT-Koeffizienten werden an die Abtasteinheit und den inversen Quantisierer ausgegeben. In der Abtasteinheit werden die quantisierten zweidimensionalen DCT-Koeffizientenreihen in eindimensionale Koeffizientenreihen umgewandelt und an die VLC-Einheit oder eine Lauflängenkodiereinheit (RLC-Einheit) ausgegeben, um einen endgültigen kodierten Bitstrom zu erzeugen.

[0004] Wie oben beschrieben wird das Abtasten beim herkömmlichen MPEG-2-Videokodierer durchgeführt, nachdem die Videodaten quantisiert wurden. Aufgrund des Problems der Latenzzeit, das durch die strukturellen Beschränkungen des herkömmlichen Videokodierers verursacht wird, bestand jedoch ein Bedarf an einem Videokodierer, in dem das Abtasten vor der Quantisierung der Videosignale durchgeführt wird.

[0005] **Fig. 2** zeigt einen unterschiedlichen Kreis mit Ausnahme eines Bewegungskompensators eines Videokodierers, in dem das Abtasten vor dem Quantisieren durchgeführt wird. Der Videokodierer umfasst eine orthogonale Transformationseinheit, eine Abtasteinheit, einen Quantisierer und eine Kodiereinheit. In der orthogonalen Transformationseinheit werden die eingegebenen Videosignale durch DCT umgewandelt. In der Abtasteinheit werden die umgewandelten zweidimensionalen DCT-Koeffizienten in eindimensionale Koeffizientenreihen, die zu quantisieren sind, umgewandelt. In der Kodiereinheit werden die quantisierten eindimensionalen Koeffizientenreihen durch eine VLC oder eine RLC kodiert, um einen kodierten Bitstrom zu erzeugen. Der dem Obigen ähnliche Videokodierer ist in der US-Patentschrift Nr. 5,369,439 offenbart.

[0006] Im MPEG-1-Videokodierer werden die wie in **Fig. 3A** gezeigten DCT-Koeffizienten durch ein zickzackförmiges Abtasten in die eindimensionalen Koeffizientenreihen umgewandelt. Ein in **Fig. 3B** gezeigtes alternierendes Abtasten oder das zickzackförmige Abtasten kann selektiv in Bildeinheiten im MPEG-2-Videokodierer verwendet werden. Dieses alternierende Abtasten kann auch wirksam bei einem Zeilensprungabtastungsbildschirm verwendet werden.

[0007] Der Quantisierer muss jedoch Quantisierungsmatrizes bereitstellen, die der zickzackförmigen oder der alternierenden Abtastweise der Abtasteinheit entsprechen, wenn das Abtasten wie in **Fig. 2** gezeigt vor der Quantisierung durchgeführt wird. Im MPEG-2-Videokodierer ist die Quantisierung eine adaptive Quantisierung, da ein gewichteter Wert entsprechend einer räumlichen Frequenz verändert wird. Demgemäß werden entsprechend der Kodierweise eine Matrix zum Quantisieren eines Intra-Blocks (Intra-Quantisierungsmatrix) und eine Matrix zum Quantisieren eines Inter-Blocks (Inter-Quantisierungsmatrix) benötigt. Im Quantisierer wird für eine Eingabereihenfolge der Matrix nur die zickzackförmige Weise benötigt, doch eine Eingabereihenfolge von Videodaten verändert sich durch die Abtastweise. Demgemäß sollte die Reihenfolge der Quantisierungsmatrix mit der Reihenfolge der eingegebenen Videodaten, die durch die Abtastweise beeinflusst wird, übereinstimmen, um die abgetasteten DCT-Koeffizienten zu quantisieren. Insbesondere sollten eingegebene Videodatenpaare mit Quantisierungsmatrixpaaren übereinstimmen, wenn zwei Pixel mal 16 Bit für eine rasche Videokodierung im Quantisierer verarbeitet werden.

[0008] Angesichts des oben Erwähnten ist es eine Aufgabe der vorliegenden Erfindung, einen Quantisierer zum Quantisieren von abgetasteten DCT-Koeffizienten bereitzustellen, der eine Quantisierungsmatrix, die in einer zickzackförmigen Reihenfolge in einem Speicher gespeichert ist, entsprechend einer abgetasteten Weise von DCT-Koeffizienten in einer zickzackförmigen Reihenfolge oder einer alternierenden Reihenfolge ausliest und eindimensionale DCT-Koeffizienten quantisiert.

[0009] Zur Erfüllung der obigen Aufgabe stellt die vorliegende Erfindung einen Quantisierer zum Quantisieren von abgetasteten DCTs mit folgendem bereit:

einem Speicher mit einer ersten Bank, die mit mehreren Bereichen zum Speichern einer Inter-Quantisierungsmatrix aufgebaut ist; und einer zweiten Bank, die mit mehreren Bereichen zum Speichern einer Intra-Quantisierungsmatrix aufgebaut ist;

einer Speichersteuerungseinheit zum Erzeugen einer Schreibadresse zum Einschreiben der Inter-Quantisierungsmatrix und der Intra-Quantisierungsmatrix in einer zickzackförmigen Reihenfolge in den Speicher, und einer Leseadresse zum Auslesen der entsprechenden Quantisierungsmatrix entsprechend der abgetasteten

Weise der DCT-Koeffizienten aus dem Speicher, und zum Steuern eines Schreib-/Lesevorgangs für die Inter-Quantisierungsmatrix und die Intra-Quantisierungsmatrix im Speicher entsprechend der Schreibadresse und der Leseadresse;

einer Arithmetiksteuerung zum Erlangen und Ausgeben eines Kehrwerts der entsprechenden Quantisierungsmatrix aus der Speichersteuerungseinheit und eines Kehrwerts eines extern gelieferten Quantisierungsmaßes; und

einer Arithmetikeinheit zum Quantisieren der abgetasteten DCT-Koeffizienten durch Verwendung des Quantisierungsmaßes und des Quantisierungsmatrixwerts von der Arithmetiksteuerung.

[0010] Die obige und andere Aufgaben, Merkmale und Vorteile der vorliegenden Erfindung werden aus der nachfolgenden ausführlichen Beschreibung der bevorzugten Ausführungsformen der Erfindung in Verbindung mit den beiliegenden Zeichnungen klar werden, in denen

[0011] **Fig. 1** ein Blockdiagramm ist, das eine Ausführungsform des herkömmlichen Videokodierers veranschaulicht;

[0012] **Fig. 2** ein Blockdiagramm ist, das eine andere Ausführungsform des herkömmlichen Videokodierers veranschaulicht;

[0013] **Fig. 3A bis 3B** Ansichten sind, die zickzackförmig abgetastete und alternierend abgetastete DCT-Koeffizienten veranschaulichen;

[0014] **Fig. 4** ein Blockdiagramm ist, das einen Quantisierer gemäß der vorliegenden Erfindung veranschaulicht;

[0015] **Fig. 5** ein ausführliches Blockdiagramm ist, das einen RAM und eine RAM-Steuerung gemäß einer ersten bevorzugten Ausführungsform der vorliegenden Erfindung veranschaulicht; und

[0016] **Fig. 6** ein ausführliches Blockdiagramm ist, das einen RAM und eine RAM-Steuerung gemäß einer zweiten bevorzugten Ausführungsform der vorliegenden Erfindung veranschaulicht.

[0017] Es wird nun ausführlich auf die vorliegende Erfindung Bezug genommen, von der Beispiele in den beiliegenden Zeichnungen veranschaulicht sind. Wo immer es möglich ist, werden in den Zeichnungen durchwegs die gleichen Bezugszeichen verwendet werden, um auf gleiche oder ähnliche Teile zu verweisen.

[0018] **Fig. 4** zeigt ein Blockdiagramm eines Quantisierers gemäß der vorliegenden Erfindung. Der Quantisierer umfasst einen Speicher, nämlich einen RAM **42** zum Speichern einer Inter-Quantisierungsmatrix und einer Intra-Quantisierungsmatrix; eine RAM-Steuerung **44** zum Erzeugen einer Schreibadresse von zickzackförmiger Reihenfolge und einer Leseadresse gemäß einer abgetasteten Weise von DCT-Koeffizienten, und zum Steuern eines Lese-/Schreibvorgangs der Quantisierungsmatrix aus dem RAM **42** gemäß der Schreib-/Leseadresse; eine Arithmetiksteuerung **46** zum Erlangen und Ausgeben eines Kehrwerts eines Quantisierungsmaßes und eines Kehrwerts der entsprechenden Quantisierungsmatrix aus dem RAM **42**; und eine Arithmetikeinheit **48** zum Quantisieren der abgetasteten DCT-Koeffizienten durch Verwendung des Quantisierungsmaßes und des Quantisierungsmatrixwerts von der Arithmetiksteuerung **46**.

[0019] **Fig. 5** zeigt ein ausführliches Blockdiagramm eines RAM **42** und einer RAM-Steuerung **44** gemäß der ersten bevorzugten Ausführungsform. In **Fig. 5** umfasst der RAM **42** eine erste Bank BANK1 zum Speichern der Inter-Quantisierungsmatrix und eine zweite Bank BANK2 zum Speichern der Intra-Quantisierungsmatrix. Die erste Bank BANK1 umfasst einen ersten Teil-RAM BANK1A und einen zweiten Teil-RAM BANK1B zum Speichern der gleichen Inter-Quantisierungsmatrix. Die zweite Bank BANK2 umfasst einen dritten Teil-RAM BANK2A und einen vierten Teil-RAM BANK2B zum Speichern der gleichen Intra-Quantisierungsmatrix. Der erste Teil-RAM bis vierte Teil-RAM BANK1A, BANK1B, BANK2A, BANK2B sind von einer Größe von 16 Bit × 32 Worten.

[0020] Die RAM-Steuerung **44** umfasst einen Schreibadressengenerator, einen ersten Zähler **50**, zum Erzeugen einer Schreibadresse zum Einspeichern der Inter-Quantisierungsmatrix und der Intra-Quantisierungsmatrix in den RAM **42**; einen Leseadressengenerator, der einen zweiten Zähler **51**, eine programmierbare Logikanordnung (PLA) **52** und einen ersten Multiplexer **53** umfasst, zum Erzeugen einer Leseadresse zum Auslesen einer entsprechenden Quantisierungsmatrix aus dem RAM **42** gemäß der abgetasteten Weise der DCT-Koeffizienten; einen Datenkombinierer, der einen zweiten Multiplexer **54** und eine Verpackungseinheit **55** umfasst, zum Kombinieren der Quantisierungsmatrix aus dem RAM **42**, um 16-Bit-Daten gemäß einer Kodierweise oder der Abtastreihenfolge zu bilden.

[0021] Vor dem Beschreiben jedes Vorgangs des obigen Quantisierers müssen die Eingangs-/Ausgangssignale in jeden/aus jedem Block definiert und ausführlich dargelegt werden.

[0022] Von den Eingangssignalen an die RAM-Steuerung **44** bezeichnen "CLK" und "RST" ein Systemtakt bzw. ein Rückstellsignal für den aktiven niedrigen Vorgang. In "ID CD" stellt der Identifikator ID eine Quantisierungsmatrix (nämlich die Inter-Quantisierungsmatrix oder die Intra-Quantisierungsmatrix) und CD nachfolgende Quantisierungsmatrixdaten dar. "FLAG_ID" bezeichnet, dass der gegenwärtig eingegebene ID CD gültig ist. Beispielsweise wird ID-CD ausgelesen und werden die nachfolgenden Quantisierungsmatrixdaten CD in Einheiten von zwei Pixeln, nämlich 16 Bit, ausgelesen, wenn FLAG ID ein "hoher" Logikpegel ist. "mbs" bezeichnet einen Makroblockbeginn.

[0023] Von den Eingangssignalen an die Arithmetiksteuerung **46** sind "QUANT SCALE CODE" und "QUANT_SCALE_TYPE" Signale zum Bezeichnen eines Quantisierungsmaßes in MPEG-2. "DC PREC" bezeichnet eine Größe (Genauigkeit) des DC-Koeffizienten eines in MPEG-2 definierten Intra-Blocks; beispielsweise ist der DC-Koeffizient bis 8 Bit dargestellt, wenn er 0 ist, und ist der Koeffizient bis 11 Bit dargestellt, wenn er 3 ist.

[0024] Von den Eingangssignalen an die Arithmetikeinheit **48** bezeichnen "DATA EVEN" und "DATA ODD" gerade bzw. ungerade Daten von Einheiten von zwei Pixeln, die durch die DCT umgewandelt wurden. Von den Ausgangssignalen aus der Arithmetikeinheit **48** sind "QUANT EVEN" und "QUANT ODD" quantisierte Ausgangsdaten der eingegebenen geraden und ungeraden Daten in Einheiten von zwei Pixeln.

[0025] Unter Bezugnahme auf einen Vorgang jedes Blocks in **Fig. 5** sind die Inter-Quantisierungsmatrixdaten im ersten und im zweiten Teil-RAM BANK1A, BANK1B der ersten Bank BANK1 des RAM **42** in Einheiten von 16 Bit gespeichert. Die Intra-Quantisierungsmatrixdaten sind im dritten und im vierten Teil-RAM BANK2A, BANK2B der zweiten Bank BANK2 des RAM **42** in Einheiten von 16 Bit gespeichert. Im ersten Teil-RAM BANK1A und im zweiten Teil-RAM BANK1B der ersten Bank BANK1 sind die gleichen Inter-Quantisierungsmatrixdaten in Einheiten von 16 Bit in 32 Bereichen gespeichert, die durch eine Schreibadresse WADD0 bezeichnet sind. Im dritten und im vierten Teil-RAM BANK2A, BANK2B der zweiten Bank BANK2 sind die gleichen Intra-Quantisierungsmatrixdaten in Einheiten von 16 Bit in den 32 Bereichen gespeichert, was durch eine Schreibadresse WADD0 bezeichnet ist. Die Inter- und die Intra-Quantisierungsmatrixdaten werden von einer (nicht gezeigten) Systemsteuerungseinheit geliefert, und sie können eine benutzerdefinierte Matrix oder eine in MPEG-2 definierte Standardmatrix sein.

[0026] Die RAM-Steuerung **44** wird durch einen Systemtakt CLK und ein Rückstellsignal RST betrieben. Die durch ID CD eingegebene Quantisierungsmatrix wird entsprechend der Schreibadresse WADD0 in einer entsprechenden Bank des RAM **42** gespeichert. Die Quantisierungsmatrix im RAM **42** wird durch die Leseadresse RADD0 ausgelesen, wenn die DCT-Koeffizienten in der zickzackförmigen Reihenfolge abgetastet werden, während sie durch die Leseadressen RADD1, RADD2 ausgelesen wird; wenn die DCT-Koeffizienten in der alternierenden Reihenfolge abgetastet werden. Die ausgelesene Quantisierungsmatrix wird an die Arithmetiksteuerung **46** ausgegeben. Und zwar wird ID_CD in der RAM-Steuerung **44** analysiert, um die Quantisierungsmatrix zu identifizieren, wenn FLAG_ID ein "hoher" Logikpegel ist, und die analysierte eingegebene Quantisierungsmatrix wird entsprechend der Schreibadresse WADD0 in entsprechenden Teil-RAMs der Banken des RAM **42** gespeichert. Zusätzlich werden die in den Teil-RAMs gespeicherten Quantisierungsmatrizes durch das Makroblockbeginnsignal synchronisiert und entsprechend der Leseadresse RADD0 und den Leseadressen RADD1, RADD2, die der Abtastweise entsprechen, ausgelesen und an die Arithmetiksteuerung **46** ausgegeben. Jeder Teil-RAM weist ein (nicht gezeigtes) Steuersignal zum Lesen und Schreiben und ein (nicht gezeigtes) Steuersignal zum Ermöglichen eines Ausgangssignals auf. Die Steuersignale werden geliefert, wenn der entsprechende Teil-RAM durch die RAM-Steuerung **44** ausgewählt wird.

[0027] Unter Bezugnahme auf **Fig. 5** zählt der erste Zähler **50** (5-Bit-Zähler) entsprechend einem Taktsignal CLK 00_H bis $1F_H$, nachdem ein Zählwert durch das Rückstellsignal RST gelöscht wurde. Zweiunddreißig Schreibadressen WADD0 werden erzeugt, um die Quantisierungsmatrixdaten von der (nicht gezeigten) Systemsteuerungseinheit in Einheiten von 16 Bit in den ersten und den zweiten Teil-RAM BANK1A, BANK1B und den dritten und den vierten Teil-RAM BANK2A, BANK2B zu speichern. Beispiele der Schreibadresse WADD0 sind in der folgenden Tabelle 1 dargestellt.

Tabelle 1: Schreibadresse

Zählwert des ersten Zählers (50)	WADD0-Adresse (Daten)
00	00 (00, 01)
01	01 (02, 03)
02	02 (04, 05)
03	03 (06, 07)
04	04 (08, 09)
05	05 (0A, 0B)
06	06 (0C, 0D)
07	07 (0E, 0F)
08	08 (10, 11)
09	09 (12, 13)
0A	0A (14, 15)
0B	0B (16, 17)
0C	0C (18, 19)
0D	0D (1A, 1B)
0E	0E (1C, 1D)
0F	0F (1E, 1F)
10	10 (20, 21)
11	11 (22, 23)
12	12 (24, 25)
13	13 (26, 27)
14	14 (28, 29)
15	15 (2A, 2B)
16	16 (2C, 2D)
17	17 (2E, 2F)
18	18 (30, 31)
19	19 (32, 33)
1°	1A (34, 35)
1B	1B (36, 37)
1C	1C (38, 39)
1D	1D (3A, 3B)
1E	1E (3C, 3D)
1F	1F (3E, 3F)

[0028] Die obige Tabelle 1 zeigt, wenn die Inter-Quantisierungsmatrix im ersten und im zweiten Teil-RAM BANK1A, BANK1B gespeichert wird. Das Matrixdatenpaar (00, 01) wird im durch die Schreibadresse WADD0 bezeichneten Bereich '00' gespeichert, wenn der Zählwert 00_{16} ist. Das Matrixdatenpaar (02, 03) wird im durch die Schreibadresse WADD0 bezeichneten Bereich 01 gespeichert, wenn der Zählwert 01_{16} ist. Und zwar wird jedes Inter-Quantisierungsmatrixpaar aufeinanderfolgend in der wie in **Fig. 3A** gezeigten zickzackförmigen Reihenfolge in den durch die Schreibadresse bezeichneten Bereichen 00_{16} bis $1F_{16}$ gespeichert. In der gleichen Weise wird jedes Intra-Quantisierungsmatrixpaar aufeinanderfolgend in der zickzackförmigen Reihenfolge in den Bereichen 00_{16} bis $1F_{16}$ des dritten und des vierten Teil-RAM BANK2A, BANK2B gespeichert.

[0029] Der zweite Zähler **51** (5-Bit-Zähler) zählt entsprechend einem Taktsignal CLK 00_H bis $1F_H$, nachdem ein Zählwert durch das Rückstellsignal RST gelöscht wurde. Nach dem Löschen wird im zweiten Zähler **51** eine Anstiegsflanke des Makroblockbeginnsignals mbs festgestellt und werden 32 Zählwerte an eine PLA **52** und eine Verpackungseinheit **55** ausgegeben.

[0030] Wie in den folgenden Tabellen 2 und 3 gezeigt ist, wird in der PLA **52** die Leseadresse RADD0 entsprechend der zickzackförmigen Abtastweise der DCT-Koeffizienten und dem Zählwert des zweiten Zählers **51** erzeugt. Zusätzlich werden in der PLA **52** auch die Leseadressen RADD1 und RADD2 entsprechend dem alternierenden Abtasten der DCT-Koeffizienten und dem Zählwert des zweiten Zählers **51** erzeugt.

Tabelle 2: Leseadressen (zickzackförmiges Abtasten)

Zählwert des zweiten Zählers (51)	RADD0-Adresse (Daten)
00	00 (00, 01)
01	01 (02, 03)
02	02 (04, 05)
03	03 (06, 07)
04	04 (08, 09)
05	05 (0A, 0B)
06	06 (0C, 0D)
07	07 (0E, 0F)
08	08 (10, 11)
09	09 (12, 13)
0A	0A (14, 15)
0B	0B (16, 17)
0C	0C (18, 19)
0D	0D (1A, 1B)
0E	0E (1C, 1D)
0F	0F (1E, 1F)
10	10 (20, 21)
11	11 (22, 23)
12	12 (24, 25)
13	13 (26, 27)
14	14 (28, 29)
15	15 (2A, 2B)
16	16 (2C, 2D)
17	17 (2E, 2F)
18	18 (30, 31)
19	19 (32, 33)
1°	1A (34, 35)
1B	1B (36, 37)
1C	1C (38, 39)
1D	1D (3A, 3B)
1E	1E (3C, 3D)
1F	1F (3E, 3F)

[0031] Die obige Tabelle 2 zeigt Beispiele der aus dem ersten und dem zweiten Teil-RAM BANK1A, BANK1B

ausgelesenen Inter-Quantisierungsmatrix. Im ersten und im zweiten Teil-RAM BANK1A, BANK1B werden die im Bereich '00' gespeicherten Matrixdatenpaare (00, 01) durch die Leseadresse RADD0 ausgelesen, wenn der Zählwert 00_{16} ist. Im ersten und im zweiten Teil-RAM BANK1A, BANK1B werden die im Bereich '01' gespeicherten Matrixdatenpaare (02, 03) ausgelesen, wenn der Zählwert 01_{16} ist. Und zwar wird jedes in den durch die Leseadresse RADD0 bezeichneten Bereichen 00_{16} bis $1F_{16}$ gespeicherte Matrixdatenpaar aufeinanderfolgend in der in Fig. 3A gezeigten zickzackförmigen Reihenfolge ausgelesen. In der gleichen Weise wird jedes in den Bereichen 00_{16} bis $1F_{16}$ gespeicherte Intra-Quantisierungsmatrixdatenpaar des dritten und des vierten Teil-RAM BANK2A, BANK2B aufeinanderfolgend in der zickzackförmigen Reihenfolge ausgelesen. Unter Bezugnahme auf die Tabellen 1 und 2 entspricht die Schreibadresse WADD0 der Leseadresse RADD0, wenn die DCT-Koeffizienten zickzackförmig abgetastet werden.

Tabelle 3: Leseadresse (alternierendes Abtasten)

Zählwert des zweiten Zählers (51)	RADD1-Adresse (Daten)	RADD2-Adresse (Daten)
00	00 (00, 01)	01 (02, 03)
01	01 (02, 03)	04 (08, 09)
02	02 (04, 05)	00 (00, 01)
03	03 (06, 07)	02 (04, 05)
04	04 (08, 09)	05 (0A, 0B)
05	05 (0A, 0B)	0A (14, 15)
06	0A (14, 15)	11 (22, 23)
07	11 (22, 23)	12 (24, 25)
08	0B (16, 17)	09 (12, 13)
09	09 (12, 13)	06 (0C, 0D)
0A	06 (0C, 0D)	03 (06, 07)
0B	07 (0E, 0F)	08 (10, 11)

0C	08 (10, 11)	0C (18, 19)
0D	10 (20, 21)	0B (16, 17)
0E	12 (24, 25)	18 (30, 31)
0F	13 (26, 27)	10 (20, 21)
10	18 (30, 31)	17 (2E, 2F)
11	0C (18, 19)	0F (1E, 1F)
12	0D (1A, 1B)	07 (0E, 0F)
13	0E (1C, 1D)	0D (1A, 1B)
14	0F (1E, 1F)	14 (28, 29)
15	17 (2E, 2F)	13 (26, 27)
16	19 (32, 33)	1C (38, 39)
17	16 (2C, 2D)	19 (32, 33)
18	1C (38, 39)	1D (3A, 3B)
19	14 (28, 29)	16 (2C, 2D)
1A	15 (2A, 2B)	0E (1C, 1D)
1B	1A (34, 35)	15 (2A, 2B)
1C	1B (36, 37)	1A (34, 35)
1D	1D (3A, 3B)	1F (3E, 3F)
1E	1E (3C, 3D)	1B (36, 37)
1F	1F (3E, 3F)	1E (3C, 3D)

[0032] Die obige Tabelle 3 zeigt die Inter-Quantisierungsmatrix, die aus dem ersten und dem zweiten Teil-RAM BANK1A, BANK1B ausgelesen wird. Wenn der Zählwert 00_{16} ist, wird das im Bereich '00' gespeicherte Matrixdatenpaar (00, 01) durch die Leseadresse RADD1 im ersten Teil-RAM BANK1A und das im Bereich '01' gespeicherte Matrixdatenpaar (02, 03) durch die Leseadresse RADD2 im zweiten Teil-RAM BANK1B ausgelesen. Wenn der Zählwert 01_{16} ist, wird das im Bereich '01' gespeicherte Matrixdatenpaar (02, 03) durch die Leseadresse RADD1 im ersten Teil-RAM BANK1A und das im Bereich '04' gespeicherte Matrixdatenpaar (08, 09) durch die Leseadresse RADD2 im zweiten Teil-RAM BANK1B ausgelesen. Und zwar werden Matrixdatenpaare, die in den durch jede Leseadresse RADD1, RADD2 bezeichneten Bereichen des ersten und des zweiten Teil-RAM BANK1A, BANK1B gespeichert sind, entsprechend den Zählwerten 00_{16} bis $1F_{16}$ des zweiten Zählers **51** in der gleichen Reihenfolge wie in **Fig. 3B** gezeigt ausgelesen. In der gleichen Weise werden für die Intra-Quantisierungsmatrix Matrixdatenpaare, die in den durch jede Leseadresse RADD1, RADD2 bezeichneten Bereichen des dritten und des vierten Teil-RAM BANK2A, BANK2B gespeichert sind, entsprechend den Zählwerten 00_{16} bis $1F_{16}$ des zweiten Zählers **51** in der gleichen Reihenfolge wie in **Fig. 3B** gezeigt ausgelesen.

[0033] Im Multiplexer **53** wird die Leseadresse der zickzackförmigen Reihenfolge RADD0 oder die Leseadresse der alternierenden Reihenfolge RADD1, RADD2 aus der PLA **52** entsprechend einem Abtastweisen-Unterscheidungssignal ZZ/ALTER von der (nicht gezeigten) Systemsteuerungseinheit selektiv an den RAM **42** ausgegeben. Beispielsweise wird durch den ersten Multiplexer **53** die wie in der Tabelle 2 gezeigte Leseadresse RADD0 der zickzackförmigen Reihenfolge aus der PLA **52** gewählt, wenn die DCT-Koeffizienten in der zickzackförmigen Weise abgetastet werden. Die gewählte Leseadresse RADD0 wird zur entsprechenden Bank im RAM **42** geliefert. Indessen werden durch den ersten Multiplexer **53** die wie in der Tabelle 3 gezeigten Leseadressen RADD1, RADD2 der alternierenden Reihenfolge aus der PLA **52** gewählt, wenn die DCT-Koeffizienten in der alternierenden Weise abgetastet werden. Die gewählten Leseadressen RADD1, RADD2 werden zur entsprechenden Bank im RAM **42** geliefert.

[0034] Entsprechend einem Kodierungsmodus-Unterscheidungssignal INTER/INTRA von der (nicht gezeigten) Systemsteuerungseinheit werden im zweiten Multiplexer **54** die Ausgangsdaten DATA1A, DATA1B des ersten und des zweiten Teil-RAM BANK1A, BANK1B für die Inter-Modus-Kodierung gewählt, während die Aus-

gangsdaten DATA2A, DATA2B des dritten und des vierten Teil-RAM BANK2A, BANK2B für die Intra-Modus-Kodierung gewählt werden.

[0035] In der Verpackungseinheit **55** werden obere und untere Bits von zwei Paaren von 16-Bit-Matrixdaten selektiv als 16-Bit-Matrixpaardaten kombiniert. Die verpackten 16-Bit-Matrixpaardaten werden mit dem Zählerwert des zweiten Zählers **51** synchronisiert und an die Arithmetiksteuerung **46** ausgegeben. Die folgende Tabelle 4 zeigt Beispiele von Datenkombinationen, wenn der Kodierungsmodus der DCT-Koeffizienten die Inter-Kodierung und die Abtastweise das zickzackförmige Abtasten ist.

Tabelle 4: Beispiele von Datenkombinationen (zickzackförmiges Abtasten)

Zählerwert des zweiten Zählers (51)	Datenkombination (BANK1A & BANK1B)	ausgegebenes Matrixdaten-paar
00	DATA1A (16-8) & DATA1B (7-0)	(00, 01)
01	DATA1A (16-8) & DATA1B (7-0)	(02, 03)
02	DATA1A (16-8) & DATA1B (7-0)	(04, 05)
03	DATA1A (16-8) & DATA1B (7-0)	(06, 07)
04	DATA1A (16-8) & DATA1B (7-0)	(08, 09)
05	DATA1A (16-8) & DATA1B (7-0)	(0A, 0B)
06	DATA1A (16-8) & DATA1B (7-0)	(0C, 0D)
07	DATA1A (16-8) & DATA1B (7-0)	(0E, 0F)
08	DATA1A (16-8) & DATA1B (7-0)	(10, 11)
09	DATA1A (16-8) & DATA1B (7-0)	(12, 13)
0A	DATA1A (16-8) & DATA1B (7-0)	(14, 15)

DE 697 21 373 T2 2004.04.15

0B	DATA1A (16-8) & DATA1B (7-0)	(16, 17)
0C	DATA1A (16-8) & DATA1B (7-0)	(18, 19)
0D	DATA1A (16-8) & DATA1B (7-0)	(1A, 1B)
0E	DATA1A (16-8) & DATA1B (7-0)	(1C, 1D)
0F	DATA1A (16-8) & DATA1B (7-0)	(1E, 1F)
10	DATA1A (16-8) & DATA1B (7-0)	(20, 21)
11	DATA1A (16-8) & DATA1B (7-0)	(22, 23)
12	DATA1A (16-8) & DATA1B (7-0)	(24, 25)
13	DATA1A (16-8) & DATA1B (7-0)	(26, 27)
14	DATA1A (16-8) & DATA1B (7-0)	(28, 29)
15	DATA1A (16-8) & DATA1B (7-0)	(2A, 2B)
16	DATA1A (16-8) & DATA1B (7-0)	(2C, 2D)
17	DATA1A (16-8) & DATA1B (7-0)	(2E, 2F)
18	DATA1A (16-8) & DATA1B (7-0)	(30, 31)
19	DATA1A (16-8) & DATA1B (7-0)	(32, 33)
1A	DATA1A (16-8) & DATA1B (7-0)	(34, 35)
1B	DATA1A (16-8) & DATA1B (7-0)	(36, 37)
1C	DATA1A (16-8) & DATA1B (7-0)	(38, 39)
1D	DATA1A (16-8) & DATA1B (7-0)	(3A, 3B)

1E	DATA1A (16-8) & DATA1B (7-0)	(3C, 3D)
1F	DATA1A (16-8) & DATA1B (7-0)	(3E, 3F)

[0036] Ferner zeigt die folgende Tabelle 5 Beispiele, wenn der Kodierungsmodus der DCT-Koeffizienten die Inter-Kodierung und die Abtastweise das alternierende Abtasten ist.

Tabelle 5: Beispiele von Datenkombinationen (alternierendes Abtasten)

Zählerwert des zweiten Zählers (51)	Datenkombination (BANK1A & BANK1B)	ausgegebenes Matrixdaten- paar
00	DATA1A (16-8) & DATA1B (16-8)	(00, 02)
01	DATA1A (7-0) & DATA1B (7- 0)	(03, 09)
02	DATA1B (7-0) & DATA1A (16-8)	(01, 04)
03	DATA1B (7-0) & DATA1A (7- 0)	(05, 07)
04	DATA1A (16-8) & DATA1B (7-0)	(08, 0B)
05	DATA1A (16-8) & DATA1B (16-8)	(0A, 14)
06	DATA1A (7-0) & DATA1B (7- 0)	(15, 23)
07	DATA1B (16-8) & DATA1A (16-8)	(24, 22)
08	DATA1A (16-8) & DATA1B (7-0)	(16, 13)
09	DATA1A (16-8) & DATA1B (16-8)	(12, 0C)
0A	DATA1B (16-8) & DATA1A (7-0)	(06, 0D)
0B	DATA1A (16-8) & DATA1B	(0E, 10)

DE 697 21 373 T2 2004.04.15

	(16-8)	
0C	DATA1A (7-0) & DATA1B (16-8)	(11, 18)
0D	DATA1B (7-0) & DATA1A (7- 0)	(17, 21)
0E	DATA1A (7-0) & DATA1B (16-8)	(25, 30)
0F	DATA1B (16-8) & DATA1A (16-8)	(20, 26)
10	DATA1B (7-0) & DATA1A (7- 0)	(2F, 31)
11	DATA1A (7-0) & DATA1B (7- 0)	(19, 1F)
12	DATA1B (7-0) & DATA1A (16-8)	(0F, 1A)
13	DATA1B (7-0) & DATA1A (7- 0)	(1B, 1D)
14	DATA1A (16-8) & DATA1B (16-8)	(1E, 28)
15	DATA1B (7-0) & DATA1A (16-8)	(27, 2E)
16	DATA1A (16-8) & DATA1B (7-0)	(32, 39)
17	DATA1A (7-0) & DATA1B (7- 0)	(2D, 33)
18	DATA1A (16-8) & DATA1B (16-8)	(38, 3A)
19	DATA1A (7-0) & DATA1B (16-8)	(29, 2C)
1A	DATA1B (16-8) & DATA1A (16-8)	(1C, 2A)
1B	DATA1B (7-0) & DATA1A (7- 0)	(2B, 35)
1C	DATA1B (16-8) & DATA1A (7-0)	(34, 37)
1D	DATA1A (7-0) & DATA1B (16-8)	(3B, 3E)
1E	DATA1B (16-8) & DATA1A	(36, 3C)

	(16-8)	
1F	DATA1B (7-0) & DATA1A (7-0)	(3D, 3F)

[0037] Die Arithmetiksteuerung **46** wird entsprechend dem Systemtakt CLK und dem Rückstellsignal RST betrieben. Die Quantisierungsmatrix von der RAM-Steuerung **44** wird in die Arithmetiksteuerung **46** eingegeben und ihr Kehrwert berechnet. Zusätzlich werden das Quantisierungstypussignal QUANT_SCALE_TYPE und das Quantisierungscode-signal QUANT_SCALE_CODE von der (nicht gezeigten) Systemsteuerungseinheit von der RAM-Steuerung **44** in die Arithmetiksteuerung **46** eingegeben. Ein Quantisierungsmaßwert wird durch Berechnen des Quantisierungstypus QUANT SCALE TYPE und des Quantisierungscode-s QUANT SCALE CODE erlangt. Daraus wird ein Kehrwert des Quantisierungsmaßwerts erlangt. Ein DC-Wert wird durch einen DC PREC-Wert aus der (nicht gezeigten) Systemsteuerungseinheit erlangt. Daraus wird ein Kehrwert des DC-Werts erlangt. Dabei werden der Quantisierungsmatrixwert, der Quantisierungsmaßwert und der DC-Wert, die jeweils den Kehrwert von der Arithmetiksteuerung **46** enthalten, an die Arithmetikeinheit **48** ausgegeben. Darüber hinaus wird der Kehrwert für die 16-Bit-Matrixpaardaten in 8-Bit-Einheiten erlangt.

[0038] In der Arithmetikeinheit **48** werden DCT-Koeffizienten von zwei Pixeln DATA EVEN, DATA ODD mit dem Kehrwert des Quantisierungsmaßwerts von der Arithmetiksteuerung **46** multipliziert. Der berechnete Wert wird mit dem Kehrwert des Quantisierungsmatrixwerts multipliziert und eine Rundungsverarbeitung für den Wert durchgeführt. Die quantisierten Daten von zwei Pixeln QUANT EVEN, QUANT ODD werden daraus ausgegeben. Dabei wird die Berechnung in der Arithmetikeinheit **48** in einer Fließbandweise durchgeführt. Daher kann eine Verarbeitungsgeschwindigkeit verbessert werden. Darüber hinaus können die Eingabereihenfolge der DCT-Koeffizienten und die Reihenfolge der Quantisierungsmatrix beim Quantisieren entsprechend der Abtastweise aneinander angepasst werden.

[0039] Somit wird gemäß der ersten Ausführungsformen der vorliegenden Erfindung die gleiche Inter-Quantisierungsmatrix in zwei Teil-RAMs bzw. die gleiche Intra-Quantisierungsmatrix in zwei Teil-RAMs in der Reihenfolge der zickzackförmigen Abtastweise gespeichert, und somit wird die entsprechende Quantisierungsmatrix entsprechend der Leseadresse auf Grundlage der abgetasteten Weise der DCT-Koeffizienten ohne Datenkollision aus einem Speicher ausgelesen.

[0040] **Fig. 6** zeigt ein ausführliches Blockdiagramm eines RAM **42** und einer RAM-Steuerung **44** gemäß einer zweiten bevorzugten Ausführungsform. Der RAM **42** umfasst eine erste Bank BANK1 zum Speichern der Inter-Quantisierungsmatrix und eine zweite Bank BANK2 zum Speichern der Intra-Quantisierungsmatrix. Die erste Bank BANK1 umfasst einen ersten Teil-RAM und einen zweiten Teil-RAM BANK1A, BANK1B, die 8 Bit × 22 Worte aufweisen, und einen dritten Teil-RAM BANK1C, der 8 Bit × 20 Worte aufweist. Die zweite Bank BANK2 umfasst einen vierten Teil-RAM BANK2A und einen fünften Teil-RAM BANK2B, die 8 Bit × 22 Worte aufweisen, und einen sechsten Teil-RAM BANK2C, der 8 Bit × 20 Worte aufweist.

[0041] Die RAM-Steuerung **44** umfasst einen Schreibadressengenerator, einen ersten Zähler **60** und eine erste PLA **61** zum Erzeugen einer Schreibadresse zum Einspeichern der Inter-Quantisierungsmatrix und der Intra-Quantisierungsmatrix in den RAM **42**; einen Datenteiler **62** zum Teilen der Matrixdaten von ID CD in einen entsprechenden Teil-RAM jeder Bank; einen Leseadressengenerator, einen zweiten Zähler **63**, eine zweite PLA **64**, eine dritte PLA **65** und einen ersten Multiplexer **66** zum Erzeugen einer Leseadresse zum Auslesen einer entsprechenden Quantisierungsmatrix aus dem RAM **42** entsprechend einer Abtastweise für DCT-Koeffizienten; einen Datenkombinierer, einen zweiten Multiplexer **67** und eine Verpackungseinheit **68** zum Kombinieren der Matrixdaten aus dem RAM **42** in 16 Bit entsprechend einem Kodierungsmodus oder der Abtastreihenfolge.

[0042] Es wird auf **Fig. 4** und **Fig. 6** Bezug genommen werden, um eine zweite Ausführungsform der vorliegenden Erfindung ausführlich zu beschreiben. Da die Eingangs/Ausgangssignale an jeden Block den in der ersten bevorzugten Ausführungsform besprochenen gleich sind, werden sie in der folgenden ausführlichen Beschreibung weggelassen.

[0043] In der ersten Bank BANK1 des RAM **42** sind **64** Inter-Quantisierungsmatrixdaten geteilt und in Einheiten von 8 Bit in 22 Bereichen des ersten Teil-RAM BANK1A, 22 Bereichen des zweiten Teil-RAM BANK1B bzw. 20 Bereichen des dritten Teil-RAM BANK1C gespeichert. Jeder Bereich der ersten bis dritten Teil-RAMs BANK1A, BANK1B, BANK1C ist durch die Schreibadressen WADD1, WADD2 bzw. WADD3 bezeichnet. Was die zweite Bank BANK2 betrifft, sind **64** Intra-Quantisierungsmatrixdaten geteilt und in Einheiten von 8 Bit in 22 Bereichen des vierten Teil-RAM BANK2A, 22 Bereichen des fünften Teil-RAM BANK2B bzw. 20 Bereichen des sechsten Teil-RAM BANK2C gespeichert. Jeder Bereich der vierten bis sechsten Teil-RAMs BANK2A, BANK2B, BANK2C ist durch die Schreibadressen WADD1, WADD2 bzw. WADD3 bezeichnet. Die Inter- und die Intra-Quantisierungsmatrix werden von der (nicht gezeigten) Systemsteuerungseinheit geliefert, und sie können eine benutzerdefinierte Matrix oder eine durch MPEG-2 definierte Standardmatrix sein.

[0044] Die RAM-Steuerung **44** wird durch einen Systemtakt CLK und ein Rückstellsignal RST betrieben, so dass die Quantisierungsmatrizes von ID_CD entsprechend der Schreibadressen WADD1, WADD2, WADD3 in entsprechenden Banken des RAM **42** gespeichert werden. Zusätzlich werden die Quantisierungsmatrizes im RAM **42** durch Leseadressen RADD1, RADD2, RADD3 entsprechend der Abtastweise der DCT-Koeffizienten ausgelesen und an die Arithmetiksteuerung **46** ausgegeben. Und zwar wird ID CD in der RAM-Steuerung **44** analysiert, um den Quantisierungsmatrixtypus zu identifizieren, wenn FLAG_ID ein "hoher" Logikpegel ist. Die analysierte eingegebene Quantisierungsmatrix wird in einem entsprechenden Teil-RAM jeder Bank des RAM **42** gespeichert. Zusätzlich werden die Quantisierungsmatrizes in jedem Teil-RAM der Banken nach ihrer Synchronisierung durch ein Makroblockbeginnsignal mbs ausgelesen und an die Arithmetiksteuerung **46** ausgegeben. Jeder Teil-RAM weist ein (nicht gezeigtes) Steuersignal zum Lesen und Schreiben und ein (nicht gezeigtes) Steuersignal zum Ermöglichen eines Ausgangssignals auf. Die Steuersignale werden geliefert, wenn der entsprechende Teil-RAM durch die RAM-Steuerung **44** ausgewählt wird.

[0045] Wie in **Fig. 6** veranschaulicht zählt der erste Zähler **60** (5-Bit-Zähler) entsprechend einem Taktsignal CLK 00_H bis $1F_H$, nachdem ein Zählwert durch das Rückstellsignal RST gelöscht wurde. ID CD werden analysiert, um die Inter-/Intra-Quantisierungsmatrix zu identifizieren, wenn FLAG ID ein "hoher" Logikpegel ist. Nachdem ID identifiziert ist, werden 32 Zählwerte an die erste PLA **61** und den Datenteiler **62** ausgegeben.

[0046] In der ersten PLA **61** werden die Schreibadressen WADD1, WADD2, WADD3 erzeugt, um die Quantisierungsmatrix von der (nicht gezeigten) Systemsteuerungseinheit entsprechend dem Zählwert aus dem ersten Zähler **60** in Einheiten von 8 Bit im ersten bis dritten Teil-RAM BANK1A, BANK1B, BANK1C oder im vierten bis sechsten Teil-RAM BANK2A, BANK2B, BANTK2C zu speichern. Die erste PLA **61** erzeugt auch die Leseadressen RADD1, RADD2, RADD3, wenn die DCT-Koeffizienten in der zickzackförmigen Reihenfolge abgetastet werden. Die folgende Tabelle 6 veranschaulicht die Schreibadressen WADD1, WADD2, WADD3.

Tabelle 6: Schreibadresse

Zählwert des ersten Zählers (60)	WADD1-Adresse (Daten)	WADD2-Adresse (Daten)	WADD3-Adresse (Daten)
00	00 (00)	00 (01)	-
01	-	01 (03)	00 (02)
02	01 (04)	02 (05)	-
03	02 (06)	-	01 (07)
04	03 (08)	-	02 (09)
05	-	03 (0B)	03 (0A)
06	04 (0C)	04 (0D)	-
07	-	05 (0F)	04 (0E)
08	05 (10)	06 (11)	-
09	-	07 (13)	05 (12)
0A	06 (14)	08 (15)	-
0B	07 (16)	-	06 (17)
0C	08 (18)	09 (19)	-
0D	09 (1A)	0A (1B)	-
0E	0A (1C)	-	07 (1D)
0F	0B (1E)	-	08 (1F)
10	-	0B (21)	09 (20)
11	0C (22)	-	0A (23)
12	-	0C (25)	0B (24)
13	0D (26)	0D (27)	-
14	-	0E (29)	0C (28)
15	-	0F (2B)	0D (2A)
16	0E (2C)	-	0E (2D)
17	0F (2E)	10 (2F)	-
18	10 (30)	-	0F (31)
19	11 (32)	11 (33)	-
1A	12 (34)	-	10 (35)
1B	-	12 (37)	11 (36)
1C	13 (38)	13 (39)	-
1D	-	14 (3B)	12 (3A)
1E	14 (3C)	15 (3D)	-
1F	15 (3E)	-	13 (3F)

[0047] Im Datenteiler 62 werden die 16-Bit-Quantisierungsmatrixdaten der wie in Fig. 3A gezeigten zickzack-

förmigen Reihenfolge geteilt, um entsprechend dem Zählwert aus dem ersten Zähler **60** in Einheiten von 8 Bit in zwei der drei Teil-RRMs gespeichert zu werden. Im Fall der Inter-Quantisierungsmatrix werden die 16-Bit-Quantisierungsmatrixdaten geteilt, um in den ersten bis dritten Teil-RAMs BANK1A, BANK1B, BANK1C gespeichert zu werden. Im Fall der Intra-Quantisierungsmatrix werden die 16-Bit-Quantisierungsmatrixdaten geteilt, um in den vierten bis sechsten Teil-RAMs BANK2A, BANK2B, BANK2C gespeichert zu werden. Die folgende Tabelle 7 veranschaulicht die Datenteilung.

Tabelle 7: Datenteilung (Inter-Quantisierungsmatrix)

Zählwert des ersten Zählers (60)	Eingabe
00	BANK1A & BANK1B
01	BANK1C & BANK1B
02	BANK1A & BANK1B
03	BANK1A & BANK1C
04	BANK1A & BANK1C
05	BANK1C & BANK1B
06	BANK1A & BANK1B
07	BANK1C & BANK1B
08	BANK1A & BANK1B
09	BANK1C & BANK1B
0A	BANK1A & BANK1B
0B	BANK1A & BANK1C
0C	BANK1A & BANK1B
0D	BANK1A & BANK1B
0E	BANK1A & BANK1C
0F	BANK1A & BANK1C
10	BANK1C & BANK1B
11	BANK1A & BANK1C
12	BANK1C & BANK1B
13	BANK1A & BANK1B
14	BANK1C & BANK1B

15	BANK1C & BANK1B
16	BANK1A & BANK1C
17	BANK1A & BANK1B
18	BANK1A & BANK1C
19	BANK1A & BANK1B
1A	BANK1A & BANK1C
1B	BANK1C & BANK1B
1C	BANK1A & BANK1B
1D	BANK1C & BANK1B
1E	BANK1A & BANK1B
1F	BANK1A & BANK1C

[0048] Die obigen Tabellen 6 und 7 zeigen die in den ersten bis dritten Teil-RAMs BANK1A, BANK1B, BANK1C gespeicherte Inter-Quantisierungsmatrix. Wenn der Zählerwert 00_{16} ist, werden die Matrixdaten (00) im Bereich der Schreibadresse WADD1 '00' des ersten Teil-RAM BANK1A und die Matrixdaten (01) im Bereich der Schreibadresse WADD2 '01' des zweiten Teil-RAM BANK1B gespeichert.

[0049] Wenn der Zählerwert 01_{16} ist, werden die Matrixdaten (03) im Bereich der Schreibadresse WADD2 '01' des zweiten Teil-RAM BANK1B und die Matrixdaten (02) im Bereich der Schreibadresse WADD3 '00' des dritten Teil-RAM BANK1C gespeichert. Und zwar werden die Inter-Quantisierungsmatrixdaten der zickzackförmigen Reihenfolge in Einheiten von 16 Bit wie in **Fig. 3A** entsprechend den Schreibadressen WADD1, WADD2, WADD3 wie in Tabelle 7 gezeigt in Einheiten von 8 Bit in zwei Teil-RAMs der ersten bis dritten Teil-RAMs gespeichert. In gleicher Weise werden die Intra-Quantisierungsmatrixdaten der zickzackförmigen Reihenfolge in Einheiten von 16 Bit wie in **Fig. 3A** entsprechend den Schreibadressen WADD1, WADD2, WADD3 wie in Tabelle 7 gezeigt in zwei Teil-RAMs der vierten bis sechsten Teil-RAMs gespeichert. Dabei entsprechen die Teil-RAMs zum Zuweisen der Adresse in der Tabelle 6 den Teil-RAMs zum Teilen der Daten in der Tabelle 7, wenn der Zählerwert der gleiche ist.

[0050] Der zweite Zähler **63** (5-Bit-Zähler) zählt entsprechend einem Taktsignal CLK 00_H bis $1F_H$, nachdem ein Zählerwert durch das Rückstellsignal RST gelöscht wurde. Die 32 Zählerwerte werden nach dem Feststellen einer Anstiegsflanke des Makroblocksignals mbs an die zweite PLA **64**, die dritte PLA **65** und die Verpackungseinheit **68** ausgegeben.

[0051] In der zweiten PLA **64** werden die Leseadressen RADD1, RADD2, RADD3 erzeugt, um die entsprechende Quantisierungsmatrix aus dem RAM **42** auszulesen, wenn die DCT-Koeffizienten in der zickzackförmigen Reihenfolge abgetastet werden. Die zweite PLA **64** weist den gleichen Aufbau wie die erste PLA **61** auf. Die Leseadressen RADD1, RADD2, RADD3 wie in der folgenden Tabelle 8 werden in der zweiten PLA **64** entsprechend dem Zählerwert aus dem zweiten Zähler **63** erzeugt.

Tabelle 8: Leseadresse (zickzackförmiges Abtasten)

Zählwert des zweiten Zählers (63)	RADD1-Adresse (Daten)	RADD2-Adresse (Daten)	RADD3-Adresse (Daten)
00	00 (00)	00 (01)	-
01	-	01 (03)	00 (02)
02	01 (04)	02 (05)	-
03	02 (06)	-	01 (07)
04	03 (08)	-	02 (09)
05	-	03 (0B)	03 (0A)
06	04 (0C)	04 (0D)	-
07	-	05 (0F)	04 (0E)
08	05 (10)	06 (11)	-
09	-	07 (13)	05 (12)
0A	06 (14)	08 (15)	-
0B	07 (16)	-	06 (17)
0C	08 (18)	09 (19)	-
0D	09 (1A)	0A (1B)	-
0E	0A (1C)	-	07 (1D)

0F	0B (1E)	-	08 (1F)
10	-	0B (21)	09 (20)
11	0C (22)	-	0A (23)
12	-	0C (25)	0B (24)
13	0D (26)	0D (27)	-
14	-	0E (29)	0C (28)
15	-	0F (2B)	0D (2A)
16	0E (2C)	-	0E (2D)
17	0F (2E)	10 (2F)	-
18	10 (30)	-	0F (31)
19	11 (32)	11 (33)	-
1A	12 (34)	-	10 (35)
1B	-	12 (37)	11 (36)
1C	13 (38)	13 (39)	-
1D	-	14 (3B)	12 (3A)
1E	14 (3C)	15 (3D)	-
1F	15 (3E)	-	13 (3F)

[0052] In der dritten PLA **65** werden die Leseadressen RADD1, RADD2, RADD3 erzeugt, um die entsprechende Quantisierungsmatrix aus dem RAM **42** auszulesen, wenn die DCT-Koeffizienten in der alternierenden Reihenfolge abgetastet werden. Die Leseadressen RADD1, RADD2, RADD2 wie in der folgenden Tabelle 9 werden in der dritten PLA **65** entsprechend dem Zählwert aus dem zweiten Zähler **63** erzeugt.

Tabelle 9: Leseadresse (alternierendes Abtasten)

Zählwert des zweiten Zählers (63)	RADD1-Adresse (Daten)	RADD2-Adresse (Daten)	RADD3-Adresse (Daten)
00	00 (00)	-	00 (02)
01	-	01 (03)	02 (09)
02	01 (04)	00 (01)	-
03	-	02 (05)	01 (07)
04	03 (08)	03 (0B)	-
05	06 (14)	-	03 (0A)
06	-	08 (15)	0A (23)

07	0C (22)	-	0B (24)
08	07 (16)	07 (13)	-
09	04 (0C)	-	05 (12)
0A	02 (06)	04 (0D)	-
0B	05 (10)	-	04 (0E)
0C	08 (18)	06 (11)	-
0D	-	0B (21)	06 (17)
0E	10 (30)	0C (25)	-
0F	0D (26)	-	09 (20)
10	-	10 (2F)	0F (31)
11	-	09 (19)	08 (1F)
12	09 (1A)	05 (0F)	-
13	-	0A (1B)	07 (1D)
14	0B (1E)	-	0C (28)
15	0F (2E)	0D (27)	-
16	11 (32)	13 (39)	-
17	-	11 (33)	0E (2D)
18	13 (38)	-	12 (3°)
19	0E (2C)	0E (29)	-
1A	0A (1C)	-	0D (2A)
1B	-	0F (2B)	10 (35)
1C	12 (34)	12 (37)	-
1D	15 (3E)	14 (3B)	-
1E	14 (3C)	-	11 (36)
1F	-	15 (3D)	13 (3F)

[0053] Die obige Tabelle 9 zeigt die aus den ersten bis dritten Teil-RAMs BANK1A, BANK1B, BANK1C ausgelesenen Inter-Quantisierungsmatrixdaten. Wenn der Zählwert 00_{16} ist, wird die Leseadresse RADD1 erzeugt, um die in der Schreibadresse '00' gespeicherten Daten (00) aus dem ersten Teil-RAM BANK1A auszulesen, und die Leseadresse RADD3 erzeugt, um die in der Schreibadresse '00' gespeicherten Daten (02) aus dem dritten Teil-RAM BANK1C auszulesen. Zusätzlich wird, wenn der Zählwert 01_{16} ist, die Leseadresse RADD2 erzeugt, um die in der Schreibadresse '01' gespeicherten Daten (03) aus dem zweiten Teil-RAM BANK1B auszulesen, und die Leseadresse RADD3 erzeugt, um die in der Schreibadresse '02' gespeicherten Daten (09) aus dem dritten Teil-RAM BANK1C auszulesen. Und zwar werden die jeweils durch die Leseadressen RADD1, RADD2, RADD3 bezeichneten Matrixdaten, die in den Bereichen der ersten bis dritten Teil-RAMs BANK1A, BANK1B, BANK1C gespeichert sind, entsprechend den Zählwerten 00_{16} bis $1F_{16}$ in der in **Fig. 3B** gezeigten Reihenfolge ausgelesen. In der gleichen Weise werden im Fall der Intra-Quantisierung die jeweils durch die Leseadressen RADD1, RADD2, RADD3 bezeichneten Matrixdaten, die in den Bereichen der vierten bis sechsten Teil-RAMs BANK2A, BANK2B, BANK2C gespeichert sind, entsprechend den Zählwerten 00_{16} bis $1F_{16}$ in der in **Fig. 3B** gezeigten Reihenfolge ausgelesen. Wie oben beschrieben ist die Leseadresse von der dritten PLA **65** zum Auslesen der Matrixdaten der zickzackförmigen Reihenfolge in drei Teil-RAMs in der alternierenden Reihenfolge nicht sequentiell. Aus diesem Grund sind Matrixdaten durch eine Schreibadresse, die in der ersten PLA **61** erzeugt wird, verteilt und in zwei von drei Teil-RAMs gespeichert, so dass die Datenkollisionserscheinung nicht auftritt, wenn ein Paar von Matrixdaten durch die in der dritten PLA **65** entspre-

chend einer Abtastweise erzeugte Leseadresse ausgelesen wird.

[0054] Im ersten Multiplexer **66** werden die Leseadressen RADD1, RADD2, RADD3 der zickzackförmigen Reihenfolge oder die Leseadressen RADD1, RADD2, RADD3 der alternierenden Reihenfolge entsprechend dem Abtastweisen-Unterscheidungssignal ZZ/ALTER von der (nicht gezeigten) Systemsteuerungseinheit selektiv an den RAM **42** ausgegeben. Beispielsweise werden die Leseadressen RADD1, RADD2, RADD3 der zickzackförmigen Reihenfolge aus der zweiten PLA **64** wie die Tabelle 8 im ersten Multiplexer **66** selektiv zur entsprechenden Bank des RAM **42** geliefert, wenn die DCT-Koeffizienten in der zickzackförmigen Weise abgetastet werden. Indessen werden die Leseadressen RRDD1, RADD2, RADD3 der alternierenden Reihenfolge aus der dritten PLA **65** wie die Tabelle 9 im ersten Multiplexer **66** selektiv zur entsprechenden Bank des RAM **42** geliefert, wenn die DCT-Koeffizienten in der alternierenden Weise abgetastet werden.

[0055] Entsprechend dem Kodierungsmodus-Unterscheidungssignal INTER/INTRA von der (nicht gezeigten) Systemsteuerungseinheit werden im zweiten Multiplexer **67** die Ausgangsdaten DATA1A, DATA1B, DATA1C der ersten bis dritten Teil-RAMs BANK1A, BANK1B, BANK1C selektiv für den Inter-Kodierungsmodus und die Ausgangsdaten DATA2A, DATA2B, DATA2C der vierten bis sechsten Teil-RAMs BANK2A, BANK2B, BANK2C selektiv für den Intra-Kodierungsmodus ausgegeben.

[0056] In der Verpackungseinheit **68** werden zwei Paare von 8-Bit-Matrixdaten aus dem zweiten Multiplexer **67** als 16-Bit-Matrixpaardaten kombiniert. Die Daten werden mit dem Zählerwert des zweiten Zählers **63** synchronisiert und an die Arithmetiksteuerung **46** ausgegeben. Die folgende Tabelle 10 zeigt den Fall, in dem der Kodierungsmodus der DCT-Koeffizienten die Inter-Kodierung und ihre Abtastweise die zickzackförmige Abtastung ist.

Tabelle 10: Beispiele von Datenkombinationen (zickzackförmige Abtastung)

Zählerwert des zweiten Zählers (63)	Datenkombination (BANK1A & BANK1B & BANK1C)	ausgegebenes Matrixdatenpaar
00	DATA1A & DATA1B	(00, 01)
01	DATA1C & DATA1B	(02, 03)
02	DATA1A & DATA1B	(04, 05)
03	DATA1A & DATA1C	(06, 07)
04	DATA1A & DATA1C	(08, 09)
05	DATA1C & DATA1B	(0A, 0B)
06	DATA1A & DATA1B	(0C, 0D)
07	DATA1C & DATA1B	(0E, 0F)
08	DATA1A & DATA1B	(10, 11)

09	DATA1C & DATA1B	(12, 13)
0A	DATA1A & DATA1B	(14, 15)
0B	DATA1A & DATA1C	(16, 17)
0C	DATA1A & DATA1B	(18, 19)
0D	DATA1A & DATA1B	(1A, 1B)
0E	DATA1A & DATA1C	(1C, 1D)
0F	DATA1A & DATA1C	(1E, 1F)
10	DATA1C & DATA1B	(20, 21)
11	DATA1A & DATA1C	(22, 23)
12	DATA1C & DATA1B	(24, 25)
13	DATA1A & DATA1B	(26, 27)
14	DATA1C & DATA1B	(28, 29)
15	DATA1C & DATA1B	(2A, 2B)
16	DATA1A & DATA1C	(2C, 2D)
17	DATA1A & DATA1B	(2E, 2F)
18	DATA1A & DATA1C	(30, 31)
19	DATA1A & DATA1B	(32, 33)
1°	DATA1A & DATA1C	(34, 35)
1B	DATA1C & DATA1B	(36, 37)
1C	DATA1A & DATA1B	(38, 39)
1D	DATA1C & DATA1B	(3A, 3B)
1E	DATA1A & DATA1B	(3C, 3D)
1F	DATA1A & DATA1C	(3E, 3F)

[0057] Ferner zeigt die folgende Tabelle 11 den Fall, in dem der Kodierungsmodus der DCT-Koeffizienten die Inter-Kodierung und ihre Abtastweise die alternierende Abtastung ist.

Tabelle 11: Beispiele von Datenkombinationen (alternierende Abtastung)

Zählerwert des zweiten Zählers (63)	Datenkombination (BANK1A & BANK1B & BANK1C)	ausgegebenes Matrixdaten-paar
00	DATA1A & DATA1C	(00, 02)
01	DATA1B & DATA1C	(03, 09)
02	DATA1B & DATA1A	(01, 04)
03	DATA1B & DATA1C	(05, 07)

04	DATA1A & DATA1B	(08, 0B)
05	DATA1C & DATA1A	(0A, 14)
06	DATA1B & DATA1C	(15, 23)
07	DATA1C & DATA1A	(24, 22)
08	DATA1A & DATA1B	(16, 13)
09	DATA1C & DATA1A	(12, 0C)
0A	DATA1A & DATA1B	(06, 0D)
0B	DATA1C & DATA1A	(0E, 10)
0C	DATA1B & DATA1A	(11, 18)
0D	DATA1C & DATA1B	(17, 21)
0E	DATA1B & DATA1A	(25, 30)
0F	DATA1C & DATA1A	(20, 26)
10	DATA1B & DATA1C	(2F, 31)
11	DATA1B & DATA1C	(19, 1F)
12	DATA1B & DATA1A	(0F, 1A)
13	DATA1B & DATA1C	(1B, 1D)
14	DATA1A & DATA1C	(1E, 28)
15	DATA1B & DATA1A	(27, 2E)
16	DATA1A & DATA1B	(32, 39)
17	DATA1C & DATA1B	(2D, 33)
18	DATA1A & DATA1C	(38, 3A)
19	DATA1B & DATA1A	(29, 2C)
1°	DATA1A & DATA1C	(1C, 2A)
1B	DATA1B & DATA1C	(2B, 35)
1C	DATA1A & DATA1B	(34, 37)
1D	DATA1B & DATA1A	(3B, 3E)
1D	DATA1C & DATA1A	(36, 3C)
1F	DATA1B & DATA1C	(3D, 3F)

[0058] Hier wird die Besprechung der Arithmetiksteuerung **46** und der Arithmetikeinheit **48** weggelassen, da die betrieblichen Vorgänge gleich wie in den ersten Ausführungsformen beschrieben sind.

[0059] Somit werden gemäß den zweiten Ausführungsformen der vorliegenden Erfindung **32** Quantisierungsmatrixdaten von Einheiten von 16 Bit in der Reihenfolge der zickzackförmigen Abtastweise in Einheiten von 8 Bits verteilt und in zwei von drei Teil-RAMs gespeichert, und somit wird die entsprechende Quantisierungsmatrix entsprechend der Leseadresse auf Grundlage der abgetasteten Weise der DCT-Koeffizienten ohne Datenkollision aus einem Speicher ausgelesen.

[0060] Während die Erfindung in Verbindung mit dem beschrieben wurde, das gegenwärtig als die praktischsten und bevorzugtesten Ausführungsformen betrachtet wird, versteht sich, dass die Erfindung nicht auf die offenbarten Ausführungsformen beschränkt ist, sondern im Gegenteil verschiedenste Abänderungen und gleichwertige Anordnungen abdecken soll, die im Umfang der beiliegenden Ansprüche enthalten sind.

Patentansprüche

1. Quantisierer zum Quantisieren von abgetasteten DCT-Koeffizienten in einem Videokodierer, mit folgendem:

- a) einem Speicher mit einer ersten Bank mit mehreren Bereichen zum Speichern einer Inter-Quantisierungsmatrix und einer zweiten Bank mit mehreren Bereichen zum Speichern einer Intra-Quantisierungsmatrix;
- b) einer Speichersteuerung zum Erzeugen einer Schreibadresse zum Einschreiben der Inter-Quantisierungsmatrix und der Intra-Quantisierungsmatrix in den besagten Speicher in einer Reihenfolge einer zickzackförmigen Abtastweise, und einer Leseadresse zum Auslesen einer entsprechenden Quantisierungsmatrix aus dem Speicher in einer Reihenfolge einer Abtastweise der DCT-Koeffizienten, und Steuern eines Schreib-/Lesevorgangs der Inter-Quantisierungsmatrix und der Intra-Quantisierungsmatrix im Speicher entsprechend der Schreibadresse und der Leseadresse;
- c) einer Arithmetiksteuerung zum Erlangen eines Kehrwerts der entsprechenden, aus dem Speicher über die Speichersteuerung bereitgestellten Quantisierungsmatrix und eines Kehrwerts eines extern bereitgestellten Quantisierungsmaßes und Ausgeben des erhaltenen Werts; und
- d) einer Arithmetikeinheit zum Quantisieren der abgetasteten DCT-Koeffizienten durch Verwendung der von der Arithmetiksteuerung gelieferten Kehrwerte der entsprechenden Quantisierungsmatrix und des Quantisierungsmaßes.

2. Quantisierer zum Quantisieren abgetasteter DCT-Koeffizienten in einem Videokodierer, mit folgendem:

- a) einem RAM mit einer ersten Bank mit einem ersten Teil-RAM und einem zweiten Teil-RAM zum Speichern einer identischen Inter-Quantisierungsmatrix und einer zweiten Bank mit einem dritten Teil-RAM und einem vierten Teil-RAM zum Speichern einer identischen Intra-Quantisierungsmatrix;
- b) einer RAM-Steuerung zum Erzeugen einer Schreibadresse zum Einschreiben der Inter-Quantisierungsmatrix und der Intra-Quantisierungsmatrix in entsprechende Teil-RAMs in einer Reihenfolge einer zickzackförmigen Abtastweise, und einer Leseadresse zum Auslesen einer entsprechenden Quantisierungsmatrix aus dem RAM in einer Reihenfolge abgetasteter Weise der DCT-Koeffizienten und Kombinieren der entsprechenden aus dem RAM ausgelesenen Quantisierungsmatrix entsprechend der Leseadresse in einem vorbestimmten Format;
- c) einer Arithmetiksteuerung zum Erlangen eines Kehrwertes der entsprechenden, aus dem RAM über die RAM-Steuerung bereitgestellten Quantisierungsmatrix und eines Kehrwertes eines extern bereitgestellten Quantisierungsmaßes und Ausgeben des erhaltenen Wertes; und
- d) einer Arithmetikeinheit zum Quantisieren der abgetasteten DCT-Koeffizienten durch Verwendung der von der Arithmetiksteuerung gelieferten Kehrwerte der entsprechenden Quantisierungsmatrix und des Quantisierungsmaßes.

3. Quantisierer nach Anspruch 2, wobei die ersten bis vierten Teil-RAMs eine Größe von 16 Bit × 32 Worten aufweisen.

4. Quantisierer nach Anspruch 2, wobei die RAM-Steuerung folgendes umfaßt:

- einen Schreibadressengenerator zum Erzeugen der Schreibadresse;
- einen Leseadressengenerator zum Erzeugen der Leseadresse;
- einen Datenkombinierer zum Kombinieren der entsprechenden, aus dem RAM ausgelesenen Quantisierungsmatrix entsprechend der Leseadresse in einem vorbestimmten Format;
- wobei der Schreibadressengenerator einen ersten Zähler zum Zählen eines Taktsignals und Erzeugen von 32 Schreibadressen zum Speichern der Quantisierungsmatrix in den entsprechenden Teil-RAMs in Einheiten von 16 Bit aufweist;
- wobei der Leseadressengenerator einen zweiten Zähler zum Zählen des Taktsignals und Ausgeben von 32 Zählwerten, eine programmierbare Logikanordnung zum Erzeugen einer ersten Leseadresse zum Auslesen in einer Reihenfolge einer zickzackförmigen Abtastweise und einer zweiten Leseadresse zum Auslesen in einer Reihenfolge einer alternativen Abtastweise der im RAM gespeicherten Quantisierungsmatrix entsprechend den 32 Zählwerten aus dem zweiten Zähler, und einen ersten Multiplexer zum selektiven Ausgeben der ersten Leseadresse und der zweiten Leseadresse entsprechend einer Abtastweise aufweist; und
- wobei der Datenkombinierer einen zweiten Multiplexer zum selektiven Ausgeben der aus dem RAM ausgelesenen Inter-Quantisierungsmatrix und der Intra-Quantisierungsmatrix entsprechend der ersten Leseadresse und der zweiten Leseadresse auf Grundlage eines Kodierungsmodus-Unterscheidungssignals, und eine Verpackungseinheit zum Verpacken der aus dem zweiten Multiplexer bereitgestellten Quantisierungsmatrix in Einheiten von 16 Bit entsprechend den 32 Zählwerten aus dem zweiten Zähler und Ausgeben der verpackten Matrix aufweist.

5. Quantisierer zum Quantisieren von abgetasteten DCT-Koeffizienten in einem Videokodierer, mit folgendem:

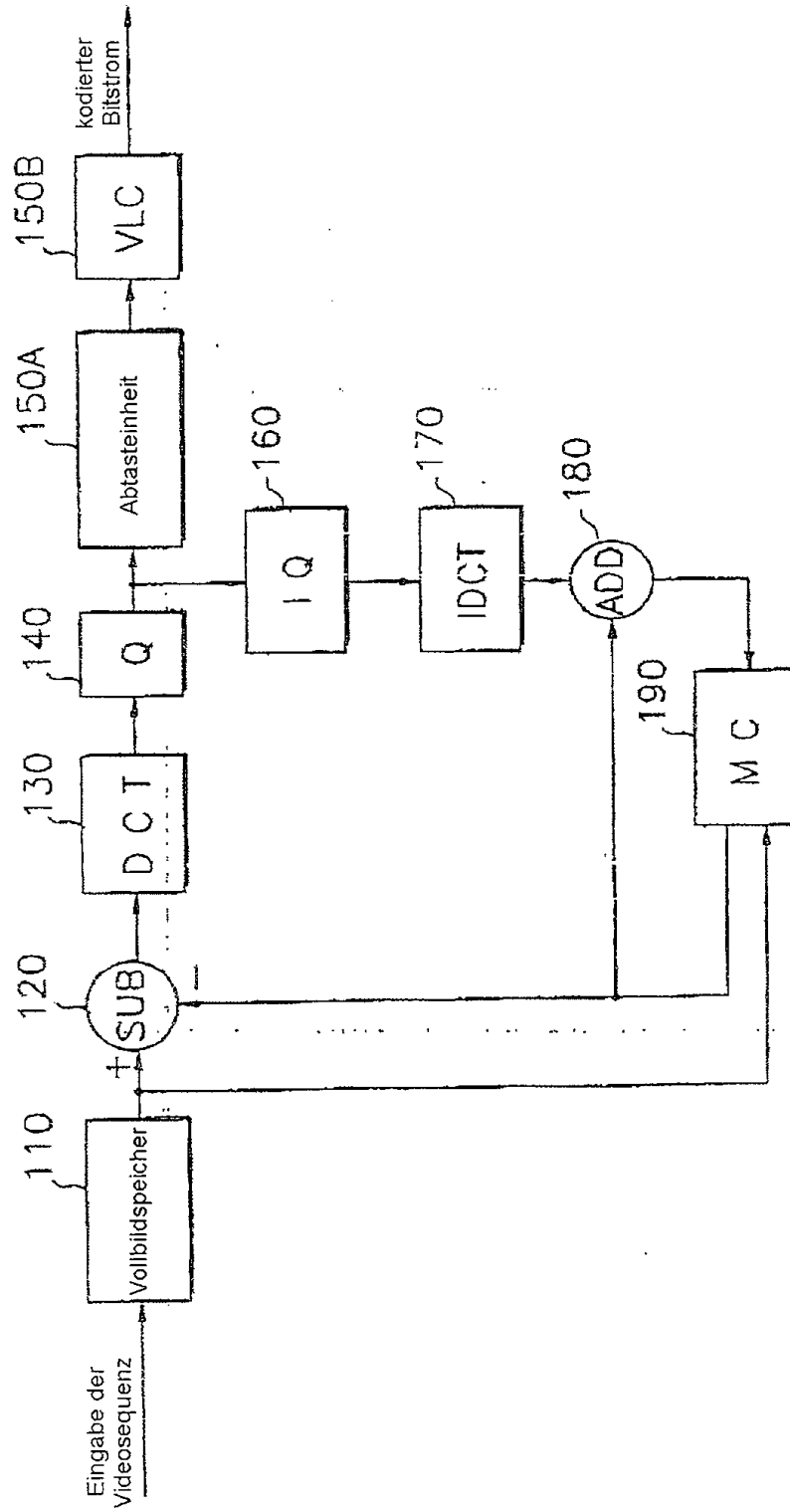
- a) einem RAM mit einer ersten Bank mit einem ersten, einem zweiten und einem dritten Teil-RAM zum Speichern einer Inter-Quantisierungsmatrix und einer zweiten Bank mit einem vierten, einem fünften und einem sechsten Teil-RAM zum Speichern einer Intra-Quantisierungsmatrix;
- b) einer RAM-Steuerung zum Erzeugen einer Schreibadresse zum Einschreiben der Inter-Quantisierungsmatrix von 16-Bit-Einheiten in zwei Teil-RAMs unter den ersten bis dritten Teil-RAMs und der Intra-Quantisierungsmatrix von 16-Bit-Einheiten in zwei Teil-RAMs unter den vierten bis sechsten Teil-RAMs in einer Reihenfolge einer zickzackförmigen Abtastweise jeweils in Einheiten von 8 Bit, und einer Leseadresse zum Auslesen einer entsprechenden Quantisierungsmatrix aus dem RAM in einer Reihenfolge einer Abtastweise der DCT-Koeffizienten und Kombinieren der entsprechenden, aus dem RAM ausgelesenen Quantisierungsmatrix entsprechend der Leseadresse in Einheiten von 16 Bit;
- c) einer Arithmetiksteuerung zum Erlangen eines Kehrwertes der entsprechenden, aus dem RAM über die RAM-Steuerung bereitgestellten Quantisierungsmatrix und eines Kehrwertes eines extern bereitgestellten Quantisierungsmaßes und Ausgeben des erhaltenen Wertes; und
- d) einer Arithmetikeinheit zum Quantisieren der abgetasteten DCT-Koeffizienten durch Verwendung der von der Arithmetiksteuerung gelieferten Kehrwerte der entsprechenden Quantisierungsmatrix und des Quantisierungsmaßes.

6. Quantisierer nach Anspruch 5, wobei der erste, zweite, vierte und fünfte Teil-RAM eine Größe von 8 Bit \times 22 Worten und der dritte und sechste Teil-RAM eine Größe von 8 Bit \times 20 Worten aufweisen.

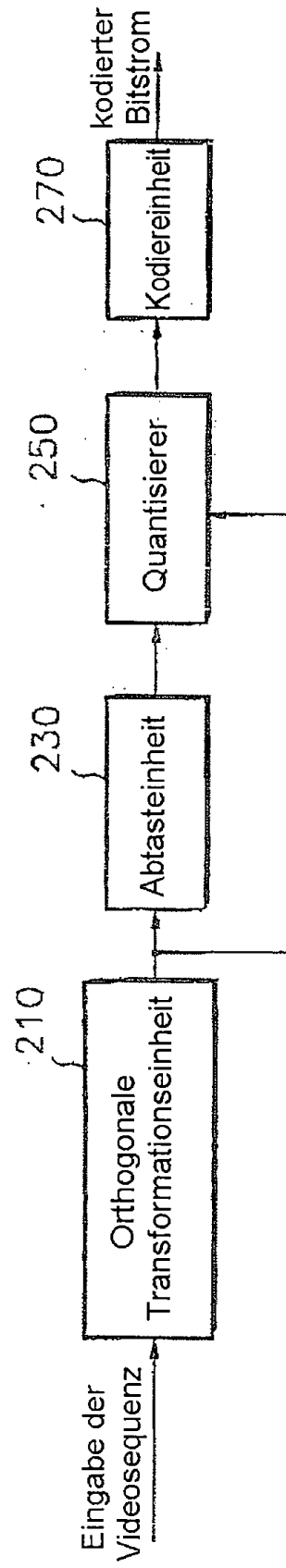
7. Quantisierer nach Anspruch 5, wobei die RAM-Steuerung folgendes umfaßt:
einen Schreibadressengenerator zum Erzeugen der Schreibadresse;
einen Datenteiler zum Verteilen der Quantisierungsmatrix in zwei Teil-RAMs unter entsprechenden drei Teil-RAMs;
einem Leseadressengenerator zum Erzeugen der Leseadresse; und einem Datenkombinierer zum Kombinieren der entsprechenden, aus dem RAM ausgelesenen Quantisierungsmatrix entsprechend der Leseadresse in Einheiten von 16 Bit;
wobei der Schreibadressengenerator einen ersten Zähler zum Zählen eines Taktsignals und Ausgeben von 32 Zählwerten und eine erste programmierbare Logikanordnung zum Erzeugen von 32 Schreibadressen zum Speichern der Quantisierungsmatrix in den entsprechenden Teil-RAMs in Einheiten von 8 Bit entsprechend den 32 Zählwerten aus dem ersten Zähler aufweist;
wobei der Leseadressengenerator einen zweiten Zähler zum Zählen des Taktsignals und Ausgeben von 32 Zählwerten, eine zweite programmierbare Logikanordnung zum Erzeugen einer ersten Leseadresse zum Auslesen in einer Reihenfolge der zickzackförmigen Abtastweise und einer zweiten Leseadresse zum Auslesen in einer Reihenfolge einer alternativen Abtastweise der im RAM gespeicherten Quantisierungsmatrix entsprechend den 32 Zählwerten aus dem zweiten Zähler, und einen ersten Multiplexer zum selektiven Ausgeben der ersten Leseadresse und der zweiten Leseadresse entsprechend einer Abtastweise aufweist; und
wobei der Datenkombinierer einen zweiten Multiplexer zum selektiven Ausgeben der aus dem RAM ausgelesenen Inter-Quantisierungsmatrix und der Intra-Quantisierungsmatrix entsprechend der ersten und zweiten Leseadresse auf Grundlage eines Kodierungsmodus-Unterscheidungssignals und eine Verpackungseinheit zum Verpacken der vom zweiten Multiplexer gelieferten Quantisierungsmatrix in Einheiten von 16 Bit entsprechend den 32 Zählwerten vom zweiten Zähler und Ausgeben der verpackten Matrix aufweist.

Es folgen 6 Blatt Zeichnungen

Figur 1 (STAND DER TECHNIK)



Figur 2 (STAND DER TECHNIK)



Figur 3A
(Stand der Technik)

X

	00	01	05	06	0E	0F	1B	1C
Y ↓	02	04	07	0D	10	1A	1D	2A
	03	08	0C	11	19	1E	29	2B
	09	0B	12	18	1F	28	2C	35
	0A	13	17	20	27	2D	34	36
	14	16	21	26	2E	33	37	3C
	15	22	25	2F	32	38	3B	3D
	23	24	30	31	39	3A	3E	3F

Figur 3B
(Stand der Technik)

X

	00	01	05	06	0E	0F	1B	1C
Y ↓	02	04	07	0D	10	1A	1D	2A
	03	08	0C	11	19	1E	29	2B
	09	0B	12	18	1F	28	2C	35
	0A	13	17	20	27	2D	34	36
	14	16	21	26	2E	33	37	3C
	15	22	25	2F	32	38	3B	3D
	23	24	30	31	39	3A	3E	3F

FIG. 4

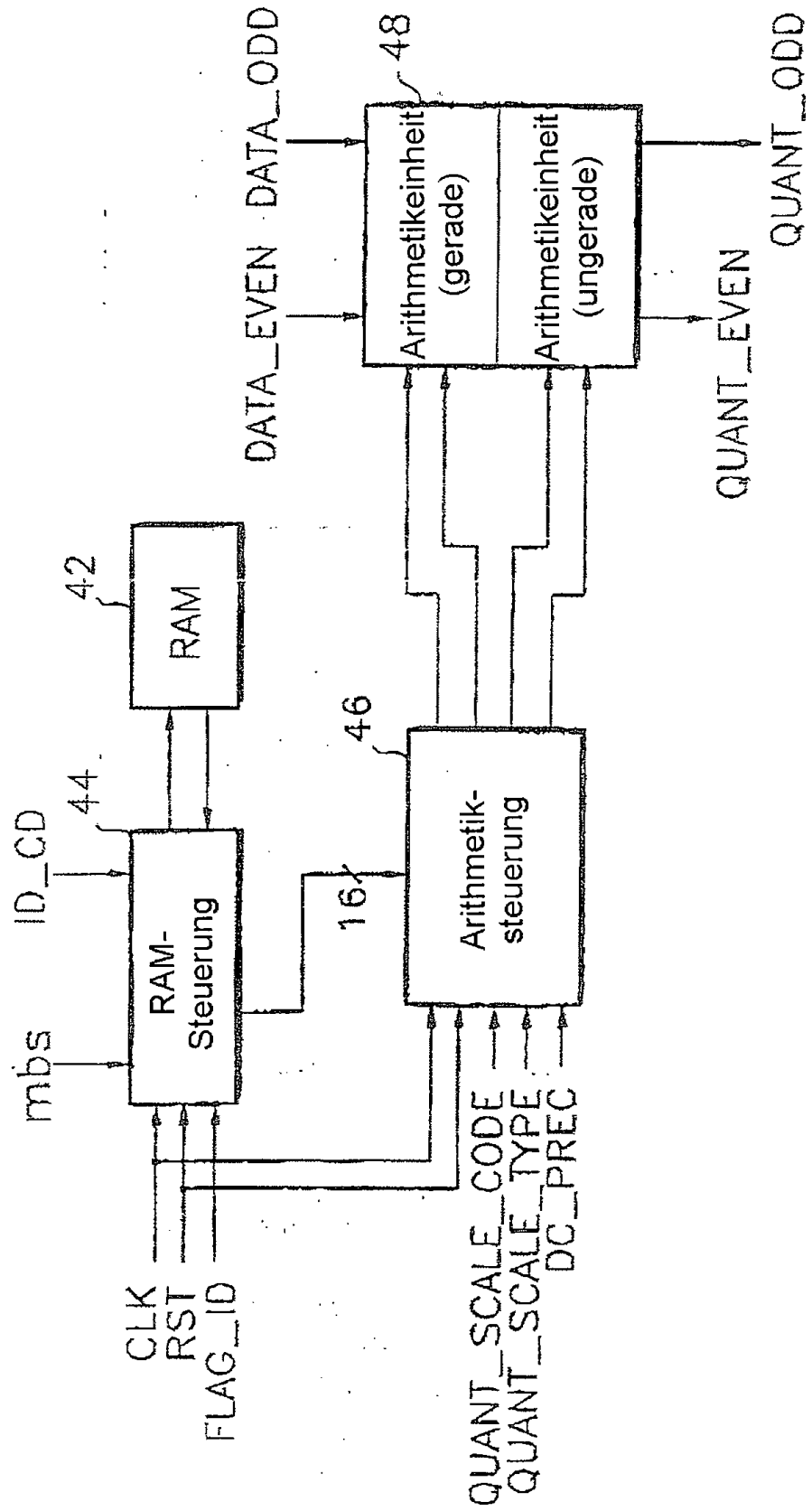


FIG.5

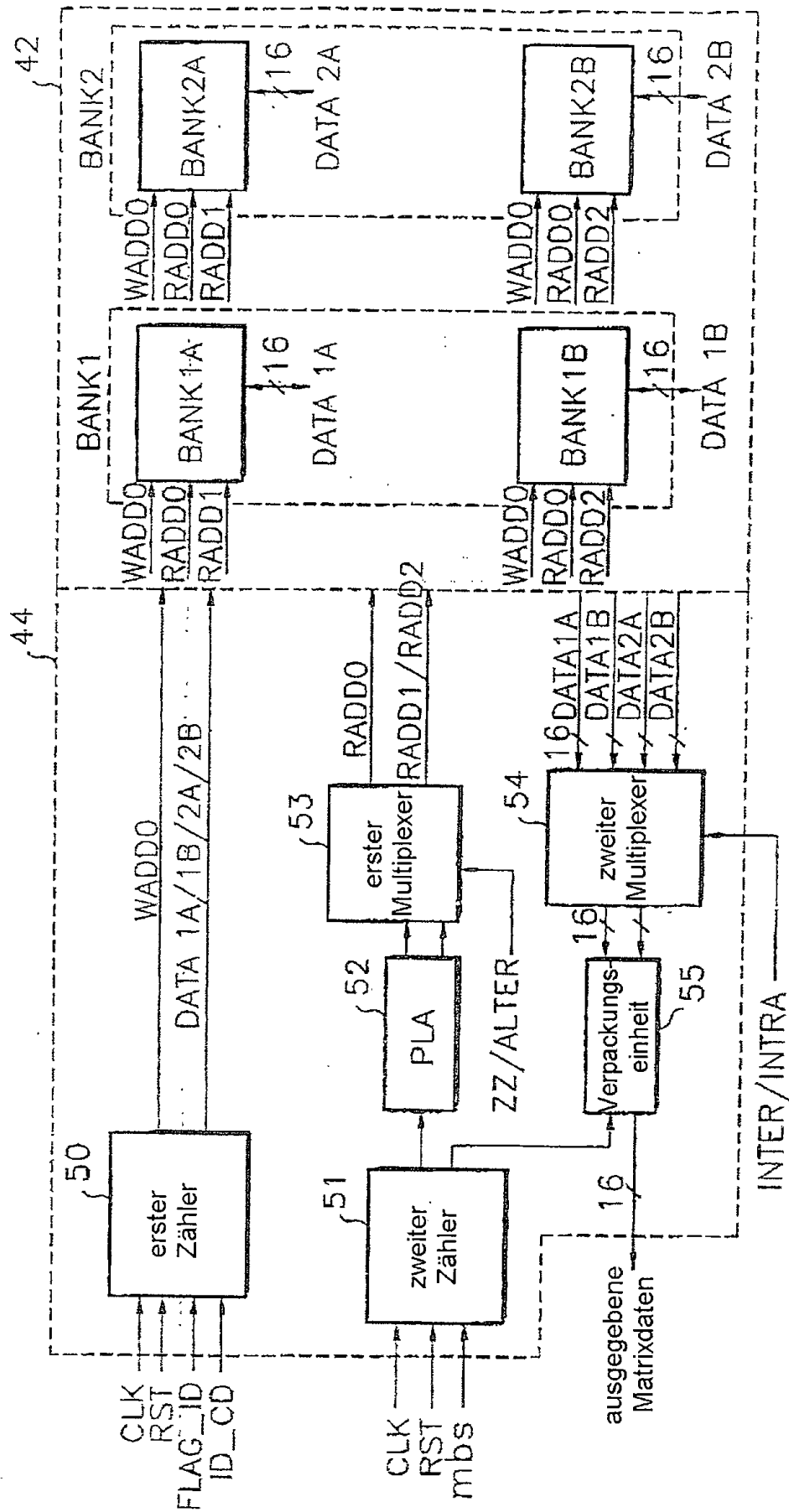


FIG.6

