

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-13618

(P2004-13618A)

(43) 公開日 平成16年1月15日(2004.1.15)

(51) Int.Cl.⁷

G06F 12/02

G06F 12/00

F I

G06F 12/02

590B

G06F 12/00

597C

テーマコード (参考)

5B060

審査請求 未請求 請求項の数 6 O L (全 21 頁)

(21) 出願番号 特願2002-167641 (P2002-167641)

(22) 出願日 平成14年6月7日(2002.6.7)

(71) 出願人 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人 100089118

弁理士 酒井 宏明

(72) 発明者 樋口 良平

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

Fターム(参考) 5B060 AB19

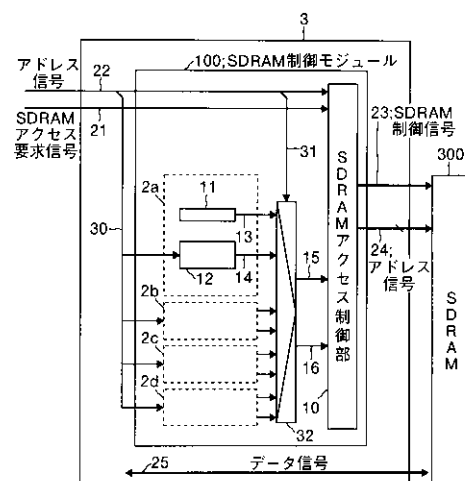
(54) 【発明の名称】 同期型半導体記憶装置のアクセス制御装置

(57) 【要約】

【課題】 同じバンクの同じ行に対する連続アクセスが発生した場合、SDRAMに対するアクセスに要するクロックサイクルを削減して、効率の良いメモリアクセスをなし得ること。

【解決手段】 SDRAMアクセス制御部10は、連続アクセスモード時、同一行への最初のアクセス要求のときにSDRAM300の行活性化を行い、その後最終列検出信号16がアサートされるまでは、アクセス要求がある度に、アクセスされる行の非活性化を行うことなくリードコマンドまたはライトコマンドをSDRAM300に出力し、最終列検出信号16がアサートされると、アクセスされていた行の非活性化を行う。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

同一行の連続した列に対して連続的にアクセスする連続アクセスモードによるアクセスを、記憶領域が複数のバンクに分割された同期型半導体記憶装置に対して実行する同期型半導体記憶装置のアクセス制御装置において、

前記連続アクセスモード時、前記同期型半導体記憶装置に対するアクセスが最終列アドレスへのアクセスであることを検出し、最終列検出信号を出力する最終列検出回路を各バンクに対応して各別に設けるとともに、

前記アドレス信号に基づいて前記複数の最終列検出回路からの最終列検出信号を択一選択する選択回路と、

前記連続アクセスモード時、同一行への最初のアクセス要求のときに同期型半導体記憶装置の行活性化を行い、その後前記選択回路から最終列検出信号がアサートされるまでは、アクセス要求がある度に、アクセスされる行の非活性化を行うことなくリードコマンドまたはライトコマンドを前記同期型半導体記憶装置に出力し、前記選択回路からの最終列検出信号がアサートされると、前記アクセスされていた行の非活性化を行うアクセス制御部と、

を備えることを特徴とする同期型半導体記憶装置のアクセス制御装置。

【請求項 2】

前記最終列検出回路は、前記同期型半導体記憶装置に入力されるアドレス信号に基づいて同期型半導体記憶装置に対するアクセスが最終列アドレスへのアクセスであることを検出することを特徴とする請求項 1 に記載の同期型半導体記憶装置のアクセス制御装置。

【請求項 3】

前記最終列検出回路は、アクセス要求の計数値と所定の設定値との比較に基づいて前記同期型半導体記憶装置に対するアクセスが最終列アドレスへのアクセスであることを検出することを特徴とする請求項 1 に記載の同期型半導体記憶装置のアクセス制御装置。

【請求項 4】

アクセスモード信号が設定されるアクセスモードレジスタを各バンクに対応して各別に設け、

前記選択回路は、前記アドレス信号に基づいて前記複数のアクセスモードレジスタからのアクセスモード信号を択一選択して前記アクセス制御部に入力し、

前記アクセス制御部は前記選択回路からのアクセスモード信号に基づき今回のアクセスが連続アクセスモードであることを判断することを特徴とする請求項 1 ～ 3 の何れか一つに記載の同期型半導体記憶装置のアクセス制御装置。

【請求項 5】

前記アクセス制御部には、バスマスタからのアクセスモード信号が直接入力され、アクセス制御部は前記バスマスタからのアクセスモード信号に基づき今回のアクセスが連続アクセスモードであることを判断することを特徴とする請求項 1 ～ 3 の何れか一つに記載の同期型半導体記憶装置のアクセス制御装置。

【請求項 6】

前記同期型半導体記憶装置へのアドレス信号の次アドレスを演算する次アドレス演算部と、

前記最終列検出信号がアサートされた後の所定の期間以外は前記同期型半導体記憶装置へのアドレス信号を選択し、前記最終列検出信号がアサートされた後の所定の期間のときは前記次アドレス演算部からの次アドレスを選択するアドレス選択回路と、

を更に備え、

前記アクセス制御部は、

前記連続アクセスモード時、前記選択回路からの最終列検出信号がアサートされると、前記アクセスされていた行の非活性化を行い、その後直ちに、前記アドレス選択回路から入力される前記次アドレス演算部からの次アドレスが示す行の活性化を行うことを特徴とする請求項 1 ～ 5 の何れか一つに記載の同期型半導体記憶装置のアクセス制御装置。

10

20

30

40

50

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、同期型半導体記憶装置（SDRAM）のアクセス制御装置に関するものである。

【0002】

【従来の技術】

近年のマイクロプロセッサの動作速度の向上に伴い、主記憶装置として用いられるダイナミックランダムアクセスメモリ等の高速アクセスを実現するために、クロック信号に同期して動作する同期型DRAM（シンクロナスDRAM：以下、SDRAMと称す）が用いられている。このような、SDRAMの内部動作の制御は、ロウ（行）系動作およびコラム（列）系動作に分割して制御される。 10

【0003】

また、SDRAMにおいては、一層の高速動作を可能とするために、メモリセルアレイを互いに独立動作が可能なバンクに分割したバンク構成が用いられている。

【0004】

図12は、従来のSDRAM制御モジュール（以下、SDRAMC）90を含むLSI3を示している。SDRAMC90はSDRAMアクセス制御部1を有しており、SDRAMアクセス制御部1は、入力されるSDRAMアクセス要求信号21およびアドレス信号22に基づきRAS、CAS、WE、CSなどのSDRAM制御信号23およびアドレス信号24（バンクアドレス、アドレス）を形成し、これらを所定のタイミングでSDRAM300に入力することで、SDRAM300に対しデータ信号25を書き込むと共に、SDRAM300からデータ信号25を読み出す。 20

【0005】

次に動作について説明する。SDRAMからの読み出し動作を例にとって説明する。SDRAMC90に他のモジュール（図示しない）からSDRAMアクセス要求信号21とアドレス信号22が入力されると、SDRAMアクセス制御部1はSDRAM300に対して行活性化コマンド、次いでリードコマンド、最後にバンク非活性化コマンド（プリチャージコマンド）を発行する。これらのコマンドは、RAS、CAS、WE、CSなどのSDRAM制御信号23の“H”、“L”の組み合わせで定義される。アドレス信号22はSDRAMアクセス制御部1でSDRAM300に適した形に加工されて（マルチプレクスされて）、行アドレス、列アドレスの順にアドレス信号線24を通してSDRAM300に与えられる。SDRAM300はリードコマンドが発行されてから、CASレイテンシ分の時間経過後、データバスにデータ信号25を出力する。SDRAM300から出力されたデータをLSI3内のモジュール（図示しない）が読み込む。 30

【0006】

図13を用いてさらに詳細に説明する。ここでは、SDRAM300の同じバンクの同じ行に2回のリードアクセスが行われるとする。SDRAM300のバースト転送時のバースト長は1で、このバースト長はSDRAMアクセスが行われる以前に設定されているものとする。 40

【0007】

クロックサイクル“1”でSDRAMアクセス要求信号21がアサートされる。これを受けてSDRAMアクセス制御部1はSDRAM行活性化コマンドACを発行する。次いで、クロックサイクル“3”でリードコマンドRDを発行する。ここでは、RAS-CASレイテンシに2クロックサイクル必要であるとする。したがって、行活性化コマンドACの発行からリードコマンドRDの発行まで2クロックサイクル必要であるから、行活性化コマンドACとリードコマンドRDの間にディセレクトコマンドDSを挿入している（クロックサイクル“2”）。 50

【0008】

最後に、指定されたバンクを非活性にするバンク非活性化コマンド（プリチャージコマン

ド) P Rを発行する。ここでは行活性化コマンド A C からバンク非活性化コマンド P R まで 5 クロックサイクル必要であるとする。このため非活性化コマンド P R の発行はクロックサイクル“ 6 ”となる。またここでは、C A S レイテンシに 2 クロックサイクル必要であるとする。このため、リードコマンド R D を発行 (クロックサイクル“ 3 ”) してから 2 クロック後にデータ信号 2 5 がデータバスに出力される (クロックサイクル“ 5 ”)。

【 0 0 0 9 】

S D R A M アクセス要求信号 2 1 は、S D R A M のデータ出力の次のクロックサイクルでアサートされるものとする。よって、2 回目の S D R A M アクセス要求信号 2 1 はクロックサイクル“ 6 ”でアサートされる。この S D R A M では、バンク非活性化コマンド P R が発行されてから行活性化コマンド A C が発行されるまで 2 クロックサイクル必要であるとする。従って、S D R A M アクセス要求信号 2 1 はクロックサイクル“ 6 ”でアサートされるが、S D R A M 行活性化コマンド A C が発行されるのはクロックサイクル“ 8 ”となる。この後 1 回目のアクセスと同様にして 2 回目の S D R A M アクセスが行われる。2 回目の S D R A M リードデータはクロックサイクル“ 1 2 ”に出力される。この例では、1 回目の S D R A M アクセス要求から 2 回目のアクセスのデータ出力まで 1 2 サイクルを要することになる。

10

【 0 0 1 0 】

【 発明が解決しようとする課題 】

このように従来の S D R A M C では、複数回連続で S D R A M 3 0 0 の同じバンクの同じ行に連続的にアクセスする場合でも、行活性化 (A C) とバンク非活性化 (P R) を、S D R A M アクセス要求信号 2 1 がアサートされる度に繰り返すようにしているので、多くのクロックサイクルを消費し、非効率的であるという問題点がある。

20

【 0 0 1 1 】

この発明は上記に鑑みてなされたもので、同じバンクの同じ行に対する連続アクセスが発生した場合の、S D R A M に対するアクセスに要するクロックサイクルを削減して、効率の良いメモリアccessをなし得る同期型半導体記憶装置のアクセス制御装置を得ることを目的とする。

【 0 0 1 2 】

【 課題を解決するための手段 】

上記目的を達成するため、この発明にかかる同期型半導体記憶装置のアクセス制御装置は、同一行の連続した列に対して連続的にアクセスする連続アクセスモードによるアクセスを、記憶領域が複数のバンクに分割された同期型半導体記憶装置に対して実行する同期型半導体記憶装置のアクセス制御装置において、前記連続アクセスモード時、前記同期型半導体記憶装置に対するアクセスが最終列アドレスへのアクセスであることを検出し、最終列検出信号を出力する最終列検出回路を各バンクに対応して各別に設けるとともに、前記アドレス信号に基づいて前記複数の最終列検出回路からの最終列検出信号を択一選択する選択回路と、前記連続アクセスモード時、同一行への最初のアクセス要求のときに同期型半導体記憶装置の行活性化を行い、その後前記選択回路から最終列検出信号がアサートされるまでは、アクセス要求がある度に、アクセスされる行の非活性化を行うことなくリードコマンドまたはライトコマンドを前記同期型半導体記憶装置に出力し、前記選択回路からの最終列検出信号がアサートされると、前記アクセスされていた行の非活性化を行うアクセス制御部とを備えることを特徴とする。

30

40

【 0 0 1 3 】

この発明によれば、連続アクセスモード時、同一行への最初のアクセス要求のときに同期型半導体記憶装置の行活性化を行い、その後最終列検出信号がアサートされるまでは、アクセス要求がある度に、アクセスされる行の非活性化を行うことなくリードコマンドまたはライトコマンドを同期型半導体記憶装置に出力し、最終列検出信号がアサートされると、アクセスされていた行の非活性化を行うようにしており、これにより同期型半導体記憶装置に対するアクセスに要するクロックサイクルを少なくすることができ、効率の良いメモリアccessをなし得るようになる。

50

【0014】

つぎの発明にかかる同期型半導体記憶装置のアクセス制御装置は、上記の発明において、前記最終列検出回路は、前記同期型半導体記憶装置に入力されるアドレス信号に基づいて同期型半導体記憶装置に対するアクセスが最終列アドレスへのアクセスであることを検出することを特徴とする。

【0015】

この発明によれば、同期型半導体記憶装置に入力されるアドレス信号に基づいて同期型半導体記憶装置に対するアクセスが最終列アドレスへのアクセスであることを検出するようにしており、これにより、最終列アドレスへのアクセスであることを確実に検出することができる。

10

【0016】

つぎの発明にかかる同期型半導体記憶装置のアクセス制御装置は、前記最終列検出回路は、アクセス要求の計数値と所定の設定値との比較に基づいて前記同期型半導体記憶装置に対するアクセスが最終列アドレスへのアクセスであることを検出することを特徴とする。

【0017】

この発明によれば、アクセス要求の計数値と所定の設定値との比較に基づいて前記同期型半導体記憶装置に対するアクセスが最終列アドレスへのアクセスであることを検出するようにしており、これによりアドレス信号を用いる場合に比べ、回路設計が容易となり、実際の回路を実現し易くなる。

【0018】

つぎの発明にかかる同期型半導体記憶装置のアクセス制御装置は、アクセスモード信号が設定されるアクセスモードレジスタを各バンクに対応して各別に設け、前記選択回路は、前記アドレス信号に基づいて前記複数のアクセスモードレジスタからのアクセスモード信号を択一選択して前記アクセス制御部に入力し、前記アクセス制御部は前記選択回路からのアクセスモード信号に基づき今回のアクセスが連続アクセスモードであることを判断することを特徴とする。

20

【0019】

この発明によれば、アクセスモード信号が設定されるアクセスモードレジスタを各バンクに対応して各別に設けるようにしており、アクセス制御部はこれらのアクセスモードレジスタの設定情報から今回のアクセスが連続アクセスモードであることを確実に判定することができる。

30

【0020】

つぎの発明にかかる同期型半導体記憶装置のアクセス制御装置は、前記アクセス制御部には、バスマスタからのアクセスモード信号が直接入力され、アクセス制御部は前記バスマスタからのアクセスモード信号に基づき今回のアクセスが連続アクセスモードであることを判断することを特徴とする。

【0021】

この発明によれば、バスマスタからのアクセスモード信号がアクセス制御部に入力されるようにしており、これによりアクセスモードを設定するレジスタ等のハードウェアを持たずに済み、回路を簡略化できる。さらに、あるバスマスタが連続SDRAMアクセスを行っている最中に、他のバスマスタが同じバンクに対するアクセスを行ったときも、自動的にバンク非活性化、および行活性化を行うことができ、自由度が高い応用設計を実現できる。

40

【0022】

つぎの発明にかかる同期型半導体記憶装置のアクセス制御装置は、前記同期型半導体記憶装置へのアドレス信号の次アドレスを演算する次アドレス演算部と、前記最終列検出信号がアサートされた後の所定の期間以外は前記同期型半導体記憶装置へのアドレス信号を選択し、前記最終列検出信号がアサートされた後の所定の期間のときは前記次アドレス演算部からの次アドレスを選択するアドレス選択回路とを更に備え、前記アクセス制御部は、前記連続アクセスモード時、前記選択回路からの最終列検出信号がアサートされると、前

50

記アクセスされていた行の非活性化を行い、その後直ちに、前記アドレス選択回路から入力される前記次アドレス演算部からの次アドレスが示す行の活性化を行うことを特徴とする。

【0023】

この発明によれば、連続アクセスモード時、最終列検出信号がアサートされると、アクセスされていた行の非活性化を行い、その後直ちに、アドレス選択回路から入力される次アドレス演算部からの次アドレスが示す行の活性化を行うようにしており、これにより次の行のアクセス要求までに時間があつた場合、次の行のアクセスが発生したときには既にこの行の活性化を終えており、その後すぐにリードあるいはライトコマンドを発行することができる。従ってアクセスに要するクロックサイクルを低減することができる。

10

【0024】

【発明の実施の形態】

以下に添付図面を参照して、この発明にかかる同期型半導体記憶装置のアクセス制御装置の好適な実施の形態を詳細に説明する。

【0025】

実施の形態1.

図1はこの発明の実施の形態1によるSDRAM制御モジュール(SDRAMC)100を含むLSI3およびSDRAM300を示している。SDRAM300は複数(i個の)のバンク(この場合、バンク0～バンク3の4バンクであるとする)に分割されている。SDRAM制御モジュール(SDRAMC)100は、バンク毎に備えられた複数の(この場合4個)連続アクセス制御ユニット2a～2dと、各連続アクセス制御ユニット2a～2dからの出力信号のいずれかをバンクアドレス31によって選択する選択回路32と、SDRAMアクセス制御部10とを有している。

20

【0026】

図2に、アクセスするSDRAM300のアドレス構成の一例を示す。アドレスは、バンクアドレス、行アドレス、列アドレスを有しており、この場合バンクアドレスがA6、A7の2ビット、行アドレスがA8～A22の15ビット、列アドレスがA23～A31の9ビットであるとする。SDRAMアクセス制御部10には、このようなアドレス構成を持つアドレス信号22が入力される。このアドレス信号22のうちの10ビットのアドレス30(A22～A31)が連続アクセス制御ユニット2a～2dに入力される。この場合、連続アクセス制御ユニット2a～2dには、9ビットではなく10ビットが入力されているが、その理由は後述する。また、選択回路32には、アドレス信号22のうちの2ビットのバンクアドレス31(A6、A7)が入力される。

30

【0027】

各連続アクセス制御ユニット2a～2dは、SDRAM300の当該バンクへのアクセス方法を“連続アクセスモード”および“単発アクセスモード”の何れかに設定するアクセスモードレジスタ11と、当該バンクにおける行の最後の列を検出する最終列検出回路12とをそれぞれ備えている。

【0028】

各連続アクセス制御ユニット2a～2dに設けられるアクセスモードレジスタ11は、設定された情報をバンクiアクセスモード信号13(i=1～3)として、選択回路32に出力する。

40

【0029】

各連続アクセス制御ユニット2a～2dに設けられる最終列検出回路12は、当該バンクにおける行の最後の列へのアクセスを検出した場合、その旨を示すバンクi最終列検出信号14を選択回路32に出力する。

【0030】

図3は、最終列検出回路12の内部構成を示すもので、最終列検出回路12は、SDRAMアドレスのうちどの部分が列アドレスであるのかを示す値(情報)を設定する列アドレス指示レジスタ40と、連続してSDRAMアクセスが発生するときのアドレスの進行方

50

向（増加あるいは減少）を示す情報がセットされるアドレス進行方向設定レジスタ42と、アドレス進行方向設定レジスタ42および列アドレス指示レジスタ40のセット内容に基づき列アドレス30を監視して行の最終列へのアクセスを検出する列アドレス監視部41とを備えている。

【0031】

列アドレス指示レジスタ40は、この場合10ビットであり、SDRAMの列アドレス30が10ビット（A22～A31）の範囲内である場合に対応することができる。図2に示したように、この場合、列アドレスは、A23～A31の9ビットであるので、列アドレス指示レジスタ40には、最上位ビットのみを“0”にした“0111111111”が設定される。

10

【0032】

列アドレス監視部41は、アドレス進行方向設定レジスタ42に設定されているアドレス進行方向が“増加方向”を示す値である場合は、列アドレス指示レジスタ40に値“1”が設定されているビットに対応する列アドレス30のビット（この場合A23～A31）がすべて“1”のとき、バンクi最終列検出信号14をアクティブにする。また、列アドレス監視部41は、アドレス進行方向設定レジスタ42に設定されているアドレス進行方向が“減少方向”を示す値である場合は、列アドレス指示レジスタ40に値“1”が設定されているビットに対応する列アドレス30のビットがすべて“0”のとき、バンクi最終列検出信号14をアクティブにする。

【0033】

選択回路32は、SDRAMバンクアドレス31にしたがって、4つの連続アクセス制御ユニット2a～2dからの一組のバンクiアクセスモード信号13およびバンクi最終列検出信号14を選択し、選択した信号をSDRAMアクセスモード信号15および最終列検出信号16としてSDRAMアクセス制御部10に入力する。

20

【0034】

SDRAMアクセス制御部10は、SDRAMアクセス要求信号21の他に選択回路32から入力されるアクセスモード信号15および最終列検出信号16に基づいてRAS、CAS、WE、CSなどのSDRAM制御信号23を形成するとともに、入力されるバンクアドレス、行アドレスおよび列アドレスを含むアドレス信号22をSDRAM300に適した形に加工して（マルチプレクスされて）、行アドレス、列アドレスの順にアドレス信号24としてバンクアドレスとともにSDRAM300に入力する。これらの信号がSDRAM300に入力されることで、SDRAM300に対しデータ信号25を書き込むと共に、SDRAM300からデータ信号25を読み出す。

30

【0035】

次に動作について説明する。SDRAMからの読み出し動作を例にとって説明する。まず、各バンクの連続アクセス制御ユニット2a～2dのアクセスモードレジスタ11に“連続アクセスモード”および“単発アクセスモード”のいずれでSDRAM300にアクセスを行うのかを示す情報を設定する。

【0036】

つぎに、SDRAMC100に図示しない他のモジュールからSDRAMアクセス要求信号21とアドレス信号22が入力される。この場合、アクセスはSDRAM300のバンク0へのアクセスであるとする。

40

【0037】

まず、バンク0に対応する連続アクセス制御ユニット2aのアクセスモードレジスタ11に“単発アクセスモード”を示す値が設定されている場合について説明する。

【0038】

この場合、選択回路32は、バンクアドレス31に基づいて、バンク0に対応する連続アクセス制御ユニット2aのアクセスモードレジスタ11に設定された“単発アクセスモード”を示すバンクiアクセスモード信号13を選択し、この選択した信号をSDRAMアクセスモード信号15としてSDRAMアクセス制御部10に出力する。

50

【0039】

SDRAMアクセス制御部10は、従来技術と同様にしてSDRAM300へのアクセスを行う。すなわち、SDRAM300に対して、行活性化コマンド、次いでリードコマンド、最後にバンク非活性化コマンド（プリチャージコマンド）を発行する。また、SDRAMアクセス制御部10は、アドレス信号22をSDRAM300に適した形に加工して（マルチプレクスして）、行アドレス、列アドレスの順にアドレス信号24としてSDRAM300に与える。SDRAM300では、リードコマンドが発行されてからCASレイテンシ分の時間経過後、データ信号25をデータバスに出力する。データバスに出力されたデータ信号25をLSI3内のモジュール（図示しない）が読み込む。

【0040】

10

次に、バンク0に対応する連続アクセス制御ユニット2aのSDRAMアクセスモードレジスタ11に“連続アクセスモード”を示す値が設定されている場合について説明する。

【0041】

この場合は、選択回路32は、バンクアドレス31に基づいて、バンク0に対応する連続アクセス制御ユニット2aのSDRAMアクセスモードレジスタ11に設定された“連続アクセスモード”を示すバンクiアクセスモード信号13を選択し、この選択した信号をSDRAMアクセスモード信号15としてSDRAMアクセス制御部10に出力する。

【0042】

SDRAMアクセス制御部10は、このSDRAMアクセスモード信号15によって“連続アクセスモード”であることを認知する。そして、SDRAMアクセス制御部10は、選択回路32から入力されている最終列検出信号16がアクティブではないときには、つぎのように動作する。

20

【0043】

SDRAMアクセス制御部10は、同一行に対する一回目のアクセスのときにだけ、SDRAM300のバンク0に対して行活性化コマンドを発行する。そして、この行活性化コマンドに続いてリードコマンドを発行する。このとき非活性化コマンドを発行せず、行を活性化状態に保って次のアクセスを待つ。次の同じ行の次の列に対するアクセスが発生したときは行が活性状態にあるため、新たに行活性化コマンドを発行せず、直接リードコマンドを発行する。アクセスが同じ行の最後の列になるまで、このような動作が繰り返される。

30

【0044】

その後、アクセスが同じ行の最後の列に対するアクセスであるとき、バンク0に対応する連続アクセス制御ユニット2aの最終列検出回路12が、行の最後の列に対するアクセスであることを検出し、バンク0最終列検出信号14をアクティブにする。したがって、選択回路32からはアクティブになった最終列検出信号16がSDRAMアクセス制御部10に入力される。最終列検出信号16がアクティブになると、SDRAMアクセス制御部10は、バンク0のバンク非活性化すなわちプリチャージを実行する。このバンクの非活性化では、実際には、アドレス信号22で指定された行に対する非活性化が行われる。この後、バンク0へのアクセスが発生すると、SDRAMアクセス制御部10は、新たに行を活性化して同様の動作を繰り返す。

40

【0045】

次に、図4のタイムチャートを用いて連続アクセスモードの際の各処理のタイミングについてさらに詳細に説明する。SDRAMアクセス要求信号21が入力される度に、アドレス信号22は、図4に示すように、同一行アドレスで列アドレスが連続する連続アドレスa0、a1、…、anとして更新される。

【0046】

クロックサイクル“1”でSDRAMアクセス要求信号21がアサートされる。このクロックサイクル“1”において、SDRAMアクセス制御部10は、SDRAM300のバンク0の行活性化コマンドACを発行する。SDRAMアクセス制御部10は、次の、クロックサイクル“2”では、ディセレクトコマンドDSを発行する。

50

【0047】

次に、クロックサイクル“3”では、SDRAMアクセス制御部10はリードコマンドRDを発行する。SDRAM300は、CASレイテンシ時間経過後、データ信号25をデータバスに出力する（クロックサイクル“5”）。ここでは、CASレイテンシ時間を2クロックサイクルとしているので、リードコマンドRDを発行してから2クロック後にデータ信号25がデータバスに出力される。

【0048】

リードコマンドが発行されたクロックサイクル“3”において、最終列検出回路12は、SDRAMアドレスの列アドレス部分30をチェックして最終列でないことを確認するので、最終列検出信号16はネゲートのままである。最終列検出信号16がネゲートのま

10

【0049】

次に、SDRAMアクセス要求信号21がクロックサイクル“6”で入力されると、SDRAMアクセス制御部10は、この時点では最終列検出信号16がネゲートのままであるので、行活性化コマンドACを発行せず、直接リードコマンドRDを発行する。

【0050】

SDRAM300は、CASレイテンシ時間経過後のクロックサイクル“8”で、データ信号25をデータバスに出力する。この例では、1回目のSDRAMアクセス要求信号から2回目のアクセスのデータ出力まで8クロックサイクルを要することになる。アクセス

20

【0051】

さらに、アクセスが続けられてクロックサイクル“c”でSDRAMアクセス要求信号21が入力されたとする。このときのアクセスが行の最後の列に対するアクセスであったとすると、最終列検出回路12では、前述したようにして、今回のアクセスが行の最後の列に対するアクセスであることを検出し、バンク0最終列検出信号14をアクティブにする。したがって、選択回路32から出力される最終列検出信号16がアクティブとなる。SDRAMアクセス制御部10は、クロックサイクル“c”において、SDRAMアクセス要求信号21が入力されたときには、最終列検出信号16がアクティブであるので、クロックサイクル“c”でリードコマンドRDを出力するとともに、つぎのクロックサイクル

30

【0052】

このようにこの実施の形態1によれば、行アドレスが同一で列アドレスが連続する連続アクセスモードの場合、1回目のアクセスのときだけ行活性化を行ってリードコマンドを発行し、その後の行の最後の列に対するアクセスの前までは、リードコマンドを直接発行してバンク非活性化および行活性化を行わないようにしているので、SDRAMアクセスに要するクロックサイクルを少なくすることができ、効率の良いメモリアccessをなし得るようになる。

40

【0053】

実施の形態2.

つぎに、図5および図6を用いてこの発明の実施の形態2について説明する。図5はこの発明の実施の形態2によるSDRAM制御モジュール(SDRAMC)100を含むLSI3およびSDRAM300を示している。この図5に示す実施の形態2のSDRAMC100においては、先の実施の形態1の構成に、アドレス保持部33、+1インクリメント動作を行う加算器34、アドレス選択回路36を追加するようにしている。

【0054】

アドレス保持部33は、SDRAMアドレス信号22を一時保持し、一時保持したSDRAMアドレス信号22を加算器34に出力する。加算器34は、アドレス保持部33から

50

入力されるアドレス値を例えば+1することにより、列アドレスが連続する連続アクセスが行われるときの次アドレスを計算し、計算された次アドレス信号35をアドレス選択回路36に inputs する。アドレス選択回路36は、SDRAMアクセス制御部10から入力されるアドレス選択制御信号38に基づいて、SDRAMアドレス信号22と加算器34から入力される次アドレス信号35のうちの何れかを選択する。

【0055】

SDRAMアクセス制御部10は、単発アクセスモードのとき、または連続アクセスモードのときであってかつ最終列アクセス以外のアクセスのときには、アドレス選択制御信号38を例えば“L”にし、連続アクセスモードのときであってかつ最終列アクセスのときには、アドレス選択制御信号38を“H”にする。アドレス選択回路36は、アドレス選択制御信号38が“L”のときには、SDRAMアドレス信号22を選択してSDRAMアクセス制御部10に inputs し、アドレス選択回路36は、アドレス選択制御信号38が“H”のときには、加算器34から inputs される次アドレス信号35を選択してSDRAMアクセス制御部10に inputs するよう動作する。

【0056】

次に図6のタイムチャートを用いて実施の形態2の動作について説明する。前記同様、SDRAMからの読み出し動作を例にとって説明する。

【0057】

単発アクセスモードのときには、実施の形態1で説明した単発アクセスモードと同様に動作する。

【0058】

連続アクセスモードのときであってかつ最終列アクセス以外のアクセスのときには、アドレス選択回路36は、アドレス選択制御信号38にしたがってSDRAMアドレス信号22を選択するので、連続アクセス制御ユニット2a~2d、選択回路32およびSDRAMアクセス制御部10は、先の実施の形態1で説明したのと同様に動作する（図6クロックサイクル“1”~クロックサイクル“8”参照）。この期間中、次アドレス信号35は、SDRAMアクセス要求信号21が inputs される度に、SDRAMアドレス信号22を+1した値に更新されるが、この期間中には、これらの次アドレス信号35は、アドレス選択回路36で選択されることがないので、使用されることはない。

【0059】

クロックサイクル“c”でSDRAMアクセス要求信号21が inputs され、このときのアクセスが行の最後の列に対するアクセスであったとすると、最終列検出回路12では、前述したようにして、今回のアクセスが行の最後の列に対するアクセスであることを検出する。この結果、最終列検出信号16がアクティブになる。SDRAMアクセス制御部10は、クロックサイクル“c”において、SDRAMアクセス要求信号21が inputs されたときには、最終列検出信号16がアクティブであるので、クロックサイクル“c”でリードコマンドRDを出力するとともに、つぎのクロックサイクル“d”で、バンク0の非活性化コマンドPRを発行し、バンク0を非活性化状態にする。SDRAM300は、CASレイテンシ時間経過後のクロックサイクル“e”で、データ信号25をデータバスに出力する。

【0060】

SDRAMアクセス制御部10は、最終列検出信号16が inputs されたときには、バンク非活性化の次のクロックサイクル“e”で、アドレス選択制御信号38を“L”から“H”に切り換える。これにより、アドレス選択回路36は、クロックサイクル“e”で、次アドレス信号35がSDRAMアドレス信号37に出力されるように入力信号を切り換える。すなわち、SDRAMアクセス制御部10は、最終列検出信号16がアサートされた後の所定の期間以外はアドレス選択制御信号38を“L”とし、最終列検出信号16がアサートされた後の所定の期間のときはアドレス選択制御信号38を“H”として次アドレス信号35が選択されるようにしている。

【0061】

10

20

30

40

50

10

20

30

40

50

50

50

50

50

50

50

50

50

50

50

アクセスモードレジスタ 11 からアクセス回数カウンタ部 43 に入力されるカウンタ制御信号 46 は、アクセスモードレジスタ 11 に設定される値が“連続アクセスモード”のときにアクティブ（オン）となる。アクセス回数カウンタ部 43 は、カウンタ制御信号 46 がオンのときにカウンタ動作を行うもので、バースト長が 1 のときには、SDRAM アクセス要求分配器 20 からバンク 0 アクセス要求信号 41a が入力される毎に +1 のカウンタ動作を実行する。なお、アクセス回数カウンタ部 43 は、バースト長が「n」のときに

は、アクセス要求信号が入力される度に、+nのカウント動作を実行する。バースト長は、アクセスモードレジスタ11に設定されているので、アクセス回数カウント部43はこの設定バースト長を参照して+nのカウント動作を決定する。

【0069】

アクセス回数設定レジスタ44には、アクセスするSDRAM300の1つの行の列数分の値が設定される。比較器45は、アクセス回数カウント部43の計数出力とアクセス回数設定レジスタ44の設定値を比較し、両者が一致したとき、バンク0最終列検出信号14をアクティブにする。

【0070】

次に動作について説明する。SDRAM300からの読み出し動作を例にとって説明する。まず、各連続アクセス制御ユニット4a～4dのアクセスモードレジスタ11に“連続アクセスモード”および“単発アクセスモード”のいずれでSDRAM300にアクセスを行うのかを示す情報およびバースト長を設定する。この場合、バースト長は1であるとする。

【0071】

続いて、各連続アクセス制御ユニット4a～4dのアクセス回数カウント部43をクリア（値“0”設定）するとともに、アクセス回数設定レジスタ44に所定の値を設定する。この例では、アクセス回数設定レジスタ44には、アクセスするSDRAM300の1つの行の列数分の値を設定するものとする。

【0072】

その後、SDRAMC100に図示しない他のモジュールからSDRAMアクセス要求信号21とアドレス信号22が入力される。この場合、アクセスはSDRAM300のバンク0へのアクセスであるとする。

【0073】

バンク0に対応する連続アクセス制御ユニット4aのアクセスモードレジスタ11に“単発アクセスモード”を示す値が設定されている場合は、先の実施の形態1で説明した単発アクセスモードのときと同様に動作する。すなわち、SDRAMアクセス制御部10には、連続アクセス制御ユニット4aのアクセスモードレジスタ11に設定された“単発アクセスモード”を示すバンクiアクセスモード信号13が選択回路32を介して入力されているので、バンク0に対して前述した単発アクセスモードによるSDRAM300へのアクセス制御を実行する。

【0074】

次に、バンク0に対応する連続アクセス制御ユニット4aのSDRAMアクセスモードレジスタ11に“連続アクセスモード”を示す値が設定されている場合について説明する。

【0075】

SDRAMアクセス制御部10は、前述と同様に、SDRAMアクセスモード信号15によって“連続アクセスモード”であることを認知する。そして、SDRAMアクセス制御部10は、選択回路32から入力されている最終列検出信号16がアクティブではないとき、すなわち連続アクセス制御ユニット4aの比較器45による比較結果が不一致であるときは、実施の形態1で説明したように、つぎのように動作する。

【0076】

SDRAMアクセス制御部10は、一回目のアクセスのときにだけ、SDRAM300のバンク0に対して行活性化コマンドを発行する。そして、この行活性化コマンドに続いてリードコマンドを発行する。このとき非活性化コマンドを発行せず、行を活性化状態に保って次のアクセスを待つ。次の同じ行の次の列に対するアクセスが発生したときは行が活性化状態にあるため、新たに行活性化コマンドを発行せず、直接リードコマンドを発行する。アクセスが同じ行の最後の列になるまで、このような動作が繰り返される。

【0077】

なお、この期間中、連続アクセス制御ユニット4aのアクセス回数カウント部43は、SDRAMアクセス要求分配器20からバンク0アクセス要求信号41aが入力される度に

+ 1 のカウント動作を実行している。

【0078】

その後、同じ行の最後の列に対するアクセスになったとする。このときには、連続アクセス制御ユニット 4 a のアクセス回数カウント部 4 3 のカウント値がアクセス回数設定レジスタ 4 4 の設定値に一致する。したがって、このときには、比較器 4 5 から出力されるバンク 0 最終列検出信号 1 4 がアクティブとなる。この結果、選択回路 3 2 から出力される最終列検出信号 1 6 がアクティブとなる。

【0079】

SDRAM アクセス制御部 1 0 は、最終列検出信号 1 6 がアクティブになると、バンク 0 のバンク非活性化すなわちプリチャージを実行する。この後、バンク 0 へのアクセスが発生すると、SDRAM アクセス制御部 1 0 は、新たに行を活性化して同様の動作を繰り返す。 10

【0080】

次に、図 8 のタイムチャートを用いて連続アクセスモードの際の各処理のタイミングについてさらに詳細に説明する。この場合は、1 行の列数が 5 1 2 列であるとする。SDRAM アクセス要求信号 2 1 が入力される度に、アドレス信号 2 2 は、連続アドレス a 0、a 1、…、a n として更新される。

【0081】

クロックサイクル“ 1 ”で SDRAM アクセス要求信号 2 1 がアサートされる。このクロックサイクル“ 1 ”において、SDRAM アクセス制御部 1 0 は、SDRAM 3 0 0 のバンク 0 の行活性化コマンド AC を発行する。SDRAM アクセス制御部 1 0 は、次の、クロックサイクル“ 2 ”では、ディセレクトコマンド DS を発行する。 20

【0082】

次に、クロックサイクル“ 3 ”では、SDRAM アクセス制御部 1 0 はリードコマンド RD を発行する。SDRAM 3 0 0 は、CAS レイテンシ時間経過後、データ信号 2 5 をデータバスに出力する（クロックサイクル“ 5 ”）。

【0083】

リードコマンド RD を発行したクロックサイクル“ 3 ”においては、バンク 0 に対応する連続アクセス制御ユニット 2 a の比較器 4 5 の比較結果が一致しないので、バンク 0 最終列検出信号 1 4、そして最終列検出信号 1 6 もアサートされない。これにより、SDRAM アクセス制御部 1 0 はクロックサイクル“ 4 ”“ 5 ”では、ディセレクトコマンド DS を発行して、バンク 0 を行活性化した状態のままに保つ。 30

【0084】

次に、SDRAM アクセス要求信号 2 1 がクロックサイクル“ 6 ”で入力されると、SDRAM アクセス制御部 1 0 は、この時点では最終列検出信号 1 6 がネゲートのままであるので、行活性化コマンド AC を発行せず、直接リードコマンド RD を発行する。

【0085】

SDRAM 3 0 0 は、CAS レイテンシ時間経過後のクロックサイクル“ 8 ”で、データ信号 2 5 をデータバスに出力する。この例では、1 回目の SDRAM アクセス要求信号 2 1 から 2 回目のアクセスのデータ出力まで 8 クロックサイクルを要することになる。アクセスが同じ行の最後の列になるまで、このような動作が繰り返される。 40

【0086】

さらに、アクセスが続けられてクロックサイクル“ c ”で SDRAM アクセス要求信号 2 1 が入力されたとする。このときのアクセスが行の最後の列に対するアクセスであったとする。SDRAM アクセス制御部 1 0 は、クロックサイクル“ c ”でリードコマンド RD を出力する。

【0087】

SDRAM アクセス要求信号 2 1 が入力されたクロックサイクル“ c ”の次のクロックサイクル“ d ”で、バンク 0 に対応する連続アクセス制御ユニット 4 a の比較器 4 5 の比較結果が一致するため、このクロックサイクル“ d ”で、バンク 0 最終列検出信号 1 4、そ 50

して最終列検出信号 16 がアサートされる。

【0088】

これにより SDRAM アクセス制御部 10 は、クロックサイクル “d” でバンク非活性化コマンド PR を発行して、バンク 0 を非活性化状態にする。SDRAM 300 は、CAS レイテンシ時間経過後のクロックサイクル “e” で、データ信号 25 をデータバスに出力する。

【0089】

このようにこの実施の形態 3 によれば、実施の形態 1 と同様、行アドレスが同一で列アドレスが連続する連続アクセスモードの場合（途中で他のバンクのアクセスが入っても良い）、1 回目のアクセスのときだけ行活性化を行ってリードコマンドを発行し、その後の行の最後の列に対するアクセスの前までは、リードコマンドを直接発行してバンク非活性化および行活性化を行わないようにしているので、SDRAM アクセスに要するクロックサイクルを少なくすることができ、効率の良いメモリアクセスをなし得るようになる。

【0090】

また、行の最終列の判定にアドレス信号を用いないので、実際の回路を実現しやすい。これは、アドレス信号配線は、実際の回路では長い距離引き回れて、遅延時間が大きいことが多く、動作周波数を高くする上で妨げになることがあるためである。

【0091】

また、この実施の形態 3 によれば、アクセス回数設定レジスタ 44 の設定値として、1 行の列数を設定するのではなく、任意のアクセス回数を設定するようにすれば、行の最終列のときのみバンクを非活性化するのではなく、任意のアクセス回数分行活性化状態を保ちその後バンクを非活性化することができるので、設計の応用自由度が上がるという効果も有する。

【0092】

なお、上述した実施の形態 3 の構成に、実施の形態 2 で説明したアドレス保持部 33、加算器 34、アドレス選択回路 36 を追加し、実施の形態 2 で説明した動作を行わせるようにしてもよい。

【0093】

実施の形態 4.

つぎに、図 9～図 11 を用いてこの発明の実施の形態 4 について説明する。図 9 はこの発明の実施の形態 4 による SDRAM 制御モジュール (SDRAMC) 100 を含む LSI 3 および SDRAM 300 を示している。この図 9 に示す実施の形態 4 の SDRAMC 100 においては、先の実施の形態のように、各連続アクセス制御ユニット 4a～4d のアクセスモードレジスタ 11 に、今回のアクセスモードを（連続アクセスモードおよび単発アクセスモードの何れか）を設定するのではなく、バスマスタからの SDRAM アクセスモード信号 50 を SDRAM アクセス制御部 10 に直接入力するようにしている。

【0094】

ここで、バスマスタとは、SDRAM アクセスを伴うバストランザクションを発生するモジュール (CPU、DMAC (DMA 転送コントローラ)、その他) のことである。

【0095】

SDRAM アクセスモード信号 50 は、複数のバスマスタより出力された SDRAM アクセスモード信号のうち、SDRAM 300 に対するアクセス権を得たバスマスタの SDRAM アクセスモード信号が選択されたものである。また、この SDRAM アクセスモード信号 50 は、SDRAM アクセス要求信号 21 と同じクロックサイクルで入力されるものであり、SDRAM アクセス制御部 10 は、SDRAM アクセス要求信号 21 が入力されたときに SDRAM アクセス要求信号 21 がアサートされているときは、連続アクセスモードであると判断し、SDRAM アクセス要求信号 21 が入力されたときに SDRAM アクセス要求信号 21 がネゲートのときは、単発アクセスモードであると判定するものとする。

【0096】

10

20

30

40

50

図 9 に示すように、各連続アクセス制御ユニット 5 a ~ 5 d は、当該バンクにおける行の最後の列を検出する最終列検出回路 1 2 を備えている。アクセスモードを設定するためのアクセスモードレジスタ 1 1 は存在しない。最終列検出回路 1 2 は、図 3 に示したように、列アドレス指示レジスタ 4 0 と、アドレス進行方向設定レジスタ 4 2 と、列アドレス監視部 4 1 とを備えており、前述と同様に動作する。最終列検出回路 1 2 からはバンク i 最終列検出信号 1 4 が出力される。

【0097】

選択回路 3 2 は、SDRAM バンクアドレス 3 1 にしたがって、4 つの連続アクセス制御ユニット 5 a ~ 5 d からのバンク i 最終列検出信号 1 4 を選択し、選択した信号を最終列検出信号 1 6 として SDRAM アクセス制御部 1 0 に入力する。

10

【0098】

SDRAM アクセス制御部 1 0 は、SDRAM アクセス要求信号 2 1 と SDRAM アクセスモード信号 5 0 と選択回路 3 2 から入力される最終列検出信号 1 6 に基づいて RAS, CAS, WE, CS などの SDRAM 制御信号 2 3 を形成するとともに、入力されるバンクアドレス、行アドレスおよび列アドレスを含むアドレス信号 2 2 を SDRAM 3 0 0 に適した形に加工して（マルチプレクスされて）、行アドレス、列アドレスの順にアドレス信号 2 4 としてバンクアドレスとともに SDRAM 3 0 0 に入力する。

【0099】

次に動作について説明する。SDRAM 3 0 0 からの読み出し動作を例にとって説明する。いま、SDRAM アクセスモード信号 5 0 が“単発アクセスモード”を示す値を出力しているとする。この場合の動作は、実施の形態 1 において、バンク 0 のアクセスモードレジスタ 1 1 に“単発アクセスモード”を示す値が設定された場合と同じである。

20

【0100】

次に、“連続アクセスモード”のときの動作を説明する。バンク 0 が選択されているとする。

【0101】

SDRAM アクセスモード信号 5 0 が“連続アクセスモード”を示す値を出力しているときには、SDRAM アクセス制御部 1 0 は、この SDRAM アクセスモード信号 5 0 によって、“連続アクセスモード”であることを認知する。そして、SDRAM アクセス制御部 1 0 は、選択回路 3 2 から入力されている最終列検出信号 1 6 がアクティブではないときは、実施の形態 1 で説明したように、つぎのように動作する。

30

【0102】

SDRAM アクセス制御部 1 0 は、一回目のアクセスのときにだけ、SDRAM 3 0 0 のバンク 0 に対して行活性化コマンドを発行する。そして、この行活性化コマンドに続いてリードコマンドを発行する。このとき非活性化コマンドを発行せず、行を活性化状態に保って次のアクセスを待つ。次の同じ行の次の列に対するアクセスが発生したときは行が活性化状態にあるため、新たに行活性化コマンドを発行せず、直接リードコマンドを発行する。アクセスが同じ行の最後の列になるまで、このような動作が繰り返される。

【0103】

その後、同じ行の最後の列に対するアクセスになったとする。このときには選択回路 3 2 から出力される最終列検出信号 1 6 がアクティブとなる。SDRAM アクセス制御部 1 0 は、最終列検出信号 1 6 がアクティブになると、バンク 0 のバンク非活性化すなわちプリチャージを実行する。この後、バンク 0 へのアクセスが発生すると、SDRAM アクセス制御部 1 0 は、新たに行を活性化して同様の動作を繰り返す。

40

【0104】

次に、図 1 0 および図 1 1 のタイムチャートを用いて連続アクセスモードの際の各処理のタイミングについてさらに詳細に説明する。図 1 0 は連続アクセスモードのときの動作を、図 1 1 は単発アクセスモードのときの動作を示すものである。

【0105】

図 1 0 において、クロックサイクル“1”で SDRAM アクセス要求信号 2 1 がアサート

50

される。また、この同じクロックサイクルのときに、SDRAMアクセスモード信号50が“連続アクセスモード”を示す値“H”となる。このクロックサイクル“1”において、SDRAMアクセス制御部10は、SDRAM300のバンク0の行活性化コマンドACを発行する。SDRAMアクセス制御部10は、次の、クロックサイクル“2”では、ディセレクトコマンドDSを発行する。

【0106】

次に、クロックサイクル“3”では、SDRAMアクセス制御部10はリードコマンドRDを発行する。SDRAM300は、CASレイテンシ時間経過後、データ信号25をデータバスに出力する（クロックサイクル“5”）。

【0107】

最終列検出回路12は、リードコマンドRDを発行したクロックサイクル“3”で、SDRAMアドレス信号22の列アドレス部分30を判定するが、今回は最終列でないので、バンク0最終列検出信号14をアサートしない。したがって、選択回路32からの最終列検出信号16もアサートされない。

【0108】

SDRAMアクセス制御部10は、SDRAMアクセス要求信号の入力時（クロックサイクル“1”）に、SDRAMアクセスモード信号50が“連続アクセスモード”を示す値を出力していたことと、リードコマンドRDの発行時のクロックサイクル“3”に、最終列検出信号16がアサートされていないことに基づいて、つぎのクロックサイクル“4”“5”で、ディセレクトコマンドDSを発行してバンク0を行活性化した状態のままに保つ。

【0109】

次に、SDRAMアクセス要求信号21および“H”のSDRAMアクセスモード信号50がクロックサイクル“6”で入力されると、SDRAMアクセス制御部10は、この時点では最終列検出信号16がネゲートのままであるので、行活性化コマンドACを発行せず、直接リードコマンドRDを発行する。SDRAM300は、CASレイテンシ時間経過後のクロックサイクル“8”で、データ信号25をデータバスに出力する。

【0110】

クロックサイクル“6”でSDRAMアクセス要求信号21がアサートされるのと同時に、SDRAMアクセスモード信号50が“連続アクセスモード”を示す値“H”を示しているため、SDRAMアクセス制御部10は、つぎのクロックサイクル“7”でディセレクトコマンドDSを発行してバンク0を行活性化した状態のままに保つ。この例では、1回目のSDRAMアクセス要求から2回目のアクセスのデータ出力まで8クロックサイクルを要することになる。アクセスが同じ行の最後の列になるまで、このような動作が繰り返される。

【0111】

さらにアクセスを続けてクロックサイクル“c”でSDRAMアクセス要求信号21が発生したとする。このとき行の最後の列アクセスであったとすると、最終列検出回路12では、SDRAMアドレス信号22の列アドレス部分30を判定し、バンク0最終列検出信号14をアサートする。したがって、選択回路32からの最終列検出信号16もアサートされる。

【0112】

SDRAMアクセス制御部10は、クロックサイクル“c”で、SDRAMアクセス要求信号21がアサートされるのと同時に、SDRAMアクセスモード信号50が“連続アクセスモード”を示す値“H”を示していることと、最終列検出信号16が“H”になっていることに基づいて、つぎのクロックサイクル“d”でバンク非活性化コマンドPRを発行し、バンク0を非活性化状態にする。SDRAM300は、CASレイテンシ時間経過後のクロックサイクル“e”で、データ信号25をデータバスに出力する。

【0113】

一方、図11に示すように、SDRAMアクセス要求信号21がアサートされたクロック

10

20

30

40

50

サイクルで（図 1 1 の場合はクロックサイクル“ 6 ”）、S D R A M アクセスモード信号 5 0 が“ 単発アクセスモード ”を示す値“ L ”を出力している場合には、S D R A M アクセス制御部 1 0 は、現在活性化しているバンクを非活性化し（バンク非活性化コマンド P R）、つぎのクロックサイクル“ 7 ”で、アクセス要求のあった行の活性化（行活性化コマンド A C）を行う。さらに、R A S － C A S レイテンシ後のクロックサイクル“ 9 ”において、リードコマンド R D を発行する。S D R A M 3 0 0 は、C A S レイテンシ時間経過後のクロックサイクル“ a ”で、データ信号 2 5 をデータバスに出力する。

【0 1 1 4】

このようにこの実施の形態 4 によれば、実施の形態 1 と同様、行アドレスが同一で列アドレスが連続する連続アクセスモードの場合（途中に他のバンクのアクセスが入っても良い）10、1 回目のアクセスのときだけ行活性化を行ってリードコマンドを発行し、その後の行の最後の列に対するアクセスの前までは、リードコマンドを直接発行してバンク非活性化および行活性化を行わないようにしているので、S D R A M アクセスに要するクロックサイクルを少なくすることができ、効率の良いメモリアccessをなし得るようになる。

【0 1 1 5】

また、S D R A M アクセスモードを設定するレジスタ等のハードウェアを持たなくてよいので、回路を簡略化できる。さらに、あるバスマスタが連続 S D R A M アクセスを行っている最中に、他のバスマスタが同じバンクに対するアクセスを行ったときも、自動的にバンク非活性化、および行活性化を行うことができ、自由度が高い応用設計を実現できる。

【0 1 1 6】

なお、この実施の形態 4 において、最終列検出回路 1 2 の内部構成を実施の形態 3 のように、アクセス回数カウンタ部 4 3、アクセス回数設定レジスタ 4 4、および比較器 4 5 による構成に置換するようにしてもよい。さらに、この実施の形態 4 の構成に、実施の形態 2 で説明したアドレス保持部 3 3、加算器 3 4、アドレス選択回路 3 6 を追加し、実施の形態 2 で説明した動作を行わせるようにしてもよい。20

【0 1 1 7】

なお、上記の各実施の形態においては、S D R A M に対する読み出し動作について説明したが、ライトコマンドを使用する書き込み動作の際も同様の動作を行うことで、上記の同様の効果を得ることができる。

【0 1 1 8】

【発明の効果】

以上説明したように、この発明によれば、連続アクセスモード時、同一行への最初のアクセス要求のときに同期型半導体記憶装置の行活性化を行い、その後最終列検出信号がアサートされるまでは、アクセス要求がある度に、アクセスされる行の非活性化を行うことなくリードコマンドまたはライトコマンドを同期型半導体記憶装置に出力し、最終列検出信号がアサートされると、アクセスされていた行の非活性化を行うようにしているので、同期型半導体記憶装置に対するアクセスに要するクロックサイクルを少なくすることができ、効率の良いメモリアccessをなし得るようになる。30

【0 1 1 9】

つぎの発明によれば、同期型半導体記憶装置に入力されるアドレス信号に基づいて同期型半導体記憶装置に対するアクセスが最終列アドレスへのアクセスであることを検出するようにしているので、最終列アドレスへのアクセスであることを確実に検出することができる。40

【0 1 2 0】

つぎの発明によれば、アクセス要求の計数値と所定の設定値との比較に基づいて同期型半導体記憶装置に対するアクセスが最終列アドレスへのアクセスであることを検出するようにしているので、アドレス信号を用いる場合に比べ、回路設計が容易となり、実際の回路を実現し易くなる。

【0 1 2 1】

つぎの発明によれば、アクセスモード信号が設定されるアクセスモードレジスタを各バン50

クに対応して各別に設けるようにしているので、アクセス制御部はこれらのアクセスモードレジスタの設定情報から今回のアクセスが連続アクセスモードであることを確実に判定することができる。

【0122】

つぎの発明によれば、バスマスタからのアクセスモード信号がアクセス制御部に入力されるようにしているので、アクセスモードを設定するレジスタ等のハードウェアを持たずに済み、回路を簡略化できる。さらに、あるバスマスタが連続SDRAMアクセスを行っている最中に、他のバスマスタが同じバンクに対するアクセスを行ったときも、自動的にバンク非活性化、および行活性化を行うことができ、自由度が高い応用設計を実現できる。

【0123】

つぎの発明によれば、連続アクセスモード時、最終列検出信号がアサートされると、アクセスされていた行の非活性化を行い、その後直ちに、アドレス選択回路から入力される次アドレス演算部からの次アドレスが示す行の活性化を行うようにしているので、次の行のアクセス要求までに時間があつた場合、次の行のアクセスが発生したときには既にこの行の活性化を終えており、その後すぐにリードあるいはライトコマンドを発行することができる。従ってアクセスに要するクロックサイクルを低減することができる。

【図面の簡単な説明】

【図1】この発明にかかる同期型半導体記憶装置のアクセス制御装置の実施の形態1の構成を示すブロック図である。

【図2】SDRAMのアドレス構成の一例を示す図である。

【図3】最終列検出回路の内部構成を示すブロック図である。

【図4】実施の形態1の同期型半導体記憶装置のアクセス制御装置の連続アクセスモード時の動作を説明するためのタイムチャートである。

【図5】この発明にかかる同期型半導体記憶装置のアクセス制御装置の実施の形態2の構成を示すブロック図である。

【図6】実施の形態2の同期型半導体記憶装置のアクセス制御装置の連続アクセスモード時の動作を説明するためのタイムチャートである。

【図7】この発明にかかる同期型半導体記憶装置のアクセス制御装置の実施の形態3の構成を示すブロック図である。

【図8】実施の形態3の同期型半導体記憶装置のアクセス制御装置の連続アクセスモード時の動作を説明するためのタイムチャートである。

【図9】この発明にかかる同期型半導体記憶装置のアクセス制御装置の実施の形態4の構成を示すブロック図である。

【図10】実施の形態4の同期型半導体記憶装置のアクセス制御装置の連続アクセスモード時の動作を説明するためのタイムチャートである。

【図11】実施の形態4の同期型半導体記憶装置のアクセス制御装置の単発アクセスモード時の動作を説明するためのタイムチャートである。

【図12】従来技術を示すブロック図である。

【図13】従来技術のSDRAMに対するアクセスを説明するためのタイムチャートである。

【符号の説明】

2a～2d, 4a～4d, 5a～5d 連続アクセス制御ユニット、10 SDRAMアクセス制御部、11 アクセスモードレジスタ、12 最終列検出回路、20 アクセス要求分配器、32 選択回路、33 アドレス保持部、34 加算器、36 アドレス選択回路、40 列アドレス指示レジスタ、41 列アドレス監視部、42 アドレス進行方向設定レジスタ、43 アクセス回数カウント部、44 アクセス回数設定レジスタ、45 比較器。

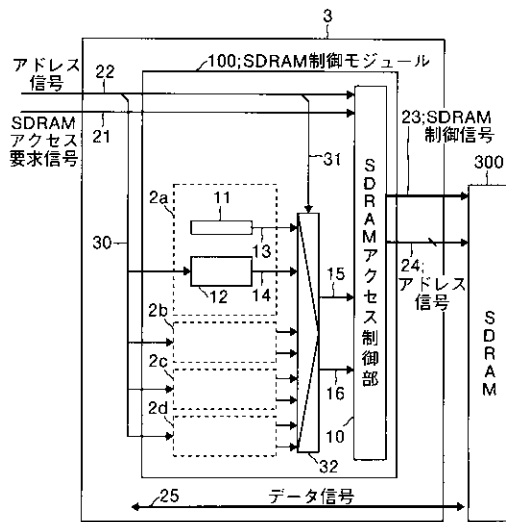
10

20

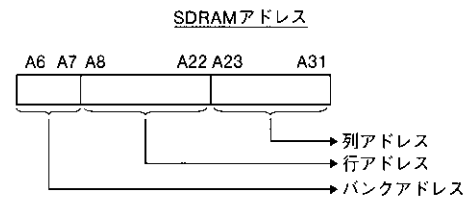
30

40

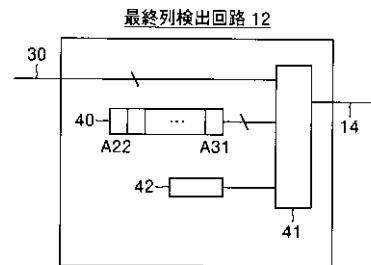
【図 1】



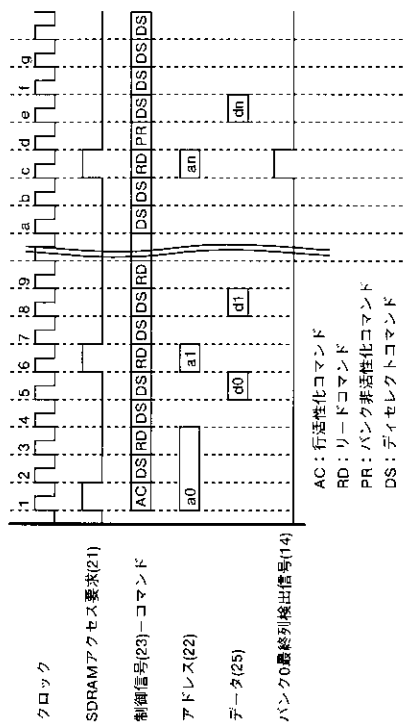
【図 2】



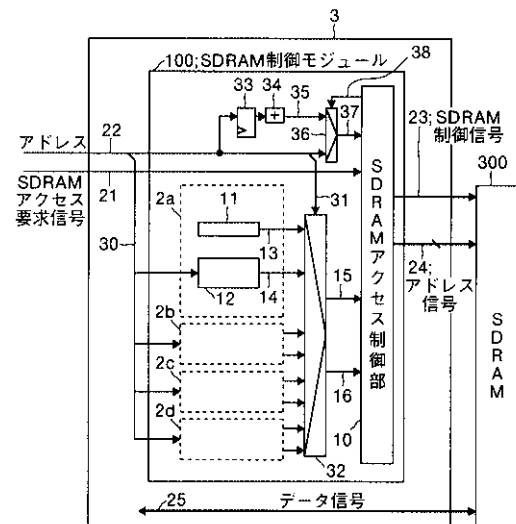
【図 3】



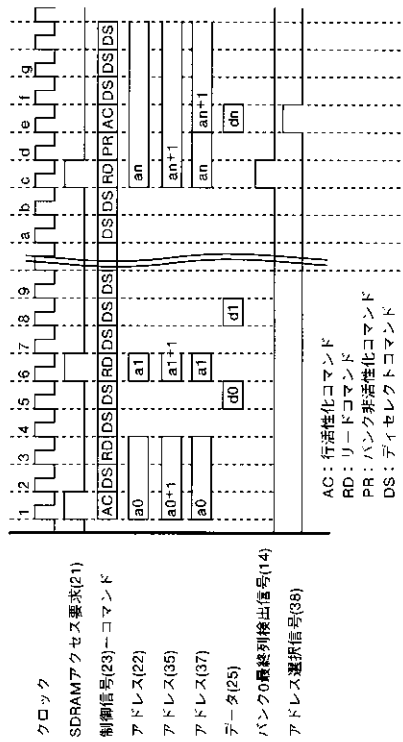
【図 4】



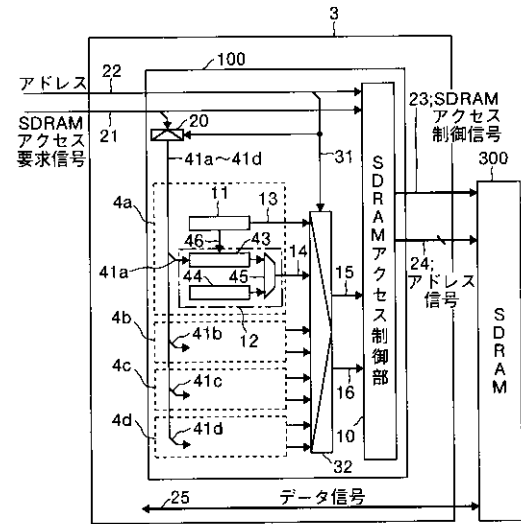
【図 5】



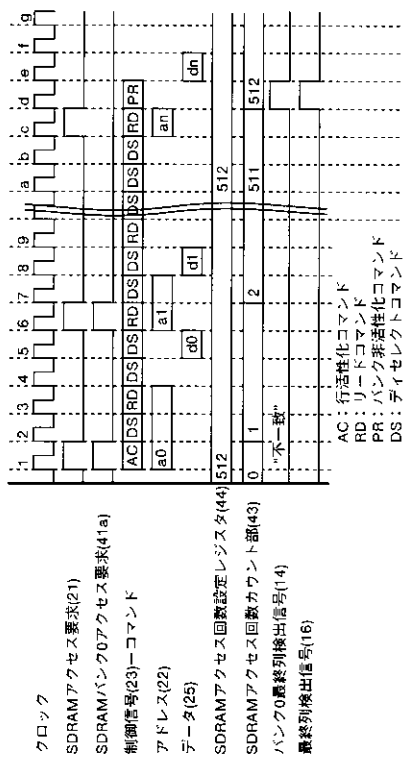
【図 6】



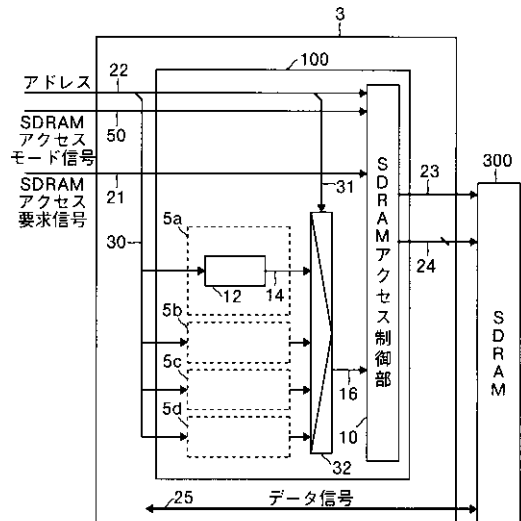
【図 7】



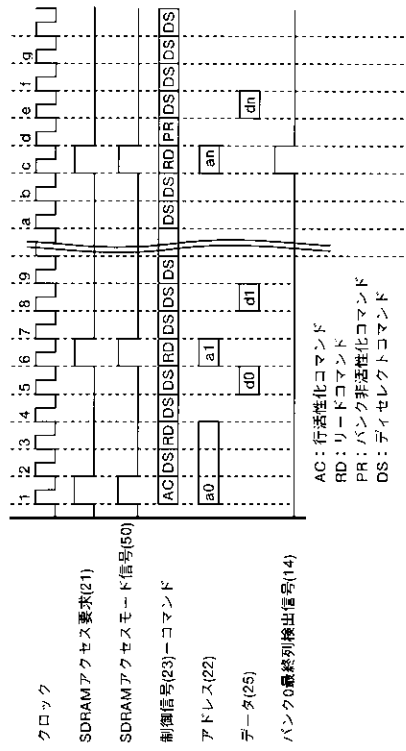
【図 8】



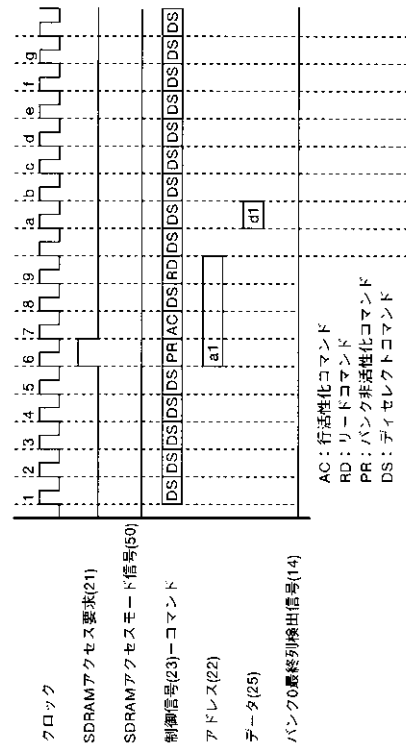
【図 9】



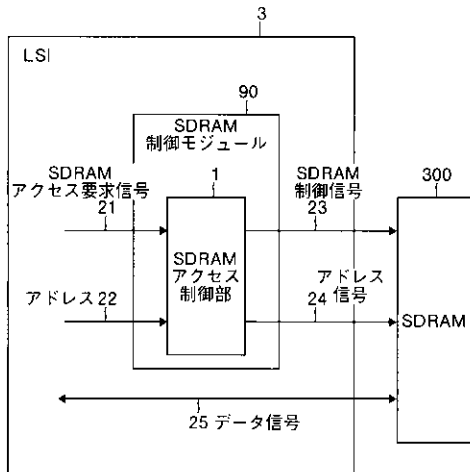
【図 10】



【図 11】



【図 12】



【図 13】

