

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2025 년 1 월 16 일 (16.01.2025) **WIPO | PCT**

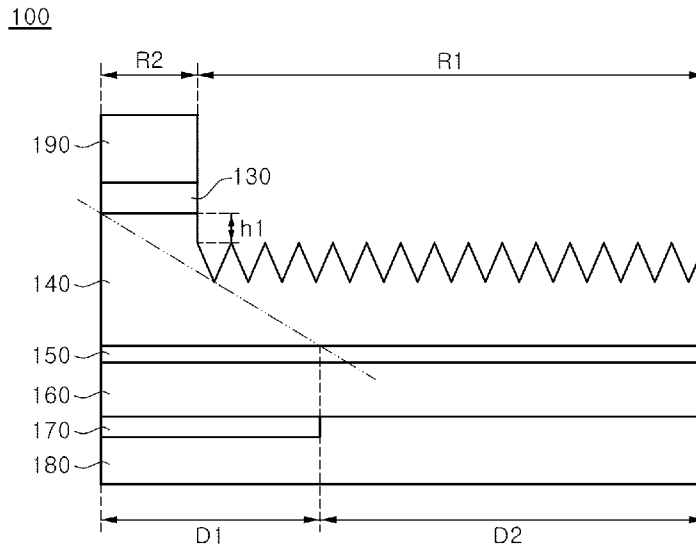


(10) 국제공개번호
WO 2025/014274 A1

- (51) 국제특허분류:
H01L 33/20 (2010.01) *H01L 33/44* (2010.01)
H01L 33/62 (2010.01) *H01L 33/14* (2010.01)
H01L 33/06 (2010.01) *H01L 33/38* (2010.01)
- (21) 국제출원번호: PCT/KR2024/009852
- (22) 국제출원일: 2024 년 7 월 10 일 (10.07.2024)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
63/525,997 2023 년 7 월 11 일 (11.07.2023) US
18/767,087 2024 년 7 월 9 일 (09.07.2024) US
- (71) 출원인: 서울바이오시스주식회사 (**SEOUL VIOSYS CO., LTD.**) [KR/KR]; 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).
- (72) 발명자: 이준희 (**LEE, Joonhee**); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).
- (74) 대리인: 특허법인에이아이피 (**AIP PATENT & LAW FIRM**); 06239 서울특별시 강남구 테헤란로14길 30-1, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

(54) Title: LIGHT-EMITTING ELEMENT AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭: 발광 소자 및 그 제조 방법



(57) Abstract: The present invention relates to a light-emitting element and a method for manufacturing same. According to an embodiment, the light-emitting element may comprise a second electrode pad, a second semiconductor layer, an active layer, a first semiconductor layer, a first contact layer, and a first electrode pad. The second semiconductor layer may be formed on the second electrode pad and electrically connected to the second electrode pad. The active layer may be formed on the second semiconductor layer so as to generate and emit light. The first semiconductor layer may be formed on the active layer. The first contact layer may be formed on the first semiconductor layer. In addition, the first electrode pad may be formed on the first contact layer and electrically connected to the first semiconductor layer through the first contact layer. In addition, the upper surface of the first semiconductor layer located in a non-light emitting region may be located higher than the upper surface of the first semiconductor layer located in a light-emitting surface.

[다음 쪽 계속]



ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 본 발명은 발광 소자 및 그의 제조 방법에 관한 것이다. 일 실시 예에 따른 발광 소자는 제2 전극 패드, 제2 반도체층, 활성층, 제1 반도체층, 제1 컨택층 및 제1 전극 패드를 포함할 수 있다. 제2 반도체층은 제2 전극 패드의 상부에 형성되어, 제2 전극 패드와 전기적으로 연결될 수 있다. 활성층은 제2 반도체층의 상부에 형성되어, 광을 생성 및 방출할 수 있다. 제1 반도체층은 활성층의 상부에 형성될 수 있다. 제1 컨택층은 제1 반도체층의 상부에 형성될 수 있다. 또한, 제1 전극 패드는 제1 컨택층의 상부에 형성되며, 제1 컨택층을 통해서 제1 반도체층과 전기적으로 연결될 수 있다. 또한, 비발광 영역에 위치한 제1 반도체층의 상면은 발광면인 발광 영역에 위치한 제1 반도체층의 상면보다 높게 위치할 수 있다.

명세서

발명의 명칭: 발광 소자 및 그 제조 방법

기술분야

- [1] 본 발명은 발광 소자 및 그 제조 방법에 관한 것이다.

배경기술

- [2] 엘이디(Light emitting diode; LED)는 반도체의 특성을 이용하여 전기적 신호를 광으로 변환시키는 소자이다. 엘이디는 재료에 따라 적외선, 가시광선, 자외선까지 다양한 색의 광을 생성 및 방출할 수 있다.
- [3] 엘이디는 반도체층, 반도체층을 성장시키는 성장 기판 및 전극으로 구성된다.
- [4] 또한, 엘이디는 구조에 따라 수직형 엘이디, 수평형 엘이디 및 수직형 엘이디로 구분할 수 있다.
- [5] 수직형 엘이디는 수평형 엘이디보다 방열 효율이 높아 고출력 발광 소자를 제작할 때 사용된다.
- [6] 일반적으로 수직형 발광 소자는 서로 다른 도펀트로 도핑된 제1 반도체층과 제2 반도체층을 포함하며, 이들 사이에 형성되어 광을 생성 및 방출하는 활성층을 포함한다. 또한, 수직형 발광 소자는 제1 반도체층과 제1 전극 사이에 컨택 저항을 감소시키기 위한 컨택층이 형성된다. 이때, 제1 반도체층을 통해서 발광 소자의 외부로 광을 방출하기 위해서 발광 영역에 제1 반도체층을 덮고 있는 불필요한 컨택층을 습식 에칭 공정을 통해서 제거한다. 그러나 습식 에칭은 등방성 에칭이기 때문에 발광면인 제1 반도체층의 표면에 습식 에칭으로 제거되지 않은 컨택층이 잔존할 수 있다. 발광면에 잔존해 있는 컨택층은 활성층에서 생성 및 방출된 광을 흡수할 수 있기 때문에, 발광 소자의 발광 효율을 저하시킨다는 문제점이 있다.

발명의 상세한 설명

기술적 과제

- [7] 본 발명의 해결하고자 하는 과제는 발광 면적을 증가하여 발광 효율을 향상시킬 수 있는 발광 소자를 제공하는 데 있다.
- [8] 본 발명의 해결하고자 하는 다른 과제는 활성층에서 생성된 광이 최대한 외부로 방출시켜 발광 효율을 향상시킬 수 있는 발광 소자를 제공하는 데 있다.

과제 해결 수단

- [9] 본 발명의 실시 예에 따르면, 제2 전극 패드, 제2 반도체층, 활성층, 제1 반도체층, 제1 컨택층 및 제1 전극 패드를 포함하는 발광 소자가 제공된다. 상기 제2 반도체층은 상기 제2 전극 패드의 상부에 형성되어, 상기 제2 전극 패드와 전기적으로 연결될 수 있다. 상기 활성층은 상기 제2 반도체층의 상부에 형성되어, 광을 생성 및 방출할 수 있다. 상기 제1 반도체층은 상기 활성층의 상부에 형성될 수 있다. 상기 제1 컨택층은 상기 제1 반도체층의 상부에 형성될 수 있다. 또한, 상기

제1 전극 패드는 상기 제1 컨택층의 상부에 형성되며, 상기 제1 컨택층을 통해서 상기 제1 반도체층과 전기적으로 연결될 수 있다. 여기서, 상기 제1 반도체층 및 상기 제2 반도체층 중 하나는 n형 반도체층이며 다른 하나는 p형 반도체층일 수 있다. 또한, 비발광 영역에 위치한 상기 제1 반도체층의 상면은 발광면인 발광 영역에 위치한 상기 제1 반도체층의 상면보다 높게 위치할 수 있다. 여기서, 상기 비발광 영역은 상기 제1 컨택층이 형성된 영역이며, 상기 발광 영역은 외부로 노출된 상기 제1 반도체층의 상면일 수 있다.

- [10] 상기 광은 가시광선 또는 자외선일 수 있다.
- [11] 상기 제1 컨택층의 하면은 상기 발광면보다 높게 위치할 수 있다.
- [12] 상기 발광면에는 요철이 형성될 수 있다.
- [13] 상기 발광 소자는 상기 발광 소자의 외부로 방출되는 광이 생성 및 방출되는 영역인 비음영 영역과 상기 발광 소자의 외부로 방출되지 못하는 광이 생성 및 방출되는 영역인 비음영 영역을 포함할 수 있다.
- [14] 상기 발광 소자는 상기 제2 전극 패드와 상기 제2 반도체층 사이에서 상기 제2 반도체층의 일부를 덮도록 형성된 절연층을 포함할 수 있다. 또한, 상기 절연층은 상기 제2 전극 패드를 통해 주입된 전류를 분산시켜 제2 반도체층 및 활성층을 균일하게 통과하도록 할 수 있다.
- [15] 상기 절연층은 상기 음영 영역에서 상기 제2 반도체층의 하부에 형성될 수 있다.
- [16] 상기 제2 전극 패드는 상기 비음영 영역에서 상기 제2 반도체층과 접촉할 수 있다.
- [17] 상기 제1 전극 패드는 상기 제1 컨택층보다 작은 단면적을 가질 수 있다.
- [18] 상기 비발광 영역에서 상기 제1 반도체층의 적어도 일측면은 경사면일 수 있다.
- [19] 상기 제1 컨택층의 적어도 일측면은 경사면일 수 있다.
- [20] 상기 제1 패드 전극의 적어도 일측면은 경사면일 수 있다.
- [21] 상기 발광 영역의 일부와 상기 음영 영역의 일부는 서로 중첩되는 중첩 영역을 포함할 수 있다.
- [22] 상기 제1 반도체층은 상기 중첩 영역에의 상면 높이가 상기 중첩 영역이 아닌 상기 발광 영역의 높이보다 높을 수 있다.
- [23] 상기 발광 소자는 상기 제2 전극 패드의 상면을 덮도록 형성되며, 복수의 개구부를 포함하는 절연층을 포함할 수 있다. 또한, 상기 제2 전극 패드는 복수의 금속층이 적층된 것일 수 있다. 또한, 상기 제2 전극 패드는 상기 절연층의 상기 복수의 개구부 각각의 일부 또는 전체를 채우도록 형성되어 상기 제2 반도체층과 전기적으로 연결될 수 있다.
- [24] 상기 발광 소자는 상기 반도체층 상부에 형성되며, 상기 제1 컨택층의 일부분과 연결되는 상부 전류 분산층을 포함할 수 있다. 상기 상부 전류 분산층은 상기 제1 컨택층으로부터 복수의 갈래로 갈라진 영역을 포함할 수 있다.

- [25] 상기 절연층의 상기 복수의 개구부 중 적어도 하나의 개구부는 상부 부분이 하부에서 상부로 갈수록 직경이 증가하며, 하부 부분은 직경이 일정할 수 있다.
- [26] 상기 발광 소자는 상기 제2 반도체층과 상기 제2 전극 패드 사이에 형성되는 제2 컨택층을 포함할 수 있다. 상기 제2 컨택층은 상기 적어도 하나의 개구부의 상기 상부 부분에 형성되어, 상기 제2 반도체층 및 상기 제2 전극 패드와 전기적으로 연결될 수 있다.
- [27] 상기 적어도 하나의 개구부의 상기 상부 부분을 이루는 상기 절연층의 내측면은 곡면일 수 있다.
- [28] 일 영역에서 상기 제1 컨택층의 양측 각각에 상기 상부 전류 분산층이 상기 제1 컨택층과 이격되어 위치할 수 있다. 이때, 상기 제2 컨택층은 상기 제1 컨택층과 상기 상부 전류 분산층 사이에 위치할 수 있다.
- [29] 상기 제2 반도체층의 외측 영역에서 상기 복수의 금속층 중 적어도 하나의 금속층의 상면은 상기 활성층의 하면보다 낮게 위치할 수 있다.

발명의 효과

- [30] 본 발명의 실시 예에 따른 발광 소자는 발광면에 광을 흡수하는 물질을 제거하여 발광 효율을 향상시킬 수 있다.
- [31] 또한, 본 발명의 실시 예에 따른 발광 소자는 발광 면적을 증가시켜 발광 효율을 향상시킬 수 있다.
- [32] 또한, 본 발명의 실시 예에 따른 발광 소자는 활성층에서 방출된 광을 최대한 외부로 방출시켜 발광 효율을 향상시킬 수 있다.

도면의 간단한 설명

- [33] 도 1 내지 도 7은 본 발명의 제1 실시 예에 따른 발광 소자의 제조 방법을 개략적으로 나타낸 도면들이다.
- [34] 도 8은 본 발명의 제2 실시 예에 따른 발광 소자의 단면을 개략적으로 나타낸 도면이다.
- [35] 도 9는 본 발명의 제3 실시 예에 따른 발광 소자의 단면을 개략적으로 나타낸 도면이다.
- [36] 도 10 내지 도 12는 본 발명의 제4 실시 예에 따른 발광 소자를 설명하기 위한 도면이다.
- [37] 도 13은 본 발명의 제5 실시 예에 따른 발광 소자의 평면도이다.
- [38] 도 14는 본 발명의 제5 실시 예에 따른 발광 소자의 일 단면도(A1-A2)이다.
- [39] 도 15는 본 발명의 제5 실시 예에 따른 발광 소자의 일 영역의 확대도(B)이다.

발명의 실시를 위한 형태

- [40] 이하, 첨부한 도면들을 참조하여 본 발명의 실시 예들을 상세히 설명하기로 한다. 다음에 소개되는 실시 예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위한 예시로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들

에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타내고 유사한 참조번호는 대응하는 유사한 구성요소를 나타낸다.

- [41] 이후, 도면을 통해서 본 발명의 발광 소자에 대해 상세히 설명한다.
- [42] 도 1 내지 도 7은 본 발명의 제1 실시 예에 따른 발광 소자의 제조 방법을 개략적으로 나타낸 도면들이다. 여기서, 도 7을 통해서 본 발명의 제1 실시 예에 따른 발광 소자의 개략적인 단면 구조를 확인할 수 있다.
- [43] 본 발명의 실시 예에 따른 발광 소자(100)는 광을 생성 및 방출할 수 있다. 발광 소자(100)에서 생성 및 방출하는 광은 가시광선 또는 자외선 일 수 있다. 또한, 본 실시 예에 따른 발광 소자(100)는 n형 전극과 p형 전극을 수직 방향으로 배치한 수직형(Vertical) 구조의 발광 소자일 수 있다.
- [44] 도 1을 참고하면, 성장 기관(110) 상에 반도체층들을 형성할 수 있다.
- [45] 예를 들어, 반도체층들은 성장 기관(110) 상에 금속유기화학기상증착법(MOCVD)으로 형성될 수 있다.
- [46] 성장 기관(110)은 가시광선 또는 자외선을 방출하는 반도체층을 성장시킬 수 있는 물질로 형성될 수 있다. 예를 들어, 성장 기관(110)은 사파이어(Al_2O_3)로 형성될 수 있다.
- [47] 성장 기관(110) 상에 버퍼층(120), 컨택층(130), 제1 반도체층(140), 활성층(150), 제2 반도체층(160)이 차례대로 형성될 수 있다.
- [48] 버퍼층(120)은 성장 기관(110)과 버퍼층(120)의 상부에 형성되는 반도체층들 간의 격자상수 및 열팽창계수의 차이에 의해서 스트레스를 완화시켜 반도체층들에 크랙 및 뒤틀림이 발생하는 것을 방지하기 위해 형성될 수 있다. 예를 들어, 버퍼층(120)은 도핑을 하지 않은 GaN(undoped GaN; u-GaN)으로 형성될 수 있다.
- [49] 버퍼층(120)의 상부에는 컨택층(130)이 형성될 수 있다. 컨택층(130)은 추후에 반도체층과 접촉하는 전극 패드와의 컨택 저항을 감소시키기 위해서 형성될 수 있다. 컨택층(130)은 n형 도펀트가 도핑된 GaN계 반도체(n-GaN)로 형성될 수 있다. 예를 들어, n형 도펀트는 Si일 수 있다.
- [50] 컨택층(130)의 상부에는 제1 반도체층(140)이 형성될 수 있다. 제1 반도체층(140)은 n형 도펀트가 도핑된 화합물 반도체로 형성될 수 있다. 더 나아가, 제1 반도체층(140)은 n형 도펀트가 도핑된 AlGaN계 반도체로 형성될 수 있다. 예를 들어, n형 도펀트는 Si일 수 있다. 또한, 제1 반도체층(140)의 n형 도펀트의 도핑 농도는 컨택층(130)의 n형 도펀트의 도핑 농도보다 높을 수 있다. 예를 들어, 제1 반도체층(140)의 n형 도펀트의 도핑 농도는 5×10^{18} 이상일 수 있다.
- [51] 본 실시 예에 따르면, 제1 반도체층(140)은 타겟 두께보다 더 두껍게 형성될 수 있다. 예를 들어, 제1 반도체층(140)은 타겟 두께보다 컨택층(130)의 두께만큼 더 두껍게 형성될 수 있다.
- [52] 제1 반도체층(140) 상부에는 활성층(150)이 형성될 수 있다. 활성층(150)은 제1 반도체층(140)을 통해 주입되는 전자와 제2 반도체층(160)을 통해 주입되는 정공

이 재결합하는 층으로, 전자와 정공의 재결합을 통해서 광을 생성할 수 있다. 또는 활성층(150)은 제1 반도체층(140)을 통해 주입되는 정공과 제2 반도체층(160)을 통해 주입되는 전자의 재결합을 통해서 광을 생성할 수 있다.

[53] 활성층(150)은 단일 우물 구조, 다중 우물 구조, 단일 양자 우물 구조, 다중 양자 우물(Multi Quantum Well; MQW) 구조, 양자점 구조 또는 양자선 구조 중 어느 하나의 구조로 형성될 수 있다.

[54] 활성층(150)의 상부에는 제2 반도체층(160)이 형성될 수 있다. 제2 반도체층(160)은 p형 도펀트가 도핑된 화합물 반도체로 형성될 수 있다. 예를 들어, 제2 반도체층(160)은 p형 도펀트가 도핑된 GaN계 반도체로 형성될 수 있다.

[55] 또한, 제2 반도체층(160) 상부에 제2 전극 패드(180)가 형성될 수 있다. 제2 전극 패드(180)는 제2 반도체층(160)과 전기적으로 연결될 수 있다. 제2 전극 패드(180)는 금속과 같은 전도성 물질로 형성될 수 있다. 또한, 제2 전극 패드(180)는 단층 또는 다층으로 형성될 수 있다.

[56] 본 실시 예에 따르면, 제2 전극 패드(180)는 이후에 수행되는 공정에서 반도체 층들을 지지하는 지지기판의 역할도 할 수 있다.

[57] 본 실시 예에서는 제2 반도체층(160)과 전기적으로 연결되는 제2 전극 패드(180)를 지지기판으로도 사용하고 있지만, 본 발명이 이에 한정되는 것은 아니다. 예를 들어, 제2 전극 패드(180)의 상부에 별도의 지지기판을 형성할 수 있다. 또는 제2 전극 패드(180)를 형성하기 전에 지지기판을 제2 반도체층(160) 상부에 형성할 수 있다. 이때, 지지기판은 발광 소자(100)가 형성되는 다양한 공정이 수행되는 동안에 반도체층들을 지지하는 역할을 한 후, 제거될 수 있다. 지지기판이 제거되고, 제2 반도체층(160)과 전기적으로 연결되는 제2 전극 패드(180)가 제2 반도체층(160) 상에 형성될 수 있다.

[58] 또한, 제2 반도체층(160)의 상부에는 하부 전류 분산층(170)이 형성될 수 있다. 하부 전류 분산층(170)은 제2 전극 패드(180)를 통해 주입된 전류를 분산시키기 위해서 형성될 수 있다. 제2 전극 패드(180)를 통해 주입된 전류는 추후에 형성된 제1 전극 패드(190)와 가까운 영역에 집중적으로 흐를 수 있다. 따라서, 제1 전극 패드(190)와 제2 전극 패드(180)가 가까운 영역일수록 광이 집중적으로 생성 및 방출되며, 제1 전극 패드(190)와 제2 전극 패드(180)의 거리가 멀어질수록 발광 능력이 저하될 수 있다. 이와 같이 발광 불균일성을 감소하고 균일한 발광을 위해 제2 전극 패드(180)를 통해 주입된 전류가 제2 반도체층(160) 및 활성층(150) 전체 영역을 균일하게 통과하도록 하기 위해서 하부 전류 분산층(170)이 형성될 수 있다. 하부 전류 분산층(170)은 SiO_2 와 같은 절연 물질로 형성될 수 있다. 따라서, 하부 전류 분산층(170)은 전류를 분산시키는 역할뿐만 아니라 일부 영역에서 제2 전극 패드(180)와 제2 반도체층(160)을 절연시키는 절연층의 역할도 할 수 있다.

[59] 도 1에서는 제2 전극 패드(180)가 하부 전류 분산층(170)의 측면 및 상면을 덮도록 형성된다. 그러나 제2 전극 패드(180)의 구조는 이에 한정되는 것은 아니다. 예

를 들어, 제2 전극 패드(180)는 하부 전류 분산층(170)의 상면은 노출하도록 형성될 수 있다.

- [60] 이후 도면은 설명과 이해의 편의를 위해서 도 1과 상하의 위치가 반대로 도시되어 있으며, 도면에 대한 설명 역시 해당 도면을 기준으로 설명하도록 한다.
- [61] 도 2를 참고하면, 성장 기관(110) 및 버퍼층(120)이 제거될 수 있다.
- [62] 활성층(150)에서 생성된 광은 도 2를 기준으로 제2 전극 패드(180)가 형성된 하부 방향과 제1 반도체층(140)이 형성된 상부 방향으로 방출될 수 있다. 이때, 제2 전극 패드(180)를 향하는 광은 제2 전극 패드(180)에서 반사되어 상부 방향을 향할 수 있다. 활성층(150)에서 생성된 광은 가시광선 또는 자외선일 수 있다.
- [63] 이때, 버퍼층(120)의 경우, 활성층(150)에서 방출된 광을 흡수하는 에너지 밴드갭을 가질 수 있다. 따라서, 상부로 광을 방출하기 위해서 광을 흡수하는 버퍼층(120)을 제거해야 한다.
- [64] 도 3 내지 도 5를 참고하면, 컨택층(130)의 일부가 제거될 수 있다.
- [65] 본 실시 예에 따르면, 컨택층(130) 역시 활성층(150)에서 방출하는 광을 흡수하는 에너지 밴드갭을 가질 수 있다. 따라서, 제1 반도체층(140)과 전기적으로 연결되는 제1 전극이 형성될 부분을 제외한 광이 외부로 방출되는 영역인 발광 영역(R1)에 형성된 컨택층(130)이 제거될 수 있다.
- [66] 도 3을 참고하면, 제1 전극이 형성될 영역과 같이 컨택층(130)이 유지될 영역을 덮도록, 컨택층(130) 상부에 마스크(10)가 형성될 수 있다. 즉, 비발광 영역(R2)에 위치하는 컨택층(130)의 상부에 마스크(10)가 형성될 수 있다.
- [67] 도 4를 참고하면, 1차 에칭 공정이 수행될 수 있다.
- [68] 본 실시 예에 따르면, 마스크(10)에 의해서 외부로 노출된 영역에 1차 에칭이 수행될 수 있다. 예를 들어, 1차 에칭은 플라즈마를 이용한 드라이 에칭일 수 있다.
- [69] 본 실시 예에 따르면, 1차 에칭을 통해서 외부로 노출된 컨택층(130)을 제거할 수 있다. 또한, 1차 에칭을 통해서 제1 반도체층(140)의 두께가 타겟 두께가 되도록 할 수 있다.
- [70] 본 실시 예에 따르면, 1차 에칭으로 컨택층(130)만 제거하는 것이 아니라 컨택층(130)의 하부에 있는 제1 반도체층(140)의 일부도 제거된다. 즉, 마스크(10)에 의해 외부로 노출된 컨택층(130) 전체가 확실하게 제거될 수 있다.
- [71] 도 5를 참고하면, 2차 에칭 공정이 수행될 수 있다.
- [72] 본 실시 예에 따르면, 마스크(10)에 의해서 외부로 노출된 영역에 2차 에칭이 수행될 수 있다. 즉, 1차 에칭을 통해서 외부로 노출된 제1 반도체층(140)의 표면에 2차 에칭이 수행될 수 있다.
- [73] 본 실시 예에 따르면, 2차 에칭은 습식 에칭으로 수행될 수 있다. 예를 들어, 2차 에칭은 광전기화학적 에칭(Photo-electrochemical; PEC) 에칭일 수 있다. 또한, 2차 에칭에 사용되는 에칭 용액은 수산화칼륨, 암모니아, 염산, 인산 등을 포함하는 용액일 수 있다.

- [74] 제1 반도체층(140)은 2차 에칭에 의해서 외부로 노출된 영역의 표면에 요철이 형성될 수 있다. 또한, 제1 반도체층(140)의 요철이 형성된 표면은 발광 소자(100)의 발광면이 될 수 있다.
- [75] 본 발명의 실시 예에 따른 발광 소자(100)는 발광면에 요철을 형성하여 광 추출 효율을 증가시켜 발광 효율을 향상시킬 수 있다. 즉, 발광 소자(100)는 발광면의 입체각을 증가시켜 광을 내부에서 외부로 방출시키는 효과를 향상시킬 수 있다.
- [76] 종래에는 컨택층의 제거 및 제1 반도체층의 요철 형성을 습식 에칭을 통해 동시에 수행되었다. 즉, 제1 반도체층의 상부에 컨택층이 형성되어 있는 상태에서 습식 에칭이 수행되었다. 이때, 습식 에칭은 등방성 에칭이므로, 한 방향이 아닌 다양한 방향으로 에칭이 이루어진다. 따라서, 습식 에칭 이후에 제1 반도체층의 표면에는 균일 또는 불균일한 요철이 형성될 수 있다. 이때, 제1 반도체층의 표면의 요철의 상단에는 제거되지 않은 컨택층이 남아 있을 수 있다. 이 경우, 컨택층은 광을 흡수하는 에너지 밴드갭을 가지므로, 발광 소자의 내부에서 생성된 광의 일부가 외부로 방출되지 못하고 제1 반도체층의 표면에 잔존하는 컨택층에 흡수된다. 따라서, 발광 소자는 잔존하는 컨택층에 의해서 발광 효율이 저하되는 문제가 있다. 또한, 발광 소자는 발광 영역에 잔존하는 컨택층의 면적만큼 발광 면적이 감소하므로 발광 효율이 감소할 수 있다.
- [77] 본 발명의 실시 예에 따른 발광 소자(100)는 제1 반도체층(140)의 발광면에 해당하는 표면을 덮는 컨택층(130)이 완전히 제거된 후, 컨택층(130)이 제거되어 외부로 노출된 제1 반도체층(140)의 표면에 습식 에칭으로 요철을 형성한다. 따라서, 본 발명의 실시 예에 따른 발광 소자(100)는 발광면에 광을 흡수하는 물질이 감소하므로, 발광 효율을 향상시킬 수 있다. 또한 본 실시 예에 따른 발광 소자(100)는 발광 영역의 표면 전체가 발광면이 되므로, 발광 효율을 향상시킬 수 있다.
- [78] 본 실시 예에서, 1차 에칭 공정과 2차 에칭 공정에서 마스크(10)가 사용되는데, 마스크(10)는 에칭 방식에 따라 변경될 수 있다. 즉, 1차 에칭때 사용되는 마스크(10)와 2차 에칭때 사용되는 마스크(10)는 각 에칭 공정으로부터 컨택층(130)을 보호할 수 있는 종류로 변경될 수 있다.
- [79] 도 6을 참고하면, 에칭 공정이 끝난 후, 마스크(10)는 제거된다.
- [80] 도 7을 참고하면, 컨택층(130)의 상부에 제1 전극 패드(190)가 형성될 수 있다. 또한, 제1 전극 패드(190)는 컨택층(130)의 상면 전체를 덮도록 형성될 수 있다.
- [81] 제1 전극 패드(190)는 전도성 물질로 형성될 수 있다. 또한, 제1 전극 패드(190)는 단층 또는 다층으로 형성될 수 있다.
- [82] 제1 전극 패드(190)는 컨택층(130)을 통해서 제1 반도체층(140)과 전기적으로 연결될 수 있다.
- [83] 본 발명의 실시 예에 따른 발광 소자(100)는 제1 전극 패드(190) 및 컨택층(130)의 하부에 위치한 제1 반도체층(140)이 다른 영역의 제1 반도체층(140)보다 더 두껍게 형성될 수 있다. 즉, 제1 반도체층(140)의 발광면과 비발광면은 높이 차

- 이(h1)가 있으며, 비발광면이 발광면보다 높게 위치한다. 여기서, 제1 반도체층(140)을 기준으로 발광면은 광이 외부로 방출되는 면이며, 비발광면은 광이 외부로 방출되지 못하는 면이다. 즉, 제1 반도체층(140)에서 발광면은 외부로 노출된 제1 반도체층(140)의 표면이며, 비발광면은 컨택층(130)이 덮고 있는 표면이다.
- [84] 활성층(150)의 일부 영역에서 방출된 광의 일부는 컨택층(130) 또는 제1 전극 패드(190)에 의해서 외부로 방출되지 못한다. 즉, 컨택층(130) 또는 제1 전극 패드(190)에 의해서 외부로 방출되지 못하는 광이 방출하는 영역은 음영 영역(D1)이 될 수 있다.
- [85] 본 발명의 실시 예에 따르면, 음영 영역(D1)은 컨택층(130)의 하면 일단에서 컨택층(130)과 가장 가까운 제1 반도체층(140)의 요철의 하단을 지나는 연장선(L)과 만나는 활성층(150)의 내측 영역에 대응할 수 있다. 컨택층(130)이 생략된 경우에는 음영 영역(D)을 설정하는 기준은 제1 전극 패드(190)의 하면의 일단이 될 수 있다.
- [86] 음영 영역(D1)에 대응하는 활성층(150)에서 생성된 광은 컨택층(130)에 의해서 광이 외부로 방출되지 못한다. 또한, 광은 제2 전극 패드(180)와 제2 반도체층(160)이 접촉하는 영역에 대응하는 활성층(150)의 영역에서 주로 생성 및 방출될 수 있다.
- [87] 따라서, 음영 영역(D1) 내에 제2 전극 패드(180)가 형성되는 경우, 활성층(150)에서 생성 및 방출된 광량에 비해 발광 소자(100)의 외부로 방출되는 광량이 감소하게 된다. 즉, 음영 영역(D1) 내에서 제2 전극 패드(180)와 제2 반도체층(160)이 접촉하는 면적이 증가할수록 발광 소자(100)의 발광 효율이 감소하게 된다. 또한, 비음영 영역(D2) 내에서 제2 전극 패드(180)와 제2 반도체층(160)이 접촉하는 면적이 작을수록 활성층(150)에서 광이 생성 및 방출되는 영역이 감소하며, 이에 따라 발광 소자(100)의 광량이 감소할 수 있다.
- [88] 본 발명의 실시 예에 따른 발광 소자(100)는 설정된 타겟 두께에 도달하도록 요청된 발광 영역(R1)에서의 제1 반도체층(140)의 두께보다 컨택층(130)이 형성된 비발광 영역(R2)에서의 제1 반도체층(140)의 두께가 더 두껍다. 즉, 발광 영역(R1)에서의 제1 반도체층(140)의 상면의 높이보다 비발광 영역에서의 제1 반도체층(140)의 상면이 더 높게 위치한다. 그에 따라 컨택층(130)의 하면이 발광 영역(R1)에서의 제1 반도체층(140)의 상면인 발광면보다 더 높게 위치한다. 컨택층(130)의 하면의 높이와 발광면의 높이 차이(h1)이 증가할수록, 컨택층(130)의 하면의 일단과 컨택층(130)에 인접한 요철의 하단의 높이 역시 증가할 수 있다. 컨택층(130)의 하면의 일단과 요철의 하단의 높이가 증가할수록 이들을 지나는 연장선(L)의 경사 각도가 커지게 된다. 연장선(L)의 경사 각도가 커지면, 음영 영역(D1)의 면적은 감소하게 된다. 음영 영역(D1)이 감소하게 되면, 제2 전극 패드(180)와 제2 반도체층(160) 간의 접촉 면적이 증가하게 되고, 활성층(150)에서 광을 생성 및 방출할 수 있는 영역 역시 증가할 수 있다. 따라서, 컨택층(130) 하부에 위치한 제1 반도체층(140)과 발광 영역(R1)에 위치한 제1 반도체층(140)의 높이

차이에 의해서 활성층(150)에서 생성 및 방출되는 광량 증가로 본 실시 예에 따른 발광 소자(100)에서 외부로 방출되는 광량이 증가하며, 발광 효율 역시 향상될 수 있다.

- [89] 이후, 본 발명의 발광 소자의 다양한 실시 예에 대해서 설명하도록 한다. 이때, 본 발명의 발광 소자의 실시 예들에 대한 설명은 이전에 설명한 발광 소자와의 차이점 위주로 설명한다. 따라서, 이후 실시 예에 대한 설명 중에서 생략된 내용은 해당 실시 예의 이전의 설명을 참고하도록 한다.
- [90] 도 8은 본 발명의 제2 실시 예에 따른 발광 소자의 단면을 개략적으로 나타낸 도면이다.
- [91] 제2 실시 예에 따른 발광 소자(200)는 제1 전극 패드(290), 제2 전극 패드(180), 컨택층(130), 제1 반도체층(140), 활성층(150) 및 제2 반도체층(160)을 포함할 수 있다.
- [92] 도 8을 참고하면, 제2 실시 예에 따른 발광 소자(200)는 제1 전극 패드(290)가 컨택층(130) 보다 작은 폭을 갖도록 형성될 수 있다.
- [93] 도 9는 본 발명의 제3 실시 예에 따른 발광 소자의 단면을 개략적으로 나타낸 도면이다.
- [94] 제3 실시 예에 따른 발광 소자(300)는 제1 전극 패드(390), 제2 전극 패드(180), 컨택층(330), 제1 반도체층(340), 활성층(150) 및 제2 반도체층(160)을 포함할 수 있다.
- [95] 도 9를 참고하면, 제3 실시 예에 따른 발광 소자(300)는 제1 전극 패드(390) 및 컨택층(330)은 적어도 일측면이 경사면으로 이루어질 수 있다. 또한, 컨택층(330)의 하부에 위치한 제1 반도체층(340)의 측면의 적어도 일부가 경사면으로 이루어질 수 있다.
- [96] 본 실시 예에 따르면, 요철이 형성된 발광면에서 방출된 광의 일부는 제1 전극 패드(390), 컨택층(330) 및 제1 반도체층(340)의 측면들에 부딪힐 수 있다. 이때, 제1 전극 패드(390), 컨택층(330) 및 제1 반도체층(340)의 측면들에 부딪힌 광은 측면들의 경사에 의해서 흡수되지 않고 반사되어 발광 소자(300)의 외부로 방출될 수 있다.
- [97] 따라서, 본 실시 예의 발광 소자(300)는 제1 전극 패드(390), 컨택층(330) 및 제1 반도체층(340)에 의해서 흡수되는 광을 최소화하여 발광 효율을 향상시킬 수 있다.
- [98] 도 10 내지 도 12는 본 발명의 제4 실시 예에 따른 발광 소자를 설명하기 위한 도면이다.
- [99] 우선, 도 1 및 도 2의 과정을 통해서, 제2 전극 패드(180) 상부에 제2 반도체층(160), 활성층(150), 제1 반도체층(440) 및 컨택층(130)이 적층된 구조물을 형성할 수 있다.
- [100] 도 10을 참고하면, 1차 에칭을 수행할 수 있다.
- [101] 우선, 컨택층(130) 상부에 제1 마스크(21)를 형성할 수 있다.

- [102] 제1 마스크(21)는 건식 에칭 공정으로부터 피에칭 대상물을 보호할 수 있는 물질로 형성될 수 있다.
- [103] 제1 마스크(21)는 도 3의 마스크(10)와 다르게 비발광 영역(R2)에 컨택층(130) 뿐만 아니라 발광 영역(R1)에 위치한 컨택층(130)의 일부를 덮도록 형성할 수 있다. 여기서, 제1 마스크(21)가 덮는 발광 영역(R1)의 컨택층(130)은 음영 영역(D1) 상에 위치할 수 있다.
- [104] 1차 에칭은 도 4에서 설명한 바와 같이, 건식 에칭일 수 있다.
- [105] 1차 에칭을 통해서 제1 마스크(21)가 덮지 않은 영역의 컨택층(130) 전체와 제1 반도체층(440)의 상부 부분이 에칭되어 제거될 수 있다.
- [106] 도 11을 참고하면, 제1 마스크(21)를 제거하고, 컨택층(130) 상부에 제2 마스크(22)가 형성될 수 있다. 제2 마스크(22)는 습식 에칭 공정에서 피에칭 대상물을 보호할 수 있는 물질로 형성될 수 있다.
- [107] 제2 마스크(22)는 컨택층(130)의 일부분을 덮도록 형성될 수 있다. 즉, 제2 마스크(22)는 컨택층(130)을 덮도록 형성되지만, 컨택층(130)의 일부는 외부로 노출시킬 수 있다.
- [108] 제2 마스크(22)가 형성된 후에, 2차 에칭이 수행될 수 있다. 2차 에칭은 습식 에칭일 수 있다.
- [109] 2차 에칭이 수행된 이후에, 제2 마스크(22)를 제거하고, 도 12에 도시된 바와 같이, 제1 전극 패드(290)를 형성하여, 제4 실시 예에 따른 발광 소자(400)를 형성할 수 있다.
- [110] 도 12를 참고하면, 제4 실시 예에 따른 발광 소자(400)는 발광 영역(R1) 중에서 음영 영역(D1) 상에 위치한 발광면과 비음영 영역(D2) 상에 위치한 발광면 간의 높이 차이(h2)가 있다. 즉, 발광 소자(400)는 발광 영역(R1) 중에서 음영 영역(D1)에 위치한 제1 반도체층(440)은 발광 영역(R1) 중에서 비음영 영역(D2)에 위치한 제1 반도체층(440)보다 더 두껍게 형성된 구조를 가질 수 있다.
- [111] 또한, 음영 영역(D1)의 경우, 1차 에칭을 생략하고 2차 에칭만 수행되었다. 2차 에칭 공정에서 이루어진 습식 에칭의 영향으로 표면에 형성된 요철의 상부 부분에 컨택층(130)이 잔존해 있을 수 있다. 즉, 본 실시 예에 따른 발광 소자(400)는 발광 영역(R1)과 음영 영역(D1)이 중첩되는 중첩 영역을 포함할 수 있다. 또한, 중첩 영역에서 요철이 형성된 발광면은 중첩 영역이 아닌 발광 영역(R1)에서 요철이 형성된 발광면보다 높게 위치할 수 있다. 또한, 중첩 영역에서 요철이 형성된 발광면에는 컨택층(130)의 일부가 잔존해 있을 수 있다.
- [112] 본 발명의 실시 예에 따르면, 제1 패드 전극의 일측면에서 음영 영역(D1)의 일단까지의 거리는 약 20 μ m 이하 일 수 있다. 여기서, 제1 패드 전극의 일측면은 발광 영역(R1)을 향하는 측면이며, 음영 영역(D1)의 일단은 음영 영역(D1)의 테두리에 해당하는 끝단이다.
- [113] 도 13 내지 도 15는 제5 실시 예에 따른 발광 소자를 설명하기 위한 도면들이다.

- [114] 도 13은 본 발명의 제5 실시 예에 따른 발광 소자의 평면도이다. 도 14는 본 발명의 제5 실시 예에 따른 발광 소자의 일 단면도(A1-A2)이다. 또한, 도 15는 본 발명의 제5 실시 예에 따른 발광 소자의 일 영역의 확대도(B)이다.
- [115] 도 14를 참고하면, 제5 실시 예에 따른 발광 소자(500)는 제2 전극 패드(580), 절연층(570), 제2 컨택층(510), 반도체 구조물(540), 제1 컨택층(530), 및 제1 전극 패드(590)를 포함할 수 있다. 제2 전극 패드(580)는 적어도 하나의 금속층을 포함할 수 있다 예를 들어, 제2 전극 패드(580)는 제1 금속층(581), 제2 금속층(582), 제3 금속층(583) 및 제4 금속층(584)을 포함할 수 있다. 절연층(570)은 제1 절연층(571) 및 제2 절연층(575)을 포함할 수 있다. 또한, 제1 컨택층(530)은 컨택층(531) 및 상부 전류 분산층(532)를 포함할 수 있다.
- [116] 제2 전극 패드(580)는 금속과 같은 전도성 물질로 형성될 수 있다. 본 실시 예에서 제2 전극 패드(580)는 제1 내지 제4 금속층(584)을 포함하는 다층 구조일 수 있다.
- [117] 예를 들어, 제2 전극 패드(580)를 이루는 각각의 금속층은 타이타늄(Ti), 텅스텐(W), 백금(Pt), 니켈(Ni), 알루미늄(Al), 크롬(Cr) 중 적어도 하나의 물질을 포함할 수 있다. 또한, 제2 전극 패드(580)를 이루는 각각의 금속층은 인접한 금속층과 적어도 하나의 다른 물질을 포함하도록 형성될 수 있으며, 다른 열팽창 계수를 가질 수 있다.
- [118] 예를 들어, 제1 금속층(581)은 타이타늄(Ti), 텅스텐(W), 백금(Pt), 니켈(Ni), 알루미늄(Al), 크롬(Cr) 중 적어도 하나의 물질을 포함할 수 있다. 또한, 제1 금속층(581)은 타이타늄(Ti)으로 형성된 층과 텅스텐(W)으로 형성된 층이 적층된 다층 구조로 형성될 수 있다.
- [119] 제2 금속층(582)은 제1 금속층(581)의 하부에 위치하며, 타이타늄(Ti), 텅스텐(W), 백금(Pt), 니켈(Ni), 알루미늄(Al), 크롬(Cr) 중 적어도 하나의 물질을 포함할 수 있다 또한, 제2 금속층(582)은 제1 금속층(581)과 다른 물질로 형성되거나 적어도 하나의 다른 물질을 포함할 수 있다. 또한, 제2 금속층(582)은 제1 금속층(581)과 다른 열팽창 계수를 갖는 물질을 포함할 수 있다.
- [120] 제3 금속층(583)은 제2 금속층(582)의 하부에 위치하며, 타이타늄(Ti), 텅스텐(W), 백금(Pt), 니켈(Ni), 알루미늄(Al), 크롬(Cr) 중 적어도 하나의 물질을 포함할 수 있다. 또한, 제3 금속층(583)은 제2 금속층(582)과 다른 물질로 형성되거나 적어도 하나의 다른 물질을 포함할 수 있다. 또한, 제3 금속층(583)은 제2 금속층(582)과 다른 열팽창 계수를 갖는 물질을 포함할 수 있다.
- [121] 또한, 제4 금속층(584)은 제3 금속층(583)의 하부에 위치하며, 타이타늄(Ti), 텅스텐(W), 백금(Pt), 니켈(Ni), 알루미늄(Al), 크롬(Cr), 주석(Sn) 중 적어도 하나의 물질을 포함할 수 있다. 또한, 제4 금속층(584)은 제3 금속층(583)과 다른 물질로 형성되거나 적어도 하나의 다른 물질을 포함할 수 있다. 또한, 제4 금속층(584)은 제3 금속층(583)과 다른 열팽창 계수를 갖는 물질을 포함할 수 있다. 예를 들어,

- 제4 금속층(584)은 니켈(Ni)로 형성된 층과 주석(Sn)으로 형성된 층이 적층된 다층 구조로 형성될 수 있다.
- [122] 제3 금속층(583)은 제4 금속층(584)의 상면의 적어도 일부를 덮도록 형성되며, 제2 금속층(582)은 제3 금속층(583)의 상면의 적어도 일부를 덮도록 형성될 수 있다. 또한, 제1 금속층(581)은 제2 금속층(582)의 상면의 적어도 일부를 덮도록 형성될 수 있다.
- [123] 도 14를 참고하면, 제1 금속층(581)은 끝단이 반도체 구조물(540)의 하면 테두리와 제2 금속층(582)의 제1 경사부(c1) 사이에 배치될 수 있다. 즉, 제1 금속층(581)의 끝단은 반도체 구조물(540)의 테두리보다 외측에 위치하고, 제2 금속층(582)의 측면보다 내측에 위치할 수 있다.
- [124] 제2 전극 패드(580)의 상부에는 제2 절연층(575)이 형성될 수 있다. 제2 절연층(575)은 제1 금속층(581)의 상면 및 제1 금속층(581)에 의해서 노출된 제2 금속층(582)의 상면의 적어도 일부를 덮도록 형성될 수 있다. 이때, 제2 절연층(575)은 제1 금속층(581)의 끝단을 덮는 동시에 제2 금속층(582)의 상면을 덮을 수 있다.
- [125] 본 실시 예에서, 제2 전극 패드(580)가 4개의 금속층으로 형성된 다층 구조이지만, 제2 전극 패드(580)의 구조가 이에 한정되는 것은 아니다. 제2 전극 패드(580)는 단층 구조일 수도 있으며, 2개 이상의 금속층들을 포함하는 다층 구조일 수도 있다.
- [126] 제2 절연층(575)은 절연 물질로 형성될 수 있다. 예를 들어, 제2 절연층(575)은 SiO_2 , SiN_x , MgF_x 중 적어도 하나로 형성될 수 있다.
- [127] 또한, 제2 절연층(575)은 관통홀 구조의 제2 개구부(576)를 포함할 수 있다. 제2 절연층(575)의 제2 개구부(576)는 제2-1 개구부(577) 및 제2-2 개구부(578)를 포함할 수 있다.
- [128] 도 14를 참고하면, 제2-1 개구부(577)는 상단에서 하단으로 갈수록 직경이 좁아지거나 커지는 구조일 수 있다.
- [129] 또한, 제2-2 개구부(578)는 상부 영역(578-1)과 하부 영역(578-2)이 서로 다른 구조로 형성될 수 있다. 도 14에 도시된 바와 같이, 제2-2 개구부(578)의 상부 영역(578-1)은 상부에서 하부 방향으로 갈수록 직경이 좁아지는 구조일 수 있다. 이때, 제2-2 개구부(578)의 상부 영역(578-1)의 내측면은 수직 단면을 기준으로 곡면을 포함할 수 있다. 또한, 제2-2 개구부(578)의 하부 영역(578-2)은 상부에서 하부 방향으로 갈수록 직경이 증가하는 구조일 수 있다.
- [130] 제2-1 개구부(577)에는 제2 전극 패드(580)가 배치될 수 있다. 그에 따라 제2 전극 패드(580)의 제1 금속층(581)은 제2-1 개구부(577)에 의해서 제2 반도체층(543)과 전기적으로 연결될 수 있다. 제1 금속층(581)은 반도체 구조물(540)의 제2 반도체층(543)이 접촉하여, 제2 전극 패드(580)와 제2 반도체층(543)이 전기적으로 연결될 수 있다. 또는 제2-1 개구부(577)에 배치된 제1 금속층(581)과 제2 반도체층(543) 사이에 전도성 물질이 더 형성될 수도 있다.

- [131] 제2-2 개구부(578)에는 제2 컨택층(510) 및 제2 전극 패드(580)가 배치될 수 있다. 제2-2 개구부(578)의 상부 영역(578-1)에는 제2 컨택층(510)이 배치되며, 제2-2 개구부(578)의 하부 영역(578-2)에는 제2 전극 패드(580)가 배치될 수 있다. 따라서, 제2 컨택층(510)과 제1 금속층(581)은 제2-2 개구부(578)에서 전기적으로 연결될 수 있다.
- [132] 본 실시 예에 따르면, 제2 컨택층(510)은 상면이 평평한 제1 금속층(581)의 상면에서 내측면이 곡면 또는 경사면으로 이루어진 제2-2 개구부(578)의 상부 영역(578-1)을 채울 수 있다. 따라서, 제2 컨택층(510)은 하면에서 상면으로 갈수록 폭이 증가하며, 하면은 평면이고 측면이 곡면 또는 경사면인 구조일 수 있다.
- [133] 제2 컨택층(510)은 상부에서 하부로 갈수록 폭이 증가하거나 감소하는 구조를 포함할 수 있다. 또한, 제2 컨택층(510)은 폭이 컨택층(531)의 폭보다 작은 영역과 컨택층(531)의 폭보다 큰 영역을 포함할 수 있다. 이와 같이, 제2 컨택층(510)의 폭이 다른 영역을 포함하는 구조는 전류 분산에 효과적일 수 있다.
- [134] 제2 절연층(575)은 복수의 제2-1 개구부(577) 및 복수의 제2-2 개구부(578)를 포함할 수 있다. 제2-1 개구부(577)는 제2-2 개구부(578)와 이격되어 위치하며, 상부 전류 분산층(532)과 반도체 구조물(540)의 측면 사이의 하부 영역에 위치할 수 있다. 또한, 제2-2 개구부(578)는 컨택층(531)과 상부 전류 분산층(532) 사이의 하부 영역에 위치할 수 있다. 발광 소자(500)는 복수의 제2 컨택층(510)을 포함할 수 있으며, 제2 컨택층(510)은 컨택층(531)과 상부 전류 분산층(532) 사이의 하부 영역에 위치할 수 있다. 도 14를 참고하면, 복수의 제2 컨택층(510)은 서로 이격될 수 있다.
- [135] 도 14를 참고하면, 제2 컨택층(510)은 두께가 일정한 영역 및 두께가 가변하는 영역을 포함할 수도 있으며, 두께가 가변하는 영역은 컨택층(531) 및 상부 전류 분산층(532)에 가까워질수록 두께가 얇아질 수 있다.
- [136] 제2 컨택층(510)은 전도성 물질로 형성될 수 있다. 예를 들어, 제2 컨택층(510)은 타이타늄(Ti), 텅스텐(W), 백금(Pt), 니켈(Ni), 알루미늄(Al), 크롬(Cr) 중 적어도 하나 이상의 물질을 포함할 수 있다. 예를 들어, 제2 컨택층(510)은 타이타늄(Ti) 및 텅스텐(W)을 포함하는 층에 은(Ag)을 포함하는 층이 적층된 구조일 수 있다. 그러나 제2 컨택층(510)의 구조 및 제2 컨택층(510)을 이루는 물질이 이에 한정되는 것은 아니다. 제2 컨택층(510)은 전도성 물질을 포함하는 단층 구조 또는 다층 구조로 다양하게 형성될 수 있다.
- [137] 도 14를 참고하면, 제2 컨택층(510)은 컨택층(531)의 일측면의 연장선과 상부 전류 분산층(532)의 일측면의 연장선 사이에 위치할 수 있다. 여기서, 컨택층(531)의 일측면과 상부 전류 분산층(532)의 일측면은 서로 마주할 수 있다. 또한, 제2 컨택층(510)의 일측면은 컨택층(531)의 일측면의 연장선과 제1 이격 거리(sp1)만큼 이격될 수 있으며, 제2 컨택층(510)의 타측면은 상부 전류 분산층(532)의 일측면의 연장선과 제2 이격 거리(sp2)만큼 이격될 수 있다. 또한, 제1 이격 거리(sp1)는 제2 이격 거리(sp2)와 다를 수 있다.

- [138] 제2-2 개구부(578)에 형성된 제2 컨택층(510)은 제2 반도체층(543)과 접촉하여 전기적으로 연결될 수 있다. 또는 제2-2 개구부(578)에 형성된 제2 컨택층(510)과 제2 반도체층(543) 사이에는 전도성 물질이 더 형성될 수도 있다.
- [139] 이와 같이, 제2 절연층(575)은 제2 개구부(576)를 제외한 다른 영역에서 제2 전극 패드(580)와 반도체 구조물(540)이 직접 접촉하거나 전기적으로 연결되지 않도록 할 수 있다.
- [140] 제2 전극 패드(580)를 통해 주입된 전류는 제2 절연층(575)에 의해서 분산되어 제2 반도체층(543)에 주입될 수 있다. 이와 같이, 제2 절연층(575)은 전류 분산층의 역할도 할 수 있다. 즉, 제2 절연층(575)은 이전 실시 예들의 하부 전류 분산층일 수 있다.
- [141] 제2 절연층(575)의 상부에는 반도체 구조물(540)이 형성될 수 있다. 또한, 반도체 구조물(540)은 상단에서 하단으로 갈수록 폭이 넓어지는 구조로 형성될 수 있다.
- [142] 반도체 구조물(540)은 제2 반도체층(543), 활성층(542) 및 제1 반도체층(541)이 제2 절연층(575) 상부에 차례대로 적층된 구조를 갖는다. 여기서, 제2 전극 패드(580) 및 제2 컨택층(510)은 제2 절연층(575)의 제2 개구부(576)를 통해서 제2 반도체층(543)과 전기적으로 연결될 수 있다.
- [143] 제1 반도체층(541), 활성층(542) 및 제2 반도체층(543)의 재료, 형성 방법 및 구조에 대한 자세한 설명은 제1 내지 제4 실시 예의 엘이디 반도체 칩에 대한 설명을 참고하도록 한다.
- [144] 컨택층(531) 및 상부 전류 분산층(532)은 반도체 구조물(540)의 상부인 제1 반도체층(541)의 상면에 형성될 수 있다.
- [145] 도 13을 참고하면, 컨택층(531)과 상부 전류 분산층(532)은 서로 연결될 수 있다. 컨택층(531)에 연결된 상부 전류 분산층(532)은 반도체 구조물(540)의 상부에 배치될 수 있다. 즉, 상부 전류 분산층(532)은 컨택층(531)으로부터 연장되어 여러 갈래로 갈라진 구조를 갖는다. 이와 같은 상부 전류 분산층(532)은 제1 전극 패드(590)에서 주입된 전류가 일정 영역에 집중되지 않도록 분산시켜 제1 반도체층(541)에 주입되도록 할 수 있다.
- [146] 또한, 컨택층(531)의 상부에는 제1 전극 패드(590)가 형성될 수 있다. 컨택층(531)은 하부에 형성된 제1 반도체층(541)과 상부에 형성된 제1 전극 패드(590) 간의 컨택 저항을 감소시킬 수 있다.
- [147] 제1 전극 패드(590)는 전도성 물질로 형성될 수 있다. 또한, 제1 전극 패드(590)는 단층 또는 다층으로 형성될 수 있다. 제1 전극 패드(590)는 컨택층(531)을 통해서 제1 반도체층(541)과 전기적으로 연결될 수 있다.
- [148] 제1 절연층(571)은 반도체 구조물(540), 컨택층(531), 상부 전류 분산층(532) 및 제1 전극 패드(590)를 덮도록 형성될 수 있다. 예를 들어, 제1 절연층(571)은 제2 절연층(575)과 동일한 물질로 형성될 수 있다.

- [149] 도 14에 도시된 바와 같이, 제1 절연층(571)은 반도체 구조물(540), 컨택층(531) 및 하부 전류 분산층(532)의 노출된 영역을 덮도록 형성될 수 있다. 제1 절연층(571)은 제1 개구부(572)를 포함하며, 제1 개구부(572)에 제1 전극 패드(590)가 배치될 수 있다. 제1 전극 패드(590)의 상면은 회로 기판과 같은 외부 구성부와 전기적으로 연결될 수 있다. 본 실시 예의 제1 반도체층(541)은 발광 영역에 위치한 상면에 요철이 형성될 수 있다. 따라서, 발광 영역에서는 제1 반도체층(541)을 덮는 제1 절연층(571)에도 요철이 형성될 수 있다.
- [150] 또한, 반도체 구조물(540)의 측면에도 요철이 더 형성될 수 있다. 또한, 제1 절연층(571)에서 반도체 구조물(540)의 측면을 덮는 영역의 적어도 일부에도 요철이 형성될 수 있다. 반도체 구조물(540)의 측면에 형성된 요철은 반도체 구조물(540)과 제1 절연층(571) 간의 접촉 면적을 증가시켜 결합력을 향상시킬 수 있다.
- [151] 반도체 구조물(540)의 측면을 덮는 제1 절연층(571)의 하단은 제2 절연층(575)과 접촉할 수 있다. 따라서, 본 실시 예의 발광 소자(500)는 절연층(570)이 제2 반도체층(543)의 하단을 감싸는 구조를 포함할 수 있다. 즉, 제2 반도체층(543)은 하단 모서리를 이루는 하면과 측면이 모두 절연층(570)으로 덮힐 수 있다.
- [152] 도 14를 참고하면, 발광 소자(500)는 반도체 구조물(540)의 외측 영역에서 상면의 높이가 서로 다른 제1 영역(S1)과 제2 영역(S2)을 포함할 수 있다. 또한, 발광 소자(500)는 제1 영역(S1)과 제2 영역(S2) 사이에서 서로 다른 높이의 상면을 연결하는 경사부가 형성된 경사 영역(S3)을 포함할 수 있다. 제1 영역(S1)은 반도체 구조물(540)과 제2 영역(S2) 사이에 배치될 수 있다. 또한, 제2 영역(S2)은 제1 영역(S1)의 외측에 위치하여, 반도체 구조물(540)로부터 제1 영역(S1)보다 더 멀리 위치할 수 있다.
- [153] 제2 전극 패드(580)의 제2 금속층(580)은 제1 영역(S1)의 상면과 제2 영역(S2)의 상면을 연결하는 경사 영역(S3)의 제1 경사부(C1)를 포함할 수 있다. 제2 금속층(580)의 제1 경사부(C1)는 반도체 구조물(540)에서 방출되어 제1 경사부(C1)를 향하는 광을 상부로 반사시켜 발광 소자(500)의 광 추출 효율을 향상시킬 수 있다.
- [154] 또한, 제1 절연층(575)은 제1 영역(S1)의 상면과 제2 영역(S2)의 상면을 연결하는 경사 영역(S3)의 제2 경사부(C2)를 포함할 수 있다. 제1 절연층(575)의 제2 경사부(C2)는 반도체 구조물(540)에서 방출되어 제2 경사부(C2)를 향하는 광이 상부 방향으로 진행하도록 굴절시켜 발광 소자(500)의 광 추출 효율을 향상시킬 수 있다.
- [155] 또한, 도 14를 참고하면, 제1 금속층(581)의 끝단은 반도체 구조물(540)의 하면 테두리와 제2 절연층(575)의 제2 경사부(C2) 사이에 배치될 수 있다. 즉, 제2 절연층(575)은 제1 금속층(581)의 끝단을 덮도록 형성되어, 제1 금속층(581)의 끝단이 외부의 습기에 노출되는 것을 방지할 수 있다.

- [156] 제2 전극 패드(580)의 상면은 제2 영역(S2)에서 활성층(542)의 하면보다 낮게 위치할 수 있다. 또는 절연층(570)의 상면은 제2 영역(S2)에서 활성층(542)의 상면과 제2 반도체층(543)의 하면의 사이 영역에 위치할 수 있다.
- [157] 또한, 제2 전극 패드(580)의 제2 금속층(582)은 활성층(542)보다 두꺼운 두께를 가질 수 있다. 여기서, 두께는 상면에서부터 하면까지의 길이이다. 또는 제2 금속층(582)과 제2 절연층(575) 모두 활성층(542)보다 두꺼운 두께를 가질 수 있다.
- [158] 본 실시 예에 따르면, 제2 영역(S2)에서 절연층(570)의 일 측면의 적어도 일부는 활성층(542)의 측면을 마주할 수 있다. 절연층(570)은 공기와 다른 굴절률을 갖는다. 따라서, 공기 중에서 진행하여 절연층(570)에 도달한 광은 절연층(570)에서 굴절 또는 반사될 수 있다. 예를 들어, 활성층(542)에서 방출되어 외측 방향으로 진행하는 광의 적어도 일부가 제2 영역(S2)에서 절연층(570)의 일 측면을 향할 수 있다. 이때, 절연층(570)은 광을 반사하여 상부 방향을 향하도록 할 수 있다.
- [159] 제2 영역(S2)에서 제2 금속층(582)의 제1 경사면(C1)의 일 영역에서의 수직 연장선(L1)은 반도체 구조물(540)의 하단 모서리를 지나갈 수 있다. 이와 같은 구조는 반도체 구조물(540)의 하단 모서리에서 방출된 광이 제2 금속층(582)에서 반사되어 상부 방향을 향할 수 있다.
- [160] 이와 같이, 본 실시 예의 발광 소자(500)는 절연층(570) 및 제2 전극 패드(580)의 단차 구조에 의해서 상부 방향 또는 지향각 내의 광도 및 광량을 향상시킬 수 있다.
- [161] 또한, 본 실시 예의 발광 소자(500)는 단차 영역(S2)이 비단차 영역(S1)보다 더 큰 폭을 갖도록 형성될 수 있다. 여기서, 폭은 일 측면에서 타 측면까지의 길이이다.
- [162] 본 실시 예에 따르면, 제2 전극 패드(580)의 제2 금속층(582)은 적어도 하나의 제1 돌출부(pr1)를 포함할 수 있다. 도 15를 참고하면, 제2 금속층(582)은 복수의 제1 돌출부(pr1)를 포함할 수 있다. 제1 돌출부(pr1)는 제2 금속층(582)의 양면 중에서 반도체 구조물(540)과 더 멀리 떨어진 일면에서 외측으로 돌출되도록 형성될 수 있다. 즉, 제1 돌출부(pr1)는 제2 금속층(582)의 하면에서 하부 방향으로 돌출되도록 형성될 수 있다.
- [163] 제2 금속층(582)은 하면에 형성된 제1 돌출부(pr1)에 의해서 제2 금속층(582)의 하면에 접하는 제3 금속층(583)과의 접촉 면적이 증가하게 된다. 따라서, 제1 돌출부(pr1)에 의해서 제2 금속층(582)은 제3 금속층(583)과의 결합력이 향상될 수 있다. 또한, 제1 돌출부(pr1)에 의해서 제2 금속층(582)의 표면 면적이 증가할 수 있다. 따라서, 제2 금속층(582)의 열 방출 면적이 증가하여 발광 소자(500)의 방열 효율이 향상될 수 있다.
- [164] 또한, 본 실시 예에 따르면, 제2 전극 패드(580)의 제3 금속층(583)은 적어도 하나의 제2 돌출부(pr2)를 포함할 수 있다. 도 15를 참고하면, 제3 금속층(583)은 복수의 제2 돌출부(pr2)를 포함할 수 있다. 제2 돌출부(pr2)는 제3 금속층(583)의 양면 중에서 반도체 구조물(540)과 더 멀리 떨어진 일면에서 외측으로 돌출되도록

형성될 수 있다. 즉, 제2 돌출부(pr2)는 제3 금속층(583)의 하면에서 하부 방향으로 돌출되도록 형성될 수 있다.

- [165] 제3 금속층(583)은 제2 돌출부(pr2)에 의해서 제3 금속층(583)의 하면에 접하는 제4 금속층(584)과의 접촉 면적이 증가하며, 그에 따라 제4 금속층(584)과의 결합력이 향상될 수 있다. 또한, 제2 돌출부(pr2)에 의해서 제3 금속층(583)의 열 방출 면적이 증가하여 발광 소자(500)의 방열 효율이 향상될 수 있다.
- [166] 본 실시 예에 따르면, 복수의 제2 돌출부(pr2) 중 적어도 하나는 제1 돌출부(pr1)에 대응하는 위치에 형성될 수 있다. 즉, 도 15에 도시된 바와 같이 복수의 제2 돌출부(pr2) 중 적어도 하나는 복수의 제1 돌출부(pr1) 중 하나의 하부에 위치할 수 있다.
- [167] 위에서 설명한 바와 같이 본 발명에 대한 자세한 설명은 첨부된 도면을 참조한 실시 예에 의해서 이루어졌지만, 상술한 실시 예는 본 발명의 바람직한 예를 들어 설명하였을 뿐이므로, 본 발명이 상기 실시 예에만 국한되는 것으로 이해되어서는 안 되며, 본 발명의 권리 범위는 후술하는 청구범위 및 그 등가개념으로 이해되어야 할 것이다.

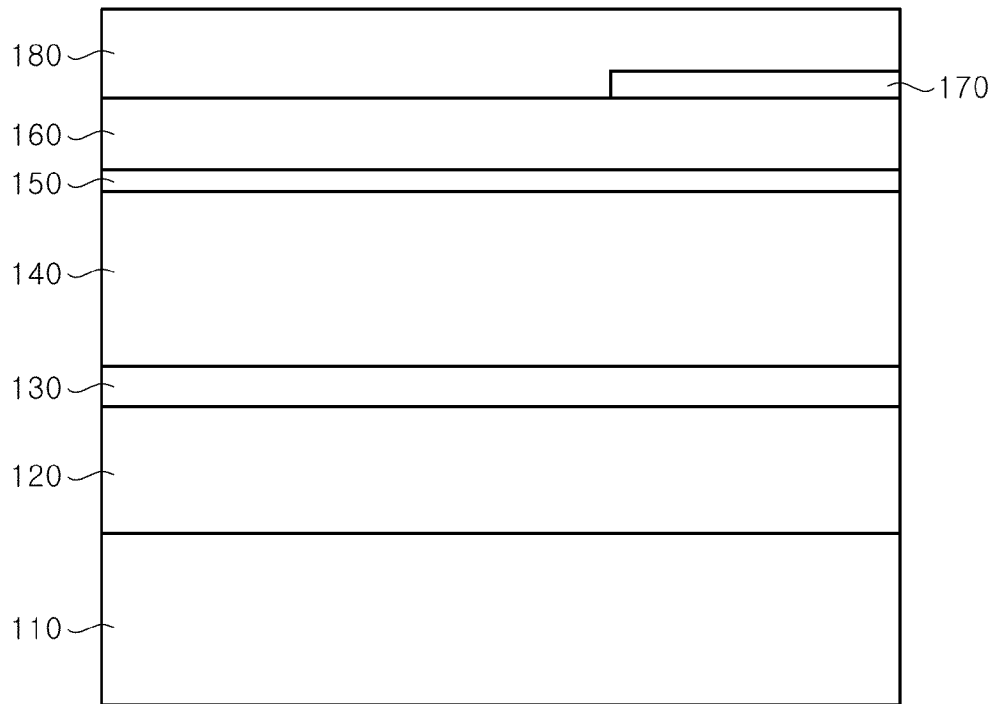
청구범위

- [청구항 1] 제2 전극 패드;
 상기 제2 전극 패드의 상부에 형성되어, 상기 제2 전극 패드와 전기적으로 연결된 제2 반도체층;
 상기 제2 반도체층의 상부에 형성되어 광을 생성 및 방출하는 활성층;
 상기 활성층의 상부에 형성된 제1 반도체층;
 상기 제1 반도체층의 상부에 형성된 제1 컨택층; 및
 상기 제1 컨택층의 상부에 형성되며, 상기 제1 컨택층을 통해서 상기 제1 반도체층과 전기적으로 연결된 제1 전극 패드;를 포함하며,
 상기 제1 반도체층 및 상기 제2 반도체층 중 하나는 n형 반도체층이며 다른 하나는 p형 반도체층이고,
 비발광 영역에 위치한 상기 제1 반도체층의 상면은 발광면인 발광 영역에 위치한 상기 제1 반도체층의 상면보다 높게 위치하며,
 상기 비발광 영역은 상기 제1 컨택층이 형성된 영역이며, 상기 발광 영역은 외부로 노출된 상기 제1 반도체층의 상면인 발광 소자.
- [청구항 2] 청구항 1에 있어서,
 상기 제1 컨택층의 하면은 상기 발광면보다 높게 위치하는 발광 소자.
- [청구항 3] 청구항 2에 있어서,
 상기 발광면에는 요철이 형성된 발광 소자.
- [청구항 4] 청구항 1에 있어서,
 상기 발광 소자는 상기 발광 소자의 외부로 방출되는 광이 생성 및 방출되는 영역인 비음영 영역과 상기 발광 소자의 외부로 방출되지 못하는 광이 생성 및 방출되는 영역인 비음영 영역을 포함하는 발광 소자.
- [청구항 5] 청구항 4에 있어서,
 상기 제2 전극 패드와 상기 제2 반도체층 사이에서 상기 제2 반도체층의 일부를 덮도록 형성된 절연층을 포함하며,
 상기 절연층은 상기 제2 전극 패드를 통해 주입된 전류를 분산시켜 제2 반도체층 및 활성층을 균일하게 통과하도록 하는 발광 소자.
- [청구항 6] 청구항 5에 있어서,
 상기 절연층은 상기 음영 영역에서 상기 제2 반도체층의 하부에 형성되는 발광 소자.
- [청구항 7] 청구항 6에 있어서,
 상기 제2 전극 패드는 상기 비음영 영역에서 상기 제2 반도체층과 접촉하는 발광 소자.
- [청구항 8] 청구항 1에 있어서,
 상기 제1 전극 패드는 상기 제1 컨택층보다 작은 단면적을 갖는 발광 소자.

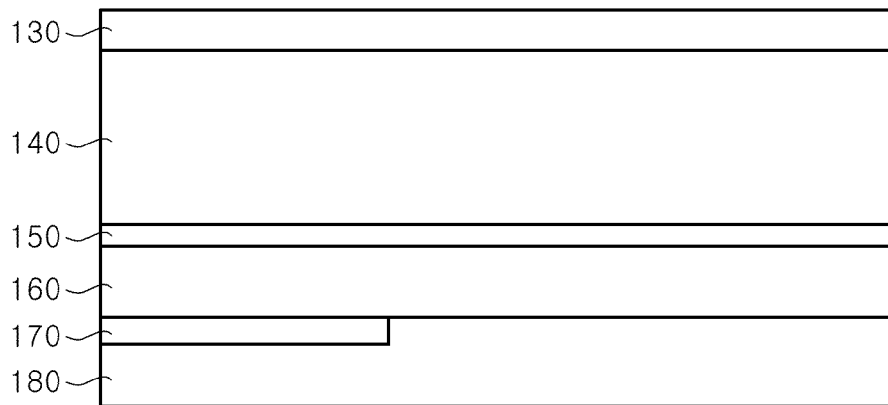
- [청구항 9] 청구항 1에 있어서,
상기 비발광 영역에서 상기 제1 반도체층의 적어도 일측면은 경사면인 발광 소자.
- [청구항 10] 청구항 1에 있어서,
상기 제1 컨택층의 적어도 일측면은 경사면인 발광 소자.
- [청구항 11] 청구항 1에 있어서,
상기 제1 패드 전극의 적어도 일측면은 경사면인 발광 소자.
- [청구항 12] 청구항 4에 있어서,
상기 발광 영역의 일부와 상기 음영 영역의 일부는 서로 중첩되는 중첩 영역을 포함하는 발광 소자.
- [청구항 13] 청구항 12에 있어서,
상기 제1 반도체층은 상기 중첩 영역에의 상면 높이가 상기 중첩 영역이 아닌 상기 발광 영역의 높이보다 높은 발광 소자.
- [청구항 14] 청구항 1에 있어서,
상기 제2 전극 패드의 상면을 덮도록 형성되며, 복수의 개구부를 포함하는 절연층을 포함하며,
상기 제2 전극 패드는 복수의 금속층이 적층된 것이며,
상기 제2 전극 패드는 상기 절연층의 상기 복수의 개구부 각각의 일부 또는 전체를 채우도록 형성되어 상기 제2 반도체층과 전기적으로 연결되는 발광 소자.
- [청구항 15] 청구항 14에 있어서,
상기 반도체층 상부에 형성되며, 상기 제1 컨택층의 일부분과 연결되는 상부 전류 분산층을 포함하며,
상기 상부 전류 분산층은 상기 제1 컨택층으로부터 복수의 갈래로 갈라진 영역을 포함하는 발광 소자.
- [청구항 16] 청구항 15에 있어서,
상기 절연층의 상기 복수의 개구부 중 적어도 하나의 개구부는 상부 부분이 하부에서 상부로 갈수록 직경이 증가하며, 하부 부분은 직경이 일정한 발광 소자.
- [청구항 17] 청구항 16에 있어서,
상기 제2 반도체층과 상기 제2 전극 패드 사이에 형성되는 제2 컨택층을 포함하고,
상기 제2 컨택층은 상기 적어도 하나의 개구부의 상기 상부 부분에 형성되어, 상기 제2 반도체층 및 상기 제2 전극 패드와 전기적으로 연결되는 발광 소자.
- [청구항 18] 청구항 17에 있어서,
상기 적어도 하나의 개구부의 상기 상부 부분을 이루는 상기 절연층의 내측면은 곡면인 발광 소자.

- [청구항 19] 청구항 18에 있어서,
일 영역에서 상기 제1 컨택층의 양측 각각에 상기 상부 전류 분산층이 상기 제1 컨택층과 이격되어 위치하며,
상기 제2 컨택층은 상기 제1 컨택층과 상기 상부 전류 분산층 사이에 위치하는 발광 소자.
- [청구항 20] 청구항 14에 있어서,
상기 제2 반도체층의 외측 영역에서 상기 복수의 금속층 중 적어도 하나의 금속층의 상면은 상기 활성층의 하면보다 낮게 위치하는 발광 소자.

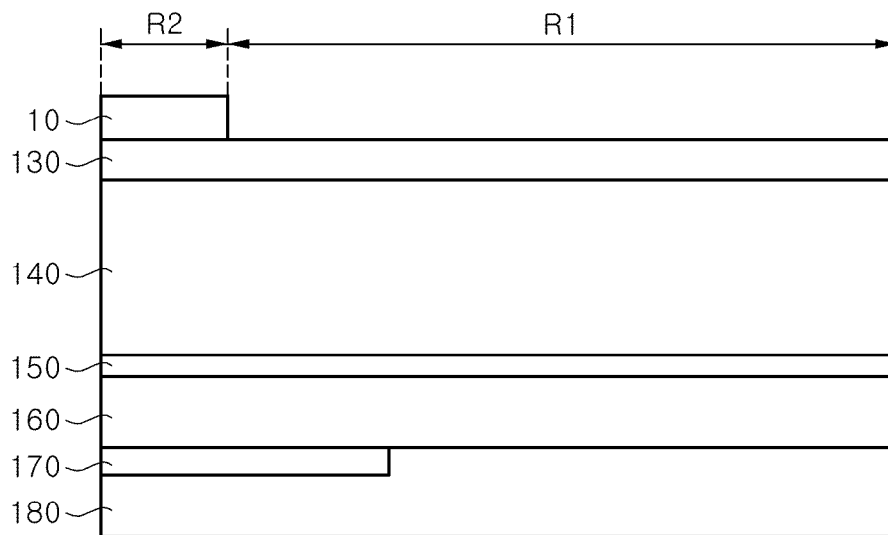
[도1]



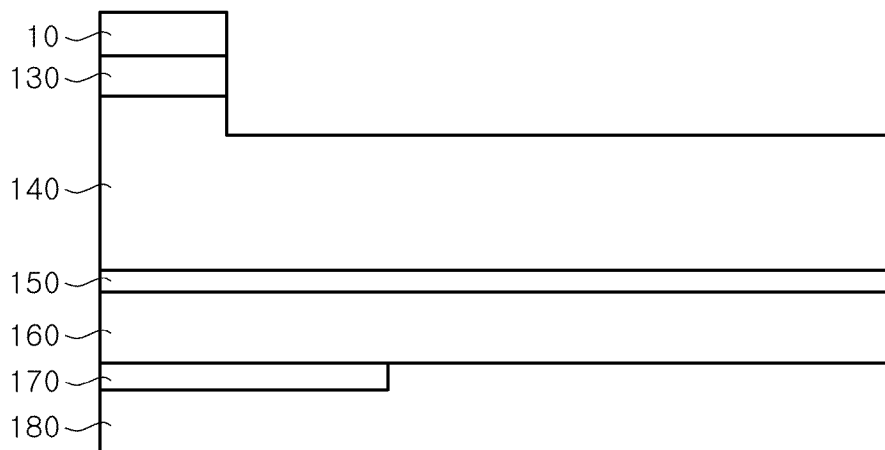
[도2]



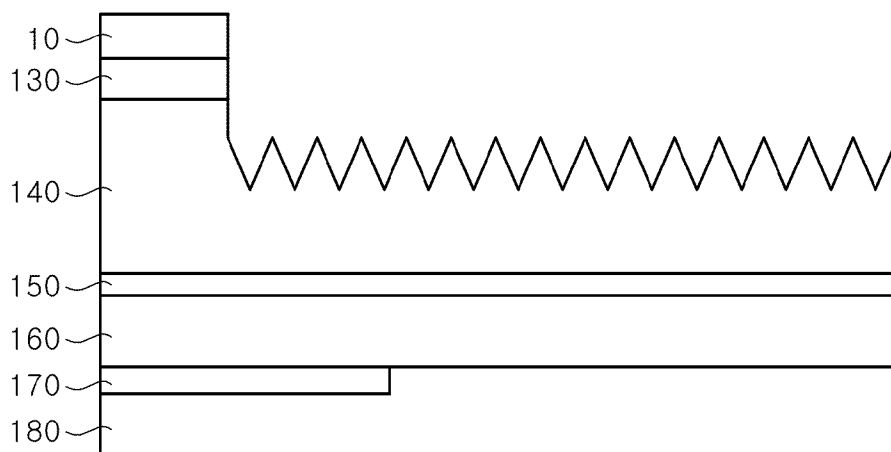
[도3]



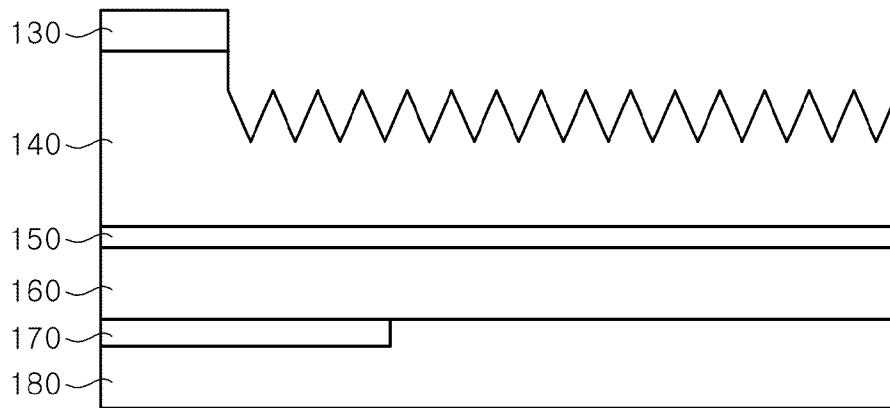
[도4]



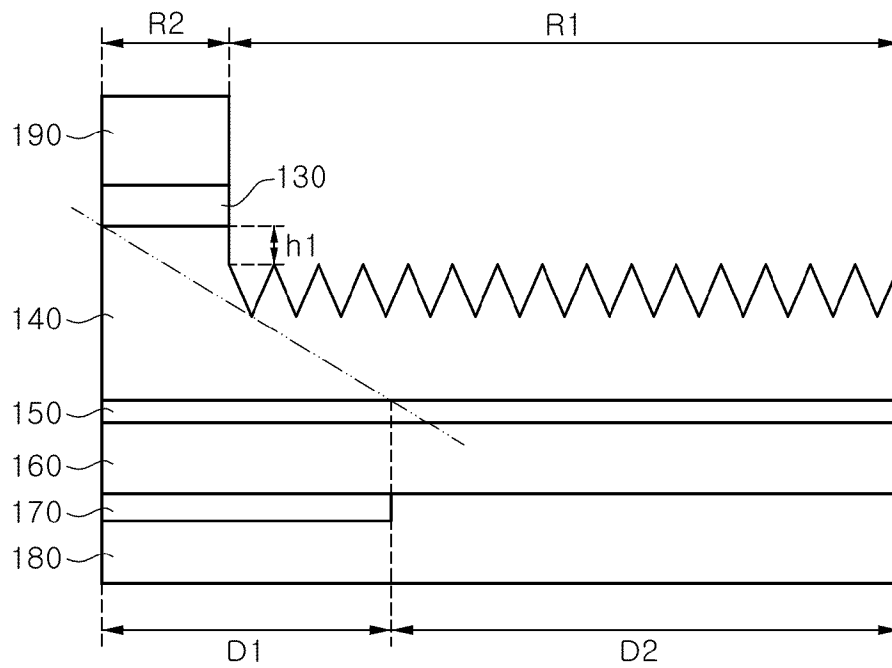
[도5]



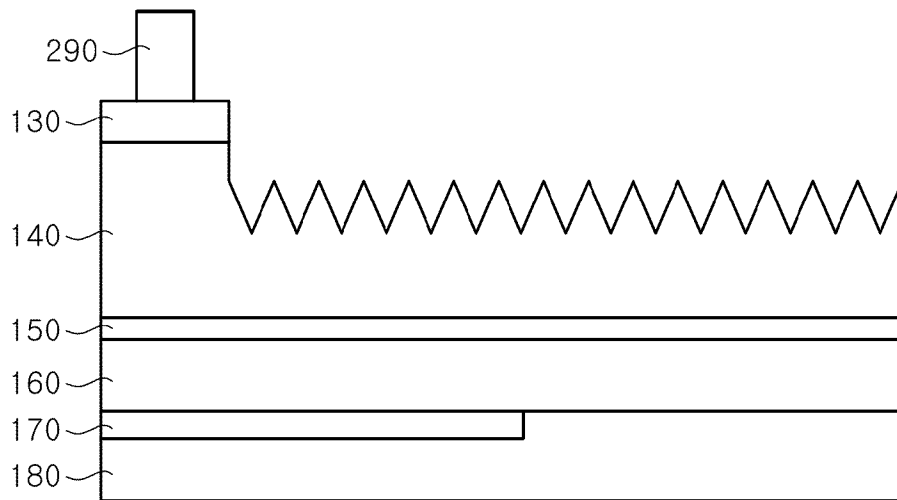
[도6]



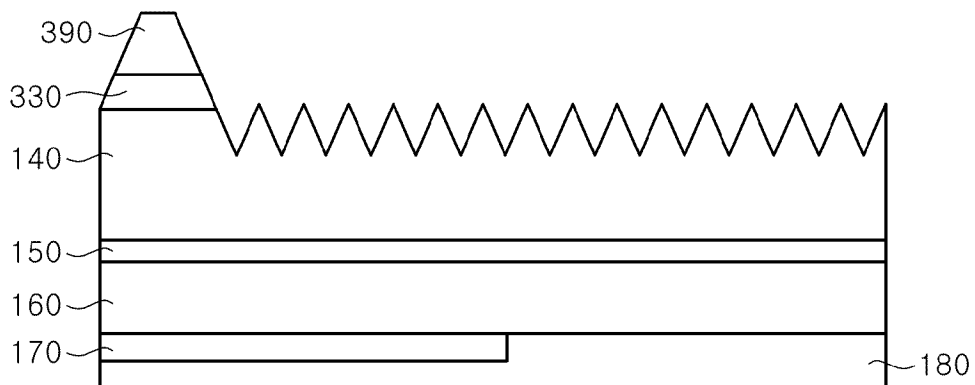
[도7]

100

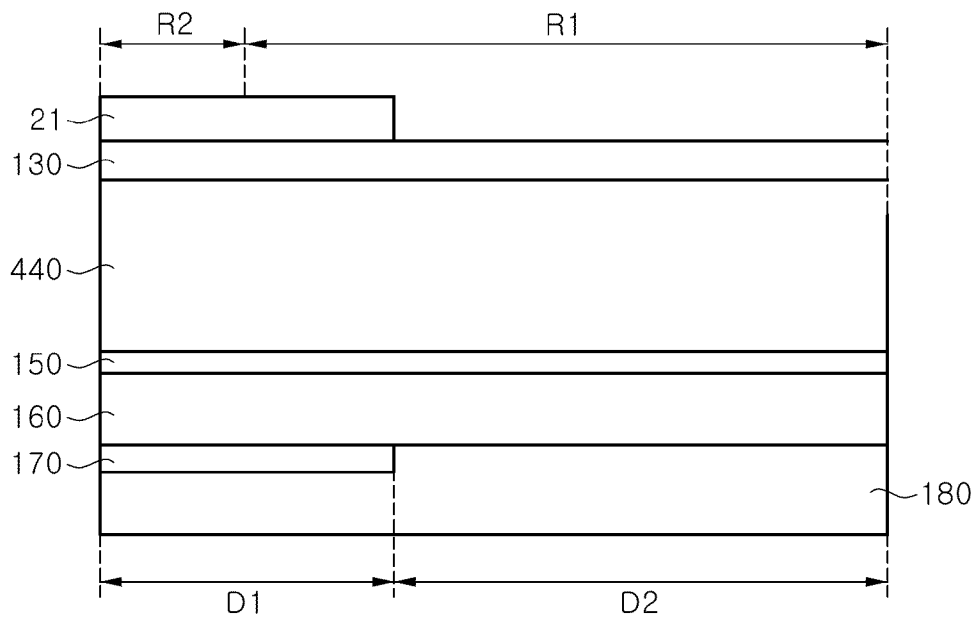
[도8]

200

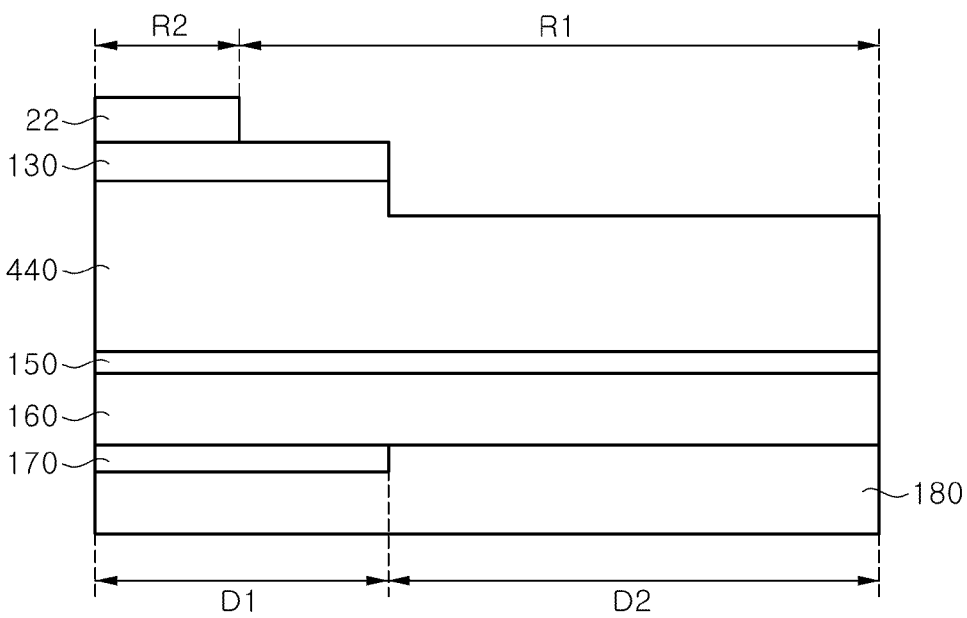
[도9]

300

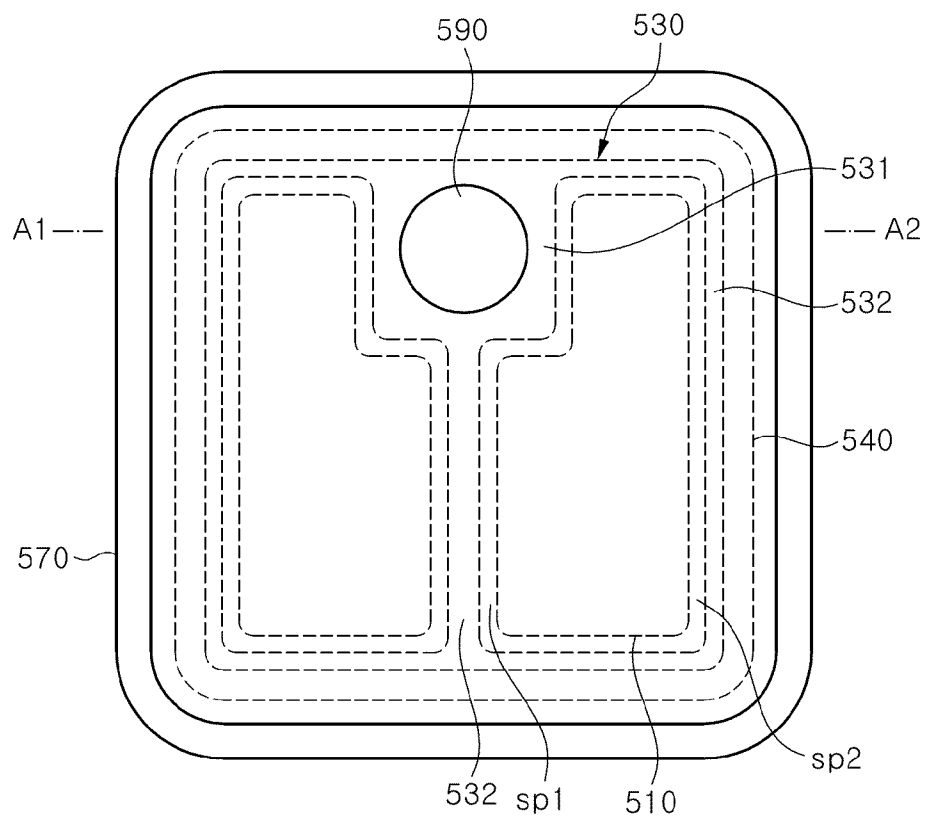
[도10]



[도11]

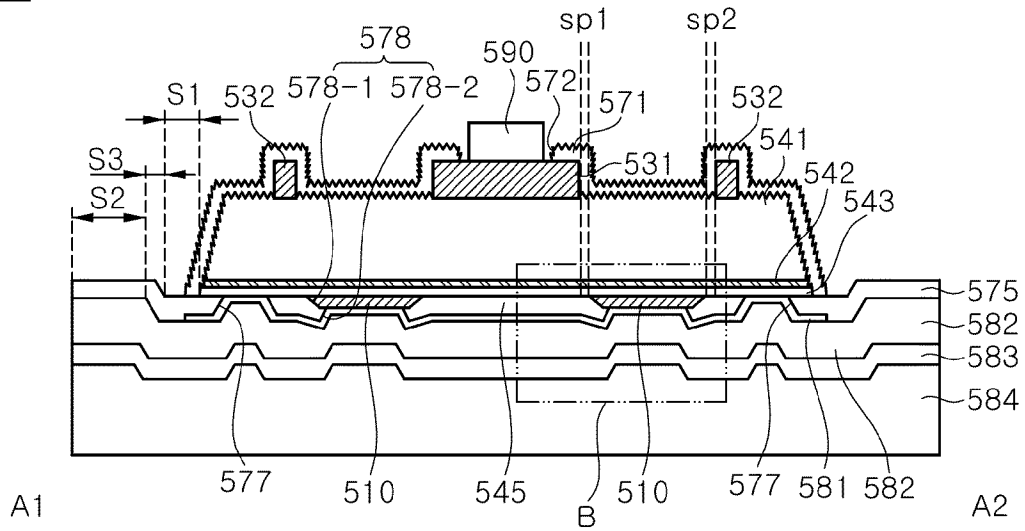


400



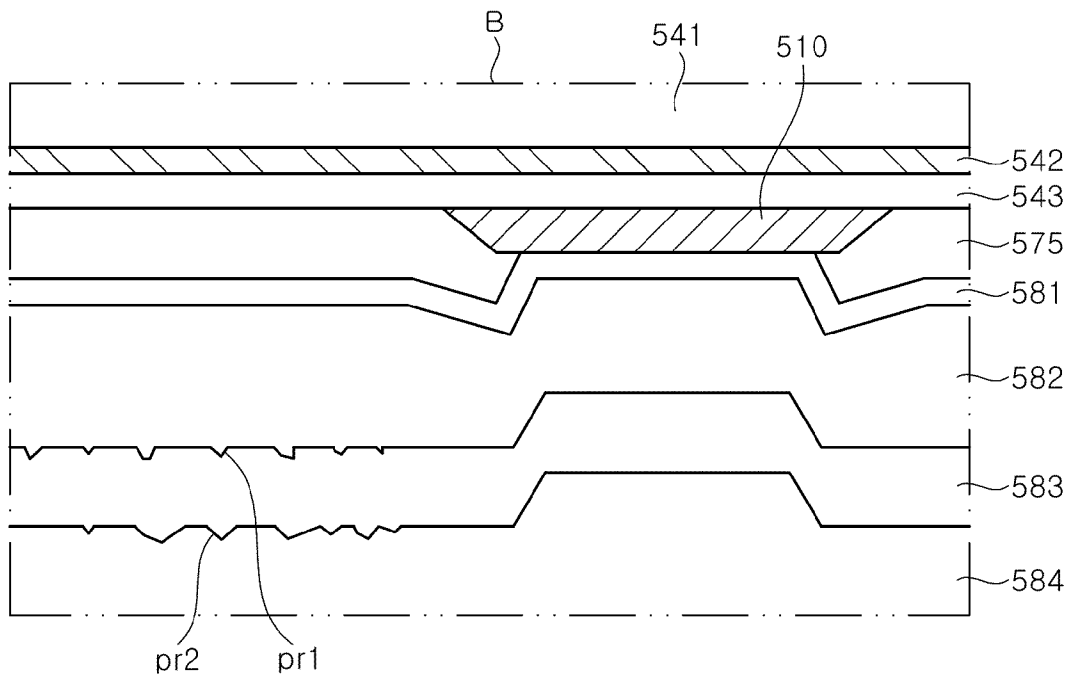
[도14]

500



541	571	581
542	575	582
543	577	583
	578	584

[도15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/009852

A. CLASSIFICATION OF SUBJECT MATTER H01L 33/20(2010.01)i; H01L 33/62(2010.01)i; H01L 33/06(2010.01)i; H01L 33/44(2010.01)i; H01L 33/14(2010.01)i; H01L 33/38(2010.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 33/20(2010.01); H01L 33/18(2010.01); H01L 33/22(2010.01); H01L 33/36(2010.01); H01L 33/38(2010.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 전극 패드(electrode pad), 반도체층(semiconductor layer), 활성층(active layer), 콘택층(contact layer), 경사면(incline)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2020-0203570 A1 (EPISTAR CORPORATION) 25 June 2020 (2020-06-25) See paragraphs [0020]-[0021], [0028] and [0047]; and figure 1.	1-20
A	KR 10-2014-0060149 A (SEOUL VIOSYS CO., LTD.) 19 May 2014 (2014-05-19) See paragraphs [0033] and [0036]; and figure 2.	1-20
A	KR 10-0986560 B1 (LG INNOTEK CO., LTD.) 07 October 2010 (2010-10-07) See claim 1; and figure 1.	1-20
A	KR 10-2014-0100115 A (SAMSUNG ELECTRONICS CO., LTD.) 14 August 2014 (2014-08-14) See figure 8.	1-20
A	KR 10-2005-0036737 A (EPISTAR CORPORATION) 20 April 2005 (2005-04-20) See figure 2.	1-20
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 21 October 2024		Date of mailing of the international search report 21 October 2024
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2024/009852

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2020-0203570	A1	25 June 2020	CN	111354842	A	30 June 2020
				JP	2020-102629	A	02 July 2020
				TW	202038482	A	16 October 2020
				US	11239388	B2	01 February 2022
KR	10-2014-0060149	A	19 May 2014	EP	2731150	A2	14 May 2014
				EP	2731150	A3	20 January 2016
				EP	2731150	B1	08 January 2020
				JP	2014-096592	A	22 May 2014
				JP	6324706	B2	16 May 2018
				KR	10-2013363	B1	22 August 2019
				US	2014-0131731	A1	15 May 2014
				US	9269867	B2	23 February 2016
KR	10-0986560	B1	07 October 2010	CN	102157658	A	17 August 2011
				CN	102157658	B	22 April 2015
				EP	2360748	A2	24 August 2011
				EP	2360748	A3	04 June 2014
				EP	2360748	B1	22 May 2019
				JP	2011-166150	A	25 August 2011
				JP	2014-068025	A	17 April 2014
				JP	5414711	B2	12 February 2014
				JP	5864514	B2	17 February 2016
				TW	201133942	A	01 October 2011
				TW	I420705	B	21 December 2013
				US	2011-0193123	A1	11 August 2011
				US	8039860	B2	18 October 2011
KR	10-2014-0100115	A	14 August 2014	US	2014-0217448	A1	07 August 2014
KR	10-2005-0036737	A	20 April 2005	US	2005-0082562	A1	21 April 2005

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 33/20(2010.01)i; H01L 33/62(2010.01)i; H01L 33/06(2010.01)i; H01L 33/44(2010.01)i; H01L 33/14(2010.01)i; H01L 33/38(2010.01)i		
B. 조사된 분야		
조사된 최소문헌(국제특허분류를 기재) H01L 33/20(2010.01); H01L 33/18(2010.01); H01L 33/22(2010.01); H01L 33/36(2010.01); H01L 33/38(2010.01)		
조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC		
국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 전극 패드(electrode pad), 반도체층(semiconductor layer), 활성층(active layer), 콘택층(contact layer), 경사면(incline)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	US 2020-0203570 A1 (EPSTAR CORPORATION) 2020.06.25 단락 [0020]-[0021], [0028], [0047]; 및 도면 1.	1-20
A	KR 10-2014-0060149 A (서울바이오시스 주식회사) 2014.05.19 단락 [0033], [0036]; 및 도면 2.	1-20
A	KR 10-0986560 B1 (엘지이노텍 주식회사) 2010.10.07 청구항 1; 및 도면 1.	1-20
A	KR 10-2014-0100115 A (삼성전자주식회사) 2014.08.14 도면 8.	1-20
A	KR 10-2005-0036737 A (에피스타 코퍼레이션) 2005.04.20 도면 2.	1-20
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2024년10월21일 (21.10.2024)		국제조사보고서 발송일 2024년10월21일 (21.10.2024)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 이강하 전화번호 +82-42-481-5687

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2020-0203570 A1	2020/06/25	CN 111354842 A	2020/06/30
		JP 2020-102629 A	2020/07/02
		TW 202038482 A	2020/10/16
		US 11239388 B2	2022/02/01
KR 10-2014-0060149 A	2014/05/19	EP 2731150 A2	2014/05/14
		EP 2731150 A3	2016/01/20
		EP 2731150 B1	2020/01/08
		JP 2014-096592 A	2014/05/22
		JP 6324706 B2	2018/05/16
		KR 10-2013363 B1	2019/08/22
		US 2014-0131731 A1	2014/05/15
		US 9269867 B2	2016/02/23
KR 10-0986560 B1	2010/10/07	CN 102157658 A	2011/08/17
		CN 102157658 B	2015/04/22
		EP 2360748 A2	2011/08/24
		EP 2360748 A3	2014/06/04
		EP 2360748 B1	2019/05/22
		JP 2011-166150 A	2011/08/25
		JP 2014-068025 A	2014/04/17
		JP 5414711 B2	2014/02/12
		JP 5864514 B2	2016/02/17
		TW 201133942 A	2011/10/01
		TW I420705 B	2013/12/21
		US 2011-0193123 A1	2011/08/11
		US 8039860 B2	2011/10/18
KR 10-2014-0100115 A	2014/08/14	US 2014-0217448 A1	2014/08/07
KR 10-2005-0036737 A	2005/04/20	US 2005-0082562 A1	2005/04/21