

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年12月12日(12.12.2024)



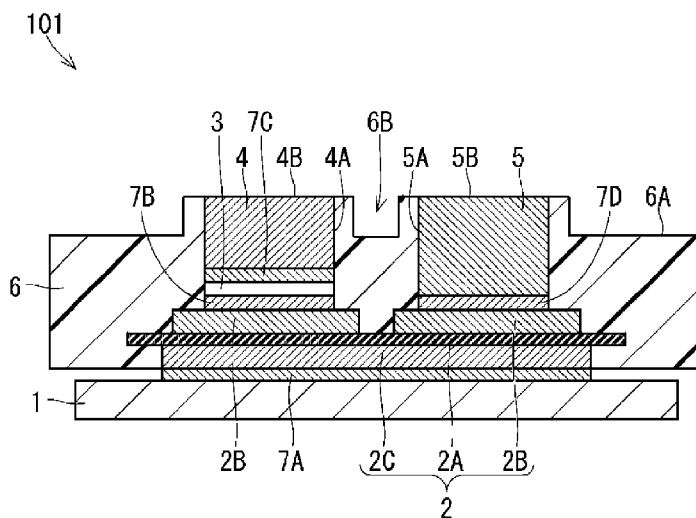
(10) 国際公開番号

WO 2024/252605 A1

- (51) 国際特許分類:  
H01L 23/28 (2006.01) H01L 25/18 (2023.01)  
H01L 25/07 (2006.01)
- (21) 国際出願番号: PCT/JP2023/021307
- (22) 国際出願日: 2023年6月8日(08.06.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 北林 拓也 (KITABAYASHI Takuya); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 吉松 直樹 (YOSHIMATSU Naoki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 益本 寛之(MASUMOTO Hiroyuki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 吉竹 英俊, 外 (YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区域見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Provided is a semiconductor device which achieves high insulation and low inductance. The semiconductor device includes a semiconductor element, a first electrode, a second electrode, and a sealing material. The first electrode is electrically connected to the semiconductor element. The second electrode is provided adjacent to the first electrode and is electrically connected to the semiconductor element. The sealing material seals the semiconductor element, parts other than the upper surface in the first electrode, and parts other than the upper surface in the second electrode. The first electrode includes a first side surface and a first upper surface. The first side surface projects from the outer peripheral upper surface constituting the outer peripheral part of the sealing material and faces the second electrode. The first upper surface is exposed from the sealing material. The second electrode includes a second side surface and a second upper surface. The second side surface projects from the outer peripheral upper surface constituting the outer peripheral part of the sealing material and faces the first electrode. The second upper surface is exposed from the sealing material. The first side surface and the second side surface are covered with the sealing material. The sealing material has, between the first

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

electrode and the second electrode, at least one of a recess and a protrusion.

(57) 要約: 高い絶縁性および低いインダクタンスを実現する半導体装置を提供する。半導体装置は、半導体素子、第1電極、第2電極および封止材を含む。第1電極は、半導体素子に電氣的に接続されている。第2電極は、第1電極と隣り合うように設けられ、半導体素子に電氣的に接続されている。封止材は、半導体素子、第1電極の上面以外および第2電極の上面以外を封止している。第1電極は、第1側面および第1上面を含む。第1側面は、封止材の外周部を構成する外周上面から突出しかつ第2電極と向かい合っている。第1上面は、封止材から露出している。第2電極は、第2側面および第2上面を含む。第2側面は、封止材の外周部を構成する外周上面から突出しかつ第1電極と向かい合っている。第2上面は、封止材から露出している。第1側面と第2側面とは、封止材で覆われている。封止材は、第1電極と第2電極との間に凹部および凸部のうち少なくとも一方を含む。

## 明 細 書

**発明の名称**：半導体装置

**技術分野**

[0001] 本開示は、半導体装置に関する。

**背景技術**

[0002] 半導体装置には、高い放熱性が求められる。特許文献1に記載の半導体装置においては、放熱性の向上のため、主端子および制御端子が封止樹脂体の上部の面一の面から露出している。

**先行技術文献**

**特許文献**

[0003] 特許文献1：特開2014-157927号公報

**発明の概要**

**発明が解決しようとする課題**

[0004] 半導体装置には、高放熱化だけでなく、損失低減のための低インダクタンス化も求められている。低インダクタンス化には電極間の距離の縮小化が効果的であるが、電極間の距離が縮小化された場合、電極間の絶縁性の確保に課題が生じる。

[0005] 本開示は上記のような問題を解決するためになされたものであり、高い絶縁性および低いインダクタンスを実現する半導体装置の提供を目的とする。

**課題を解決するための手段**

[0006] 本開示に係る半導体装置は、半導体素子、第1電極、第2電極および封止材を含む。第1電極は、半導体素子に電氣的に接続されている。第2電極は、第1電極と隣り合うように設けられ、半導体素子に電氣的に接続されている。封止材は、半導体素子、第1電極の上面以外および第2電極の上面以外を封止している。第1電極は、第1側面および第1上面を含む。第1側面は、封止材の外周部を構成する外周上面から突出しかつ第2電極と向かい合っている。第1上面は、封止材から露出している。第2電極は、第2側面およ

び第2上面を含む。第2側面は、封止材の外周部を構成する外周上面から突出しかつ第1電極と向かい合っている。第2上面は、封止材から露出している。第1側面と第2側面とは、封止材で覆われている。封止材は、第1電極と第2電極との間に凹部および凸部のうち少なくとも一方を含む。

### 発明の効果

- [0007] 本開示によれば、高い絶縁性および低いインダクタンスを実現する半導体装置が提供される。
- [0008] 本開示の目的、特徴、局面、および利点は、以下の詳細な説明と添付図面とによって、より明白になる。

### 図面の簡単な説明

- [0009] [図1]実施の形態1における半導体装置の構成を示す断面図である。  
[図2]実施の形態2における半導体装置の構成を示す断面図である。  
[図3]実施の形態3における半導体装置の構成を示す断面図である。  
[図4]実施の形態4における半導体装置の構成を示す断面図である。  
[図5]実施の形態5における半導体装置の構成を示す断面図である。  
[図6]実施の形態6における半導体装置の構成を示す平面図である。  
[図7]実施の形態6における半導体装置の構成を示す断面図である。  
[図8]実施の形態7における半導体装置の構成を示す平面図である。  
[図9]実施の形態7における半導体装置の構成を示す断面図である。

### 発明を実施するための形態

- [0010] <実施の形態1>
- 図1は、実施の形態1における半導体装置101の構成を示す断面図である。
- [0011] 半導体装置101は、放熱基板1、絶縁基板2、半導体素子3、第1電極4、第2電極5および封止材6を含む。
- [0012] 放熱基板1は、例えば銅、アルミニウム等の金属で形成された板である。放熱基板1は、半導体素子3等の電子部品で発生した熱を外部に伝える機能を有する。

- [0013] 絶縁基板 2 は、放熱基板 1 上に設けられている。絶縁基板 2 は、絶縁層 2 A、表回路パターン 2 B および裏回路パターン 2 C を含む。絶縁層 2 A は、例えば、セラミックで形成されている。表回路パターン 2 B は、絶縁層 2 A の上面に設けられている。裏回路パターン 2 C は、絶縁層 2 A の下面に設けられている。表回路パターン 2 B および裏回路パターン 2 C は、金属などの導電性材料で形成されている。裏回路パターン 2 C は、接合材 7 A を介して放熱基板 1 に接合されている。接合材 7 A は、例えば、はんだ、ろう材、焼結材などである。
- [0014] 半導体素子 3 は、絶縁基板 2 に保持されている。実施の形態 1 における半導体素子 3 は、その上面と下面との間に電流が流れる縦型の半導体素子であり、表面電極（図示せず）および裏面電極（図示せず）を含む。半導体素子 3 の裏面電極は、接合材 7 B を介して絶縁基板 2 の表回路パターン 2 B に接合されている。接合材 7 B は、はんだなどの導電性材料である。半導体素子 3 は、例えば、Si 等の半導体によって形成されている。半導体素子 3 は、SiC、GaN、Ga<sub>2</sub>O<sub>3</sub>、ダイヤモンド等のいわゆるワイドバンドギャップ半導体で形成されることが好ましい。半導体素子 3 は、パワー半導体素子、そのパワー半導体素子を制御するための制御 IC (Integrated Circuit) 等である。半導体素子 3 は、例えば、IGBT (Insulated Gate Bipolar Transistor)、MOSFET (Metal Oxide Semiconductor Field Effect Transistor)、ショットキーバリアダイオード等を含む。または、半導体素子 3 は、IGBT および還流ダイオードが 1 つの半導体基板内に形成された RC-IGBT (Reverse-Conducting IGBT) を含んでいてもよい。
- [0015] 第 1 電極 4 は、第 2 電極 5 と隣り合うように設けられている。第 1 電極 4 は、封止材 6 の内部で半導体素子 3 に電氣的に接続されている。実施の形態 1 においては、第 1 電極 4 の下面が、接合材 7 C を介して半導体素子 3 の表面電極に接合されている。その半導体素子 3 の表面電極は、例えばエミッタ電極である。第 1 電極 4 は、封止材 6 の外周部を構成する外周上面 6 A よりも上方に突出している。第 1 電極 4 は、第 1 側面 4 A および第 1 上面 4 B を

含む。第1側面4Aは、封止材6の外周上面6Aから突出し、第2電極5と向かい合っている。第1側面4Aは、封止材6で覆われている。実施の形態1においては、第1側面4Aの全面が、封止材6で覆われている。第1上面4Bは、封止材6に覆われておらず、封止材6に設けられた開口から露出している。第1電極4の形状は問わない。第1電極4は、例えば、ブロック形状を有する。そのブロック形状は、例えば、四角柱、円柱、コの字型などを有する。

[0016] 第2電極5は、第1電極4と隣り合うように設けられている。第2電極5は、封止材6の内部で半導体素子3に電氣的に接続されている。実施の形態1においては、第2電極5の下面が、接合材7Dを介して表回路パターン2Bに接合されている。その表回路パターン2Bは、例えば、半導体素子3の裏面電極であるコレクタ電極に電氣的に接続されている。表回路パターン2Bは、半導体素子3のゲート電極、センシング用電極などの制御電極に電氣的に接続されていてもよい。第2電極5は、封止材6の外周部を構成する外周上面6Aよりも上方に突出している。第2電極5は、第2側面5Aおよび第2上面5Bを含む。第2側面5Aは、封止材6の外周上面6Aから突出し、第1電極4と向かい合っている。第2側面5Aは、封止材6で覆われている。実施の形態1においては、第2側面5Aの全面が、封止材6で覆われている。第2上面5Bは、封止材6に覆われておらず、封止材6に設けられた開口から露出している。第2電極5の形状は問わない。第2電極5は、例えば、ブロック形状を有する。そのブロック形状は、例えば、四角柱、円柱、コの字型などを有する。

[0017] 封止材6は、絶縁基板2、半導体素子3、第1電極4の上面以外および第2電極5の上面以外を封止している。実施の形態1における封止材6は、第1電極4と第2電極5との間に凹部6Bを含む。凹部6Bの底面は、第1電極4の第1上面4Bおよび第2電極5の第2上面5Bよりも低い位置に設けられている。封止材6は、絶縁性を有する樹脂で形成されている。封止材6は、例えば、シリコン樹脂、エポキシ樹脂などである。

[0018] 以上をまとめると、実施の形態1における半導体装置101は、半導体素子3、第1電極4、第2電極5および封止材6を含む。第1電極4は、半導体素子3に電氣的に接続されている。第2電極5は、第1電極4と隣り合うように設けられ、半導体素子3に電氣的に接続されている。封止材6は、半導体素子3、第1電極4の上面以外および第2電極5の上面以外を封止している。第1電極4は、第1側面4Aおよび第1上面4Bを含む。第1側面4Aは、封止材6の外周部を構成する外周上面6Aから突出しかつ第2電極5と向かい合っている。第1上面4Bは、封止材6から露出している。第2電極5は、第2側面5Aおよび第2上面5Bを含む。第2側面5Aは、封止材6の外周部を構成する外周上面6Aから突出しかつ第1電極4と向かい合っている。第2上面5Bは、封止材6から露出している。第1側面4Aと第2側面5Aとは、封止材6で覆われている。封止材6は、第1電極4と第2電極5との間に凹部6Bおよび凸部6C（図2、図3参照）のうち少なくとも一方を含む。

[0019] このような半導体装置101においては、第1電極4と第2電極5との間の沿面距離がその第1電極4と第2電極5との間の空間距離よりも長い。沿面距離とは、例えば、第1上面4Bの端部から第2上面5Bの端部までの封止材6の表面を介した距離に対応する。空間距離とは、例えば、第1上面4Bの端部から第2上面5Bの端部までの直線距離に対応する。沿面距離が空間距離よりも長い場合、空間距離が縮小されたとしても絶縁性は確保される。空間距離が縮小されることにより、互いのインダクタンスは打ち消し合うため、半導体装置101のインダクタンスは低下する。以上のように、半導体装置101は、高い絶縁性および低いインダクタンスを実現する。半導体装置101は、電源、動力源など様々な製品、電力システム等に適用可能である。

[0020] 実施の形態1における絶縁基板2に代えて、絶縁層2Aと放熱基板1とが一体化された1つの部品（図示せず）が適用されてもよい。その場合、放熱基板1は、放熱基板1の上面に形成された絶縁層2Aとその絶縁層2A上に

形成された表回路パターン2Bとを含む。この場合、絶縁層2Aと放熱基板1との間には接合材が存在しない。その絶縁層2Aは、例えば、樹脂で形成される。

[0021] <実施の形態2>

実施の形態2において、実施の形態1と同様の構成要素には、同一の参照符号を付し、それらの詳細な説明は省略する。

[0022] 図2は、実施の形態2における半導体装置102の構成を示す断面図である。封止材6は、第1電極4と第2電極5との間に凸部6Cを含む。実施の形態2における凸部6Cは、第1電極4と第2電極5との間の封止材6が上方に突出している。その凸部6Cの上面は、第1電極4の第1上面4Bおよび第2電極5の第2上面5Bよりも高い位置に設けられている。

[0023] このような半導体装置102は、第1電極4と第2電極5との間の空間距離の縮小による低インダクタンス化、および、その沿面距離の拡大による絶縁性の向上を実現する。

[0024] <実施の形態3>

実施の形態3において、実施の形態1または2と同様の構成要素には、同一の参照符号を付し、それらの詳細な説明は省略する。

[0025] 図3は、実施の形態3における半導体装置103の構成を示す断面図である。封止材6は、第1電極4と第2電極5との間に凹部6Bおよび凸部6Cを含む。封止材6の凸部6Cは、第1突出部16Cおよび第2突出部26Cを含む。第1突出部16Cは、第1側面4Aを覆って第1上面4Bよりも上方に突出している。第2突出部26Cは、第2側面5Aを覆って第2上面5Bよりも上方に突出している。実施の形態3においては、第1突出部16Cおよび第2突出部26Cのみが、第1電極4および第2電極5よりも上方に突出している。封止材6の凹部6Bは、第1突出部16Cと第2突出部26Cとの間に設けられている。凹部6Bの底面は、第1電極4の第1上面4Bおよび第2電極5の第2上面5Bよりも低い位置に設けられている。

[0026] このような半導体装置103は、第1電極4と第2電極5との間の空間距

離の縮小による低インダクタンス化、および、その沿面距離の拡大による絶縁性の向上を実現する。

[0027] <実施の形態4>

実施の形態4において、実施の形態1から3のいずれかと同様の構成要素には、同一の参照符号を付し、それらの詳細な説明は省略する。

[0028] 図4は、実施の形態4における半導体装置104の構成を示す断面図である。第1電極4および第2電極5は、封止材6の内部に複数の屈曲部を有する板材によって形成されている。封止材6の内部における第1電極4と第2電極5との間の電極間距離Hは、第1上面4Bの端部と第2上面5Bの端部との間の距離Gよりも短い。実施の形態4における電極間距離Hは、封止材6の内部における第1電極4と第2電極5との最短距離である。同様に、実施の形態4における距離Gは、第1上面4Bの端部と第2上面5Bの端部との最短距離である。封止材6は、第1電極4と第2電極5との間に凹部6Bを含む。凹部6Bの底面は、第1上面4Bおよび第2上面5Bよりも低い位置に設けられている。

[0029] このような半導体装置104は、第1電極4と第2電極5との間の空間距離の縮小による低インダクタンス化、および、その沿面距離の拡大による絶縁性の向上を実現する。

[0030] <実施の形態5>

実施の形態5において、実施の形態1から4のいずれかと同様の構成要素には、同一の参照符号を付し、それらの詳細な説明は省略する。

[0031] 図5は、実施の形態5における半導体装置105の構成を示す断面図である。封止材6は、第1封止材16および第2封止材26を含む。第1封止材16は、絶縁基板2、半導体素子3、第1電極4の下部および第2電極5の下部を封止している。第2封止材26は、第1電極4の第1側面4Aおよび第2電極5の前記第2側面5Aを覆っている。第2封止材26は、絶縁性を有する樹脂である。第2封止材26は、例えば、エポキシ樹脂である。

[0032] このような半導体装置105は、第1電極4と第2電極5との間の空間距

離の縮小による低インダクタンス化、および、その沿面距離の拡大による絶縁性の向上を実現する。

[0033] <実施の形態6>

実施の形態6において、実施の形態1から5のいずれかと同様の構成要素には、同一の参照符号を付し、それらの詳細な説明は省略する。

[0034] 図6は、実施の形態6における半導体装置106の構成を示す平面図である。図7は、実施の形態6における半導体装置106の構成を示す断面図である。半導体装置106は、放熱基板1、絶縁基板2、半導体素子3、第1電極4、第2電極5および封止材6に加えて、第1バスバー8および第2バスバー9を含む。

[0035] 封止材6の外周上面6Aからの第1上面4Bの高さは、封止材6の外周上面6Aからの第2上面5Bの高さとは異なる。実施の形態6における第1上面4Bは、第2上面5Bよりも高い位置に設けられている。第1側面4Aおよび第2側面5Aは、封止材6で覆われている。封止材6は、第1電極4と第2電極5との間に凹部6Bを含む。

[0036] 第1バスバー8は、平板形状を有する。第1バスバー8は、接合材7Eを介して、第1電極4の第1上面4Bに接合されている。第2バスバー9は、平板形状を有する。第2バスバー9は、接合材7Fを介して、第2電極5の第2上面5Bに接合されている。第1バスバー8および第2バスバー9は、互いに平行にかつ間隔を有して重なるように設けられている。実施の形態6における第1バスバー8および第2バスバー9は、平行平板である。第1バスバー8および第2バスバー9は、半導体装置106外の電力システムに接続されている。

[0037] このような半導体装置106においては、屈曲部を有する第1バスバーおよび第2バスバーを準備する必要がない。第1バスバー8および第2バスバー9は平行平板でよいため、第1バスバー8および第2バスバー9の間のクリアランスを高い精度で設計することができる。第1バスバー8および第2バスバー9が平行平板であるため、半導体装置106を含む電力システム全

体のインダクタンスが低下する。

[0038] 半導体装置 106 の高電流密度化に伴い、第 1 バスバー 8 および第 2 バスバー 9 の厚みは増加している。第 1 バスバー 8 および第 2 バスバー 9 が屈曲部を有する場合、互いの距離を制御することが難しい。上記のような平行平板である第 1 バスバー 8 および第 2 バスバー 9 は効果的である。

[0039] 図 7 に示される封止材 6 は、凹部 6 B に加えて凸部を有していてもよい。例えば、凸部は、凹部 6 B の内側に設けられる。その凸部の高さは、第 1 バスバー 8 および第 2 バスバー 9 に接触しないような高さである。図 7 に示されるのとは異なり、第 1 電極 4 と第 2 電極 5 の間の領域が、第 1 バスバー 8 および第 2 バスバー 9 に覆われていない場合、その凸部の高さは、第 1 上面 4 B および第 2 上面 5 B のうち少なくとも一方よりも高くてもよい。

[0040] <実施の形態 7 >

実施の形態 7 において、実施の形態 1 から 6 のいずれかと同様の構成要素には、同一の参照符号を付し、それらの詳細な説明は省略する。

[0041] 図 8 は、実施の形態 7 における半導体装置 107 の構成を示す平面図である。図 9 は、実施の形態 7 における半導体装置 107 の構成を示す断面図である。半導体装置 107 の基本的な構成は、実施の形態 6 に示された半導体装置 106 と同様である。半導体装置 107 においては、第 1 バスバー 8 は、溶接痕 8 A を有する。その溶接痕 8 A は、第 1 バスバー 8 と第 1 電極 4 の第 1 上面 4 B との接合部に形成されている。同様に、第 2 バスバー 9 は、溶接痕 8 B を有する。その溶接痕 8 B は、第 2 バスバー 9 と第 2 電極 5 の第 2 上面 5 B との接合部に形成されている。

[0042] 電極とバスバーとの接合に、はんだなどの接合材 7 E, 7 F が用いられた場合、硬化前後で接合材の体積は異なる。そのため、第 1 バスバー 8 と第 2 バスバー 9 との間のクリアランスの制御が難しい。電極とバスバーとの接合に溶接が用いられることにより、第 1 バスバー 8 と第 2 バスバー 9 との間のクリアランスが高い精度で制御される。

[0043] この開示は詳細に説明されたが、上記した説明は、すべての局面において

、例示であって、限定的なものではない。例示されていない無数の変形例が、想定され得るものと解される。

[0044] なお、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

### 符号の説明

[0045] 1 放熱基板、2 絶縁基板、2 A 絶縁層、2 B 表回路パターン、2 C 裏回路パターン、3 半導体素子、4 第1電極、4 A 第1側面、4 B 第1上面、5 第2電極、5 A 第2側面、5 B 第2上面、6 封止材、6 A 外周上面、6 B 凹部、6 C 凸部、7 A～7 F 接合材、8 第1バスバー、8 A 溶接痕、8 B 溶接痕、9 第2バスバー、16 第1封止材、16 C 第1突出部、26 第2封止材、26 C 第2突出部、101～107 半導体装置、G 距離、H 電極間距離。

## 請求の範囲

- [請求項1] 半導体素子と、  
前記半導体素子に電氣的に接続されている第1電極と、  
前記第1電極と隣り合うように設けられ、前記半導体素子に電氣的に接続されている第2電極と、  
前記半導体素子、前記第1電極の上面以外および前記第2電極の上面以外を封止している封止材と、を備え、  
前記第1電極は、前記封止材の外周部を構成する外周上面から突出しかつ前記第2電極と向かい合う第1側面と、前記封止材から露出している前記上面である第1上面と、を含み、  
前記第2電極は、前記封止材の前記外周上面から突出しかつ前記第1電極と向かい合う第2側面と、前記封止材から露出している前記上面である第2上面と、を含み、  
前記第1側面と前記第2側面とは、前記封止材で覆われており、  
前記封止材は、前記第1電極と前記第2電極との間に凹部および凸部のうち少なくとも一方を含む、半導体装置。
- [請求項2] 前記封止材の前記凹部の底面は、前記第1上面および前記第2上面よりも低い位置に設けられている、請求項1に記載の半導体装置。
- [請求項3] 前記封止材の前記凸部の上面は、前記第1上面および前記第2上面よりも高い位置に設けられている、請求項1または請求項2に記載の半導体装置。
- [請求項4] 前記封止材の前記凸部は、  
前記第1側面を覆って前記第1上面よりも上方に突出する第1突出部と、  
前記第2側面を覆って前記第2上面よりも上方に突出する第2突出部と、を含み、  
前記封止材の前記凹部は、前記第1突出部と前記第2突出部との間に設けられている、請求項1から請求項3のうちいずれか一項に記載

の半導体装置。

[請求項5] 前記封止材の内部における前記第1電極と前記第2電極との間の電極間距離は、前記第1上面の端部と前記第2上面の端部との間の距離よりも短い、請求項1から請求項4のうちいずれか一項に記載の半導体装置。

[請求項6] 前記封止材は、  
前記半導体素子を封止する第1封止材と、  
前記第1電極の前記第1側面と前記第2電極の前記第2側面とを覆う第2封止材と、を含み、  
前記第2封止材は、絶縁性を有する樹脂である、請求項1から請求項5のうちいずれか一項に記載の半導体装置。

[請求項7] 前記封止材の前記外周上面からの前記第1電極の前記第1上面の高さは、前記封止材の前記外周上面からの前記第2電極の前記第2上面の高さとは異なる、請求項1から請求項6のうちいずれか一項に記載の半導体装置。

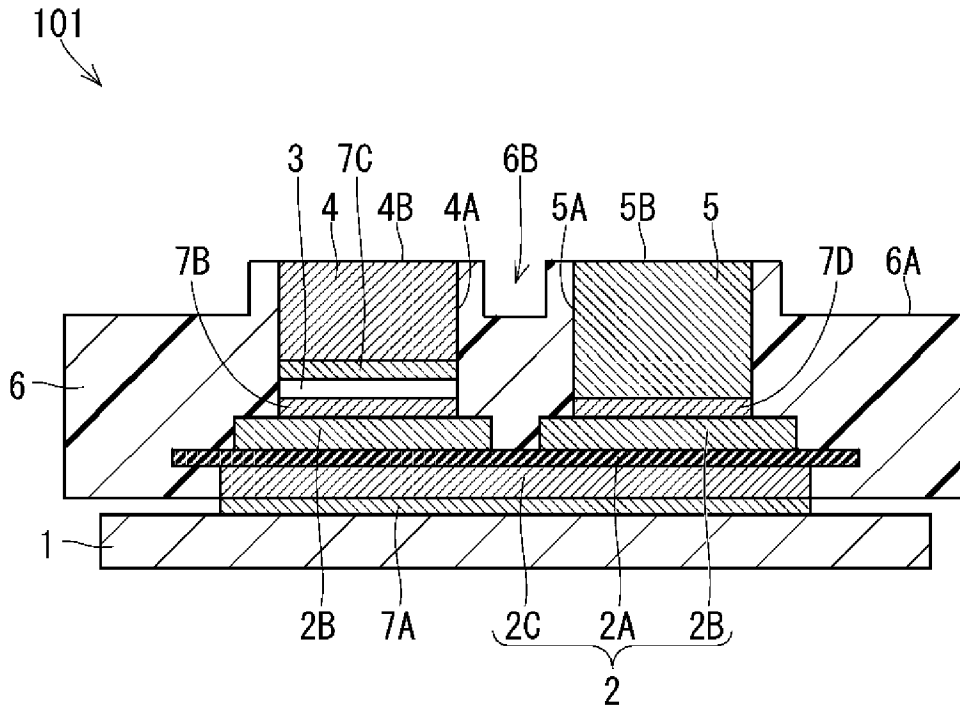
[請求項8] 平板形状を有し、前記第1電極の前記第1上面に接合される第1バスバーと、  
平板形状を有し、前記第2電極の前記第2上面に接合される第2バスバーと、をさらに備え、  
前記第1バスバーと前記第2バスバーとは、互いに平行にかつ間隔を有して重なるように設けられている、請求項7に記載の半導体装置。

[請求項9] 前記第1バスバーは、前記第1バスバーと前記第1上面との接合部に溶接痕を有し、  
前記第2バスバーは、前記第2バスバーと前記第2上面との接合部に溶接痕を有する、請求項8に記載の半導体装置。

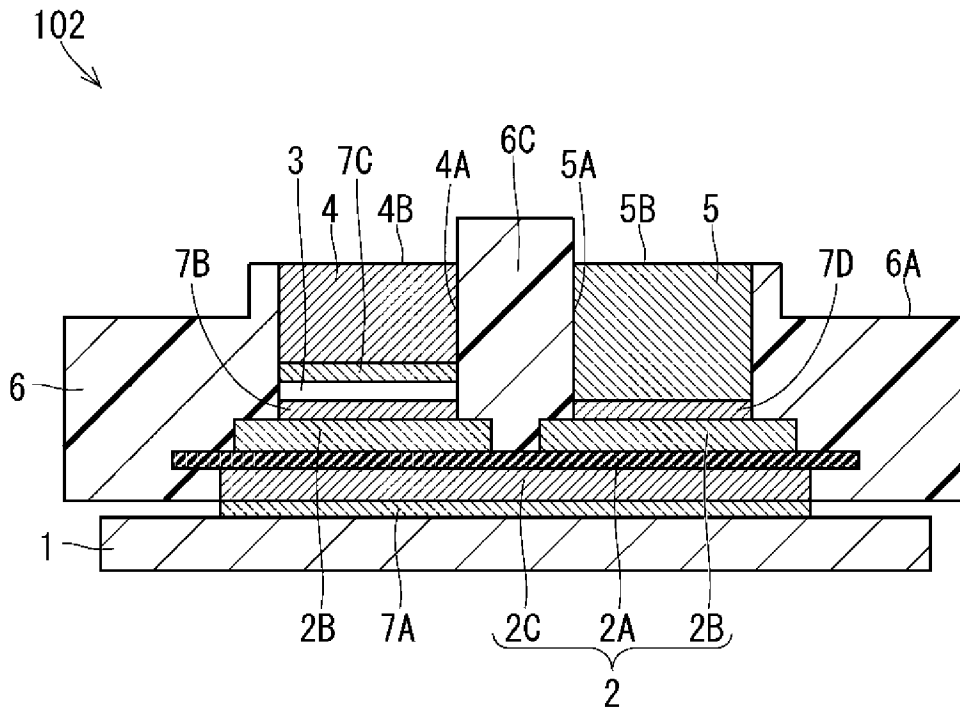
[請求項10] 前記封止材は、前記第1電極の前記第1側面の全面および前記第2電極の前記第2側面の全面を覆っている、請求項1から請求項9のう

ちいずれか一項に記載の半導体装置。

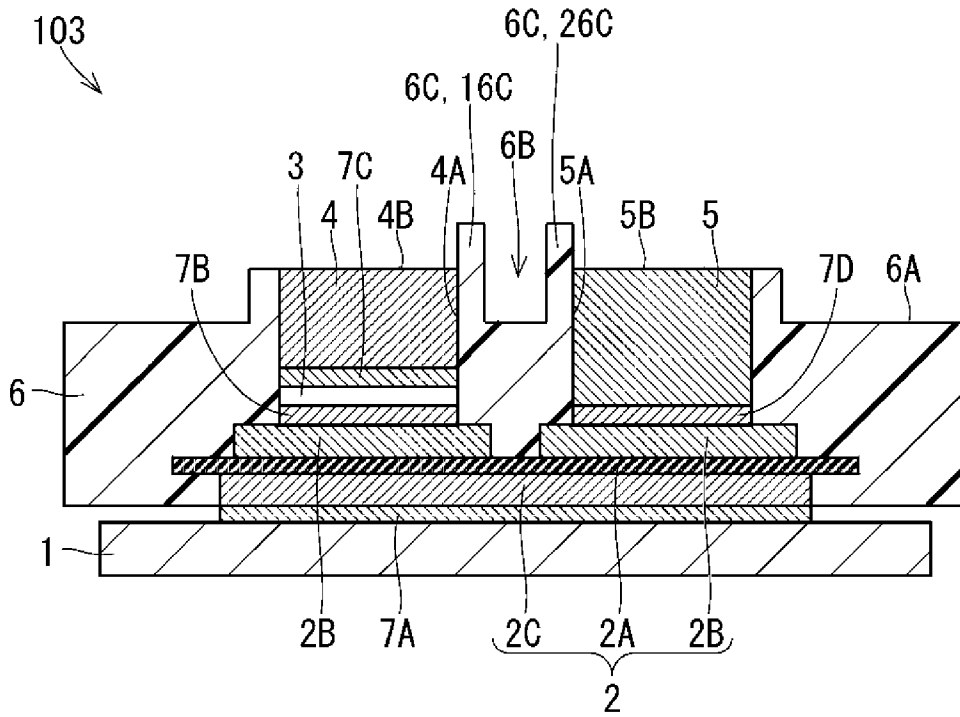
[図1]



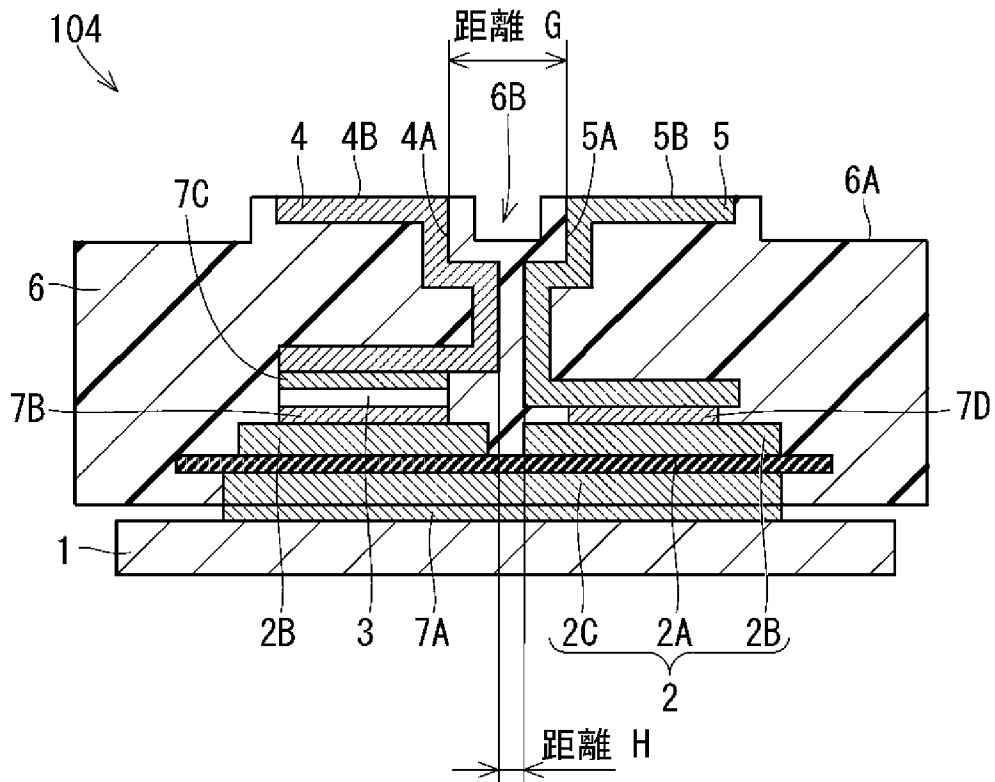
[図2]



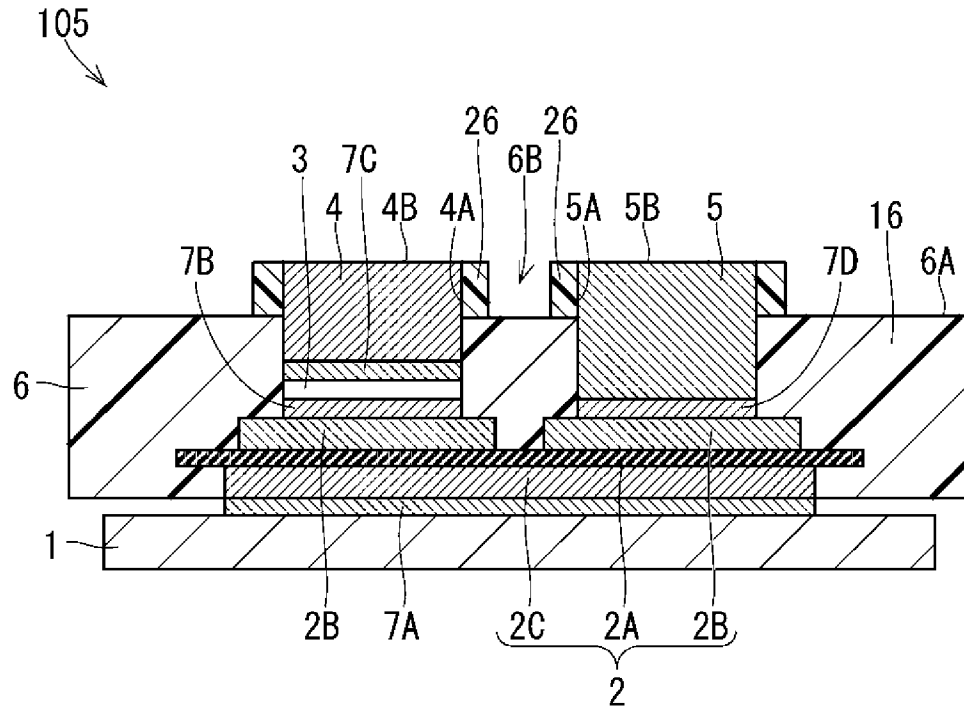
[図3]



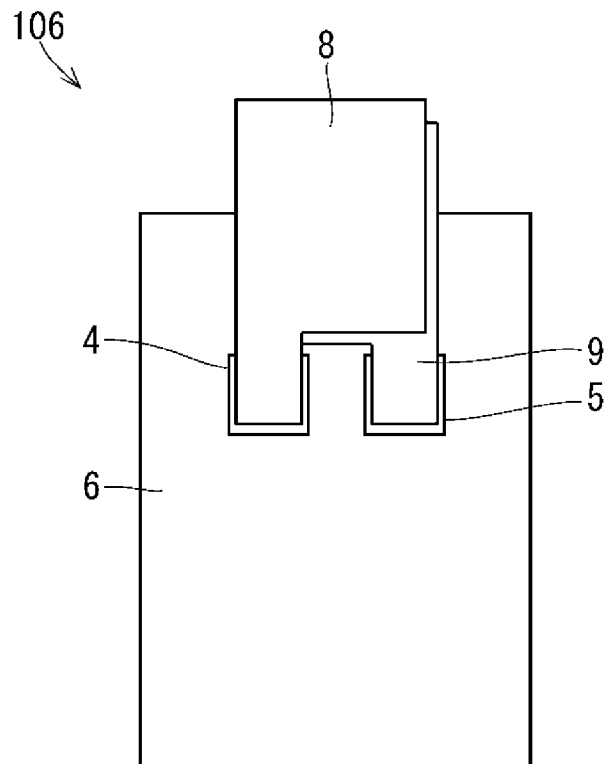
[図4]



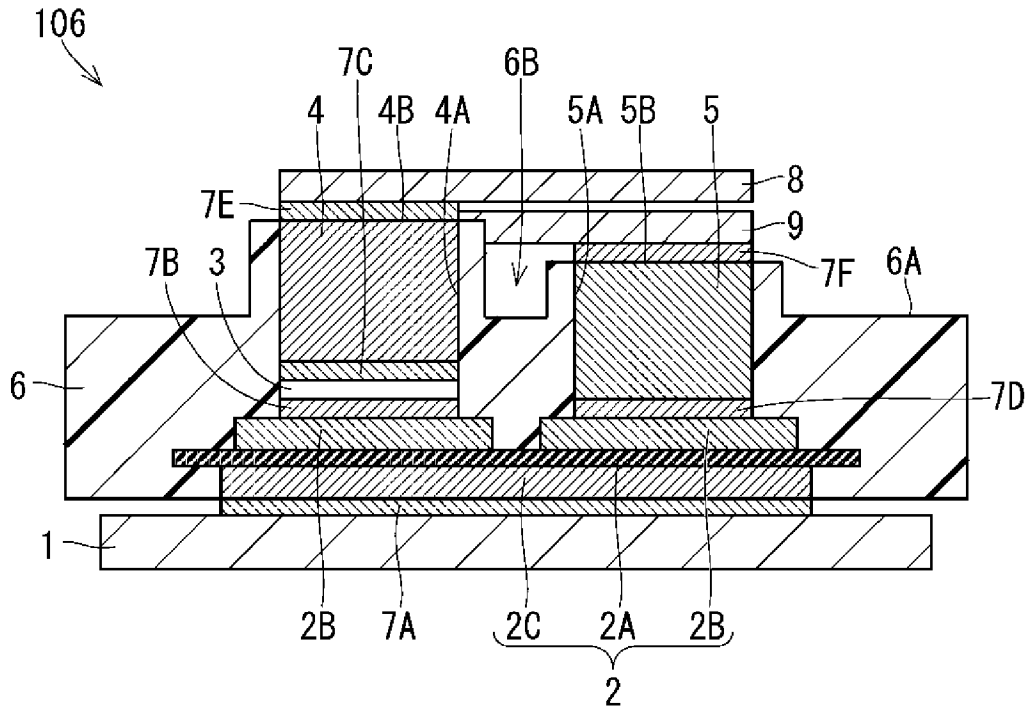
[図5]



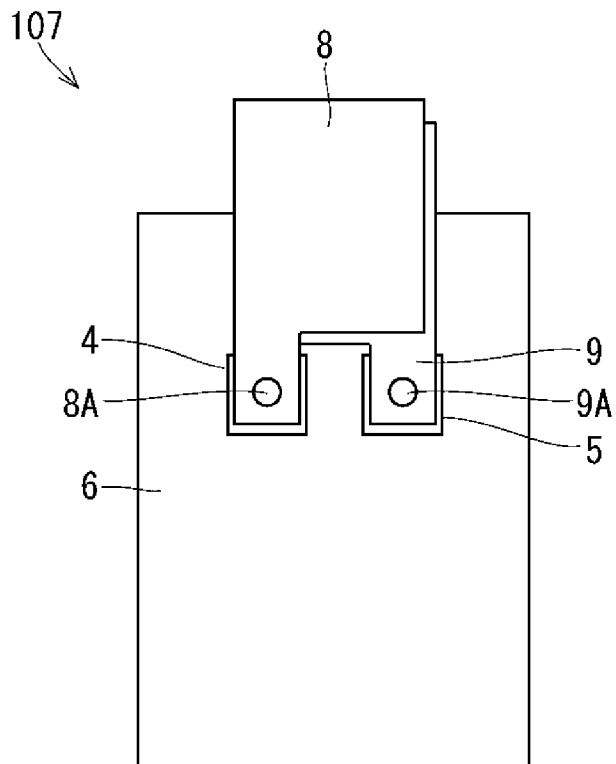
[図6]



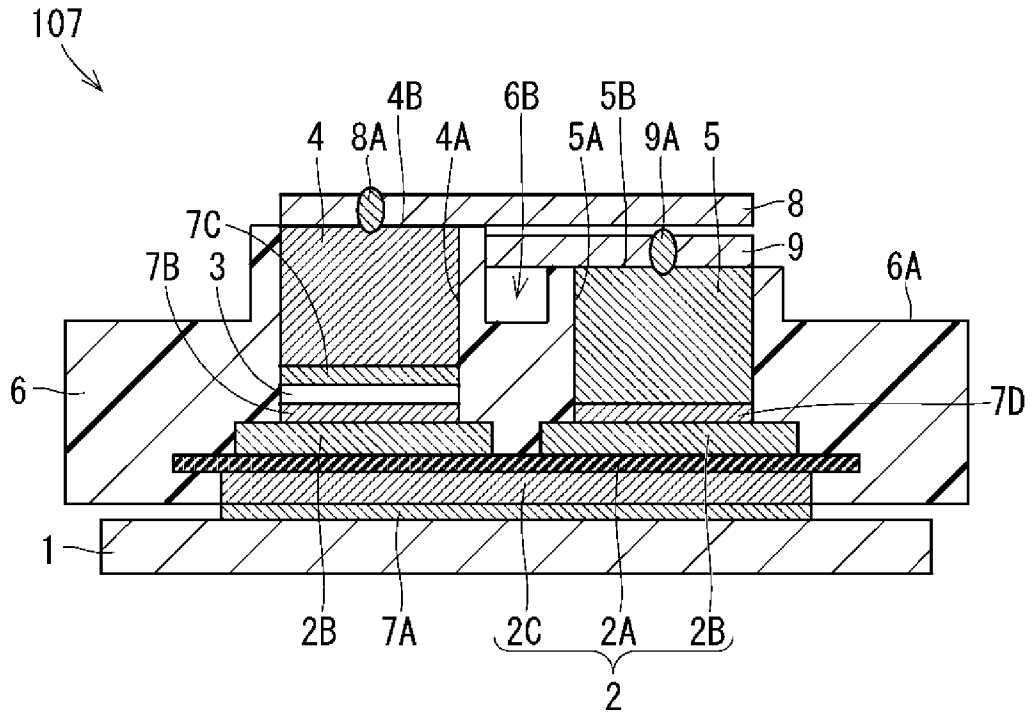
[図7]



[図8]



[図9]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/021307

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 23/28</i> (2006.01)i; <i>H01L 25/07</i> (2006.01)i; <i>H01L 25/18</i> (2023.01)i FI: H01L23/28 A; H01L25/04 C		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L23/28; H01L25/07; H01L25/18		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2011-253862 A (MITSUBISHI ELECTRIC CORPORATION) 15 December 2011 (2011-12-15) paragraphs [0075]-[0076], fig. 12	1-5, 10
A		6-9
A	JP 2013-21107 A (HITACHI, LTD.) 31 January 2013 (2013-01-31) entire text	1-10
A	JP 2008-305902 A (FUJI ELEC DEVICE TECH CO., LTD.) 18 December 2008 (2008-12-18) entire text	1-10
A	WO 2020/100191 A1 (MITSUBISHI ELECTRIC CORPORATION) 22 May 2020 (2020-05-22) entire text	1-10
A	JP 2014-120727 A (MITSUBISHI ELECTRIC CORPORATION) 30 June 2014 (2014-06-30) entire text	1-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>07 August 2023</b>		Date of mailing of the international search report <b>22 August 2023</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No. <b>PCT/JP2023/021307</b>
---

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2011-253862 A	15 December 2011	US 2011/0291106 A1 paragraphs [0083]-[0084], fig. 12	
		CN 102270615 A	
JP 2013-21107 A	31 January 2013	US 2013/0015496 A1	
		CN 102881682 A	
JP 2008-305902 A	18 December 2008	(Family: none)	
WO 2020/100191 A1	22 May 2020	US 2021/0343623 A1	
		CN 112997308 A	
JP 2014-120727 A	30 June 2014	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/28(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2023.01)i FI: H01L23/28 A; H01L25/04 C		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/28; H01L25/07; H01L25/18 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2011-253862 A（三菱電機株式会社）15.12.2011（2011 - 12 - 15） [0075]-[0076], [図12]	1-5, 10
A		6-9
A	JP 2013-21107 A（株式会社日立製作所）31.01.2013（2013 - 01 - 31） 全文	1-10
A	JP 2008-305902 A（富士電機デバイステクノロジー株式会社）18.12.2008（2008 - 12 - 18） 全文	1-10
A	WO 2020/100191 A1（三菱電機株式会社）22.05.2020（2020 - 05 - 22） 全文	1-10
A	JP 2014-120727 A（三菱電機株式会社）30.06.2014（2014 - 06 - 30） 全文	1-10
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
07.08.2023	22.08.2023	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  河合 俊英 5F 3238  電話番号 03-3581-1101 内線 3516	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号  
 PCT/JP2023/021307

引用文献			公表日	パテントファミリー文献			公表日
JP	2011-253862	A	15.12.2011	US	2011/0291106	A1	
					[0083]-[0084], FIG12		
				CN	102270615	A	
JP	2013-21107	A	31.01.2013	US	2013/0015496	A1	
				CN	102881682	A	
JP	2008-305902	A	18.12.2008	(ファミリーなし)			
WO	2020/100191	A1	22.05.2020	US	2021/0343623	A1	
				CN	112997308	A	
JP	2014-120727	A	30.06.2014	(ファミリーなし)			