(51) 国際特許分類:
HOII. 21/338 (2006.01)  HOII. 29/778 (2006.01)
HOII. 21/205 (2006.01)  HOII. 29/812 (2006.01)

(21) 国際出願番号:  PCT/JP2010/003162

(22) 国際出願日:  2010年5月10日 (2010/05/10)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-114860 2009年5月11日 (11.05.2009) JP
特願 2010-107821 2010年5月10日 (10.05.2010) JP


(72) 発明者: および
(75) 発明者/出願人 (米国についてのみ): 生田 哲也 (IKUTA, Tetsuya) [JP/JP]: 〒1010021 東京都千代田区外神田4丁目14番1号 DOWAエレクトロニクス株式会社 Tokyo (JP).

(74) 代理人: 杉村 慎司 (SUGIMURA, Kenji): 〒1000013 東京都千代田区霞が関三丁目2番1号 霞が関コンサート西館3階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): BE, AU, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, GN, HN, HK, HR, ID, IL, IN, IS,

(54) Title: EPITAXIAL SUBSTRATE FOR ELECTRONIC DEVICE AND PROCESS FOR PRODUCING SAME

(54) 発明の名称: 電子デバイス用エピタキシャル基板およびその製造方法

[絶葉有]

![FIG. 2](image_url)

(57) Abstract: An epitaxial substrate for electronic devices, with which the vertical-direction withstand voltage of an electronic device of a Group-III-element nitride on a conductive single-crystal SiC substrate can be improved, and a process for producing the epitaxial substrate. The epitaxial substrate for electronic devices comprises a conductive single-crystal SiC substrate, a buffer layer formed on the single-crystal SiC substrate and serving as an insulating layer, and a main multilayered deposit formed by epitaxially growing a plurality of Group III element nitride layers on the buffer, wherein the direction of flow of electric current is a lateral direction. The epitaxial substrate is characterized in that the buffer comprises an initially grown layer in contact with the single-crystal SiC substrate and a superlattice multilayered deposit of a superlattice multilayer structure formed on the initially grown layer, that the initially grown layer is constituted of a B₃Al₉Ga₅In₅N (0<α<1, 0<β<1, 0<γ<1, 0<δ<1, and α+β+γ+δ=1) material and the superlattice multilayered deposit comprises a first layer constituted of a B₃Al₉Ga₅In₅N (0<α<1, 0<β<1, 0<γ<1, 0<δ<1, and α+β+γ+δ=1) material alternating with a second layer constituted of a B₃Al₉Ga₅In₅N (0<α<1, 0<β<1, 0<γ<1, 0<δ<1, and α+β+γ+δ=1) material, the second layer differing in band gap from the first layer, and that the superlattice multilayered deposit and/or the buffer-side layer of the main multilayered deposit has a carbon concentration of 1×10¹⁷/cm² or higher.

(57) 要約: [絶葉有]
指定国（表示のない限り、全ての種類の広域保護が可能）：ARIPO（BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW）、ユーラシア

添付公開文書：
国際調査報告（抄第21条（3））
明細書

発明の名称：
電子デバイス用エピタキシャル基板およびその製造方法

技術分野

[0001] 本発明は、電子デバイス用エピタキシャル基板およびその製造方法、特に、HEMT用エピタキシャル基板およびその製造方法に関する。

背景技術

[0002] 近年、IC用デバイス等の高速化に伴い、高速の電界効果トランジスタ（FET: Field effect transistor）として、高電子移動度トランジスタ（HEMT: High electron mobility transistor）が広く用いられるようになっている。このような電界効果型のトランジスタは、例えば図1に模式的に示されるように、基板21上にチャネル層22および電子供給層23を積層し、この電子供給層23の表面にソース電極24、ドレイン電極25およびゲート電極26を配設することにより形成され、デバイスの動作時には、ソース電極24、電子供給層23、チャネル層22、電子供給層23およびドレイン電極25の順に電子が移動して、横方向を電流導通方向とし、この横方向の電子の移動は、ゲート電極26に印加される電圧により制御される。HEMTにおいて、バンドギャップの異なる電子供給層23およびチャネル層22の接合界面に生じる電子は、通常の半導体内と比較して高速で移動することができる。

[0003] このように、横方向の電子の移動、すなわち電流は、ゲート電圧によって制御されるが、一般に、ゲート電圧をOFFにしても電流が0になることはない。このゲート電圧OFF時に流れる電流のことをリーク電流といい、リーク電流が増えると消費電力が増大し、その結果、発熱などの問題が生じることになる。このリーク電流は、一般に、横方向リーク電流と縦方向リーク電流とに分けられ、横方向リーク電流とは、電子供給層23側表面に配置した2電極間（たとえば、ソース電極24とドレイン電極25間）に流れるリーク電流のことである、縦方向リーク電流とは、電子供給層23側表面と基板21側表
面にそれぞれ配置した2電極間に流れるリーク電流のことをいう。

[0004] ところでお、III族窒化物材料を用いて電子デバイス層構造を形成する場合、放熱性に優れるSiC基板を用いることが提案されているが、縦方向リーク電流を抑制し、かつ、縦方向の耐圧を向上させるために、絶縁性SiC基板を用いるのが一般的である。しかし、絶縁性SiC基板は、基板製造時の高抵抗化が容易ではなく、コストが高くなってしまうという問題があり、導電性SiC基板を用いる方法も提案されている。

[0005] 特許文献1には、導電性SiC基板上に超格子バッファ層、チャネル層および電子供給層を具えるHEMT構造が開示されている。

[0006] また、特許文献2には、SiあるいはSiC基板上にGaN介在層を介して、p型不純物を添加した超格子バッファ層、チャネル層および電子供給層を具えるHEMT構造が開示されている。

[0007] しかしながら、特許文献1に記載された発明においては、超格子バッファ層の絶縁性が十分考慮されておらず、縦方向耐圧の悪化という問題があった。また、特許文献2に記載された発明においては、基板上にIII族窒化物基板の成長する著、GaN系低温バッファ層を用いるため、SiC基板を用い、絶縁性を向上させる目的でAl含有超格子バッファ層を用いてエピタキシャル基板を得た場合には、エピタキシャル基板にクラックが発生してしまうという問題があった。

先行技術文献

特許文献

[0008] 特許文献1：特開2008－85123号公報
特許文献2：特開2005－85852号公報

発明の概要

発明が解決しようとする課題

[0009] 本発明の目的は、基板として導電性SiC基板を用いて、縦方向リーク電流の低減および縦方向耐圧特性を良好に両立させ、かつ縦方向耐圧を向上させる
とともに、クラックの発生を抑制することができる電子デバイス用エピタキシャル基板およびその製造方法を提供することにある。

課題を解決するための手段

[0010] 上記目的を達成するため、本発明の要旨構成は以下のとおりである。

（1）導電性SiC単結晶基板と、該SiC単結晶基板上に形成した絶縁層としてのバッファと、該バッファ上に複数層のIII族窒化物層をエピタキシャル成長させて形成した主積層体をとえ、横方向を電流導通方向とする電子デバイス用エピタキシャル基板であって、前記バッファは、前記SiC単結晶基板と接する初期成長層および該初期成長層上の超格子多層構造からなる超格子積層体を少なくとも有し、前記初期成長層はB_{a1}Al_{b1}Ga_{c1}N(0\leq a_1 \leq 1, 0 < b_1 \leq 1, 0 \leq c_1 \leq 1, 0 \leq d_1 \leq 1, a_1+b_1+c_1+d_1=1)材料からなり、かつ前記超格子積層体はB_{a2}Al_{b2}Ga_{c2}N(0 \leq a_2 \leq 1, 0 \leq b_2 \leq 1, 0 \leq c_2 \leq 1, 0 \leq d_2 \leq 1, a_2+b_2+c_2+d_2=1)材料からなる第1層および該第1層とはバンドギャップの異なるB_{a3}Al_{b3}Ga_{c3}N(0 \leq a_3 \leq 1, 0 \leq b_3 \leq 1, 0 \leq c_3 \leq 1, 0 \leq d_3 \leq 1, a_3+b_3+c_3+d_3=1)材料からなる第2層を交互に積層してなり、前記超格子積層体、または、前記主積層体の前記バッファ側の部分の少なくとも一方は、C濃度が1 \times 10^{18}/cm^3以上であることを特徴とする電子デバイス用エピタキシャル基板。

[0011] （2）前記超格子積層体、および、前記主積層体の前記バッファ側の部分は、ともにC濃度が1 \times 10^{16}/cm^3以上である上記（1）に記載の電子デバイス用エピタキシャル基板。

[0012] （3）前記第1層がAlN材料からなり、前記第2層がAl_{b2}Ga_{c2}N(0=a_3=0, 0 < b_3 \leq 0.5, 0.5 \leq c_3 \leq 1, d_3=0)材料からなる上記（1）または（2）に記載の電子デバイス用エピタキシャル基板。

[0013] （4）前記初期成長層がB_{a1}Al_{b1}Ga_{c1}N(0 \leq a_1 \leq 1, 0.5 \leq b_1 \leq 1, 0 \leq c_1 \leq 1, 0 \leq d_1 \leq 1, a_1+b_1+c_1+d_1=1)材料からなる上記（1）、（2）または（3）に記載の電子デバイス用エピタキシャル基板。

[0014] （5）前記初期成長層がAlN材料からなる上記（1）、（2）または（3）に記載の電子デバイス用エピタキシャル基板。
（6）導電性SiC単結晶基板と、そのSiC単結晶基板上に形成した絶縁層とし
てのパッファと、該パッファ上に複数層のIII族窒化物層をエピタキシャル成
長させて形成した主積層体を具え、横方向電流導通方向とする電子デバ
イス用エピタキシャル基板の製造方法であって、前記パッファは、前記SiC単
結晶基板と接する初期成長層および該初期成長層上の超格子多層構造からな
る超格子積層体を少なくとも有し、前記初期成長層はB_{a1}Al_{b1}Ga_{c1}In_{d1}N(0≤a_{1}≤1
, 0≤b_{1}≤1, 0≤c_{1}≤1, 0≤d_{1}≤1, a_{1}+b_{1}+c_{1}+d_{1}=1)材料からなり、かつ前記超格
子積層体はB_{a2}Al_{b2}Ga_{c2}In_{d2}N(0≤a_{2}≤1, 0≤b_{2}≤1, 0≤c_{2}≤1, 0≤d_{2}≤1, a_{2}+b_{2}+c_{2}+
 d_{2}=1)材料からなる第1層および該第1層とはバンドギャップの異なるB_{a3}Al_{b3}Ga
 c_{3}In_{d3}N(0≤a_{3}≤1, 0≤b_{3}≤1, 0≤c_{3}≤1, 0≤d_{3}≤1, a_{3}+b_{3}+c_{3}+d_{3}=1)材料からなる
第2層を交互に積層してあり、前記超格子積層体、または、前記主積層体の
前記パッファ側の部分の少なくとも一方向、C濃度が1×10^{18}/cm²以上の
ことを特徴とする電子デバイス用エピタキシャル基板の製造方法。

（7）前記超格子積層体、および、前記主積層体の前記パッファ側の部分
は、ともにC濃度が1×10^{18}/cm²以上である上記（6）に記載の電子デバイス
用エピタキシャル基板の製造方法。

発明の効果

本発明の電子デバイス用エピタキシャル基板は、導電性SiC基板上に、Al含
有III族窒化物からなる初期成長層および所定の超格子積層体を有するパッファ
ならびに所定の主積層体を具え、超格子積層体および／または主積層体の
パッファ側の部分が、1×10^{18}/cm²以上のC濃度を有することにより、横方向
リーグ電流の低減および横方向耐压特性を良好に両立させるのみでなく、縦
方向耐压を向上させることができる。また、導電性SiC基板を用いることによ
り、放熱性を向上させ、さらに、クラックの発生を低減させることができる。

また、本発明は、Al含有III族窒化物からなる初期成長層および所定の超格
子積層体を有するパッファならびに所定の主積層体を具え、超格子積層体およ
び／または主積層体のパッファ側の部分が、1×10^{18}/cm²以上のC濃度を有
すことにより、横方向リーク電流の低減および横方向耐圧特性を良好に両立させるのみでなく、縦方向耐圧を向上させることができ、さらに導電性SiC基板を用いることにより、放熱性を向上し、クラックの発生を低減させた電子デバイス用エピタキシャル基板を製造することができる。

図面の簡単な説明

[0019] [図1]一般的な電界効果トランジスタを示す模式的断面図である。
[図2]本発明に従う電子デバイス用エピタキシャル基板の模式的断面図である。
[図3] (a), (b), (c) は、横方向耐圧、横方向リーク電流および縦方向耐圧の測定結果をそれぞれ示したグラフである。
[図4] (a), (b), (c) は、横方向耐圧、横方向リーク電流および縦方向耐圧の測定結果をそれぞれ示したグラフである。

発明を実施するための形態

[0020] 次に、本発明の電子デバイス用エピタキシャル基板の実施形態について図面を参照しながら説明する。図2は、本発明に従う電子デバイス用エピタキシャル基板の断面構造を模式的に示したものである。なお、図2は、説明の便宜上、厚さ方向を誇張して描いたものである。

[0021] 図2に示すように、本発明の電子デバイス用エピタキシャル基板1は、横方向を電流導通方向とする電子デバイス用エピタキシャル基板であって、導電性SiC単結晶基板2と、導電性SiC単結晶基板2上に形成した絶縁層としてのバッファ3と、バッファ3上に複数層のIII族窒化物層をエピタキシャル成長させて形成した主積層体4をを具え、バッファ3は、Si単結晶基板2と接する初期成長層5および初期成長層5上の超格子多層構造からなる超格子積層体6を少なくとも有し、初期成長層5はGa_{1-x}Al_{x}N(x=0, 0<z<1, 0<z<1, 0<z<1, 0<z<1, 0<z<1)材料からなり、かつ超格子積層体6はGa_{1-x}Al_{x}N(x=0, 0<z<1, 0<z<1, 0<z<1, 0<z<1)材料からなる第1層6aおよび第1層6aとはバンドギャップの異なるGa_{1-x}Al_{x}N(x=0, 0<z<1, 0<z<1, 0<z<1, 0<z<1)材料からなる第2
層6bを交互に積層してなり、超格子積層体6、および／または、主積層体4のパッファ3側の部分4'は、C濃度が1×10^{18}/cm³以上であることを特徴とし、かかる構成を有することにより、横方向リーク電流の低減および横方向耐圧特性を良好に両立させのめでなく、縦方向耐圧を向上させることができるものである。また、導電性SiC晶面を用いたことにより、放熱性を向上させ、さらにクラックの発生を抑制することができるものである。

[0022] 導電性SiC単結晶晶面2としては各種結晶構造のものを用いることができるが、4Hあるいは6Hなどのものを用いるのが望ましい。面方位は特に指定されず、(0001), (10-10), (11-20)面等を使用することができるが、111族窒化物の(0001)面を表面平担性よく成長させるためには、(0001)面を使用することが望ましい。また、p型、n型いずれの伝導型としてもよい。SiC単結晶晶面2の導電性については、1000Ω·cm以下の抵抗の低い基板を、用途に応じて適宜使用することができる。なお、本観では、抵抗率が、1000Ω·cm以下であるSiC基板を、導電性SiC基板と称する。この導電性SiC単結晶晶面2の製法としては、昇華法等各種方法を用いることができ、基板表面にSiCをホモエピタキシャル成長することもできる。また、基板表面に酸化膜・窒化膜・炭化膜からなる薄膜を形成されているものを用いることも可能である。なお、SiC基板において高抵抗化が難しい要因は、大気中の主成分である窒素が不純物として混入しやすく、混入した場合n型のドーパントになり、抵抗率を下げてしまうからである。

[0023] また、初期成長層5をAl含有111族窒化物材料（B₆₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅₋₅-
を効果的に抑えることができるためである。ただし、ここでいうAlN材料は、意図したもの意図しないものに関わらず、1%以下の微量不純物を含んでいてもよく、たとえば、上記Ga，Inを始めとして、Si，H，O，C，B，Mg，As，Pなどの不純物を含むことができる。初期成長層の厚みは、10nm～200nmの範囲とするのが好ましい。初期層が薄すぎる場合には超格子積層体内の引張応力を充分に抑制できないため、超格子積層体内にクラックが発生することがあり、厚すぎる場合には、初期層内の引張応力が蓄積されてしまうため、初期層でのクラックが発生することがある。

[0024] ここで、「横方向を電流導通方向とする」とは、図1で示したように、ソース電極２４からドレイン電極２５へ、主に積層体の幅方向に電流が流れることを意味し、例えば半導体を対の電極で挟んだ構造のように、主に縦方向すなわち積層体の厚さ方向に電流が流れるものとは異なることを意味する。

[0025] また、ここで、超格子積層体を交互に積層とし、第1層6aと第2層6bを周期的に含むように積層することを意味する。第1層6aと第2層6b以外の層（たとえば成長期移層）を含むことは可能である。

[0026] 主積層体4のバッファ3側の部分4'のC濃度は、超格子積層体6のC濃度よりも高くするのが好ましい。部分4'においては、バッファ3と主積層体4との格子定数の違いによる影響により、転位が横あるいは斜め方向に屈曲する現象が見られ、リーク電流が流れやすいパスが形成される。従って、部分4'はバッファ層3よりもリーク電流が流れやすく、このリーク電流を抑制するため、上記のようなC濃度にすることが望ましい。また、この主積層体4のバッファ3側の部分4'の厚さを0.1μm未満とすると、C濃度が少ない部分でも転位の屈曲が顕著に存在するおそれがあるため、0.1μm以上の厚さに設定することが好ましい。部分4'の厚さの上限は耐圧の向上、リーク電流の低減という観点では、特に指定されるものではなく、基板の反り・クラックの抑制の観点から適宜設定する。

[0027] 超格子積層体6を構成する第1層6aがAlN材料からなり、第2層6bがアル
GaN (a₁=0, 0<b₁≤0.5, 0.5≤c₁<1, d₁=0) 材料からなるのが好ましい。第１層 6 a と第２層 6 b のバンドギャップ差が縦方向耐圧を向上するため、組成差をできるだけ大きくし、バンドギャップ差をできるだけ大きくとることが好ましい。III族窒化物半導体材料で混雑を作る場合、最もバンドギャップ差が大きいのは、AlN (6.2 eV) と GaN (3.5 eV) であるため、AlGaN材料で超格子構造をつくることが好ましい。組成差の下限については、0.5より小さくなると、Si 単結晶とIII族窒化物の格子定数差による応力緩和が不十分になり、クラックが発生するため、組成差は 0.5 以上とすることが好ましい。また、組成差の上限については、組成差は大きいほうが望ましいが、AlGaN層自身の絶縁化が進み耐圧を向上させるため、バンドギャップの小さい第２層は Al が少なくとも含まれるようにし、Al の組成差は 1 より小さくすることが望ましい。Al が少なくとも含まれるようにした場合に、C をより効率的に取り込むことができるからである。超格子のペア数は、少なくとも 40 ペア以上とし、合計厚膜は 1 μm 以上すると、耐圧のばらつきを低減することができるため好ましい。この超格子層を厚くすればするほど、耐圧を大きくすることが可能なので、高電圧で用いる用途に対しては好ましいが、原料費が増大するデメリットもあるので、厚みは用途に応じて、適宜選択する。

[0028] 各層の厚みに関しては、耐圧の向上という観点から考えると、バンドギャップの大きい第１層 6 a の厚みは、トンネル電流が抑制できる程度の厚み以上でかつ、クラックの発生しない膜厚以下とすることが好ましい。たとえば、AlNを用いた場合には、2～10nmに設定することが好ましい。第２層 6 b の厚みに関しては、クラックの抑制・反りの制御の観点から適宜設定するが、超格子積層構造の歪緩衝効果を有効に発揮し、クラックの発生を抑制するために、バンドギャップの小さい層の厚みは、バンドギャップの大きい層よりも厚く、40nm以下とするのが好ましい。また、超格子積層体内で必ずしもすべて同じ膜厚、同じ組成で積層させる必要はない。

[0029] 電子デバイス用エピタキシャル基板 1 は、横方向を電流導通方向とする様々な用途に用いることができる。HEMTに用いるのが好ましい。図 2 に示すエ
ピタキシャル基板１の主積層体４は、Ba₅Al₉₋₁Ga₄₋₁In₉₋₁N（0≤a₁≤1, 0≤b₁≤1, 0≤c₁≤1, 0≤d₁≤1, a₁+b₁+c₁+d₁=1）材料からなるチャネル層４aおよびチャネル層４aよりバンドギャップの大きいBa₅Al₉₋₁Ga₄₋₁In₉₋₁N（0≤a₃≤1, 0≤b₃≤1, 0≤c₃≤1, 0≤d₃≤1, a₃+b₃+c₃+d₃=1）材料からなる電子供給層４bを有することができる。この際、両層とも単一もしくは複数の組成から構成することができる。特に、合金散乱をさけ、電流導通部分の比抵抗を下げるためには、チャネル層４aの少なくとも電子供給層４bと接する部分はGaN材料とすることが好ましい。

[0030] チャネル層４aのバッファ層とは反対側の部分は、Ｃ濃度が低いことが好ましく、4×10¹⁶/cm³以下に設定することが好ましい。この部分は、電子デバイスの電流導通部分に相当するため、導電性を阻害したり、電流ラップスを発生させたりする不純物は含まないほうが望ましいからである。また、ｎ型不純物による残留キャリアによるリークを抑制するため、1×10¹⁵/cm³以上存在することが望ましい。

[0031] 次に、本発明の電子デバイス用エピタキシャル基板の製造方法の実施形態について図面を参照しながら説明する。

[0032] 図２に示すように、導電性SiC単結晶基板２上に、絶縁層としてのバッファ３と、バッファ３上に複数層のⅢ族窒化物層をエピタキシャル成長させたHEMT構造の主積層体４を順に形成した、横方向を電流導通方向とする電子デバイス用エピタキシャル基板１の製造方法であって、バッファ３は、SiC単結晶基板２と接する初期成長層５および初期成長層５上の超格子多層構造からなる超格子積層体６を有し、初期成長層５はBa₅Al₉₋₁Ga₄₋₁In₉₋₁N（0≤a₁≤1, 0≤b₁≤1, 0≤c₁≤1, 0≤d₁≤1, a₁+b₁+c₁+d₁=1）材料からなり、かつ超格子積層体６はBaₑ₋₁Alₙ₋₁Gaₚ₋₁Inₗ₋₁N（0≤aₑ≤1, 0≤bₑ≤1, 0≤cₑ≤1, 0≤dₑ≤1, aₑ+bₑ+cₑ+dₑ=1）材料からなる第１層６aおよび第１層６aとはバンドギャップの異なるBa₃Al₉₋₁Ga₄₋₁In₉₋₁N（0≤a₃≤1, 0≤b₃≤1, 0≤c₃≤1, 0≤d₃≤1, a₃+b₃+c₃+d₃=1）材料からなる第２層６bを交互に積層してなり、超格子積層体６および／または主積層体４のバッファ３側の部分４は、Ｃ濃度が1×10¹⁸/cm³以上となるよう形成される。
ことを特徴とし、かかる構成を有することにより、縦方向耐圧特性および横方向耐圧特性を良好に両立させ、かつ横方向リーク電流を低減させることができる電子デバイス用エピタキシャル基板を製造することができるものである。その他の不純物量については、特に指定されるものではないが、比較的不純物フライの浅いドナー不純物（Si, O, Ge）の混入は抑制することが好ましいものの、こうしたドナーフライを補償できる程度Cが含有されていれば、ある程度の混入は許容される。なお、不純物濃度は、SIMS分析を用いて、表面側からエッチングしながら、深さ方向の不純物濃度分布を測定した。この際、部分4′のみIII族元素の組成を変更したり、部分4′からチャネル層4αのバッファ層とは反対側の部分のCの濃度あるいはIII族元素の組成を変化させる場合、急峻に変化させることもできるし、連続的に変化させることもできる。

[0033] 超格子積層体6と主積層体4のバッファ3側の部分4′に添加されるCは、CVD法を用いて成長する場合には、以下に示すいくつかの方法により添加することができる。

第1の方法：Cを含む原料ガスを、III族窒化物成長中に別途添加する。メタン・エタン・エチレン・アセチレン・ベンゼン・シクロペンタン等が例示される。

第2の方法：有機金属中のメチル基・エチル基等を、成長III族窒化物成長条件によりエピタキシャル成長層に混入させる。有機金属の分解を抑えるように、成長温度・成長圧力・成長速度・成長時のアンモニア流量・水素流量・窒素流量等を適宜設定することにより、エピタキシャル成長層に添加されるC濃度を調整することが可能である。

なお、本説では、超格子積層体6のC濃度は、SIMSにより、超格子積層体6の厚さの1/2を除去した箇所の測定値とする。主積層体4のバッファ3側の部分4′のC濃度は、SIMSにより、前記部分4′の厚さの1/2を除去した箇所の測定値とする。

[0034] なお、図1および図2は、代表的な実施形態の例を示したものであって、
本発明はこれらの実施形態に限定されるものではない。たとえば、各層の間に本発明の効果に悪影響を与えない程度の中間層を挿入したり、他の超格子層を挿入したり、組成に傾斜をつけたりすることはできる。また、導電性SiC単結晶の表面に、窒化膜、炭化膜、Al層などを形成することもできる。

なお、本発明の積層構造は、導電性SiC基板のみならず、初期成長層をGaNとした場合にクラックが発生する各種金属材料や低抵抗半導体材料（Ge、GaN、AlGaN、GaAs、ZnOなど）からなる他の導電性基板への拡張が可能である。これにより、導電性基板を用いた場合でも、クラックの発生を抑制し、かつ、横方向のリーグ電流低減、模方向及び縦方向の耐圧特性を良好にする本発明の効果を得ることができる。

実施例

（実験例1）

比抵抗がそれぞれ1×10⁻¹Ω・cm、10Ω・cm、100Ω・cmの300μm厚の(0001)面3インチ6H-SiC単結晶基板上に、初期成長層（AIN材料：厚さ100nm）および超格子積層体（AIN：薄膜厚4nmとAl₀.₁₅Ga₀.₈₅N：膜厚25nm、合計85層）を成長させてパッファを形成し、この超格子積層体上にチャネル層（GaN材料：厚さ1.5μm）および電子供給層（Al₀.₂₅Ga₀.₇₅N材料：厚さ20nm）をエピタキシャル成長させてHEMT構造の主積層体を形成して試料1～3を得た。超格子積層体のC濃度を変化させ、主積層のパッファ側の部分のC濃度は、いずれの結果も、1.5～2.0×10¹⁸/cm³の範囲であった。また、チャネル層の電子供給層側の部分は、C濃度が0.8～3.5×10¹⁸/cm³の範囲であった。各層の成長温度、圧力を表1に示す。表中P₁を調整することによりC濃度を調整し、成膜圧力を下げることがよりC濃度を増加させている。成長方法としてはMOCVD法を使用し、III族原料としては、TMA（トリメチルアルミニウム）・TMG（トリメチルガリウム）、V族原料としてはアンモニアを用い、キャリアガスとして、水素および窒素ガスを使用した。ここでいう成膜温度は、成長中に放射温度計を用いて測定した、基板自体の温度を意味する。なお、C濃度のSIMS測定は、エピタキシャル層側からエッチングを行い、 Cameca製の測定装置で、イオン源としてCs⁺を用い、
イオンエネルギーは8keVで行った。

<table>
<thead>
<tr>
<th>層</th>
<th>成長圧力(kPa)</th>
<th>成長温度(℃)</th>
</tr>
</thead>
<tbody>
<tr>
<td>初期成長層</td>
<td>10</td>
<td>1025</td>
</tr>
<tr>
<td>超格子積層体</td>
<td>P₁(1〜120)</td>
<td>1025</td>
</tr>
<tr>
<td>チャネル層バッファ側</td>
<td>10</td>
<td>1025</td>
</tr>
<tr>
<td>チャネル層電子供給層</td>
<td>100</td>
<td>1075</td>
</tr>
<tr>
<td>電子供給層</td>
<td>10</td>
<td>1025</td>
</tr>
</tbody>
</table>

図3(a)、図3(b)および図3(c)に、試料2の横方向耐圧、横方向リーク電流および縦方向耐圧の測定結果を示す。測定は、以下の通り行った。

縦方向：基板表面に80μmφからなるTi/Al積層構造のオーミック電極を形成し、オーミック電極外側を50nmの厚みでエッチングした後、基板裏面を金属板に接地し、両電極間に流れる電流値を電圧に対して測定した。

横方向：200μm□(四角)からなるTi/Al積層構造のオーミック電極を各々の辺を10μmの距離を離して配置して形成し、前記オーミック電極周囲を150nmの厚みでエッチングした後、両電極間に流れる電流値を電圧に対して測定した。この際、空気中の放電を抑制するため、絶縁油で両電極間に絶縁している。また、基板裏面へのリークの影響をなくすため、基板下には絶縁板を配置している。

本実験例において、縦方向耐圧は縦方向の電流値を上記電極面積で単位面積当たりの値に換算した値が10⁻⁴A/cm²に達する電圧値で、横方向耐圧は横方向の電流値を上記電極の1辺の長さ当たりの値に換算した値が10⁻⁴A/cmに達する電圧値で、横方向リーク電流は横方向が100Vでの電流値で、それぞれ定義する。

超格子積層体6のC濃度は、SIMSにより、超格子積層体6の厚さの1/2を除去した箇所を測定することにより得た。主積層体4のバッファ3層の部分4のC濃度は、SIMSにより、前記部分4の厚さの1/2を除去した箇所を測定値することにより得た。

超格子積層体のC濃度を変化させた結果、横方向耐圧、横方向リーク電流
については、いずれもほとんど変化しないのに対し、試料2の縦方向耐圧については、超格子積層体のC濃度が1×10^{18}/cm²を超えると、特異的に急激に高くなることが確認できる。なお、試料1、3についても、図3(a)、図3(b)および図3(c)と同様の結果が確認された。

なお、全ての実験例で作製したエピタキシャル基板において、ホール効果測定法により、チャネル層部分の電気特性を評価したところ、シート抵抗値440Ω/□以下（四角）、移动度は1570cm²/Vs以上と良好な特性を示すことが確認されている。

光学顕微鏡（1000倍）で、全ての実験例で作製したエピタキシャル基板の表面を観察したが、クラックの発生は認められなかった。

（実験例2）

超格子積層体の成長圧力を10kPaとして、主積層体のパッファ側の部分のC濃度を変化させ、各層の成長温度、圧力を表2に示す条件で行ったこと以外は、実験例1の試料1～3と同様の方法により試料4～6を作製した。表中P₂を調整することによりC濃度を調整し、成膜圧力を下げることによりC濃度を増加させている。超格子積層体のC濃度は、いずれの結果も1.5～2.5×10^{18}/cm²の範囲であった。

<table>
<thead>
<tr>
<th>層</th>
<th>成長圧力(kPa)</th>
<th>成長温度(℃)</th>
</tr>
</thead>
<tbody>
<tr>
<td>初期成長層</td>
<td>10</td>
<td>700</td>
</tr>
<tr>
<td>超格子積層体</td>
<td>10</td>
<td>1025</td>
</tr>
<tr>
<td>チャネル層パッファ側</td>
<td>P₂(1〜120)</td>
<td>1025</td>
</tr>
<tr>
<td>チャネル層電子供給層</td>
<td>100</td>
<td>1075</td>
</tr>
<tr>
<td>電子供給層</td>
<td>10</td>
<td>1025</td>
</tr>
</tbody>
</table>

図4(a)、図4(b)および図4(c)に、試料4の横方向耐圧、横方向リーク電流および縦方向耐圧の測定結果を示す。主積層体のC濃度を変化させた結果、横方向耐圧、横方向リーク電流については、ほとんど変化ないのに対し、試料4の縦方向耐圧については、主積層体のパッファ側の部分のC濃度が1×10^{18}/cm²を超えると、特異的に急激に高くなることが確認できる。また、実
験例1と同様に、使用するSi単結晶基板の比抵抗が異なる試料5および6についても、図3(a)～図3(c)に示した結果と大きな差異は認められなかった。

光学顕微鏡（1000倍）で、全ての実験例で作製したエピタキシャル基板の表面を観察したが、クラックの発生は認められなかった。

以上の実験例1および2から超格子積層体のC濃度、または、主積層体のバッファ側の部分のC濃度のいずれか一方を1×10^{18}/cm^3以上とすることにより、縦方向耐圧を効果的に大きくすることができることがわかる。

（実験例3）

初期成長層を700℃で成長したGaN材料（厚さ：20nm）で形成し、各層の成長温度、圧力を表3に示す条件で行ったこと以外は、実験例1の試料2と同様の方法により試料7を作製した。

[0046] [表3]

<table>
<thead>
<tr>
<th>層</th>
<th>成長圧力(kPa)</th>
<th>成長温度(℃)</th>
</tr>
</thead>
<tbody>
<tr>
<td>初期成長層</td>
<td>10</td>
<td>700</td>
</tr>
<tr>
<td>超格子積層体</td>
<td>P₁(1〜120)</td>
<td>1025</td>
</tr>
<tr>
<td>チャネル層バッファ側</td>
<td>10</td>
<td>1025</td>
</tr>
<tr>
<td>チャネル層電子供給層側</td>
<td>100</td>
<td>1075</td>
</tr>
<tr>
<td>電子供給層</td>
<td>10</td>
<td>1025</td>
</tr>
</tbody>
</table>

光学顕微鏡（1000倍）で、全ての実験例で作製したエピタキシャル基板の表面を観察した結果、多数のクラック発生が確認された。ウェハ全面にクラックが発生しており、デバイス試作をすることはできなかった。

（実験例4）

初期成長層を、Al_{0.5}Ga_{0.5}N材料とした以外は、実験例1の試料1～3と同様の方法により、試料8～10を作成し、同様の実験を行った。その結果、図3(a)、図3(b)および図3(c)と同様の結果が全ての試料で確認され、シート抵抗値450Ω/□以下（四角）、移動度は1550cm^2/Vs以上と良好な特性を示すことが確認されていた。

光学顕微鏡（1000倍）で、全ての実験例で作製したエピタキシャル基板
の表面を観察したが、クラックの発生は認められなかった。

（実験例 5）

初期成長層を、Al_{0.3}Ga_{0.7}N材料とした以外は、実験例 2 の試料 4 ～ 6 と同様の方法により、試料 1 ～ 3 を作成し、同様の実験を行った。その結果、図 4 (a)、図 4 (b) および図 4 (c) と同様の結果が全ての試料で確認された。

光学顕微鏡（1000倍）で、全ての実験例で作製したエピタキシャル基板の表面を観察したが、クラックの発生は認められなかった。

産業上の利用可能性

本発明の電子デバイス用エピタキシャル基板によれば、導電性 SiC 基板上に Al 含有初期成長層および所定の超格子積層体を有するバッファならびに所定の主積層体を具え、超格子積層体および／または主積層体のバッファ側の部分が、1 × 10^{18}/cm^{2} 以上の C 濃度を有することにより、横方向リーク電流の低減および横方向耐圧特性を良好に両立させるのみでなく、縦方向耐圧を向上させることができる。また、導電性 SiC 基板を用いることにより、放熱性を向上させ、さらに、クラックの発生を低減させることができる。

符号の説明

1 電子デバイス用エピタキシャル基板
2 導電性 SiC 単結晶基板
3 バッファ
4 主積層体
4 a チャネル層
4 b 電子供給層
5 初期成長層
6 超格子積層体
6 a 第 1 層
6 b 第 2 層
請求の範囲

[請求項1] 導電性SiC単結晶基板と、該SiC単結晶基板上に形成した絶縁層とし
てのバッファと、該バッファ上に複数層のIII族窒化物層をエピタキ
シャル成長させて形成した主積層体を具え、横方向を電流導通方向
とする電子デバイス用エピタキシャル基板であって、前記バッファは
、前記SiC単結晶基板と接する初期成長層および該初期成長層上の超
格子多層構造からなる超格子積層体を少なくとも有し、前記初期成長
層はB₃₃Al₁₃Ga₈₃In₉₃N(0≦a₁≦1, 0≦b₁≦1, 0≦c₁≦1, 0≦d₁≦1, a₁+b₁+c
₁+d₁=1)材料からなり、かつ前記超格子積層体はB₃₃Al₁₉Ga₄₂Inₙ₃N(0≦a₁
≦1, 0≦b₁≦1, 0≦c₁≦1, 0≦d₁≦1, a₁+b₁+c₁+d₁=1)材料からなる第1
層および該第1層とはバンドギャップの異なるB₃₃Al₃₃Ga₃₃Inₙ₃N(0≦a₃
≦1, 0≦b₃≦1, 0≦c₃≦1, 0≦d₃≦1, a₃+b₃+c₃+d₃=1)材料からなる第2層
を交互に積層してなり、前記超格子積層体、または、前記主積層体の
前記バッファ側の部分の少なくとも一方は、C濃度が1×10¹⁸/cm³以
上であることを特徴とする電子デバイス用エピタキシャル基板。

[請求項2] 前記超格子積層体、および、前記主積層体の前記バッファ側の部分
は、ともにC濃度が1×10¹⁸/cm³以上である請求項1に記載の電子デ
バイス用エピタキシャル基板。

[請求項3] 前記第1層がAIN材料からなり、前記第2層がAl₁₃Ga₃₃N(a₃=0, 0<b₃
≦0.5, 0.5≦c₃<1, d₃=0)材料からなる請求項1または2に記載の電
子デバイス用エピタキシャル基板。

[請求項4] 前記初期成長層がB₃₃Al₁₉Ga₈₃Inₙ₃N(0≦a₁≦1, 0.5≦b₁≦1, 0≦c₁≦1,
0≦d₁≦1, a₁+b₁+c₁+d₁=1)材料からなる請求項1、2または3に記載
の電子デバイス用エピタキシャル基板。

[請求項5] 前記初期成長層がAIN材料からなる請求項1、2または3に記載の
電子デバイス用エピタキシャル基板。

[請求項6] 導電性SiC単結晶基板と、該SiC単結晶基板上に形成した絶縁層とし
てのバッファと、該バッファ上に複数層のIII族窒化物層をエピタキ
シャル成長させた成長層とを具え、横方向を電流導通方向とする電子デバイス用エピタキシャル基板の製造方法であって、前記バッファは、前記SiC単結晶基板と接する初期成長層および該初期成長層上の超格子多層構造からなる超格子積層体を少なくとも有し、前記初期成長層は$B_{a_i}Al_{b_i}Ga_{c_i}In_{d_i}N(0 \leq a_i \leq 1, \ 0 < b_i \leq 1, \ 0 \leq c_i \leq 1, \ 0 \leq d_i \leq 1, \ a_i+b_i+c_i+d_i=1)$材料からなり、かつ前記超格子積層体は$B_{a_2}Al_{b_2}Ga_{c_2}In_{d_2}N(0 \leq a_2 \leq 1, \ 0 \leq b_2 \leq 1, \ 0 \leq c_2 \leq 1, \ 0 \leq d_2 \leq 1, \ a_2+b_2+c_2+d_2=1)$材料からなる第1層および該第1層とはバンドギャップの異なる$B_{a_3}Al_{b_3}Ga_{c_3}In_{d_3}N(0 \leq a_3 \leq 1, \ 0 \leq b_3 \leq 1, \ 0 \leq c_3 \leq 1, \ 0 \leq d_3 \leq 1, \ a_3+b_3+c_3+d_3=1)$材料からなる第2層を交互に積層してたり、前記超格子積層体、または、前記主積層体の前記バッファ側の部分の少なくとも一部は、$C$濃度が$1 \times 10^{18}/\text{cm}^2$以上であることを特徴とする電子デバイス用エピタキシャル基板の製造方法。

請求項7：前記超格子積層体、および、前記主積層体の前記バッファ側の部分は、ともに$C$濃度が$1 \times 10^{18}/\text{cm}^2$以上である請求項6に記載の電子デバイス用エピタキシャル基板の製造方法。
Fig. 3

(a) 1500
   1000
   500
   0

(b) 1.0E-06
   1.0E-07
   1.0E-08

(c) 1000
   500
   0

横軸: 粗格子C濃度 (cm^-3)
縦軸: 値
データ: AIN
**FIG. 4**

(a) Graph showing a linear relationship between the concentration of a material and a property.

(b) Graph showing a decrease in another property as the concentration increases.

(c) Graph with a step-like increase in a property.
INTERNATIONAL SEARCH REPORT

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/338(2006.01)i, H01L21/205(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
H01L21/338, H01L21/205, H01L29/778, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010
Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

<table>
<thead>
<tr>
<th>Category</th>
<th>Citation of document, with indication, where appropriate, of the relevant passages</th>
<th>Relevant to claim No.</th>
</tr>
</thead>
</table>

Further documents are listed in the continuation of Box C.

See patent family annex.

Date of the actual completion of the international search
27 July, 2010 (27.07.10)

Date of mailing of the international search report
10 August, 2010 (10.08.10)

Name and mailing address of the ISA/
Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.
<table>
<thead>
<tr>
<th>Category</th>
<th>Citation of document, with indication, where appropriate, of the relevant passages</th>
<th>Relevant to claim No.</th>
</tr>
</thead>
<tbody>
<tr>
<td>Y</td>
<td>JP 2006-114655 A (Hitachi Cable, Ltd.), 27 April 2006 (27.04.2006), paragraphs [0016] to [0027], [0039]; fig. 2 (Family: none)</td>
<td>1-7</td>
</tr>
</tbody>
</table>
国際調査報告

国際出願番号 PCT／JP2010／003162

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/338 (2006. 01) i, H01L21/265 (2006. 01) i, H01L29/778 (2006. 01) i, H01L29/812 (2006. 01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/338, H01L21/265, H01L29/778, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

<table>
<thead>
<tr>
<th>国民</th>
<th>番号</th>
<th>年代</th>
</tr>
</thead>
<tbody>
<tr>
<td>日本国実用新案公報</td>
<td>1922－1996年</td>
<td></td>
</tr>
<tr>
<td>日本国公開実用新案公報</td>
<td>1971－2010年</td>
<td></td>
</tr>
<tr>
<td>日本国実用新案登録公報</td>
<td>1996－2010年</td>
<td></td>
</tr>
<tr>
<td>日本国登録実用新案公報</td>
<td>1994－2010年</td>
<td></td>
</tr>
</tbody>
</table>

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

<table>
<thead>
<tr>
<th>引用文献の カテゴリー※</th>
<th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th>
<th>関連する請求項の番号</th>
</tr>
</thead>
<tbody>
<tr>
<td>Y</td>
<td>JP 2008-171843 A（古河電気工業株式会社）2008. 07.24, 全文, 全図（ファミリーなし）</td>
<td></td>
</tr>
</tbody>
</table>

※ 引用文献のカテゴリー

「A」特に関連のある文献ではなく,一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが,国際出願日以後に公表されたもの

「F」優先権主張上に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示,使用,展示等に言及する文献

「P」国際出願日前でかつ優先権の主張の基礎となる出願の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく,発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって,当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって,当該文献と他の1以上の文献との,当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

国際調査を完了した日
27. 07. 2010

国際調査報告の発送日
10. 08. 2010

国際調査機関の名称及びあて先
日本国特許庁（ISA／JP）
郵便番号100－8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）
4M 8934

国際調査報告書

4M 8934

実田 奏香

電話番号03－3581－1101 内線3462

様式PCT／ISA／210（第2ページ）（2009年7月）
C（続き）、関連すると認められる文献

<table>
<thead>
<tr>
<th>引用文献のカテゴリー</th>
<th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th>
<th>関連する請求項の番号</th>
</tr>
</thead>
<tbody>
<tr>
<td>Y</td>
<td>JP 2006-114655 A（日立電線株式会社）2006.04.27，段落【0016】-【0027】，【0039】，図2（ファミリーなし）</td>
<td>1-7</td>
</tr>
</tbody>
</table>