

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97119553

※ 申請日期：97.5.27

※IPC 分類：H01L

21/8238

(2006.01)

一、發明名稱：(中文/英文)

用於形成雙金屬閘極結構之方法

METHOD FOR FORMING A DUAL METAL GATE STRUCTURE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,

U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 高瑞 V 卡夫
KARVE, GAURI V.
2. 克利斯蒂亞諾 卡帕索
CAPASSO, CRISTIANO
3. 斯里坎斯 B 沙瑪維丹
SAMAVEDAM, SRIKANTH B.
4. 詹姆士 K 雪佛
SCHAEFFER, JAMES K.
5. 威廉 J 泰勒 二世
TAYLOR, WILLIAM J., JR.

國 籍：(中文/英文)

1. 印度 INDIA
2. 義大利 ITALY
3. 印度 INDIA
4. 美國 U.S.A.
5. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年06月29日；11/771,690

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種方法包括在一半導體層(13)上形成一第一閘極介電層(26)，該半導體層具有一第一及一第二井區域(16、18)，在該第一閘極介電質上形成一第一金屬閘極電極層(28)，在該第一金屬閘極電極層與該第一閘極介電層及第一金屬閘極電極層之相鄰側壁上形成一側壁保護層(36)，在該第二井區域上形成一通道區域層(40)，在該通道區域層上形成一第二閘極介電層(42)，形成一第二金屬閘極電極層(44)，並在該第一井區域上形成一第一閘極堆疊(58)，其包括該第一閘極介電層與第一金屬閘極電極層之各層之一部分，及在該通道區域層上與在該第二井區域上形成一第二閘極堆疊(66)，其包括該第二閘極介電層與第二金屬閘極電極層之各層之一部分。

六、英文發明摘要：

A method includes forming a first gate dielectric layer (26) over a semiconductor layer (13) having a first and a second well region (16, 18), forming a first metal gate electrode layer (28) over the first gate dielectric, forming a sidewall protection layer (36) over the first metal gate electrode layer and adjacent sidewalls of the first gate dielectric layer and first metal gate electrode layer, forming a channel region layer (40) over the second well region, forming a second gate dielectric layer (42) over the channel region layer, forming a second metal gate electrode layer (44), and forming a first gate stack (58) including a portion of each of the first gate dielectric layer and first metal gate electrode layer over the first well region and forming a second gate stack (66) including a portion of each of the second gate dielectric layer and second metal gate electrode layer over the channel region layer and over the second well region.

七、指定代表圖：

(一)本案指定代表圖為：第(14)圖。

(二)本代表圖之元件符號簡單說明：

10	半導體結構
12	半導體基板
13	半導體層
14	埋入氧化物層
16	第一井區域/NMOS井區域
18	第二井區域/PMOS井區域
20	隔離區域
22	隔離區域
24	隔離區域
30	NMOS裝置區域
32	PMOS裝置區域
40	通道區域層
52	閘極介電質
54	閘極電極
56	閘極增厚物
60	閘極介電質
62	閘極電極
64	閘極增厚物
68	實質完整NMOS裝置
70	PMOS裝置

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

此揭示案一般而言係關於半導體處理，且更明確而言係關於一種用於形成雙金屬閘極結構之方法。

先前申請案參考

此申請案已於2007年6月29日在美國作為專利申請案第11/771,690號申請。

相關申請案之交叉參考

此申請案係關於同日申請的美國專利申請案序號11/771,721 (律師檔案號MT10803TP)，標題為"Method for Forming a Dual Metal Gate Structure(用於形成雙金屬閘極結構之方法)"，指定Gauri V. Karve、Cristiano Capasso、Srikanth B. Samavedam、James K. Schaeffer及William J. Taylor, Jr.為發明人，並讓渡給其目前受讓人。

【先前技術】

在半導體處理領域內，隨著閘極介電質厚度穩步地增加，使用多晶矽閘極結構變得越來越不可行。隨著半導體處理擺脫使用二氧化矽作為閘極介電質以支援具有一高介電常數的介電質(又稱為高k介電質)，多晶矽閘極變得更成問題。用以克服多晶矽閘極所引入之該等問題之一些問題的一解決方案係使用金屬閘極。在雙金屬閘極程序中，第一金屬係用以形成用於PMOS(p通道金氧半導體)裝置的閘極而第二不同金屬係用以形成NMOS(n通道MOS)裝置。透過使用不同金屬，可針對各類型裝置來最佳化功函數。

然而，在傳統雙金屬閘極整合中，一些程序步驟(諸如金屬蝕刻與硬遮罩移除)可能會損壞該等雙金屬閘極結構之高k閘極介電質，從而劣化裝置效能。

【實施方式】

雙金屬閘極整合(其中一第一金屬閘極係用於NMOS裝置而一第二不同金屬閘極係用於PMOS裝置)可用以解決與多晶矽閘極相關聯的該等問題並允許針對各類型裝置最佳化該等功函數。而且，可透過使用不同材料用於該等裝置之通道區域來進一步改良PMOS與NMOS裝置之效能。例如，一NMOS裝置可能在以一半導體材料(諸如矽)來形成其通道區域時表現較佳而一PMOS裝置可能在以一不同半導體材料(諸如矽鍺)來形成其通道區域時表現更佳。因此，下面所說明的一具體實施例包括一雙金屬整合，其還允許不同類型的通道區域用於NMOS及PMOS裝置。

圖1解說一具有一半導體基板12之半導體結構10。半導體基板12包括一埋入氧化物層14與在埋入氧化物層14上之一半導體層13。半導體層13包括一NMOS井區域16，其將用以形成一NMOS裝置；及一PMOS井區域18，其將用以形成一PMOS裝置。半導體層13還包括隔離區域20、22及24以隔離不同井區域。應注意，各井區域(諸如井區域16及18)可用以形成任一數目的裝置。在所解說具體實施例中，半導體基板係解說為一絕緣物上半導體(SOI)基板，其中半導體層13位於埋入氧化物層14上面。然而，在一替代性具體實施例中，基板12可以係一塊狀半導體基板，其

中不存在埋入氧化物層14。半導體層13可包括任一半導體材料。在一具體實施例中，半導體層13係一矽層。

半導體層13包括一NMOS裝置區域30，其中將會形成一或多個NMOS裝置；及一PMOS裝置區域32，其中將會形成一或多個PMOS裝置。應注意，NMOS裝置區域30可包括任一數目的NMOS井區域，諸如NMOS井區域16，而PMOS裝置區域32可包括任一數目的PMOS井區域，諸如PMOS井區域18。

圖1還解說在半導體層13上之一閘極介電層26與在閘極介電層26上之一閘極電極層28。在一具體實施例中，閘極介電層26係毯覆沈積於半導體層13上，而閘極電極層28係毯覆沈積於閘極介電層26上。在一具體實施例中，閘極介電層26係一高k閘極介電質，(例如)包括氧化鋁或氧化鋇鋁。(應注意，如本文中所使用，一高k介電質係指具有大於二氧化矽之介電常數之介電常數k的介電質。)此外，閘極介電層26可包括一個以上的層，諸如一包覆一氧化物之高k介電層。在一具體實施例中，閘極介電層26可能具有一在大約1至5奈米之範圍的厚度。在一具體實施例中，閘極電極層28包括一金屬，諸如碳化鈮、氮化鈮、氮化鈦等。在一具體實施例中，閘極介電層28具有一大約2至10奈米之範圍的厚度。在所解說具體實施例中，應注意，閘極介電層26與閘極電極層28分別係將會用以在NMOS裝置區域30內形成一NMOS裝置的閘極介電層與閘極電極層。

圖2解說在NMOS裝置區域30內的閘極電極層28上形成一

圖案化遮罩層34之後的半導體結構10。在一具體實施例中，圖案化遮罩層34係一硬遮罩，其包括(例如)一電漿增強氮化物或一氧化物。或者，圖案化遮罩層34可包括光阻。在一具體實施例中，傳統處理可用以形成圖案化遮罩層34。

圖3解說使用圖案化遮罩層34移除閘極電極層28與閘極介電層26之暴露部分之後的半導體結構10。因此，應注意，透過使用圖案化遮罩層34，可移除在PMOS裝置區域32內的閘極電極層28與閘極介電層26之該等區域以暴露半導體層13之PMOS井區域18。在一具體實施例中，傳統蝕刻程序及化學劑可用以移除閘極電極層28與閘極介電層26之暴露部分。

圖4解說在圖案化遮罩層34上以及在半導體層13之暴露部分上形成一側壁保護層36之後的半導體結構10。應注意，側壁保護層36係形成於圖案化遮罩層34上，及形成於閘極電極層28與閘極介電層26之相鄰側壁上，該等相鄰側壁曾在蝕刻上面參考圖3所說明之該些層期間暴露。在一具體實施例中，側壁保護層36係毯覆沉積。而且，在一具體實施例中，側壁保護層36實體接觸閘極電極層28與閘極介電層26之該等側壁。在一具體實施例中，側壁保護層36可能係一氧化物層或一氮化物層，其具有(例如)在大約5至15奈米之一範圍的一厚度。圖4還包括形成一圖案化遮罩層38，其係形成於NMOS裝置區域30內的側壁保護層36上。在一具體實施例中，圖案化遮罩層38包括光阻並可使

用傳統處理來加以形成。

圖5解說在使用圖案化遮罩層36移除側壁保護層36之暴露部分之後的半導體結構10。因此，應注意，透過使用圖案化遮罩層36，可移除在PMOS裝置區域32內的側壁保護層36之該等部分以暴露半導體層13之PMOS井區域18，同時允許在NMOS裝置區域30內的閘極電極層28與閘極介電層26之該等側壁保持覆蓋並因而得到保護。隨後，如在圖5中可見，可移除圖案化遮罩層34。在一具體實施例中，傳統處理可用以蝕刻側壁保護層36並移除圖案化遮罩層34。

圖6解說在PMOS裝置區域32內的PMOS井區域18上形成一通道區域層40之後的半導體層10。通道區域層40係將會保護一PMOS裝置之一通道區域的一層。因此，通道區域層40可能係包括一半導體材料的一層，該半導體材料不同於半導體層13(或NMOS井區域16)之半導體材料並可能更佳適用於PMOS裝置。例如，其可能係影響應變、能帶隙、遷移率等或其任一組合的一材料。例如，在一具體實施例中，通道區域層40係一矽鍺層，比較矽，其允許改良的PMOS裝置。因此，在一具體實施例中，半導體層13之井區域16及18可能係矽，而通道區域層40可能係矽鍺。在一具體實施例中，該矽鍺在大約550至700攝氏度之範圍的一溫度下磊晶生長至在大約2至15奈米之一範圍的一厚度並具有在大約10至50百分比之一範圍的一鍺濃度。應注意，在形成通道區域層40期間，閘極電極層28與閘極介電

層 26 之該等側壁係由側壁保護層 36 來保護。例如，若在不存在側壁保護層 36 情況下磊晶生長通道區域層 40，則閘極電極層 28 與閘極介電層 26 之該等側壁可能在通道區域層 40 形成期間受到影響，從而可能不利地影響 NMOS 裝置之形成或效能。

圖 7 解說在 NMOS 裝置區域 30 內的側壁保護層 36 上及在 PMOS 裝置區域 32 內的半導體層 13 及通道區域層 40 上形成一閘極介電層 42 以及在閘極介電層 42 上形成一閘極電極層 44 之後的半導體結構 10。在一具體實施例中，閘極介電層 42 係毯覆沈積於側壁保護層 36、半導體層 13 及通道區域 40 上而閘極電極層 44 係毯覆沈積於閘極介電層 42 上。在一具體實施例中，閘極介電層 42 係一高 k 閘極介電質，(例如)包括氧化鈣或氧化鋅鈣。(應注意，在一具體實施例中，閘極介電層 42 係使用一不同於閘極介電質 26 之高 k 介電質來形成。)此外，閘極介電層 42 可包括一個以上的層，諸如一包覆一氧化物之高 k 介電層。在一具體實施例中，閘極介電層 42 可能具有在大約 1 至 5 奈米之一範圍的一厚度。在一具體實施例中，閘極電極層 44 包括一金屬，諸如氮化鈾、鈦等。而且，在一具體實施例中，閘極電極層 44 係使用一不同於閘極電極層 28 之金屬的金屬來形成。在一具體實施例中，閘極介電層 44 具有在大約 2 至 10 奈米之一範圍的一厚度。在所解說具體實施例中，應注意，閘極介電層 42 與閘極電極層 44 分別係將會用以在 PMOS 裝置區域 32 內形成一 PMOS 裝置的閘極介電層與閘極電極層。

應注意，NMOS裝置區域30可能係指一第一裝置區域，且類似地，NMOS井區域16可能係指一第一井區域，而PMOS裝置區域32可能係指一第二裝置區域，且類似地，PMOS井區域18可能係指一第二井區域。而且，應注意，可反轉極性，使得該第一裝置區域對應於一PMOS裝置而該第二裝置區域對應於一NMOS裝置區域。類似地，在此具體實施例中，該第一井區域對應於一PMOS井區域而該第二井區域對應於一NMOS井區域。而且，在此情況下，閘極介電層26與閘極電極層28將會分別對應於將會用以形成一PMOS裝置的閘極介電層與閘極電極層，而閘極介電層42與閘極電極層44將會分別對應於將會用以形成一NMOS裝置的閘極介電層與閘極電極層。

圖8解說在PMOS裝置區域32內的閘極電極層44上形成一圖案化遮罩層46之後的半導體結構10。在一具體實施例中，圖案化遮罩層46係使用光阻來形成。在一具體實施例中，傳統處理可用以形成圖案化遮罩層46。

圖9解說在使用圖案化遮罩層46移除閘極電極層44、閘極介電層42及側壁保護層36之暴露部分之後的半導體結構10。因此，應注意，透過使用圖案化遮罩層46，可蝕刻在NMOS裝置區域30內的閘極電極層44、閘極介電層42及側壁保護層36之該等部分，其中在一具體實施例中，圖案化遮罩層34作為用於該蝕刻的一蝕刻終止層而操作。在一具體實施例中，傳統蝕刻可用以移除閘極電極層44、閘極介電層42及側壁保護層36之部分。

圖 10 解說在移除圖案化遮罩層 46 之後的半導體結構 10。
傳統處理可用以移除圖案化遮罩層 46。

圖 11 解說在移除圖案化遮罩層 34 之後的半導體結構 10。
在一具體實施例中，一濕式蝕刻(諸如一氟化氫(HF)蝕刻)可用以移除圖案化遮罩層 34(如上所說明，其可使用一電漿增強氮化物或一氧化物來形成)。

圖 12 解說在閘極電極層 28 及 44 上形成一閘極增厚層 48 之後以及在閘極增厚層 48 上形成一圖案化遮罩層 50 之後的半導體結構 10。在一具體實施例中，閘極增厚層 48 包括一傳導性材料，諸如多晶矽，並因此可稱為一傳導性閘極增厚層。而且，閘極增厚層 48 可能包括一或多個傳導性材料層。在一具體實施例中，閘極增厚層 48 操作以增厚該等形成中之裝置的閘極堆疊，使得在執行源極及汲極植入時，該等閘極堆疊足夠厚以在通道區域內阻止該等植入。在一替代性具體實施例中，可不形成任何閘極增厚層。圖案化遮罩層 50 定義對應於該等形成中裝置之閘極堆疊的位置。在所解說具體實施例中，圖案化遮罩層 50 在 NMOS 裝置區域 30 內定義一閘極堆疊位置，並在 PMOS 裝置區域 32 內定義一閘極堆疊位置。在一具體實施例中，圖案化遮罩層 50 包括光阻。在一具體實施例中，傳統處理可用以形成閘極增厚層 48 與圖案化遮罩層 50。

圖 13 解說在使用圖案化遮罩層 50 形成閘極堆疊 58 及 66 之後以及在隨後移除圖案化遮罩層 50 之後的半導體結構 10。
因此，使用圖案化遮罩層 50，從裝置區域 30 及 32 中移除閘

極增厚層 48 之暴露部分，從 NMOS 裝置區域 30 中移除閘極電極層 28 與閘極介電層 26 之部分，並從 PMOS 裝置區域 32 中移除閘極電極層 44 與閘極介電層 42 之部分，從而在 NMOS 裝置區域 30 內產生閘極堆疊 58，並在 PMOS 裝置區域 32 內產生閘極堆疊 66。應注意，在圖 13 之具體實施例之蝕刻期間，會同時蝕刻金屬閘極電極層(閘極電極層 28 及 44)二者。在一具體實施例中，傳統處理可用以形成閘極堆疊 58 及 66 與圖案化遮罩層 50。

如圖 13 中所解說，閘極堆疊 58 包括在 NMOS 井區域 16 上之一閘極介電質 52(由閘極介電層 26 所形成)、在閘極介電質 52 上之一閘極電極 54(由閘極電極層 28 所形成)，及在閘極電極 54 上之一閘極增厚物 56(由閘極增厚層 48 所形成)。閘極堆疊 66 包括在通道區域 40 上之一閘極介電質 60(由閘極介電層 42 所形成)、在閘極介電質 60 上之一閘極電極 62(由閘極電極層 44 所形成)，及在閘極電極 62 上之一閘極增厚物 64(由閘極增厚層 48 所形成)。

圖 14 解說在形成實質上完整 NMOS 裝置 68 與 PMOS 裝置 70 之後的半導體結構 10。NMOS 裝置 68 係使用在 NMOS 裝置區域 30 內的閘極堆疊 58 來形成，而 PMOS 裝置係使用在 PMOS 裝置區域 32 內的閘極堆疊 66 來形成。對於各裝置，傳統處理可用以形成間隔物與源極/汲極區域。應注意，一通道區域係在半導體層 13 之 NMOS 井區域 16 內，於閘極介電質 52 下，形成於 NMOS 裝置 68 之源極/汲極區域之間。然而，PMOS 裝置 70 之一通道區域係在通道區域層 40 內而

非在半導體層 13 內，於閘極介電質 60 下位於 PMOS 裝置 70 之源極/汲極區域之間。依此方式，NMOS 及 PMOS 裝置 68 及 70 可包括不同金屬閘極電極，並經形成而具有不同半導體材料用於該等通道區域。因此，該等 NMOS 及 PMOS 裝置可各透過選擇不同金屬閘極電極與不同通道區域材料來單獨地最佳化。

因此，可瞭解到，透過使用側壁保護層 36，可形成通道區域層 40 而不損壞先前圖案化的閘極電極層 28 與閘極介電層 26 之暴露側壁。此外，由於該些層係先前圖案化的，故不需要隨後從通道區域層 40 上的裝置區域 32 蝕刻一金屬閘極電極層。依此方式，在形成通道區域層 40 之後，不需要一上面金屬閘極電極之一隨後蝕刻，否則可能會對閘極介電層 42 或通道區域層 40 造成損壞。因此，可形成一通道區域層，其更佳適用於正在裝置區域 32 內形成的一特定類型裝置(不論其係一 PMOS 或一 NMOS 裝置)，同時允許不損壞通道區域/閘極介電介面的一雙金屬整合。

在一替代性具體實施例中，應注意，一通道區域層(諸如通道區域層 40)可用於形成一 NMOS 裝置而非一 PMOS 裝置。在另一具體實施例中，一通道區域層(諸如通道區域層 40)可用於形成一 NMOS 與一 PMOS 裝置二者。例如，還可在形成閘極介電層 26 之前在井區域 16 上形成一通道區域層。

一具體實施例係關於一種用於形成一半導體結構之方法，其包括在一半導體層上形成一第一閘極介電層，其中

該半導體層包括一第一井區域與一第二井區域，在該第一閘極介電質上形成一第一金屬閘極電極層，在該第一金屬電極層上形成一側壁保護層，其中該側壁保護層相鄰該第一閘極介電層之一側壁與該第一金屬閘極電極層之一側壁，在形成該側壁保護層之後在該第二井區域上形成一通道區域層，在該通道區域層上形成一第二閘極介電層，在該第二閘極介電層上形成一第二金屬閘極電極層，其中該第二金屬閘極電極層係不同於該第一金屬閘極電極層的一金屬，並在該第一井區域上形成一第一閘極堆疊，其包括該第一閘極介電層與該第一金屬閘極電極層之各層之一部分並在該通道區域層上以及在該第二井區域上形成一第二閘極堆疊，其包括該第二閘極介電層與該第二金屬閘極電極層之各層之一部分。

在一進一步具體實施例中，該方法進一步包括使用該第一閘極堆疊來形成具有一第一導電率型的一第一裝置並使用該第二閘極堆疊來形成具有一第二導電率型的一第二裝置，該第二導電率型不同於該第一導電率型，其中該第二裝置之一通道區域係在該通道區域層內。

在另一進一步具體實施例中，該方法進一步包括在形成該第一閘極堆疊與該第二閘極堆疊之前，在該等第一金屬閘極電極層與該第二金屬閘極電極層之各層上形成一傳導性閘極增厚層並與其實體接觸。

在另一進一步具體實施例中，形成該通道區域包含生長一半導體材料，其不同於該半導體層之一半導體材料。在

該另一具體實施例之又一進一步具體實施例中，形成該通道區域層包含在該第二井區域上磊晶生長矽鍺。

在另一進一步具體實施例中，該方法進一步包括在形成該通道區域層之後移除該側壁保護層。

在另一進一步具體實施例中，形成該側壁保護層包括沈積一材料，其係選自由一氧化物與一氮化物所組成的一群組。

在另一進一步具體實施例中，形成該第一閘極介電層包括形成一第一高k介電層且形成該第二閘極介電層包括形成一第二高k介電層，其包括一不同於該第一高k介電層的高k介電質。

在另一具體實施例中，一種用於形成一半導體結構之方法包括在一半導體層上形成一第一閘極介電層，其中該半導體層包括一第一井區域與一第二井區域，在該第一閘極介電層上形成一第一金屬閘極電極層，移除位於該第二井區域上面的該第一閘極介電層與該第一金屬閘極電極層之部分，在該第一金屬閘極電極層與該第二井區域上形成一側壁保護層，其中該側壁保護層相鄰該第一閘極介電層之一側壁與該第一金屬閘極電極層之一側壁，在形成該側壁保護層之後在該第二井區域上形成一通道區域層，在該側壁保護層與該通道區域層上形成一第二閘極介電層，在該第二閘極電極層上形成一第二金屬閘極電極層，其中該第二金屬閘極電極層係不同於該第一金屬閘極電極層的一金屬，移除位於該側壁保護層上面的該第二金屬閘極電極層

與該第二閘極介電層之部分，並在該第一井區域上形成一第一閘極堆疊，其包括該第一閘極介電層與該第一金屬閘極電極層之各層之一部分並在該通道區域層上以及在該第二井區域上形成一第二閘極堆疊，其包括該第二閘極介電層與該第二金屬閘極電極層之各層之一部分。

在該另一具體實施例之一進一步具體實施例中，該方法進一步包括使用該第一閘極堆疊來形成具有一第一導電率型的一第一裝置並使用該第二閘極堆疊來形成具有一第二導電率型的一第二裝置，該第二導電率型不同於該第一導電率型，其中該第二裝置之一通道區域係在該通道區域層內。

在該另一具體實施例之另一進一步具體實施例中，在形成該第一閘極堆疊與該第二閘極堆疊之前，該方法進一步包括移除該側壁保護層並在該等第一金屬閘極電極層與該第二金屬閘極電極層之各層上形成一傳導性閘極增厚層並與其實體接觸。

在該另一具體實施例之另一進一步具體實施例中，形成該通道區域層包括生長一半導體材料，其不同於該半導體層之一半導體材料。在該另一進一步具體實施例之一進一步具體實施例中，形成該通道區域層包含在該第二井區域上磊晶生長矽鍺。

在該另一具體實施例之另一進一步具體實施例中，該方法進一步包括在移除位於該側壁保護層上面的該第二金屬閘極電極層與該第二閘極介電層之部分之後移除該側壁保

護層。

在該另一具體實施例之另一進一步具體實施例中，形成該側壁保護層包括沈積一材料，其係選自由一氧化物與一氮化物所組成的一群組。

在該另一具體實施例之另一進一步具體實施例中，形成該第一閘極介電層包括形成一第一高k介電層且形成該第二閘極介電層包括形成一第二高k介電層，其包括一不同於該第一高k介電層的高k介電質。

在另一具體實施例中，一種用於形成一半導體結構之方法包括在一半導體層上形成一第一高k閘極介電層，其中該半導體層包括一第一井區域與一第二井區域，在該第一高k閘極介電層上形成一第一金屬閘極電極層，在該第一金屬閘極電極層上沈積一側壁保護層，其中該側壁保護層相鄰該第一閘極介電層之一側壁與該第一閘極電極層之一側壁，在形成該側壁保護層之後在該第二井區域上形成一通道區域層，在該通道區域層上形成一第二高k閘極介電層，其中該第二高k閘極介電層具有一不同於該第一高k閘極介電層之高k介電質，在該第二閘極介電層上形成一第二金屬閘極電極層，其中該第二金屬閘極電極層係一不同於該第一金屬閘極電極層的金屬，在該第一井區域上形成一第一閘極堆疊，其包括該第一高k閘極介電層與該第一金屬閘極電極層之各層之一部分並在該通道區域上以及在該第二井區域上形成一第二閘極堆疊，其包括該第二高k閘極介電層與該第二金屬閘極電極層之各層之一部分，並

使用該第一閘極堆疊來形成具有一第一導電率型的第一裝置以及使用該第二閘極堆疊來形成具有一第二導電率型的第一第二裝置，該第二導電率型不同於該第一導電率型，其中該第二裝置之一通道區域係在該通道區域層內。

在該另一具體實施例之一進一步具體實施例中，在形成該第一閘極堆疊與該第二閘極堆疊之前，該方法進一步包括在該等第一金屬閘極電極層與該第二金屬閘極電極層之各層上形成一傳導性閘極增厚層並與其實體接觸。

在該另一具體實施例之另一進一步具體實施例中，形成該通道區域層包括生長一半導體材料，其不同於該半導體層之一半導體材料。

在該另一具體實施例之另一進一步具體實施例中，該方法進一步包括在形成該通道區域層之後移除該側壁保護層。

儘管已就特定導電率類型或電位極性已說明本發明，但是習知此項技術者應瞭解可反向導電率類型與電位極性。

而且，本說明書及申請專利範圍中"前"、"後"、"頂部"、"底部"、"上"、"下"等術語(若存在的話)係用於說明目的且不一定說明永久性相對位置。應明白，在適當情形下，可互換如此使用的該等術語，使得本文所說明的本發明之具體實施例(例如)能夠在本文所解說或所另外說明的其他方位上操作。

儘管本文中參考特定具體實施例來說明本發明，但是可進行各種修改及變更而不脫離以下專利申請範圍所提出之

本發明之範疇。據此，本規格書及圖式應視為一說明性而非限制性意義，並且希望所有此類修改均涵蓋在本發明之範疇內。不希望將本文中關於特定具體實施例所說明之任一好處、優點或解決方案視為任一或所有申請項之一關鍵、必要或本質特徵或要素。

此外，如本文中所使用，術語"一"或"一個"係定義為一或一個以上。而且，在申請專利範圍中使用諸如"至少一"及"一或多個"之類介紹性短語不應視為暗示著藉由不定冠詞"一"或"一個"介紹另一申請項元件會將包含此類介紹申請項元件之任何特定申請項限制於僅包含一此類元件之發明，即使相同的申請項包括介紹性短語"一或多個"或"至少一"及諸如"一"或"一個"之不定冠詞。對於定冠詞之用法亦是如此。

除非另有聲明，諸如"第一"及"第二"之類術語係用來任意區分此類術語所說明之元件。因而，該些術語不一定用來指示此類元件之時間或其他優先性。

【圖式簡單說明】

本發明已藉由範例方式予以說明且不受附圖限制，其中相同參考符號指示相似元件。該等圖式中的元件係為簡單及清楚而解說且不一定依比例繪製。

圖1解說依據一具體實施例之一半導體結構之一斷面圖，該半導體結構在一半導體層上具有一閘極介電層並在該閘極介電層上具有一閘極電極層。

圖2解說依據一具體實施例在該閘極電極層上形成一圖

案化遮罩層之後圖1之半導體結構之一斷面圖。

圖3解說依據一具體實施例在移除該閘極電極層與閘極介電層之暴露部分之後圖2之半導體結構之一斷面圖。

圖4解說依據一具體實施例在圖2中所形成之圖案化遮罩層上以及在該半導體層上形成一側壁保護層之後以及在該側壁保護層上形成一圖案化遮罩層之後圖3之半導體結構之一斷面圖。

圖5解說依據一具體實施例在使用圖4中所形成之圖案化遮罩層圖案化該側壁保護層之後圖4之半導體結構之一斷面圖。

圖6解說依據一具體實施例在形成一通道區域層之後圖5之半導體結構之一斷面圖。

圖7解說依據一具體實施例在該通道區域層與該側壁保護層上形成一閘極介電層以及在該閘極介電層上形成一閘極電極層之後圖6之半導體結構之一斷面圖。

圖8解說依據一具體實施例在圖7中所形成之閘極電極層上形成一圖案化遮罩層之後圖7之半導體結構之一斷面圖。

圖9解說依據一具體實施例在移除該閘極電極層與圖7中所形成之閘極介電層之部分之後以及在移除該側壁保護層之後圖8之半導體結構之一斷面圖。

圖10解說依據一具體實施例在移除圖8中所形成之圖案化遮罩層之後圖9之半導體結構之一斷面圖。

圖11解說依據一具體實施例在移除圖2中所形成之圖案

化遮罩層之後圖10之半導體結構之一斷面圖。

圖12解說依據一具體實施例在該閘極電極層上形成一閘極增厚層並在該閘極增厚層上形成一圖案化遮罩層之後圖11之半導體結構之一斷面圖。

圖13解說依據一具體實施例在形成兩個閘極堆疊之後圖12之半導體結構之一斷面圖。

圖14解說依據一具體實施例在形成具有圖13之閘極堆疊之實質完整半導體裝置之後圖13之半導體結構之一斷面圖。

【主要元件符號說明】

10	半導體結構
12	半導體基板
13	半導體層
14	埋入氧化物層
16	第一井區域/NMOS井區域
18	第二井區域/PMOS井區域
20	隔離區域
22	隔離區域
24	隔離區域
26	第一閘極介電層
28	第一金屬閘極電極層
30	NMOS裝置區域
32	PMOS裝置區域
34	圖案化遮罩層

36	側壁保護層
38	圖案化遮罩層
40	通道區域層
42	第二閘極介電層
44	第二金屬閘極電極層
46	圖案化遮罩層
48	閘極增厚層
50	圖案化遮罩層
52	閘極介電質
54	閘極電極
56	閘極增厚物
58	第一閘極堆疊
60	閘極介電質
62	閘極電極
64	閘極增厚物
66	第二閘極堆疊
68	實質完整NMOS裝置
70	PMOS裝置

十、申請專利範圍：

1. 一種用於形成一半導體結構之方法，該方法包含：

在一半導體層上形成一第一閘極介電層，該半導體層包含一第一井區域與一第二井區域；

在該第一閘極介電質上形成一第一金屬閘極電極層；

在該第一金屬閘極電極層上形成一側壁保護層，該側壁保護層係相鄰該第一閘極介電層之一側壁與該第一金屬閘極電極層之一側壁；

在形成該側壁保護層之後，於該第二井區域上形成一通道區域層；

在該通道區域層上形成一第二閘極介電層；

在該第二閘極介電層上形成一第二金屬閘極電極層，其中該第二金屬閘極電極層係一不同於該第一金屬閘極電極層的金屬；以及

在該第一井區域上形成一第一閘極堆疊，其包含該第一閘極介電層與該第一金屬閘極電極層之各層之一部分，並在該通道區域層上及在該第二井區域上形成一第二閘極堆疊，其包含該第二閘極介電層與該第二金屬閘極電極層之各層之一部分。

2. 如請求項1之方法，進一步包含：

使用該第一閘極堆疊來形成一具有一第一導電率型的第一裝置並使用該第二閘極堆疊來形成一具有一第二導電率型的第二裝置，該第二導電率型不同於該第一導電率型，其中該第二裝置之一通道區域係在該通道區域層

內。

3. 如請求項1之方法，進一步包含在形成該第一閘極堆疊與該第二閘極堆疊之前，於該第一金屬閘極電極層與該第二金屬閘極電極層之各層上形成一傳導性閘極增厚層並與其實體接觸。
4. 如請求項1之方法，其中形成該通道區域層包含生長一半導體材料，其不同於該半導體層之一半導體材料。
5. 如請求項4之方法，其中形成該通道區域層包含在該第二井區域上磊晶生長矽鍺。
6. 如請求項1之方法，進一步包含在形成該通道區域層之後移除該側壁保護層。
7. 如請求項1之方法，其中形成該側壁保護層包含沈積一材料，其係選自一由一氧化物與一氮化物所組成的群組。
8. 如請求項1之方法，其中形成該第一閘極介電層包含形成一第一高k介電層，且形成該第二閘極介電層包含形成一第二高k介電層，其包括一不同於該第一高k介電層的高k介電質。
9. 一種用於形成一半導體結構之方法，該方法包含：
 在一半導體層上形成一第一閘極介電層，該半導體層包含一第一井區域與一第二井區域；
 在該第一閘極介電質上形成一第一金屬閘極電極層；
 移除位於該第二井區域上面之該第一閘極介電層與該第一金屬閘極電極層之部分；

在該第一金屬閘極電極層與該第二井區域上形成一側壁保護層，該側壁保護層係相鄰該第一閘極介電層之一側壁與該第一金屬閘極電極層之一側壁；

移除位於該第二井區域上面之該側壁保護層之部分以暴露該第二井區域；

在該第二井區域上形成一通道區域層；

在該側壁保護層與該通道區域層上形成一第二閘極介電層；

在該第二閘極介電層上形成一第二金屬閘極電極層，其中該第二金屬閘極電極層係一不同於該第一金屬閘極電極層的金屬；

移除位於該側壁保護層上面之該第二金屬閘極電極層與該第二閘極介電層之部分；以及

在該第一井區域上形成一第一閘極堆疊，其包含該第一閘極介電層與該第一金屬閘極電極層之各層之一部分，並在該通道區域層上及在該第二井區域上形成一第二閘極堆疊，其包含該第二閘極介電層與該第二金屬閘極電極層之各層之一部分。

10. 如請求項9之方法，進一步包含：

使用該第一閘極堆疊來形成一具有一第一導電率型的第一裝置，並使用該第二閘極堆疊來形成一具有一第二導電率型的第二裝置，該第二導電率型不同於該第一導電率型，其中該第二裝置之一通道區域係在該通道區域層內。

11. 如請求項9之方法，其中在形成該第一閘極堆疊與該第二閘極堆疊之前，該方法進一步包含：

移除該側壁保護層；及

在該第一金屬閘極電極層與該第二金屬閘極電極層之各層上形成一傳導性閘極增厚層並與其實體接觸。

12. 如請求項9之方法，其中形成該通道區域包含生長一半導體材料，其不同於該半導體層之一半導體材料。

13. 如請求項12之方法，其中形成該通道區域層包含在該第二井區域上磊晶生長矽鍺。

14. 如請求項9之方法，進一步包含在移除位於該側壁保護層上面之該第二金屬閘極電極層與該第二閘極介電層之部分之後，移除該側壁保護層。

15. 如請求項9之方法，其中形成該側壁保護層包含沈積一材料，其係選自一由一氧化物與一氮化物所組成的群組。

16. 如請求項9之方法，其中形成該第一閘極介電層包含形成一第一高k介電層，且形成該第二閘極介電層包含形成一第二高k介電層，其包括一不同於該第一高k介電層的高k介電質。

17. 一種用於形成一半導體結構之方法，該方法包含：

在一半導體層上形成一第一高k閘極介電層，該半導體層包含一第一井區域與一第二井區域；

在該第一高k閘極介電質上形成一第一金屬閘極電極層；

在該第一金屬閘極電極層上沈積一側壁保護層，該側壁保護層係相鄰該第一閘極介電層之一側壁與該第一金屬閘極電極層之一側壁；

在形成該側壁保護層之後，於該第二井區域上形成一通道區域層；

在該通道區域層上形成一第二高k閘極介電層，該第二高k閘極介電層具有一不同於該第一高k閘極介電層的高k介電質；

在該第二閘極介電層上形成一第二金屬閘極電極層，其中該第二金屬閘極電極層係一不同於該第一金屬閘極電極層的金屬；

在該第一井區域上形成一第一閘極堆疊，其包含該第一高k閘極介電層與該第一金屬閘極電極層之各層之一部分，並在該通道區域層上及在該第二井區域上形成一第二閘極堆疊，其包含該第二高k閘極介電層與該第二金屬閘極電極層之各層之一部分；以及

使用該第一閘極堆疊來形成一具有一第一導電率型的第一裝置，並使用該第二閘極堆疊來形成一具有一第二導電率型的第二裝置，該第二導電率型不同於該第一導電率型，其中該第二裝置之一通道區域係在該通道區域層內。

18. 如請求項17之方法，進一步包含在形成該第一閘極堆疊與該第二閘極堆疊之前，於該第一金屬閘極電極層與該第二金屬閘極電極層之各層上形成一傳導性閘極增厚層

並與其實體接觸。

19. 如請求項17之方法，其中形成該通道區域包含生長一半導體材料，其不同於該半導體層之一半導體材料。
20. 如請求項17之方法，進一步包含在形成該通道區域層之後移除該側壁保護層。

十一、圖式：

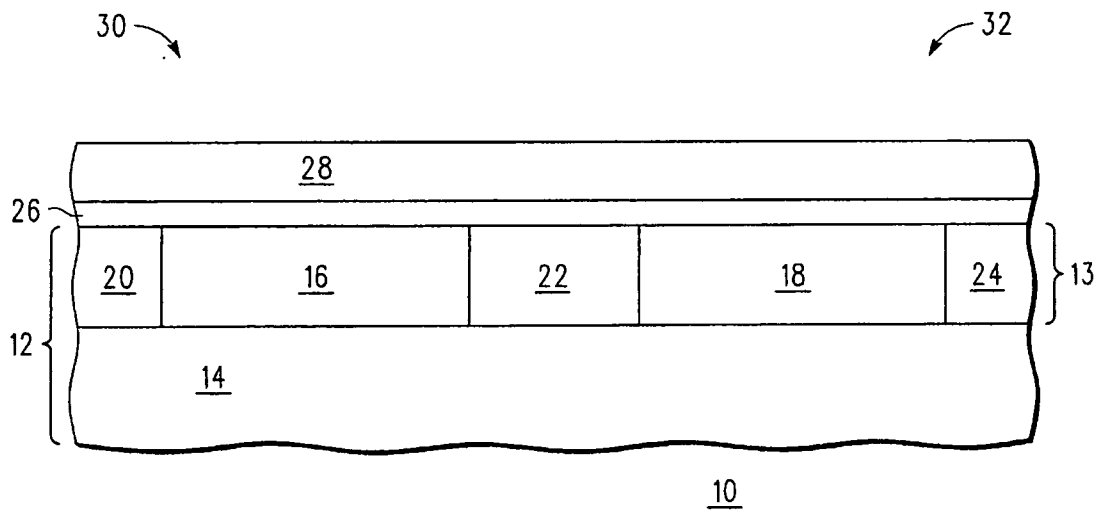


圖 1

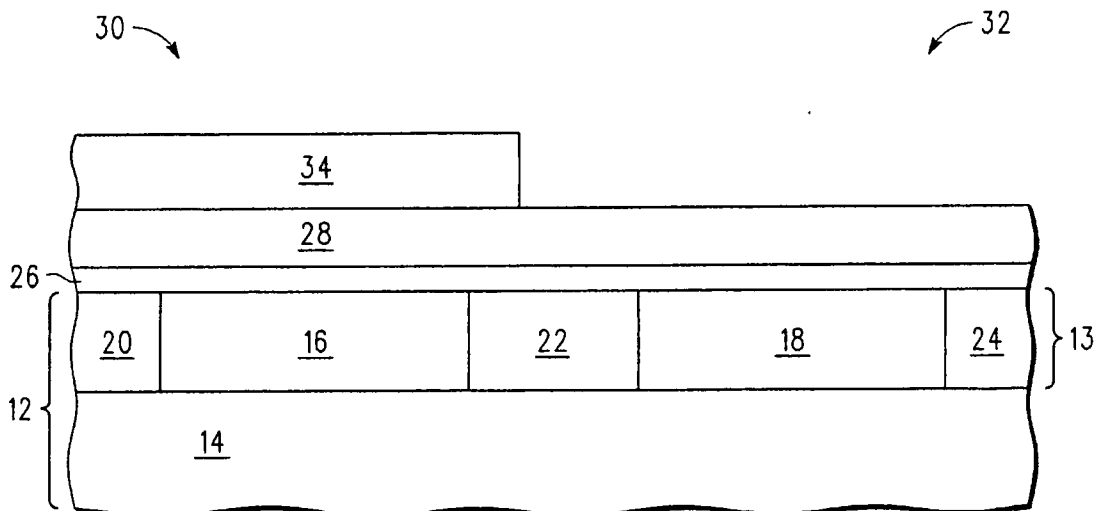


圖 2

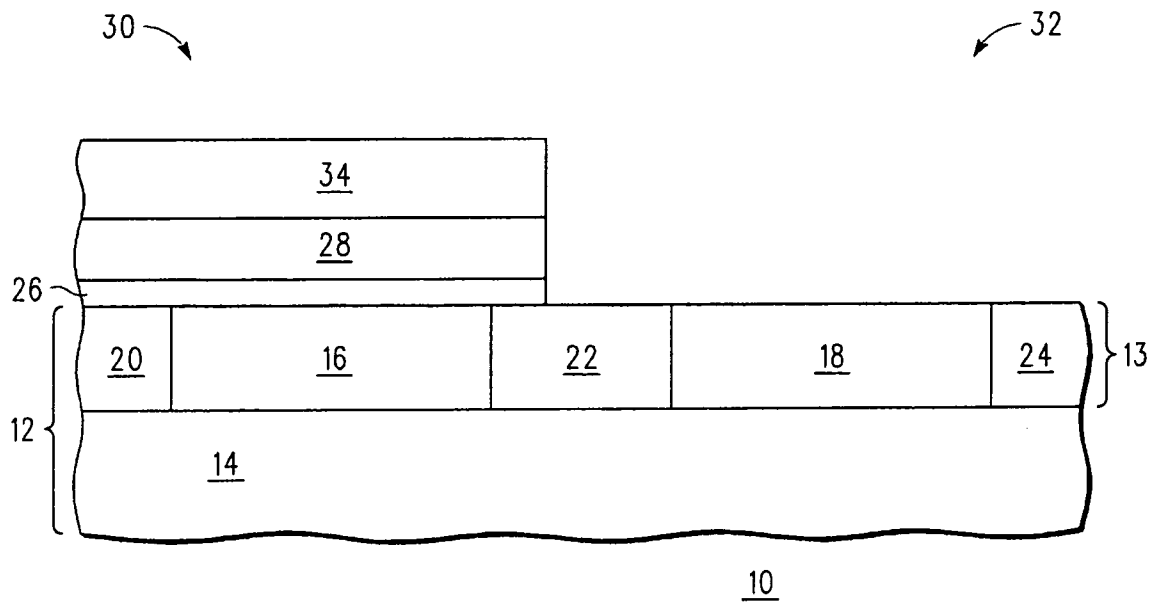


圖 3

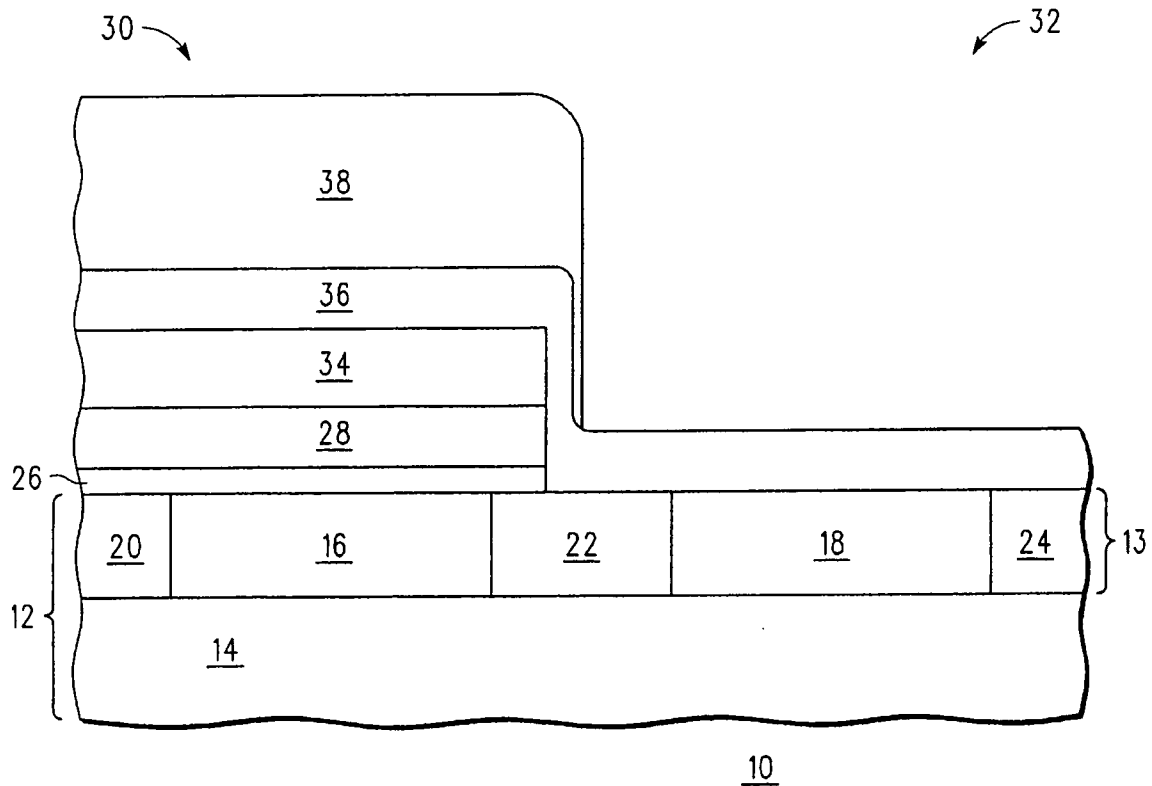


圖 4

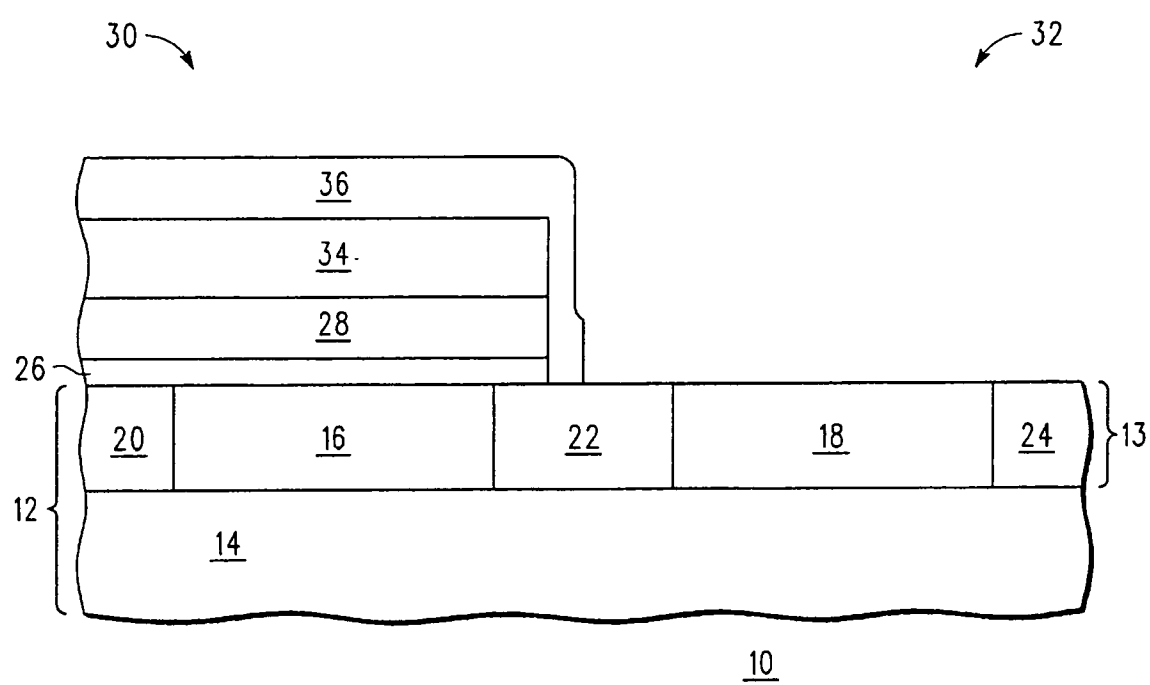


圖 5

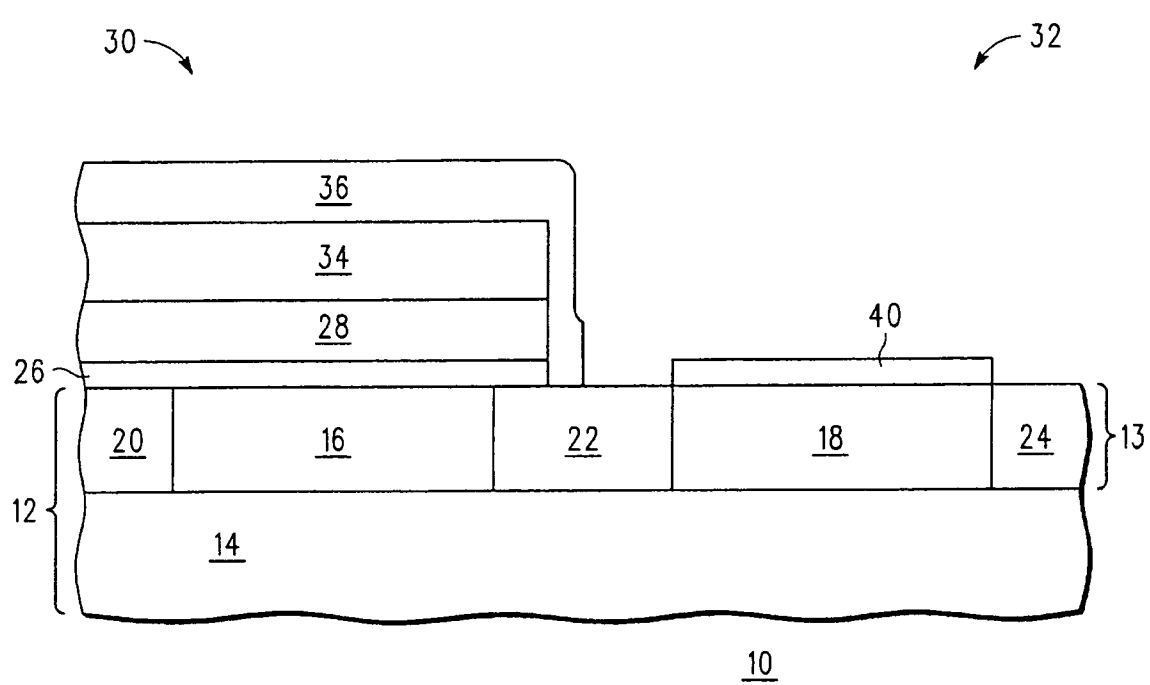


圖 6

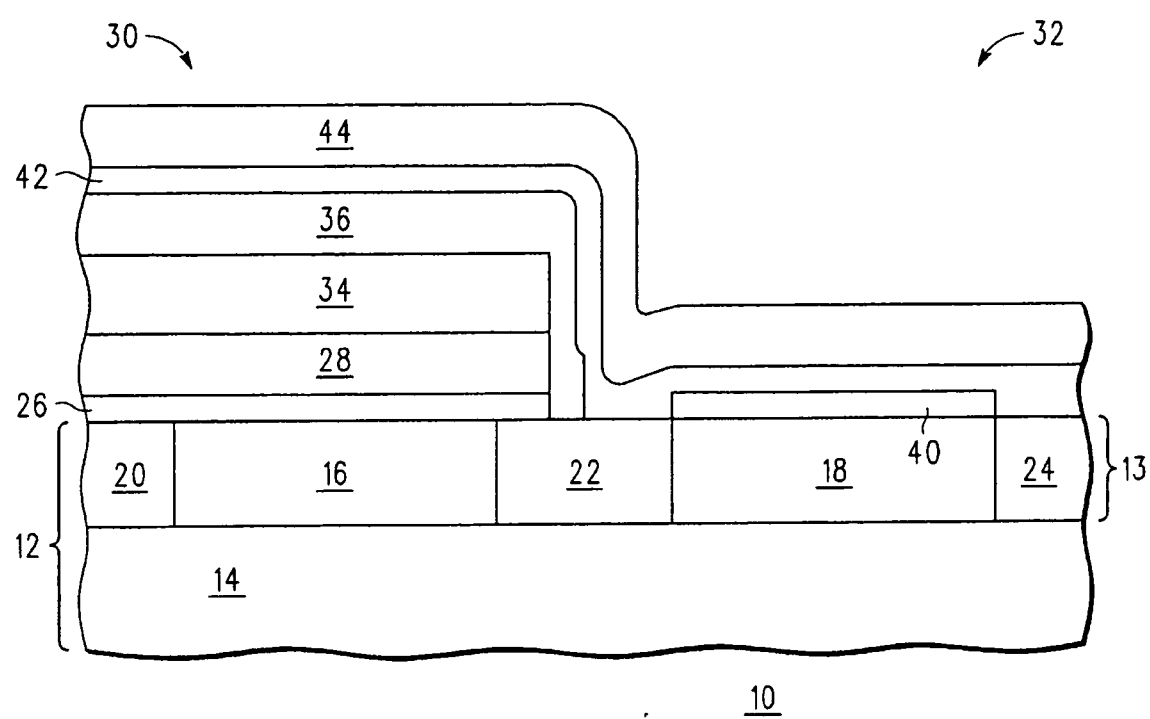


圖 7

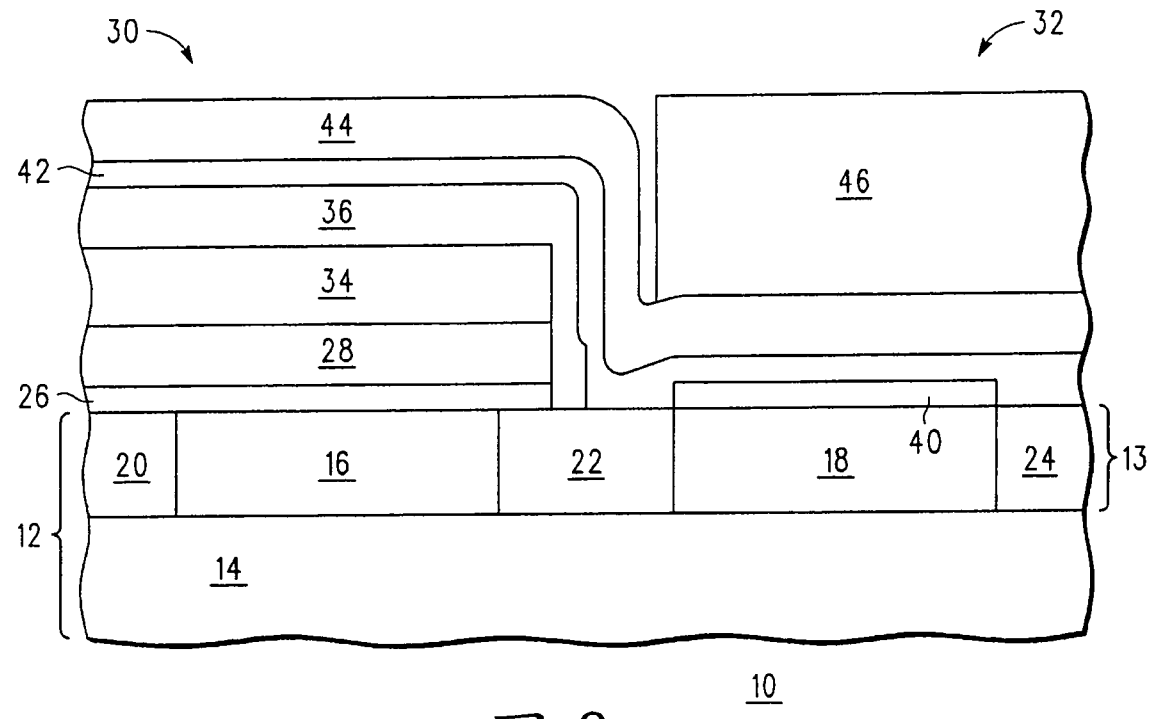


圖 8

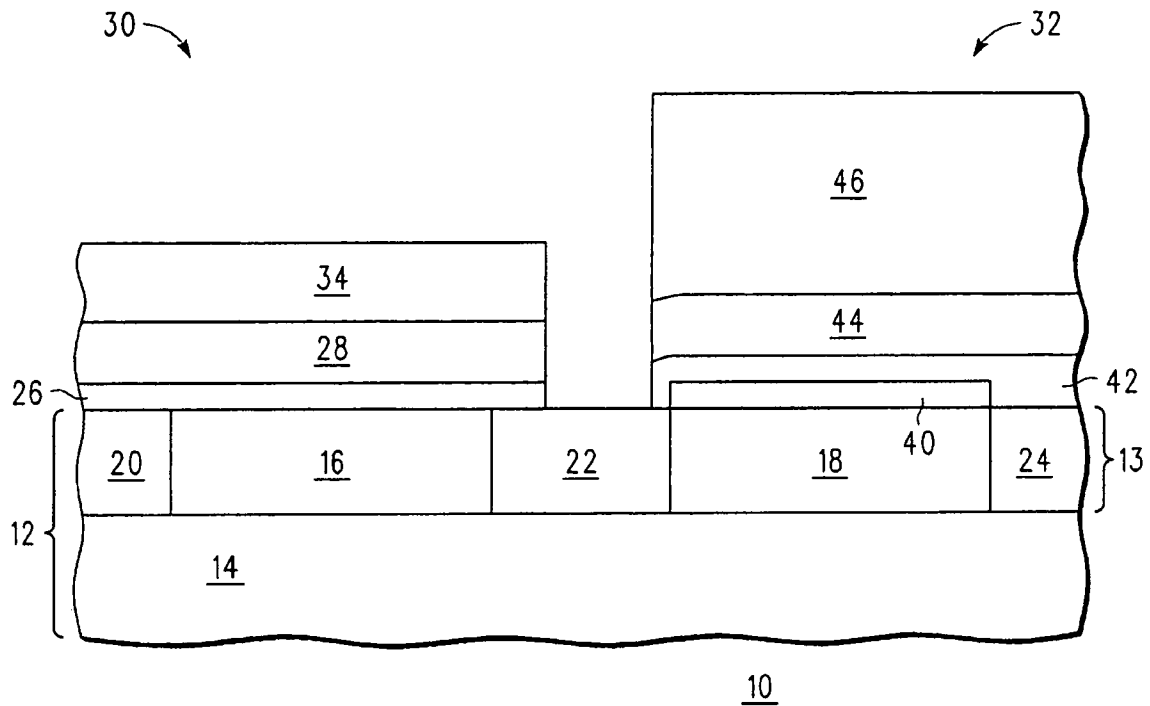


圖 9

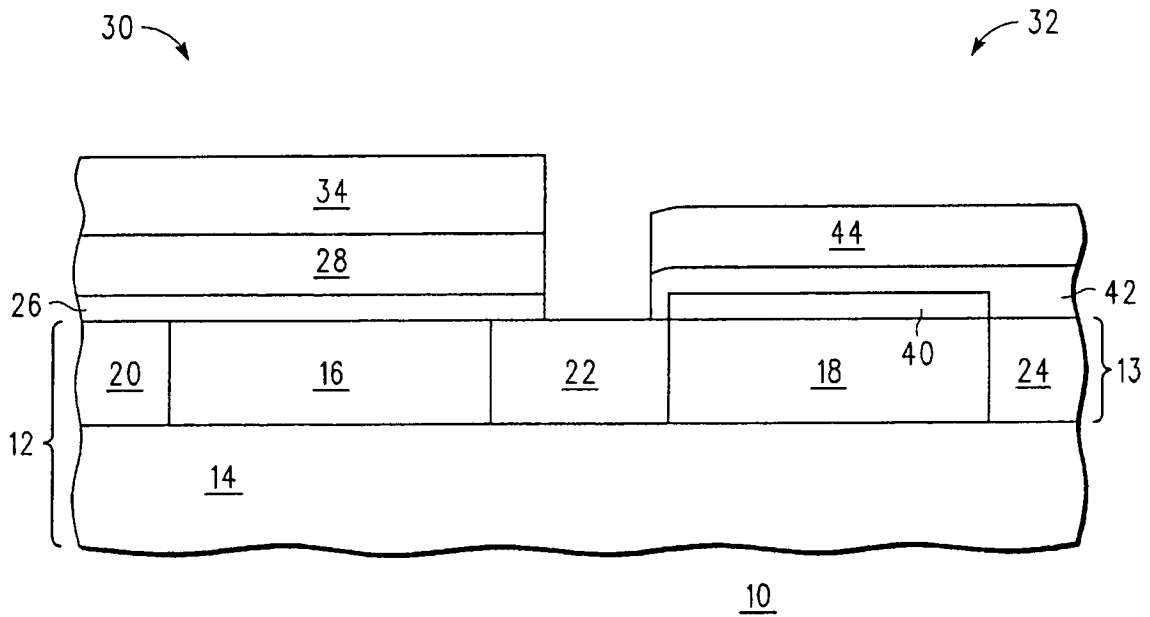


圖 10

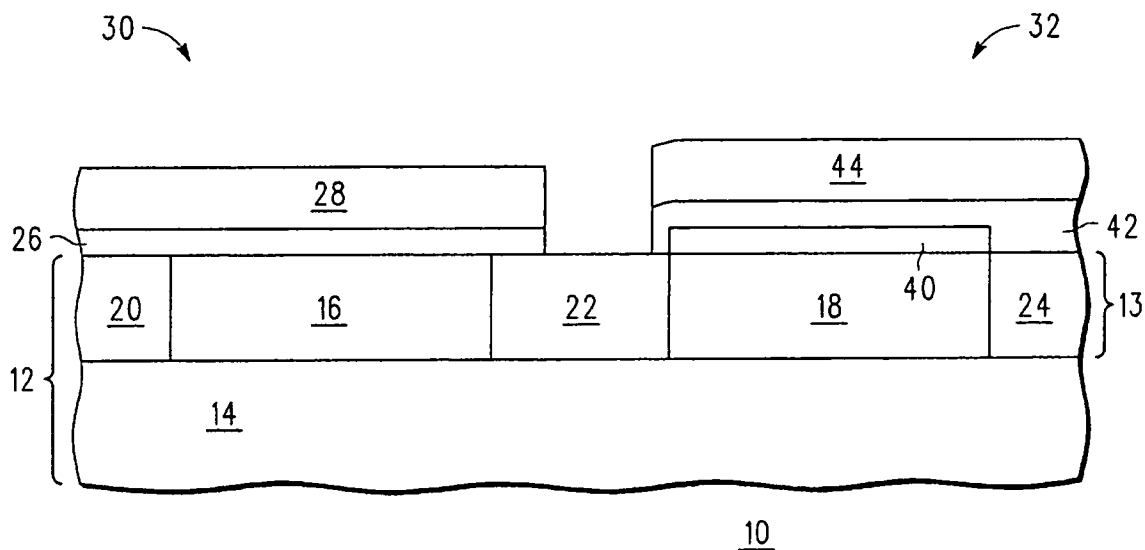


圖 11

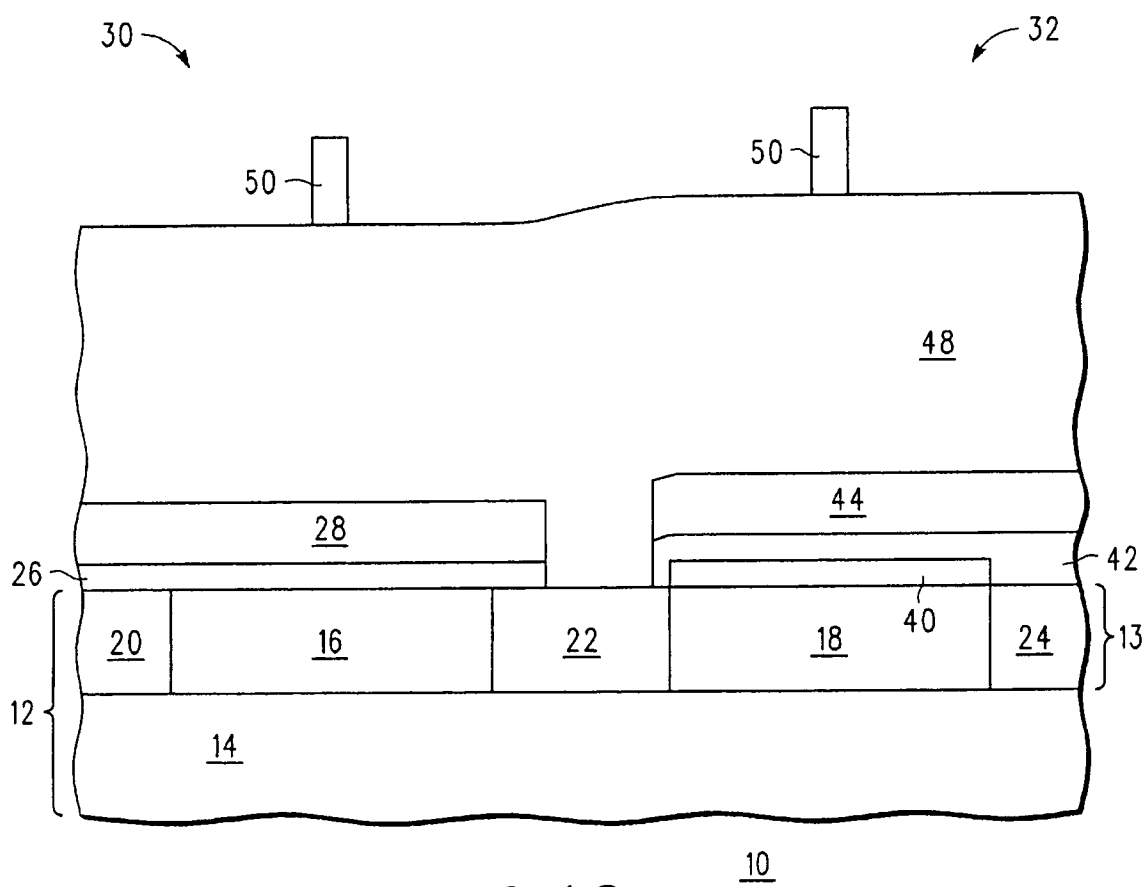


圖 12

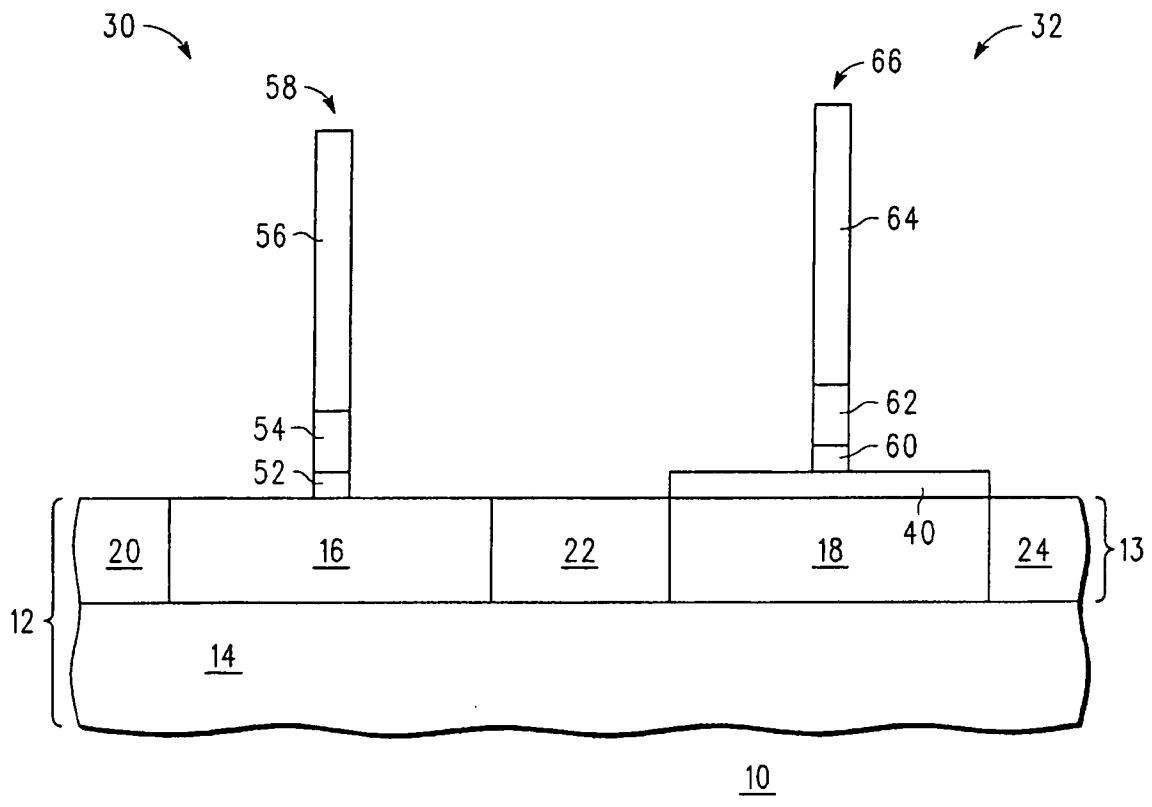


圖 13

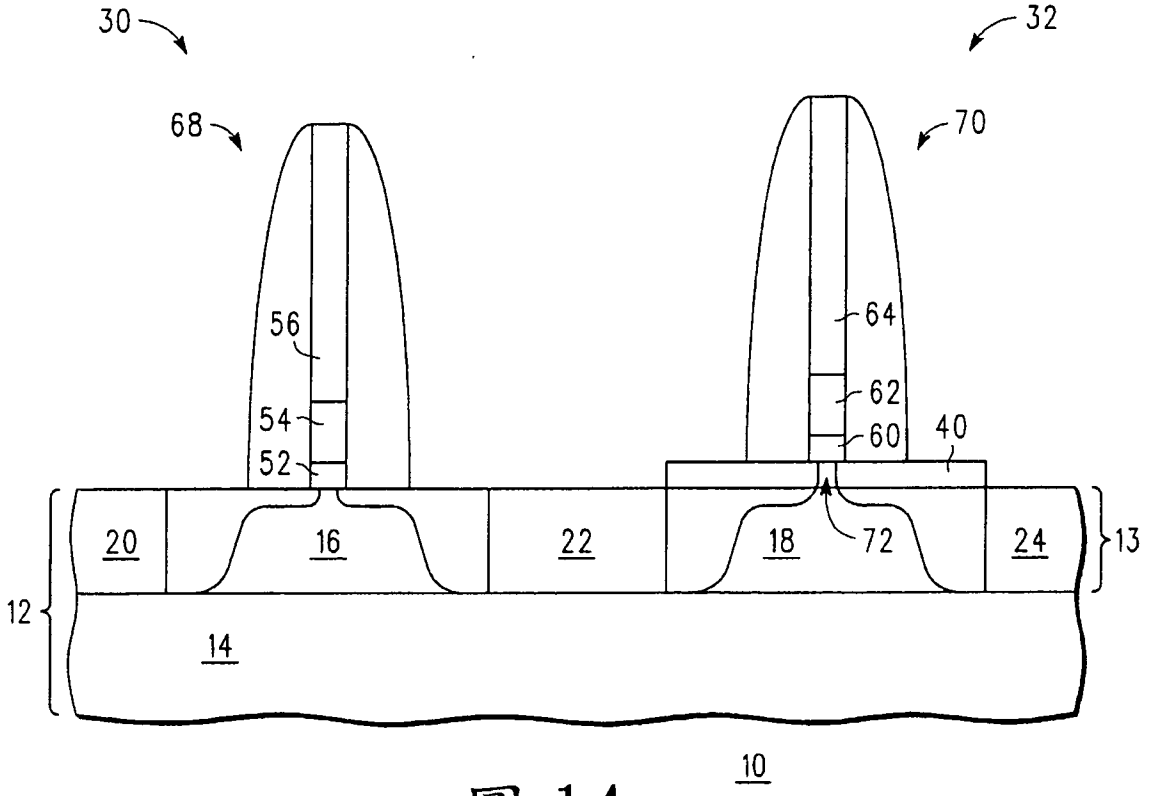


圖 14