

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4047594号
(P4047594)

(45) 発行日 平成20年2月13日 (2008. 2. 13)

(24) 登録日 平成19年11月30日 (2007. 11. 30)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

H04N 5/66 (2006.01)

G09G 3/36

G09G 3/20 621L

G09G 3/20 623G

G09G 3/20 623L

G09G 3/20 623R

請求項の数 8 (全 9 頁) 最終頁に続く

(21) 出願番号 特願2002-27128 (P2002-27128)
 (22) 出願日 平成14年2月4日 (2002. 2. 4)
 (65) 公開番号 特開2003-228341 (P2003-228341A)
 (43) 公開日 平成15年8月15日 (2003. 8. 15)
 審査請求日 平成17年2月3日 (2005. 2. 3)

(73) 特許権者 302020207
 東芝松下ディスプレイテクノロジー株式会
 社
 東京都港区港南4-1-8
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 信号処理回路

(57) 【特許請求の範囲】

【請求項 1】

デジタル映像信号を受け取るバス配線と、前記バス配線上のデジタル映像信号を順次サンプリングして並列的に出力するデータレジスタとを備え、前記データレジスタはデジタル映像信号の信号電圧をそれぞれビット単位にレベル変換する複数のサンプリングラッチを含み、各サンプリングラッチは複数の容量素子、並びに前記複数の容量素子を並列に接続して前記バス配線の対応ビット線からの信号電圧を前記複数の容量素子にそれぞれ保持させるサンプル状態およびこのサンプル状態に続いて前記複数の容量素子を直列に接続してレベル加算させた信号電圧を前記複数の容量素子から出力する出力状態を設定する接続制御回路を含むことを特徴とする信号処理回路。

【請求項 2】

前記サンプリングラッチは前記出力状態で前記複数の容量素子から出力される信号電圧により動作するインバータ回路を含むことを特徴とする請求項 1 に記載の信号処理回路。

【請求項 3】

前記複数の容量素子は第 1 および第 2 容量素子を含み、前記接続制御回路は前記サンプル状態で導通する第 1 から第 3 スイッチ素子および前記出力状態で導通する第 4 および第 5 スイッチ素子を含み、前記第 2 容量素子は一端において前記第 1 スイッチ素子を介して前記ビット線に接続されると共に他端において基準電位端子に接続され、前記第 1 容量素子は一端において前記第 1 および第 2 スイッチ素子を介して前記ビット線に接続されさらに前記第 5 スイッチ素子を介して前記インバータ回路の入力端に接続されると共に他端に

において前記第 3 スイッチ素子を介して前記基準電位端子に接続されさらに前記第 4 スイッチ素子を介して前記第 2 容量素子の前記一端に接続されることを特徴とする請求項 2 に記載の信号処理回路。

【請求項 4】

前記第 1、第 2、第 4 および第 5 スイッチ素子の各々是一对の P および N チャネル薄膜トランジスタで構成されるトランスファゲートであり、前記第 3 スイッチ素子は単一の N チャネル薄膜トランジスタであることを特徴とする請求項 3 に記載の信号処理回路。

【請求項 5】

前記複数の容量素子はさらに第 3 容量素子を含み、前記接続制御回路は前記サンプル状態で導通する第 6 および第 7 スイッチ素子並びに出力状態で導通する第 8 スイッチ素子を含み、前記ビット線は前記第 1 および第 6 スイッチ素子および前記第 3 容量素子を介して前記基準電位端子に接続され、前記第 2 容量素子の他端は前記第 7 スイッチ素子を介して前記基準電位端子に接続されさらに前記第 8 スイッチ素子および前記第 3 容量素子を介して前記基準電位端子に接続されることを特徴とする請求項 3 に記載の信号処理回路。

10

【請求項 6】

さらに前記データレジスタから並列的に出力されるデジタル映像信号をアナログ形式の階調電圧にそれぞれ変換する D/A コンバータを備えることを特徴とする請求項 1 に記載の信号処理回路。

【請求項 7】

複数の表示画素部と、前記複数の表示画素部に接続される複数の信号線と、前記複数の信号線を映像信号に対応して駆動する信号線駆動回路とを備え、前記信号線駆動回路は請求項 1 に記載の信号処理回路を含むことを特徴とする表示装置。

20

【請求項 8】

デジタル映像信号を受け取るバス配線と、前記バス配線上のデジタル映像信号を順次サンプリングして並列的に出力するデータレジスタとを備え、前記データレジスタはデジタル映像信号の信号電圧をそれぞれビット単位にレベル変換する複数のサンプリングラッチを含み、各サンプリングラッチは複数の容量素子、並びに前記複数の容量素子を並列に接続して前記バス配線の対応ビット線からの信号電圧を前記複数の容量素子にそれぞれ保持させるサンプル状態およびこのサンプル状態に続いて前記複数の容量素子を直列に接続してレベルシフトさせた信号電圧を前記複数の容量素子の 1 つから出力する出力状態を設定する接続制御回路を含むことを特徴とする信号処理回路。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル映像信号をサンプリングする信号処理回路に関し、例えばデジタル映像信号の信号電圧をサンプリングすると共により大きな電圧振幅にレベル変換する信号処理回路に関する。

【0002】

【従来の技術】

アクティブマトリクス型液晶表示装置は軽量、薄型かつ低消費電力であり、CRT 並みあるいはそれ以上の解像度で鮮明な画像を表示可能なことから情報機器端末や薄型テレビジョンなどのモニタディスプレイとして広く利用されている。典型的なアクティブマトリクス型液晶表示装置は、画像を表示する液晶表示パネル並びにこの液晶表示パネルの動作を制御する表示制御回路により構成される。

40

【0003】

液晶表示パネルは、マトリクス状に配置される複数の表示画素、これら表示画素の行に沿って配置される複数の走査線、これら表示画素の列に沿って配置される複数の信号線、これら信号線および走査線の交差位置近傍にそれぞれ配置される複数の画素スイッチを備える。各画素スイッチは例えばアモルファスシリコンあるいはポリシリコンのような半導体薄膜を用いた薄膜トランジスタであり、対応走査線からの走査信号に応答して対応信号線

50

の電位を対応表示画素に印加する。表示画素は画素電極および対向電極間に液晶層を挟持した構造を有し、対向電極電位に対して画素電極に印加される信号線電位により液晶層の光透過率を設定する。表示制御回路は、垂直走査期間毎に複数の走査線に順次走査信号を供給する走査線駆動回路、走査信号が1走査線に供給される水平走査期間毎に映像信号を複数の信号線に供給する信号線駆動回路、これら走査線駆動回路および信号線駆動回路の動作を制御する液晶コントローラを備える。走査線駆動回路および信号線駆動回路は通常ドライバICチップとして液晶表示パネルの端部に実装される。

【0004】

近年では、液晶表示パネルの外部回路との接続端子群の占有面積に依存した有効画面領域の制約を緩和しながら製造コストを低減するため、上述のドライバICチップを実装する代わりに走査線駆動回路や信号線駆動回路を画素スイッチと同様に例えば薄膜トランジスタで構成して液晶表示パネルと一体化する駆動回路内蔵型液晶表示パネルの開発が進んでいる。信号線駆動回路は液晶コントローラから複数の信号線に対して直列に発生され液晶表示パネルの外部配線端子に供給されるデジタル映像信号を受け取り、この外部配線端子にバス配線を介して接続される複数のサンプリングラッチを用いてデジタル映像信号を順次サンプリングし、これらサンプル結果に基づいて複数の信号線を並列的に駆動する。

【0005】

【発明が解決しようとする課題】

ところで、一般に液晶コントローラ等の外部回路は、単結晶シリコンから成るICチップで構成され、3.3V程度の電圧振幅で駆動される。これに対して、ポリシリコンのような半導体薄膜を用いた薄膜トランジスタで構成される信号線駆動回路は、その閾値の問題から外部回路よりも大きい振幅、例えば5V程度の電圧振幅で駆動する必要がある。このため、外部回路から3.3V振幅で入力されるデジタル映像信号を5V振幅にレベル変換させる必要がある。

従来、様々なレベル変換方式がこの信号線駆動回路のために考えられている。バス配線の数と低減するために正相のデジタル映像信号だけが液晶コントローラから供給される場合には、例えばインバータを用いたレベルシフタを外部配線端子付近においてバス配線に挿入し、このレベルシフタでレベル変換されたデジタル映像信号を複数のサンプリングラッチに配給することが考えられる。しかし、この方式では、レベルシフタが大きな寄生容量を持つバス配線の電位を5V付近まで遷移させる必要があるために消費電力の増大を招く。バス配線上の電圧振幅を3.3Vに維持する場合には、例えば複数のインバータがレベルシフタとしてこれらサンプリングラッチとバス配線との間に配置される。この方式では、信号線駆動回路がこれらインバータ間において避けることが困難な閾値のばらつきによって誤動作する可能性がある。この誤動作は各インバータの前段に閾値キャンセル回路を付加しさらにこの閾値キャンセル回路用に基準電圧を用意することにより防止できるが、これは回路規模および消費電力の増大を招く。

【0006】

本発明の目的は、低消費電力あるいは回路規模を増大させることなく安定に動作可能な信号処理回路を提供することにある。

【0007】

【課題を解決するための手段】

本発明によれば、デジタル映像信号を受け取るバス配線と、このバス配線上のデジタル映像信号を順次サンプリングして並列的に出力するデータレジスタとを備え、このデータレジスタはデジタル映像信号の信号電圧をそれぞれビット単位にレベル変換する複数のサンプリングラッチを含み、各サンプリングラッチは複数の容量素子、およびこれら複数の容量素子を並列に接続してバス配線の対応ビット線からの信号電圧を複数の容量素子にそれぞれ保持させるサンプル状態およびこのサンプル状態に続いて複数の容量素子を直列に接続してレベル加算させた信号電圧を複数の容量素子から出力する出力状態を設定する接続制御回路を含む信号処理回路が提供される。

【0009】

この信号処理回路では、各サンプリングラッチの接続制御回路が複数の容量素子を並列に接続してバス配線の対応ビット線からの信号電圧を複数の容量素子にそれぞれ保持させるサンプル状態およびこのサンプル状態に続いて複数の容量素子を直列に接続してレベル加算させた信号電圧を複数の容量素子から出力する出力状態を設定する。この場合、寄生容量の大きなバス配線をレベル変換のために駆動する必要がないため消費電力の増大を防止できる。また、データレジスタがレベル変換を兼ねてバス配線上の映像信号を順次のサンプリングし並列的に出力するため回路規模の増大も防止できる。さらに、データレジスタからの出力用にインバータ回路を設けても、上述の構成ではインバータ回路が自身の閾値に近いレベルで入力する信号電圧のレベル変換を行なう必要がないため、閾値のばらつきによる影響を受けずに動作する。従って、信号処理回路の動作を安定化できる。

10

【 0 0 1 0 】

【 発明の実施の形態 】

以下、本発明の一実施形態に係る液晶表示装置について図面を参照して説明する。

【 0 0 1 1 】

図 1 はこの液晶表示装置の概略的な構造を示す。この液晶表示装置は、複数の表示画素 P X が表示領域 D S に配置された液晶表示パネル 1 およびこの液晶表示パネル 1 から独立した P C B や F P C 等の外部駆動基板上に配置される I C チップからなる液晶コントローラ 2 を備える。液晶表示パネル 1 は、例えば液晶層 L Q がアレイ基板 A R および対向基板 C T 間に保持される構造を有する。

【 0 0 1 2 】

20

アレイ基板 A R は、ガラス基板上にマトリクス状に配置される複数の画素電極 P E 、複数の画素電極 P E の行に沿って形成される複数の走査線 Y (Y 1 ~ Y m) 、複数の画素電極 P E の列に沿って形成される複数の信号線 X (X 1 ~ X n) 、信号線 X 1 ~ X n および走査線 Y 1 ~ Y m の交差位置にそれぞれ隣接して配置され各々対応走査線 Y からの走査信号に応答して対応信号線 X からの映像信号電圧を取り込んで対応画素電極 P E に供給する画素スイッチ W 、走査線 Y 1 ~ Y m を駆動する走査線駆動回路 3 、並びに信号線 X 1 ~ X n を駆動する信号線駆動回路 4 を含む。各画素スイッチ W は N チャネルポリシリコン薄膜トランジスタ (T F T) で構成され、走査線駆動回路 3 および信号線駆動回路 4 は画素スイッチ W と一体的にガラス基板上に形成される複数の N および P チャネルポリシリコン薄膜トランジスタの組み合わせで構成される。対向基板 C T は複数の画素電極 P E に対向して配置されコモン電位に設定される単一の対向電極およびカラーフィルタを含む。各表示画素 P X は画素電極 P E および対向電極、並びにこれらの間に挟持された液晶層 L Q の液晶材料により構成される。

30

【 0 0 1 3 】

液晶コントローラ 2 は、例えば 4 ビットのデジタル映像信号 D A T A (D 0 ~ D 3) をこの映像信号 D A T A に同期した様々な制御信号と共に出力する。これら制御信号は垂直スタートパルスおよび垂直クロック信号のような水平走査制御信号 Y C T 、並びに水平スタートパルス S T H 、水平クロック信号 C K H 、ラッチ信号 L T 、ロード信号 L O A D のような水平走査制御信号を含む。垂直スタートパルスおよび垂直クロック信号は垂直走査制御信号 Y C T として走査線駆動回路 3 に供給され、デジタル映像信号 D A T A 、水平スタートパルス S T H 、水平クロック信号 C K H 、ラッチ信号 L T 、ロード信号 L O A D は水平走査制御信号として信号線駆動回路 4 に供給される。

40

【 0 0 1 4 】

水平スタート信号 S T H は 1 水平走査期間 (1 H) 毎に発生されるパルスであり、水平クロック信号 C K H は各水平走査期間において信号線数分発生されるパルスであり、垂直スタート信号は 1 垂直走査期間毎に発生されるパルスであり、垂直クロック信号 C H V は各垂直走査期間において走査線数分発生されるパルスであり、ラッチ信号 L T は 1 水平走査期間毎にデジタル映像信号 D A T A のサンプル結果をラッチさせる信号であり、ロード信号 L O A D は 1 水平走査期間毎に複数の信号線 X の並列的な駆動を許可する信号である。また、液晶コントローラ 2 は階調基準電圧 V R E F を発生する電源回路を有する。この階

50

調基準電圧 V_{REF} は信号線駆動回路 4 に供給される。

【0015】

走査線駆動回路 3 は垂直スタートパルス垂直クロック信号に同期してシフトさせることにより複数の走査線 $Y_1 \sim Y_m$ を順次選択し、画素スイッチ W を導通させる走査信号を選択走査線に出力する。信号線駆動回路 4 は水平スタート信号 STH を水平クロック信号 CKH に同期してシフトすることにより複数の信号線 $X_1 \sim X_n$ を順次選択し、アレイ基板 AR 上のバス配線 DB を介して供給される映像信号 $DATA$ に基づいて信号線 $X_1 \sim X_n$ を並列的に駆動する。

【0016】

信号線駆動回路 4 はシフトレジスタ 5、データレジスタ 6、および D/A コンバータ 7、出力バッファ回路 8 を含む。シフトレジスタ 5 は水平スタート信号 STH を水平クロック信号 CKH に同期してシフトすることによりサンプリング信号 $S_1 \sim S_n$ を順次発生する。データレジスタ 6 は、サンプリング信号 $S_1 \sim S_n$ の制御によりバス配線 DB からデジタル映像信号 $DATA$ を順次信号線数分だけサンプリングし、ラッチ信号 LT の制御により保持する。 D/A コンバータ 7 は階調基準電圧 V_{REF} に基づく加算型容量 DAC で構成され、サンプリングされたデジタル映像信号 $DATA$ に対応する階調基準電圧 V_{REF} を対応する容量に順次印加することで所望の階調電圧を発生させる。これにより、データレジスタ 6 からの並列的に出力される映像信号 $DATA$ にそれぞれ対応してこれら階調電圧を選択的に出力することによりデジタル・アナログ変換を行う。この D/A コンバータ 7 は、上記の構成の他に、例えば階調基準電圧 V_{REF} を対応するデジタル映像信号 $DATA$ に基づいて抵抗分圧することにより所定数の階調電圧を発生させる、抵抗型 DAC で構成することもできる。出力バッファ回路 8 はロード信号の制御により D/A コンバータ 7 からのアナログ映像信号電圧を並列的に複数の信号線 $X_1 \sim X_n$ に出力する。

【0017】

図 2 はデータレジスタ 6 の詳細な回路構成を示す。データレジスタ 6 は、この実施形態では、信号線 X 分のデジタル映像信号 $DATA$ が水平走査期間に順番にシリアルに入力されることから、信号線 $X_1 \sim X_n$ に割り当てられる n 個のラッチ回路 9 で構成される。サンプリング信号 $S_1 \sim S_n$ はこれらラッチ回路 9 にそれぞれ供給され、ラッチ信号 LT はこれらラッチ回路 9 に共通に供給される。各ラッチ回路 9 は 4 ビットの映像信号 $DATA$ をビット単位にサンプリングするために 4 個のサンプリングラッチ 10 を含む。

【0018】

各サンプリングラッチ 10 は第 1 および第 2 容量素子 C_1, C_2 と、これら容量素子 C_1, C_2 を並列に接続してバス配線 DB のビット線 $D_0 \sim D_3$ の対応する 1 本、例えばビット線 D_0 からの信号電圧を容量素子 C_1, C_2 にそれぞれ保持させるサンプル状態およびこのサンプル状態に続いて容量素子 C_1, C_2 を直列に接続してレベル加算させた信号電圧を容量素子 C_1, C_2 から出力する出力状態を設定する接続制御回路 SWC と、出力状態で容量素子 C_1, C_2 から出力される信号電圧により動作するインバータ回路 INV を含む。ここでは、インバータ回路 INV が 1 個のインバータで構成されるが、複数のインバータ回路を縦列に接続した構成であってもよい。

【0019】

接続制御回路 SWC はサンプル信号 S_1 から S_n のうちの 1 つ、例えばサンプル信号 S_1 により制御されサンプル状態で導通する第 1 から第 3 スイッチ素子 SW_1, SW_2, SW_3 およびラッチ信号 LT により制御され出力状態で導通する第 4 および第 5 スイッチ素子 SW_4, SW_5 を含む。容量素子 C_2 は一端においてスイッチ素子 SW_1 を介してビット線 D_0 に接続されると共に他端において基準電位端子 GND に接続される。容量素子 C_1 は一端においてスイッチ素子 SW_1, SW_2 を介してビット線 D_0 に接続されさらにスイッチ素子 SW_5 を介してインバータ回路 INV の入力端に接続されると共に、他端においてスイッチ素子 SW_3 を介して基準電位端子 GND に接続されさらにスイッチ素子 SW_4 を介して上述した容量素子 C_2 の一端に接続される。

【0020】

次に、上述のサンプリングラッチ 10 の動作を説明する。例えばサンプル信号 S 1 がシフトレジスタ 5 から出力されたとき、スイッチ素子 S W 1 ~ S W 5 が図 2 に示すサンプル状態となる。すなわち、スイッチ素子 S W 1 ~ S W 3 だけが導通し、バス配線 D B のビット線 D 0 からの信号電圧がスイッチ S W 1 を介して容量素子 C 2 の一端に印加されると共に、スイッチ S W 1 および S W 2 を介して容量素子 C 1 の一端に印加される。このとき、スイッチ S W 3 を容量素子 C 1 の他端を基準電源端子 G N D に接続するため、容量素子 C 1 , C 2 は互いに並列な関係となる。ビット線 D 0 からの信号電圧が 3 . 3 V であるとすると、容量素子 C 1 , C 2 はそれぞれ 3 . 3 V まで電荷を蓄積する。スイッチ素子 S W 1 ~ S W 3 がサンプル信号 S 1 の出力停止に伴って非導通となると、容量素子 C 1 , C 2 が 3 . 3 V の電圧を保持して電氣的にフローティングされる。

10

【 0 0 2 1 】

続いて、ラッチ信号 L T が液晶コントローラ 2 から出力されると、スイッチ素子 S W 1 ~ S W 5 が図 3 に示す出力状態となる。すなわち、スイッチ素子 S W 4 , S W 5 だけが導通し、容量素子 C 1 , C 2 は互いに直列な関係となる。これにより、容量素子 C 1 , C 2 にそれぞれ保持された 3 . 3 V の信号電圧がレベル加算されてインバータ回路 I N V に出力される。

【 0 0 2 2 】

ちなみに、信号電圧が 0 V であった場合には、スイッチ素子 S W 1 ~ S W 5 がサンプル状態から出力状態に遷移しても、インバータ回路 I N V に入力される信号電圧は 0 V のままととなる。また、容量素子 C 2 の容量値を容量素子 C 1 の容量値よりも大きくすれば、レベル加算の結果としてインバータ回路 I N V に入力される信号電圧をさらに高いレベルにシフトさせることが可能である。

20

【 0 0 2 3 】

図 4 はスイッチ素子 S W 1 ~ S W 5 の構成例を示す。スイッチ素子 S W 1 ~ S W 5 はいずれも一対の P および N チャネル薄膜トランジスタで構成されるトランスファゲートで構成することができるが、ここではスイッチ素子 S W 1 だけが基準電位の給電用であるため単一の N チャネル薄膜トランジスタで構成している。

【 0 0 2 4 】

本実施形態では、表示装置がデジタル映像信号を受け取るバス配線 D B と、バス配線 D B 上のデジタル映像信号 D A T A を順次サンプリングして並列的に出力するデータレジスタ 6 を少なくとも含む信号処理回路を備える。データレジスタ 6 はデジタル映像信号の信号電圧をそれぞれビット単位にレベル変換する複数のサンプリングラッチ 10 を含み、各サンプリングラッチ 10 の接続制御回路 S W C が容量素子 C 1 , C 2 を並列に接続してバス配線 D B の対応ビット線からの信号電圧を容量素子 C 1 , C 2 にそれぞれ保持させるサンプル状態およびこのサンプル状態に続いて容量素子 C 1 , C 2 を直列に接続してレベル加算させた信号電圧を容量素子 C 1 , C 2 から出力する出力状態を設定する。この場合、寄生容量の大きなバス配線 D B をレベル変換のために駆動する必要がないため消費電力の増大を防止できる。また、データレジスタ 6 がレベル変換を兼ねてバス配線 D B 上の映像信号 D A T A を順次のサンプリングし並列的に出力するため回路規模の増大も防止できる。さらに、データレジスタ 6 からの出力用にインバータ回路 I N V を設けても、上述の構成ではインバータ回路 I N V が自身の閾値に近いレベルで入力する信号電圧のレベル変換を行なう必要がないため、閾値のばらつきによる影響を受けずに動作する。従って、信号処理回路の動作を安定化できる。

30

40

【 0 0 2 5 】

尚、本発明は上述の実施形態に限定されず、その要旨を逸脱しない範囲で様々に変形可能である。

【 0 0 2 6 】

図 2 に示すサンプリングラッチ 10 は例えば図 5 に示すように変形してもよい。図 5 では、第 3 容量素子 C 3 が設けられ、接続制御回路 S W C がサンプル状態で導通する第 6 および第 7 スwitch素子 S W 6 , S W 7、並びに出力状態で導通する第 8 スwitch素子 S W

50

8をさらに含む。バス配線DBのビット線D0はスイッチ素子SW1, SW6および容量素子C3を介して基準電位端子GNDに接続され、容量素子C2の他端はスイッチ素子SW7を介して基準電位端子GNDに接続されさらにスイッチ素子SW8および容量素子C3を介して基準電位端子GNDに接続される。このように容量素子C3を追加した構成では、低電圧振幅の信号についても、レベルシフトすることが可能である。

【0027】

また、上述の実施形態では液晶表示装置について説明したが、本発明は有機EL表示装置等にも適用可能である。

【0028】

【発明の効果】

10

以上のように本発明によれば、低消費電力あるいは回路規模を増大させることなく安定に動作可能な信号処理回路およびこの信号処理回路を備えた表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る液晶表示装置の概略的な構造を示す図である。

【図2】図1に示すデータレジスタの詳細な回路構成を示す図である。

【図3】図2に示す接続制御回路がサンプル状態から出力状態に遷移したときの動作を説明するための図である。

【図4】図2に示す第1から第5スイッチ素子の構成例を示す図である。

【図5】図2に示すサンプリングラッチの変形例を示す図である。

20

【符号の説明】

4 ... 信号線駆動回路

6 ... データレジスタ

10 ... サンプリングラッチ

C1, C2 ... 容量素子

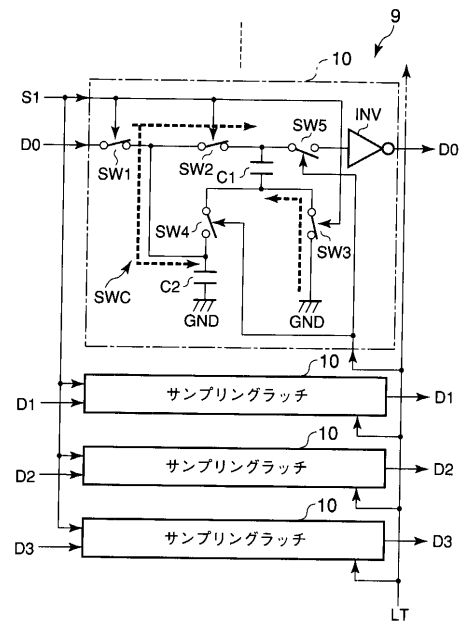
DB ... バス配線

SWC ... 接続制御回路

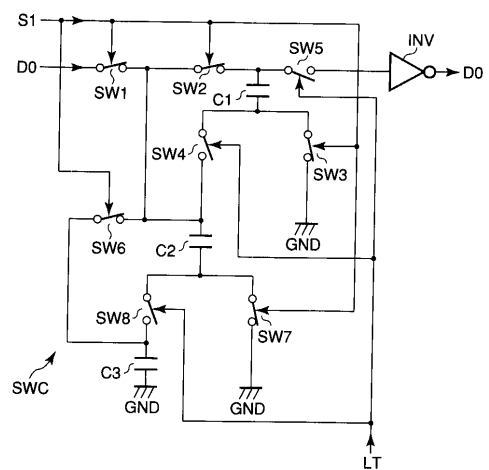
PX ... 表示画素

X ... 信号線

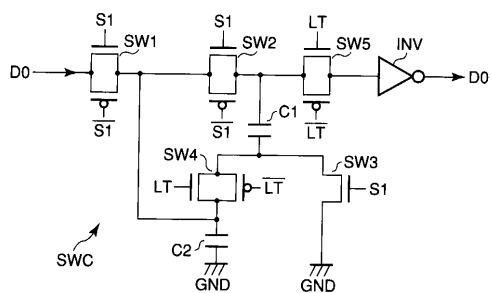
【 図 2 】



【 図 5 】



【圖 4】



フロントページの続き

(51)Int.Cl. F I
H 0 4 N 5/66 1 0 2 Z

(74)代理人 100109830
弁理士 福原 淑弘

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100092196
弁理士 橋本 良郎

(72)発明者 青木 良朗
埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社東芝深谷工場内

審査官 福村 拓

(56)参考文献 特開平 0 9 - 0 9 7 9 2 5 (J P , A)
特開平 0 2 - 2 7 6 4 2 0 (J P , A)
特開 2 0 0 0 - 2 4 2 2 0 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G09G 3/36
G09G 3/20
H04N 5/66