



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I730516 B

(45)公告日：中華民國 110 (2021) 年 06 月 11 日

(21)申請案號：108143629

(22)申請日：中華民國 108 (2019) 年 11 月 29 日

(51)Int. Cl. : **H01L29/778 (2006.01)****H01L29/06 (2006.01)****H01L29/12 (2006.01)****H01L29/36 (2006.01)**

(30)優先權：2018/12/12 日本

2018-232147

2018/12/12 日本

2018-232149

2019/10/04 日本

2019-183837

2019/10/04 日本

2019-183838

2019/11/25 日本

2019-211925

(71)申請人：日商闊斯泰股份有限公司(日本) COORSTEK KK (JP)

日本

(72)發明人：阿部芳久 ABE, YOSHIHISA (JP)；江里口健一 ERIGUCHI, KENICHI (JP)；小宮

山純 KOMIYAMA, JUN (JP)

(74)代理人：張耀暉；李元戎

(56)參考文獻：

TW 374267B

TW 200733423A

TW 200735183A

TW 201838188A

CN 101188266A

US 2015/0263154A1

US 2018/0248027A1

審查人員：陳伯宜

申請專利範圍項數：8 項 圖式數：5 共 35 頁

(54)名稱

氮化物半導體基板以及氮化物半導體裝置

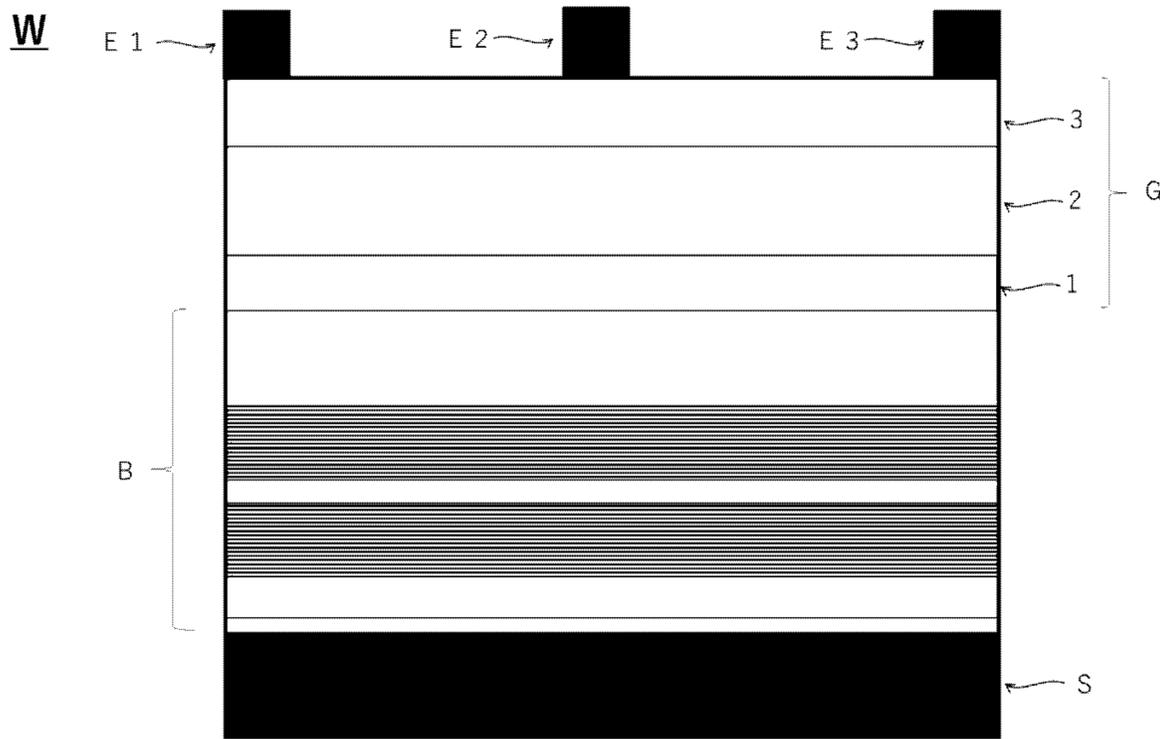
(57)摘要

提供一種即便不使用擴散抑制層仍能以極簡單的構成來抑制因 p 型導電性元素的擴散所致之電晶體的特性惡化之氮化物半導體構造。前述氮化物半導體基板係至少具備有由 13 族氮化物半導體所構成之積層構造體，前述積層構造體係依順序積層有第一層、第二層以及第三層，前述第二層的帶隙係大於前述第一層的帶隙，前述第三層係包含 $5E+18$ atoms/cc 以上的 p 型導電性雜質，前述第一層內中之前述 p 型導電性雜質濃度的最大值為前述第三層內中之前述 p 型導電性雜質濃度的 10% 以下。

Provided is a nitride semiconductor structure capable of preventing deterioration of transistor characteristics caused by diffusion of a P-type conductive element by using an extremely simple configuration, instead of introducing a diffusion suppression layer. A nitride semiconductor substrate comprises at least a layered structure made of group 13 nitride semiconductors, wherein a first layer, a second layer having a wider band gap than the first layer, and a third layer containing a P-type conductive impurity at a concentration of $5E+18$ atoms/cc or more are stacked in this order in the layered structure, and a maximum concentration of P-type conductive impurity in the first layer is 10% or less of the concentration of P-type conductive impurity in the third layer.

指定代表圖：

符號簡單說明：



- 1: 第一層
- 2: 第二層
- 3: 第三層
- B: 緩衝層
- E1: 汲極電極
- E2: 閘極電極
- E3: 源極電極
- G: 積層構造體
- S: 基底基板
- W: 氮化物半導體基板

【圖1】



I730516

【發明摘要】

【中文發明名稱】 氮化物半導體基板以及氮化物半導體裝置

【英文發明名稱】 NITRIDE SEMICONDUCTOR SUBSTRATE AND NITRIDE

SEMICONDUCTOR DEVICE

【中文】

提供一種即便不使用擴散抑制層仍能以極簡單的構成來抑制因 p 型導電性元素的擴散所致之電晶體的特性惡化之氮化物半導體構造。前述氮化物半導體基板係至少具備有由 13 族氮化物半導體所構成之積層構造體，前述積層構造體係依順序積層有第一層、第二層以及第三層，前述第二層的帶隙係大於前述第一層的帶隙，前述第三層係包含 $5E+18atoms/cc$ 以上的 p 型導電性雜質，前述第一層內中之前述 p 型導電性雜質濃度的最大值為前述第三層內中之前述 p 型導電性雜質濃度的 10% 以下。

【英文】

Provided is a nitride semiconductor structure capable of preventing deterioration of transistor characteristics caused by diffusion of a P-type conductive element by using an extremely simple configuration, instead of introducing a diffusion suppression layer. A nitride semiconductor substrate comprises at least a layered structure made of group 13 nitride semiconductors, wherein a first layer, a second layer having a wider band gap than the first layer, and a third layer containing a P-type conductive impurity at a concentration of $5E+18 atoms/cc$ or more are stacked in this order in the layered structure, and a maximum concentration of P-type conductive impurity in the first layer is 10% or less of the concentration of P-type conductive impurity in the third layer.

【指定代表圖】圖1

【代表圖之符號簡單說明】

1:第一層

2:第二層

3:第三層

B:緩衝層

E1:汲極電極

E2:閘極電極

E3:源極電極

G:積層構造體

S:基底基板

W:氮化物半導體基板

【發明說明書】

【中文發明名稱】 氮化物半導體基板以及氮化物半導體裝置

【英文發明名稱】 NITRIDE SEMICONDUCTOR SUBSTRATE AND

NITRIDE SEMICONDUCTOR DEVICE

【技術領域】

本發明係關於一種特別適於常關式(normally-off)的半導體裝置之氮化物半導體基板以及使用氮化物半導體基板之氮化物半導體裝置。

【先前技術】

在由氮化物半導體所構成的高遷移率場效電晶體(HEMT：High Electron Mobility Transistor；高電子遷移率電晶體)等中，作為所謂常關式的積層構造係已知一種技術用以在電子供給層之上或是閘極電極(gate electrode)之正下方形成由p型半導體所構成之作為常關式支援層的層。

例如，在日本特許第5400266號公報係已揭示一種常關式的場效電晶體，前述常關式的場效電晶體係在作為藍寶石基板(sapphire substrates)、SiC(碳化矽)基板或是GaN(氮化鎵)基板(0001)面之主面上、或者作為Si(矽)基板的(111)面之主面上，依順序形成有由III族氮化物半導體所構成的基底層(under layer)、通道層(channel layer)、電子供給層以及p型層，在前述p型層之上形成有閘極電極，前述基底層係藉由從前述基板側起算的AlN(氮化鋁)層與形成於前述AlN層之上的 $Al_xGa_{1-x}N$ 層($0 < x < 1$)所構成，且前述通道層的禁帶寬度(forbidden band width)係比前述 $Al_xGa_{1-x}N$ 層以及前述電子供給層的禁帶寬度更小。

但是，作為一般的HEMT的製造方法之有機金屬氣相沉積(Metal-organic Chemical Vapor Deposition；MOCVD)法，在形成常關式支援層的過程中所導入之p型導電性雜質會在將各相依順序予以積層的情況擴散至電子供給層以及通道層(電子過渡層(electron transit layer))內，並在電晶體的動作上發生障礙。

已知作為p型導電性雜質的Mg(鎂)會更快速地擴散於氮化物半導體膜中。當此鎂特別大量地擴散達至電子過渡層時，2DEG (two-Dimensional Electron Gas；二維電子氣體)的電子過渡就會受到阻礙而電阻會變高，從而成為能量效率(energy efficiency)差的裝置(device)。

作為解決此問題的方法，國際公開第2014／188715號係有記載以下的內容：由於具備第一半導體層、第二半導體層、第三半導體層、第四半導體層以及閘極電極，藉此在作為半導體裝置的障壁層(barrier layer)的第二半導體層與具有p型的導電性之第四半導體層之間存在有作為擴散抑制層的第三半導體層，故而即便p型摻雜(p-type dopant)在第四半導體層沉積中擴散，仍能夠減低往第二半導體層擴散之p型摻雜的量，且能夠抑制第二半導體層的p型化，且能夠抑制接觸電阻(contact resistance)以及片電阻(sheet resistance)的惡化，前述第一半導體層係由 $\text{In}_p\text{Al}_q\text{Ga}_{1-p-q}\text{N}$ ($0 \leq p+q \leq 1$ 、 $0 \leq p$ 、 $0 \leq q$)所構成，前述第二半導體層係形成於前述第一半導體層上且由第二半導體層的帶隙(band gap)大於前述第一半導體層的帶隙之 $\text{In}_r\text{Al}_s\text{Ga}_{1-r-s}\text{N}$ ($0 \leq r+s \leq 1$ 、 $0 \leq r$)所構成，前述第三半導體層係選擇性地形成於前述第二半導體層之上且由 $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t+u \leq 1$ 、 $0 \leq t$ 、 $s > u$)所構成，前述第四半導體層係形成於前述第三半導體層之上且由具有p型的導電性之 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x+y \leq 1$ 、 $0 \leq x$ 、 $0 \leq y$)所構成，前述閘極電極係形成於前述第四半導體層之上。再者，在國際公開第2014／188715號所記載的

半導體裝置中，例如，緩衝層(buffer layer)的膜厚為100nm，通道層的膜厚為2 μ m，障壁層的膜厚為30nm，擴散抑制層的膜厚為25nm，p型導電層的膜厚為200nm。

【發明內容】

雖然上述的擴散抑制層係有防止p型導電性元素擴散至電子供給層側的功効，但是同時會招來起因於晶格常數差之畸變(distortion)或者差排(dislocation)的增大，也會在電晶體的動作上發生障礙。作為電晶體的規格，在不合適設置如此的擴散抑制層之情況下並不是有效的手法。

本發明的目的係在於有鑑於上面所述而提供一種即便不使用擴散抑制層仍能以極單純的構成來抑制因p型導電性元素的擴散所致之電晶體的特性惡化之氮化物半導體構造。

本發明的氮化物半導體基板係至少具備有由13族氮化物半導體所構成之積層構造體，前述積層構造體係依順序積層有第一層、第二層以及第三層，前述第二層的帶隙係大於前述第一層的帶隙，前述第三層係包含 $5E+18\text{atoms}/\text{cm}^3$ 以上的p型導電性雜質，前述第一層內中之前述p型導電性雜質濃度的最大值為前述第三層內中之前述p型導電性雜質濃度的10%以下。

藉由具有此種的構成，不用插入新的擴散抑制層等就能夠有效地防止p型導電性元素對電子過渡層的不良影響。

在本發明中，較佳為：前述第一層為GaN，前述第二層為AlGaN(氮化鋁鎵)，前述第三層為GaN，前述p型導電性雜質為Mg。

然後，較佳是可提供一種在基底基板(base substrate)上隔著由氮化物半導體所構成之緩衝層而形成有本發明的積層構造體之氮化物半導體基板，更佳是可提供一種在第三層的表面上存在有具有內徑10nm以下的開口部之研鉢狀的凹坑(pit)之氮化物半導體基板。此時的凹坑的密度為 $1E+10$ 個/cm²以下。

更且，可提供一種使用此氮化物半導體基板所製造之氮化物半導體裝置。

依據本發明，能夠提供一種不用插入新的擴散抑制層等就能夠有效地減低p型導電性元素往電子過渡層擴散之氮化物半導體基板。使用此種的氮化物半導體基板所製造之氮化物半導體裝置係能夠作為高性能的半導體裝置(semiconductor device)來活用。

又，本發明的目的係有鑑於上面所述的課題而提供一種一邊具有防止p型導電性元素擴散至電子供給層側的功效且一邊能夠減低因擴散抑制層的插入所導致之各種的不良影響之氮化物半導體構造。

本發明的氮化物半導體基板，係至少具備有由13族氮化物半導體所構成之積層構造體，前述積層構造體係依順序積層有第一層、第二層、第三層以及第四層，前述第二層的帶隙大於前述第一層的帶隙，前述第三層的層厚為0.25nm以上至2nm以下且前述第三層的帶隙大於前述第二層的帶隙，前述第四層係包含 $5E+18$ atoms/cc以上的p型導電性雜質，前述第二層與前述第三層之界面中的前述p型導電性雜質濃度為前述第四層與前述第三層之界面中的前述p型導電性雜質濃度的 $1/100$ 以下。

藉由具有此種的構成，能夠一邊極力抑制所插入之層的不良影響一邊有效地減低p型導電性元素往電子供給層的擴散。

在本發明中，更佳為：在前述第一層與前述第二層之間更具備第五層，前述第五層的層厚為0.25nm以上至5nm以下且前述第五層由帶隙大於前述第二層的氮化物半導體所構成。

作為本發明的較佳之具體的態樣，前述第一層為GaN，前述第二層為AlGaN，前述第三層以及前述第五層為AlN，前述第四層為GaN，前述p型導電性雜質為Mg。或者，亦可列舉在基底基板S上隔著由氮化物半導體所構成之緩衝層而形成有前述積層構造體之氮化物半導體基板。

作為本發明的更佳之具體的態樣，亦可在前述第四層的表面存在有具有內徑10nm以下的開口部之研鉢狀的凹坑。前述凹坑的密度的較佳之範圍為 $1E+10$ 個/cm²以下。

本發明的氮化物半導體裝置係使用前述氮化物半導體基板所製造。

依據本發明，能夠提供一種一邊極力抑制所插入之層的不良影響一邊能夠有效地減低p型導電性元素往電子供給層擴散的氮化物半導體基板。換句話說，依據本發明，能夠提供一種在成為常開(normally-on)的GaN系HEMT中同時並存遷移率降低的抑制與常關動作之氮化物半導體基板。然後，使用本發明的氮化物半導體基板所製造之氮化物半導體裝置係能夠作為高性能的半導體裝置來活用。

【圖式簡單說明】

[圖1]係顯示本發明的一態樣之剖面概略圖。

[圖2]係實施例一與比較例一中之基板的深度方向的Mg濃度輪廓(profile)。

[圖3]係顯示本發明的一態樣之剖面概略圖。

[圖4]係說明本發明的p型導電性雜質的濃度輪廓之示意圖。

[圖5]係顯示本發明的另一態樣之剖面概略圖。

【實施方式】

以下，一邊參照圖式一邊詳細地說明本發明。

本發明的氮化物半導體基板，係至少具備有由13族氮化物半導體所構成之積層構造體，前述積層構造體係依順序積層有第一層、第二層以及第三層，前述第二層的帶隙係大於前述第一層的帶隙，前述第三層係包含 $5E+18\text{atoms}/\text{cm}^3$ 以上的p型導電性雜質，前述第一層內中之前述p型導電性雜質濃度的最大值為前述第三層內中之前述p型導電性雜質濃度的10%以下。

圖1係顯示本發明的氮化物半導體基板的一態樣之剖面概略圖。前述氮化物半導體基板係具有在異種基板上隔著緩衝層而形成有積層構造體的HEMT構造。亦即，作為氮化物半導體基板W係在基底基板S的一主面上積層有緩衝層B，且在前述緩衝層B之上形成有積層構造體G。再者，圖1亦顯示作為半導體裝置所具備的電極(E1為汲極電極、E2為閘極電極、E3為源極電極)。

本發明所顯示的概略圖係為了方便說明而示意性地簡化且強調形狀，細部的形狀、尺寸以及比率係與實際不同。又，有關相同的構成係省略元件符號，進而在說明中未記載其他不必要的構成。

基底基板S係除了Si(矽)以外還可列舉SiC(碳化矽)、 Al_2O_3 (藍寶石)、 AlN (氮化鋁)、 GaN (氮化鎵)等。又，亦可為由單一材料所構成、由異種材料所構成的其中任一種基板，且口徑、面方位以及摻雜濃度、傾斜角(off-angle)等的構成亦能夠任意地設定。

緩衝層B係具有積層有多個氮化物半導體層的構造，雖然可因應用途或目的而應用公知的構造，但是可謂更佳的形態是如下：在最初形成適當的初始層之後，積層一層以上的組成或雜質濃度互為不同之氮化物半導體層。

在此，氮化物半導體係由Ga(鎵)、Al(鋁)、In(銦)等的13族元素、與N(氮)之組合所構成。亦可因應需要而摻雜有C(碳)、O(氧)、Si、Fe(鐵)、B(硼)等的各種元素。

積層構造體G係依順序積層有第一層1、第二層2以及第三層3，前述第二層2的帶隙係大於第一層1的帶隙，前述第三層3係包含 $5E+18\text{atoms}/\text{cm}^3$ 以上的p型導電性雜質。

本發明中的積層構造體G係總稱具有作為裝置的功能之第一層1、第二層2以及第三層3、以及因應需要所附加之各種的層。在圖1所顯示之HEMT構造中，第一層1為電子過渡層，第二層2為電子供給層，第三層3為常關式支援層。

再者，氮化物半導體基板W係只要在基底基板S上形成有緩衝層B與積層構造體G，就不特別限定於HEMT構造，亦能較佳地作為可高頻化、高耐壓化的其他功率裝置(power device)用途來使用。

有關第一層1、與帶隙比第一層1還大的第二層2係能夠廣泛地應用公知的構成(層厚、雜質濃度)。作為第一層1的構成材料，只要是由上面所述之Ga(鎵)、Al(鋁)、In(銦)等的13族元素、與N(氮)之組合所構成的氮化物半導體即可，例如可列舉GaN以及AlGaN等。這些當中較佳為GaN。又，在本發明中，基於不妨礙電子過渡的理由，第一層1較佳是由非摻雜(non-doped)的氮化物半導體所形成。

第二層2的構成材料係只要帶隙大於第一層就沒有特別的限制，例如亦可為三元混晶或四元混晶。具體而言，可列舉InAlN(氮化銦鋁)、AlGaN、InAlGaN(氮化銦鋁鎵)等。這些當中較佳為AlGaN。再者，AlGaN的組成為 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 0.5$)。又，在前述構成材料中，亦可摻雜有使用於導電性控制之各種元素(C、Si、Ge(鍺)、Be(鈹)、Mg、Zn(鋅)、Fe等)。

在第二層2之上係形成有包含 $5\text{E}+18\text{atoms}/\text{cm}^3$ 以上的p型導電性雜質之第三層3(常關式支援層)。藉由導入此種的第三層3就能夠控制臨限值電壓，例如能夠期待不依存於第二層的厚度而切斷電流之功能等。作為實現常關的常關式支援層，如同公知的技術所週知，需要包含有高濃度、亦即至少 $5\text{E}+18\text{atoms}/\text{cm}^3$ 以上的p型導電性雜質。

p型導電性雜質係只要被添加於氮化物半導體並呈現p型，則除了例如Mg(鎂)以外還能夠廣泛地應用Be以及Zn等的公知的材料。作為較佳的一例，在氮化物半導體為GaN的情況下，p型導電性雜質為Mg。

p型導電性雜質係使用公知的技術在第三層內以成為 $5\text{E}+18\text{atoms}/\text{cm}^3$ 以上的濃度之方式來添加。具體而言，在導入第三層的構成材料(TMGa(Trimethyl gallium；三甲基鎵)等)的同時，例如一邊適時調整供給量、成膜溫度、成膜壓力一邊藉由氣相沉積法來導入如

Cp_2Mg (bis(dicyclopentadienyl)magnesium；雙(二環戊二烯)鎂)的Mg源。

在本發明的具體的一實施態樣中，第一層1為GaN，第二層2為AlGaN，第三層3為GaN，p型導電性雜質為Mg。又，此時，第一層1以及第三層3的層厚，較佳是分別設為40nm以上，雖然第二層2係依存於前述第二層2的Al組成但是較佳是設為1.5nm至80nm。

第一層1內中之p型導電性雜質濃度的最大值為第三層3內中之p型導電性雜質濃度的10%以下。圖2係顯示有關實施例一與比較例一之基板的深度方向上的p型導電性雜質(在此為Mg)濃度輪廓。橫軸係表示從第三層3(Mg-doped GaN；鎂摻雜氮化鎵)的表層朝向第一層1(non-doped GaN；非摻雜氮化鎵)之深度。又，圖2中，實線係表示實施例一的結果，點線係表示比較例一的結果。

如圖2所示，所謂第一層內中之p型導電性雜質濃度的最大值係指在第一層1內深度方向上最高的濃度值。由於濃度會隨著遠離Mg濃度較高的第三層3而漸減，所以通常第一層1與第二層2之界面中的Mg濃度值符合此條件。

雖然並未特別限定p型導電性雜質濃度的測量，但是一般是以SIMS (Secondary Ion Mass Spectrometry；二次離子質量分析法)來評估。此時，基於測量精度上的限制，在局部有濃度變動的情況下會考慮此，而明顯特異的值不會當作最大值來處理。

第三層3內的p型導電性雜質濃度為第三層3的層厚整體中之p型導電性雜質濃度的平均值。作為一例，在膜厚方向上以均等的間隔選擇五個部位，且算出各個部位的p型導電性雜質濃度的平均值。再者，有關選擇部位的數目，較佳為：下限係為了確保精度而設為三個部位，上限係考慮測量所要的成本與本發明的功效之平衡(balance)而設為九個部位。

如上所述地定義之第三層3內的p型導電性雜質濃度係取決於以下所示的理由。亦即，如圖2所示，p型導電性雜質係從第三層3擴散並決定第一層1與第二層2之界面的p型導電性雜質濃度。在形成有第二層2的時間點，於第二層2以及第一層1中係不包含有p型導電性雜質。在以MOCVD法在第二層2上形成第三層3的過程中，p型導電性雜質會擴散至第二層2內並形成預定的濃度輪廓。

在此，由於只要第三層3與第二層2之界面的p型導電性雜質濃度較低，就可認為第二層2與第一層1之界面的p型導電性雜質濃度亦會變低，所以可謂能在將第三層3予以成膜的初始階段決定第二層2與第一層1之界面的p型導電性雜質濃度。

然而，實際上，擴散於第二層2內之p型導電性雜質的濃度輪廓、以及在第三層3內所形成之p型導電性雜質的濃度輪廓，會根據將第三層3成膜達至預定的層厚之間各個條件(成膜溫度、成膜壓力、原料氣體供給量以及供給時間等)而成為各種的輪廓。

在本發明中，雖然重點(point)是第一層1內中之p型導電性雜質濃度與第三層3內中之p型導電性雜質濃度的對比，但是困難的是全部使用在第三層3內所形成之p型導電性雜質的各種的濃度輪廓來進行對比。故而，會以前述p型導電性雜質濃度的平均值來代用第三層3內之p型導電性雜質的濃度輪廓。即便是用如此的手段，精度仍不會大幅地降低，運用也簡單且成本低，在實用上沒有問題。

可明白：當第一層1內中之p型導電性雜質濃度的最大值為第三層3內中之p型導電性雜質濃度的10%以下時，p型導電性雜質給形成於第一層1與第二層2之界面附近的2DEG所帶來的影響會收在實用上所容許的層次(level)。更佳為：第一層1內中之p型導電性雜質濃度的最大值為第三層內中之p型導電性雜質濃度的5%以下。

實際上，第二層2內的p型導電性雜質濃度輪廓形狀亦可認為會給2DEG的動作帶來些許的影響。因而，可謂將有關前述輪廓形狀的指標加在第一層1內

的p型導電性雜質濃度與第三層3內的p型導電性雜質濃度之關係上，藉此就能夠表現本發明的更佳之實施形態的一個。

例如，第二層2內的p型導電性雜質濃度輪廓係在第二層2的厚度方向朝向基底基板S方向漸減時會在第二層2的厚度前半部(第三層側)急劇地減少。結果，會顯示由於2DEG與p型導電性雜質濃度較高的區域之距離變大，所以顯示作為本發明的功效之遷移率降低的抑制功效變得更顯著。

作為另一例，亦可為以下的形態：第二層2的厚度方向的中間部的p型導電性雜質濃度成為第三層3內的p型導電性雜質濃度的10%以下，之後，到達第一層1與第二層2之界面附近為止的濃度為大致固定。

又，當將第三層內中之p型導電性雜質濃度輪廓到達第三層3與第二層2之界面附近為止設為高濃度，且僅在前述第三層3與第二層2之界面的最近處設為急劇地降低濃度的輪廓時，第二層2上的p型導電性雜質濃度的最高值就會被抑制得較低，且能夠將正在形成第三層3之中擴散至第一層1側之p型導電性雜質已到達第一層1與第二層2之界面附近的階段的p型導電性雜質濃度較佳地抑制得較低。

如同以上所述，依據本發明，即便沒有擴散抑制層也能有效地減低p型導電性雜質往電子過渡層擴散，藉此就能夠提供一種充分地確保了作為電晶體的動作性能之氮化物半導體基板。然後，使用本發明的氮化物半導體基板所製造之氮化物半導體裝置係能夠作為高性能的半導體裝置來活用。

本發明的氮化物半導體基板，係至少具備有由13族氮化物半導體所構成之積層構造體，前述積層構造體係依順序積層有第一層、第二層、第三層以

及第四層，前述第二層的帶隙係大於前述第一層的帶隙，前述第三層的層厚為0.25nm以上至2nm以下且前述第三層的帶隙係大於前述第二層的帶隙，前述第四層係包含 $5E+18atoms/cc$ 以上的p型導電性雜質，前述第二層與前述第三層之界面中的前述p型導電性雜質濃度為前述第四層與前述第三層之界面中的前述p型導電性雜質濃度的 $1/100$ 以下。

圖3係顯示本發明的氮化物半導體基板的一態樣之剖面概略圖。在此，使用在異種基板上隔著緩衝層而具備HEMT構造之氮化物半導體基板來加以說明。亦即，作為氮化物半導體基板W係在基底基板S的一主面上積層有緩衝層B，且在前述緩衝層B之上形成有積層構造體G。積層構造體G係由第一層11、第二層12、第三層13以及第四層14所構成。再者，圖3亦圖示作為半導體裝置所具備的電極(E1為汲極電極、E2為閘極電極、E3為源極電極)。

基底基板S係除了Si以外還可列舉SiC(碳化矽)、 Al_2O_3 (藍寶石)、AlN(氮化鋁)、GaN等。亦即，不限於Si基板或SiC基板等的單晶基板，亦可為燒結AlN基板等的陶瓷(ceramic substrate)基板或金屬基板等。又，亦可為由單一材料所構成、由異種材料所構成的其中任一種基板，且面方位以及摻雜濃度、傾斜角等的構成亦能夠任意地設定。

緩衝層B是積層有多個氮化物半導體層的構造，雖然前述氮化物半導體層的構造可因應用途或目的而藉由公知的手法所形成，但是更佳是在最初形成適當的初始層之後，積層一層以上的組成或雜質濃度互為不同之氮化物半導體層。亦可因應需要而在基底基板S與緩衝層B之間插入核心形成層以及應力控制層等。

氮化物半導體係由Ga、Al(鋁)、In(銦)等的13族元素、與N(氮)之組合所構成。亦可因應需要而摻雜有C、O、Si、Fe等的各種元素。

積層構造體G係依順序積層有第一層11、第二層12、第三層13以及第四層14，前述第二層12的帶隙係大於第一層11的帶隙，前述第三層13係層厚為0.25nm以上至2nm以下且前述第三層13的帶隙大於第二層12的帶隙，前述第四層14係包含 $5E+18atoms/cc$ 以上的p型導電性雜質。

本發明中的積層構造體G係總稱具有作為裝置的功能之層、以及因應需要所附加之各種的層，例如核心形成層以及應力控制層等。在圖3所顯示之HEMT中，第一層11為電子過渡層，第二層12為電子供給層，第三層13為擴散抑制層，然後第四層14為常關式支援層。

雖然圖3顯示了HEMT的例子，但是氮化物半導體基板W係只要在基底基板S上形成有緩衝層B與積層構造體G，並不特別限定於前述HEMT，亦能較佳地作為可高頻化、高耐壓化的其他功率裝置用途來使用。

再者，有關第一層11、與帶隙比第一層11還大的第二層12係能夠廣泛地應用公知的構成(層厚、雜質濃度)，而不需要特別的限定。亦即，例如第一層11係由GaN、AlGaN等所形成，第二層12係由AlGaN、AlInGaN(氮化銦鋁鎵)等所形成。又，第一層11的層厚大概為300nm以上至3000nm以下，第二層12的層厚大概為10nm以上至100nm以下。

本發明的特徵係在於：設置層厚為0.25nm以上至2nm以下且將帶隙比第二層12還大的第三層13作為擴散抑制層(以下亦稱為「第一擴散抑制層」)。特別是在國際公開第2014/188715號的半導體裝置中，當與擴散抑制層為25nm比較時，前述擴散抑制層的層厚為極薄。

在任意的兩層之間夾設有某些層的情況下，當各層的晶格常數(lattice constant)或熱膨脹係數、帶隙能量(band gap energy)上有差異時，就會發生界面上的應力之產生、差排的增大、電阻值的變動等。作為擴散抑制層的第三層13較佳是僅具有防止來自第四層14的雜質擴散之作用，不佳是會給其他的層帶來新的不良影響。

將這些的不良影響最小化之方法係在於將層厚盡量地減薄。0.25nm以上至2nm以下的層厚，例如若為AlN，則相當於1分子量至8分子量的層厚。再者，此種的第三層13通常是由AlN、AlGa_N或是AlInGa_N等所形成，較佳是由AlN所形成。AlN的電阻率(specific electrical resistance；比電阻)非常高，藉由使用AlN作為擴散抑制層就會有效地防止Mg往第一層或第二層擴散。

在第三層13之上係形成有包含 $5E+18\text{atoms/cc}$ 以上的p型導電性雜質之第四層14(常關式支援層)。為了獲得常關的作用功效，有必要包含 $5E+18\text{atoms/cc}$ 以上的p型導電性雜質。

只要p型導電性雜質被添加於氮化物半導體並呈現p型，就能夠廣泛地應用公知之物。例如，在p型導電性雜質中係可列舉Mg(鎂)以及Zn(Zn)等。較佳的一例是，在氮化物半導體為Ga_N的情況下，p型導電性雜質為Mg。再者，Mg的添加方法係能夠廣泛地應用公知的技術。

第二層12與第三層13之界面中之p型導電性雜質濃度為第四層14與第三層13之界面中之p型導電性雜質濃度的 $1/100$ 以下。圖4係顯示p型導電性雜質的濃度輪廓之示意圖。

第二層12與第三層13界面中的p型導電性雜質濃度係與第二層12內的p型導電性雜質濃度有相互關聯，可謂當前述雜質濃度的值較大時，第二層12內的p型導電性雜質濃度就會較高。

若第二層12與第三層13之界面中的p型導電性雜質濃度為第四層14與第三層13之界面中的p型導電性雜質濃度的 $1/100$ 以下，就不會致命地損害具有作為動作層的功能之第二層12的特性。再者，雖然前述p型導電性雜質濃度的比例越低越佳，但是只要是以MOCVD法來製造，要降低前述p型導電性雜質濃度的比例就會有界限。在實用的範圍內更佳為 $1/200$ 以下。

在本發明中，作為更佳的一態樣，可列舉在第一層11與第二層12之間具備有由氮化物半導體所構成的第五層15(以下亦稱為「第二擴散抑制層」)，前述氮化物半導體的層厚為 0.25nm 以上至 5nm 以下且前述氮化物半導體的帶隙大於第二層12的帶隙。

藉由第五層15，就會成為與HEMT構造中之被插入作為所謂間隔件層(spacer layer)同樣的構成，且一樣可獲得同樣的作用功效。然而，在本發明中，藉由存在有前述第五層15就能夠確實地防止雖然低濃度但是存在於第三層13中之p型導電性雜質擴散至第一層11，且能夠藉由在HEMT之形成有主電流路徑的第一層11優異地保持2DEG(二維電子氣體)的動作環境。

第五層15係與第三層13的層厚同樣地設為層厚 0.25nm 以上至 5nm 以下，較佳係設為 1nm 以上至 3nm 以下。由於第五層15亦兼備作為間隔件層的功能，所以第五層15的層厚亦可形成為比第三層13還厚。但是，當超過 5nm 時，有時界面上的應力會成為問題。

第五層15是帶隙比第二層12還大的氮化物半導體。此如同上面所述是因具有作為間隔件層的功能所致。

在本發明的具體的一實施態樣中，第一層11由Ga₂N所形成，第二層12由AlGa₂N所形成，第三層13以及第五層15由AlN所形成，第四層14由Ga₂N所形成，p型導電性雜質為Mg。再者，前述AlGa₂N係指Al_xGa_{2-2x}N(0<x<1)。

本發明的氮化物半導體基板W的各層通常能藉由磊晶成長(epitaxial growth)之堆積而形成，但是前述堆積方法可為一般所使用的方法，例如能夠使用以MOCVD或電漿CVD(chemical vapor deposition；化學氣相沉積法)(PECVD(Plasma-Enhanced Chemical Vapor Deposition；電漿增強式化學氣相沉積法))為首的CVD法、使用雷射光束(laser beam)的蒸鍍法、使用氮圍氣體(atmosphere gas)的濺鍍法(sputtering method)、使用高真空中的分子束之MBE(Molecular Beam Epitaxy；分子束磊晶法)、屬於MOCVD與MBE之複合的MOMBE(Metal-Organic Molecular Beam Epitaxy；有機金屬分子束磊晶)法等。又，使各層磊晶成長時所使用的原料也並未限定於實施例中所使用之物。

如同以上所述，本發明的氮化物半導體基板係能夠一邊極力抑制所插入之層的不良影響一邊有效地減低p型導電性元素往電子供給層擴散。然後，使用本發明的氮化物半導體基板之氮化物半導體裝置係能夠作為高性能的半導體裝置來活用。

[實施例]

以下，雖然基於實施例來具體地說明本發明，但是本發明係不被下述實施例所限制。

[實施例一]

將作為基底基板S之結晶面方位(111)、六吋、p型的單晶矽(si)基板以公知的基板洗淨方法來潔淨化之後裝設於MOCVD裝置內，在裝置內部以載送氣體(carrier gas)置換後予以升溫，且進行在950°C的氫100%環境下保持的熱處理，將單晶矽表面的自然氧化膜予以去除。

其次，使用TMA1(trimethylaluminum；三甲基鋁)、TMGa(trimethyl gallium；三甲基鎵)、NH₃(ammonia；氨)作為原料，依順序使初始層、重複層氣相成長並積層於層厚100nm的AlN上來作為緩衝層B，前述初始層係將層厚150nm的Al_{0.28}Ga_{0.78}N予以積層所得，前述重複層係將層厚5nm的AlN與層厚30nm的GaN的雙層予以分別重複積層八十次所得。再者，成長溫度係將1000°C作為大致的基準，成長壓力係將60hPa作為大致的基準，並在形成各層時予以適時控制來實施。

其次，將第一層1作為層厚100nm的GaN，將第二層2作為層厚20nm的Al_{0.22}Ga_{0.78}N，並將各層依此順序予以積層來作為積層構造體G(動作層)。再者，成長溫度係將1000°C作為大致的基準，成長壓力係將200hPa作為大致的基準，並在形成各層時予以適時控制來實施。

第三層3係使用層厚60nm的GaN，使用p型導電性雜質作為Mg，使用Cp₂Mg(biscyclopentadienylmagnesium；雙環戊二烯鎂)作為含Mg原料。成膜溫度與成膜壓力係設為950°C以及200hPa來形成。

[比較例一]

以第三層3的製作條件，不使用GaN而首先在已供給NH₃的狀態下僅供給Cp₂Mg，1分鐘後，除了追加供給有TMGa以外，其餘與實施例一同樣地製作出比較例一的評估樣品(evaluation sample)。

[比較例二]

以第三層3的製作條件，除了將溫度設為1000°C以外，其餘與比較例一同樣地製作出比較例二的評估樣品。

[比較例三]

以第三層3的製作條件，除了將溫度設為900°C以外，其餘與比較例一同樣地製作出比較例三的評估樣品。

[實施例二]

以第三層3的製作條件，除了將Mg原料濃度設為實施例一的1/3以外，其餘與實施例一同樣地製作出實施例二的評估樣品。

[實施例三]

除了將第二層厚度設為兩倍、以及藉由將第三層3的形成與比較例一同樣地在已供給NH₃的狀態下僅供給Cp₂Mg且在1分鐘後供給TMGa來進行以外，其餘與實施例二同樣地製作出實施例三的評估樣品。

[評估1：Mg濃度]

將各個評估樣品朝向直徑方向劈開，從主面中央附近取樣破片，藉由SIMS來獲得從第三層3的表層到達第一層1的厚度方向的Mg濃度輪廓，並從此處讀取第三層3以及第一層1中之各自預定的Mg濃度。

[評估2：遷移率]

將各個評估樣品切割(dicing)成7mm見方的晶片(chip)，且蝕刻(etching)各個晶片的第三層3上的四角並設置直徑0.25mm的孔，在此是藉由真空蒸鍍來形成Ti(鈦)/Al電極。其次在N₂氛圍下進行600°C、5分鐘的合金化熱處理。然後，使用NANOMETRICS JAPAN LTD.製造的HL5500PC進行霍爾效應(Hall

effect)測量。然後，以與比較例一的比來表示遷移率的等級，將未滿 $1000\text{cm}^2/V_s$ 設為「不良」，將 $1000\text{cm}^2/V_s$ 以上設為「良」，且將「良」設為合格。

將各個評估樣品的資料與評估結果整理顯示於以下的表1。

[表1]

評估樣品	第三層3的Mg濃度③ (atoms/cm ³)	第一層1的Mg濃度① (atoms/cm ³)	Mg濃度比①/③ (%)	遷移率是否合格 (良或不良)
實施例一	2.0E+19	7.0E+17	3.5	良
實施例二	1.0E+19	7.0E+17	7.0	良
實施例三	1.0E+19	3.0E+17	3.0	良
比較例一	4.0E+19	1.0E+19	25.0	不良
比較例二	4.0E+19	1.0E+19	25.0	不良
比較例三	4.0E+19	7.0E+18	17.5	不良

如根據表1的結果可明白，在本發明的實施範圍內的氮化物半導體基板係確保 $5\text{E}+18\text{atoms/cm}^3$ 以上的Mg濃度，且遷移率也較高。再者，第一層1之相對於第三層3的Mg濃度比，相對於實施例一為3.5%則實施例二為7%，實施例一係比實施例二更提升約5%的遷移率，可謂上述的比是較小者更佳。

可是，MOCVD法中之GaN層的形成係需要如本發明的實施例所例示之 1000°C 的比較高之成長溫度。此是因當成長溫度較低時，所形成之GaN層的表面平坦性就會惡化所導致。

另一方面，藉由將形成第三層3時的成長溫度予以降低就能相對地抑制Mg的擴散，且本發明的功效(Mg往動作層擴散所造成之不良影響的抑制)會變高。亦即，就成長溫度而言係可謂存在有同時並存相反之特性的最佳範圍。

然而，由於以往前述最佳的成長溫度係受到作為氮化物半導體基板整體所要求之規格或各種特性、所使用之裝置的性能、當時的成長條件、其他諸多條件之限制，故不一定能夠無歧異地決定。

在本發明中係著眼於作為與Mg的擴散抑制相反之參數的表面平坦性，且發現能夠以呈現於第三層3的表面之凹坑的尺寸(size)來判斷一邊維持表面平坦性一邊以比較低的溫度來成膜之狀態。

亦即，在本發明的更佳之一態樣中，存在於第三層3的表面之凹坑是在前述表面上具有內徑10nm以下的開口部之研鉢狀，凹坑的密度為 $1E+10$ 個/cm²以下。

本發明中所稱的凹坑是所謂的研鉢狀。前述凹坑亦可謂是在第三層3的表面形成有大致圓形的開口部，且在孔相對於表面在大致垂直方向上一邊縮小直徑一邊進展的形態下將圓錐形成為顛倒的形狀。但是，亦可不是嚴格的圓錐形狀，亦可存在些許的畸變且於底部存在有若干的平坦部。

超過內徑10nm之凹坑的開口部會有單獨使層整體的平坦性惡化之疑慮而不佳。再者，雖然前述內徑係越小越佳，但只要是特別以MOCVD法來製造，就不能避開成為某種程度的大小，在本發明中只要凹坑的開口部的內徑為0.3nm至5nm即可。

又，開口部的內徑為10nm以下的凹坑係只要以 $1E+10$ 個/cm²以下的密度存在於第三層3的表面，就能較佳地同時並存本發明的功效與平坦性。在這方

面，雖然前述凹坑的密度也是越低越佳，但是在實用上只要是 $5E+8$ 個/cm²以上至 $8E+9$ 個/cm²以下即可。

雖然本發明中之凹坑的深度並無特別限定，但是在呈現內徑為10nm以下的凹坑之情況下，只要大致為10nm至80nm左右的這樣的等級即可。

為了形成為具有如此的內徑以及密度之凹坑，除了成長溫度以外，還能夠藉由適時控制壓力、原料氣體或是載送氣體的流量來達成。

本發明中之凹坑係能夠藉由AFM(Atomic Force Microscope；原子力顯微鏡)從第三層3的表面來觀察。但是，除此以外的方法，亦可應用以下的方法：例如，劈開氮化物半導體基板並從前述氮化物半導體基板的剖面方向以TEM(Transmission Electron Microscope；穿透式電子顯微鏡)等來觀察，實際測量凹坑的開口部的內徑，且根據每一單位長度的個數來換算密度。

在如同上面所述地觀察時，實施例一係在第三層3的表面未被確認出具有內徑10nm以下的開口部之凹坑。

[比較例四]

在此，為了使本發明的功效顯在化，而製作出將實施例一中之第三層3的成長溫度設為800°C之比較例四的評估樣品。以AFM觀察後的結果，能觀察到具有超過內徑10nm之開口部且密度 $6E+9$ 個/cm²的凹坑。

再者，當依據藉由一併實施之TEM所為的剖面觀察時，雖然在實施例一的第三層3有觀察到差排，但是在比較例四中可看到從第三層3的下表面慢慢地擴大及於上表面之研鉢狀的凹坑，根據前述凹坑的密度，可視為在TEM中有觀察出由AFM所觀察到之開口徑比10nm更大的凹坑的剖面。

根據此情形，在比較例四中，由於成長溫度比實施例一更低，故可認為磊晶成長所需要的熱能量並不充足。更且，在形成電極作為元件並比較特性時，可謂在比較例四中會產生較大的洩漏電流，且產生於樣品最表面的凹坑會帶來不良影響。

[實施例四]

將作為基底基板S之結晶面方位(111)、p型、六吋的單晶矽基板以公知的基板洗淨方法來潔淨化之後裝設於MOCVD裝置內，在裝置內部以載送氣體置換後予以升溫，且進行在 $1000^{\circ}\text{C}\times 15$ 分鐘、氫100%氛圍下保持的熱處理，將單晶矽表面的自然氧化膜予以去除。

其次，使用TMA1(三甲基鋁)、TMGa(三甲基鎵)、 NH_3 (氨)作為原料，依順序使初始層、多層、單層氣相成長並積層於層厚100nm的AlN上來作為緩衝層B，前述初始層係將層厚150nm的 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 予以積層所得，前述多層係將層厚5nm的AlN與層厚30nm的 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 的雙層予以分別重複積層八十次所得，前述單層的層厚為1500nm的GaN。再者，成長溫度係將 1000°C 作為大致的基準，成長壓力係將60hPa作為大致的基準，並在形成各層時予以適時控制來實施。

其次，將第一層11作為層厚100nm的GaN，將第二層12作為層厚20nm的 $\text{Al}_{0.22}\text{Ga}_{0.78}\text{N}$ ，將第三層13作為層厚1nm的AlN，將第四層14作為層厚60nm的GaN，將p型導電性雜質作為Mg，並將各層依此順序予以積層來作為積層構造體G(動作層)。再者，成長溫度與成長壓力係以緩衝層B的製造為標準，且使用 Cp_2Mg (雙環戊二烯鎂)作為含Mg原料。如同以上所述地製作出實施例四的評估用樣品。

[比較例五]

除了不積層第四層14以外，其餘與實施例四同樣地製作出比較例五的評估用樣品。

[評估1：層厚與Mg濃度]

層厚係將各個評估用樣品朝向直徑方向劈開且從主面中央附近取樣破片而獲得測量用的試料。將前述試料相對於厚度方向使用SIMS(二次離子質量分析法)來測量而獲得Mg濃度輪廓，並算出第二層12與第三層13的界面中之Mg濃度、以及第四層14與第三層13的界面中之Mg濃度的比例(以下，稱為Mg比率)。

[評估2：遷移率]

其次，針對與STEM(scanning transmission electron microscopy；掃描透射式電子顯微鏡)所觀察之樣品相同的評估樣品進行藉由范德堡法(Van der Pauw method)所為的霍爾效應測量且評估電子的遷移率。首先，將評估樣品切割成7mm見方的晶片，將直徑0.25mm的Ti／Al電極藉由真空蒸鍍形成於各個晶片的第四層14上的四角。其次在N₂氛圍下進行600°C、5分鐘的合金化熱處理。然後，使用NANOMETRICS JAPAN LTD.製造的HL5500PC進行霍爾效應測量。然後，以與比較例五的比來表示遷移率的等級，將1以下設為C(不良)，將1.1以下設為B(良好)，將1.2以上設為A(優良)，且將A與B設為實施例。

[評估3：臨限值電壓]

作為常關特性的指標來使用之臨限值電壓的測量係藉由以下方式來實施：分別在所製作出之評估樣品的第四層14上，進行歐姆電極(Ohmic electrode)(Ti／Al)的電極形成以及元件隔離來作為凹式閘極(recessed-gate)的肖特基電極(Schottky electrode)(Ni／Au(鎳／金))以及源極-汲極(source-drain)，且在形成場

效型電晶體(field effect transistor)的裝置之後，在室溫下進行藉由曲線描繪器(curve tracer)所為的I-V測量。然後，有關臨限值電壓係設置將比較例五作為0V的基準，並將從前述基準位移(shift)多少作為電壓值來表示。

結果，在實施例四中，Mg比率成為1/120，遷移率成為A，臨限值成為正的。另一方面，比較例五的遷移率為C。亦即，在本發明的實施範圍內係能充分地呈現常關的特性，且遷移率也較高。

再者，實施例四中之第四層14的Mg濃度為 $1E+19\text{atoms/cc}$ 。

[實施例五]

除了將第四層14的成長溫度設為 950°C 以外，其餘與實施例四同樣地製作出實施例五的評估用樣品。

結果，Mg比率成為1/100，遷移率成為A，臨限值成為正的。再者，雖然遷移率係比實施例四還差，但是此係起因於與實施例四相較Mg比率較大(Mg濃度的減少率較小)的緣故。

[實施例六]

除了調整 Cp_2Mg 的流量以便使第四層14的Mg濃度成為 $5E+18\text{atoms/cc}$ 以外，其餘與實施例四同樣地製作出實施例六的評估用樣品。

結果，Mg比率成為1/105，遷移率成為A，臨限值成為正的。再者，雖然臨限值係比實施例四還差，但是此係起因於與實施例四相較第四層14的Mg濃度較小的緣故。

[比較例六]

除了將第四層14的成長溫度設為 1030°C 以外，其餘與實施例四同樣地製作出比較例六的評估用樣品。

結果，第四層14的Mg濃度成為 $1E+19\text{atoms/cc}$ ，Mg比率成為 $1/80$ ，遷移率成為C，臨限值成為正的。遷移率的惡化係因Mg濃度的減少率比 $1/100$ 還大所致。

[比較例七]

除了調整 Cp_2Mg 的流量以便使第四層14的Mg濃度成為 $3E+18\text{atoms/cc}$ 以外，其餘與實施例四同樣地製作出比較例七的評估用樣品。

結果，Mg比率成為 $1/105$ ，遷移率成為A，臨限值成為負的。臨限值成為負的係起因於第四層14的Mg濃度較小。

可是，MOCVD法中之Ga₂N層的形成係需要如本發明的實施例所例示之 1000°C 的比較高之成長溫度。此是因當成長溫度較低時所形成之Ga₂N層的表面平坦性會惡化所致。

另一方面，藉由降低形成第四層14時的成長溫度就可相對地抑制Mg的擴散，且本發明的功效(Mg往動作層擴散所造成之不良影響的抑制)會變高。亦即，就成長溫度而言係可謂存在有同時並存相反之特性的最佳範圍。

然而，由於以往前述最佳的成長溫度係受到作為氮化物半導體基板整體所要求之規格或各種特性、所使用之裝置的性能、當時的成長條件、其他諸多條件之限制，故不一定能夠無歧異地決定。

本發明係發現了以下的情形：著眼於作為與Mg的擴散抑制相反之參數的表面平坦性，且能夠以呈現於第四層14的表面之凹坑的尺寸來判斷一邊維持表面平坦性一邊以比較低的溫度來成膜之狀態。

亦即，在本發明的更佳之一態樣中，存在於第四層14的表面之凹坑是在前述表面上具有內徑10nm以下的開口部之研鉢狀，且凹坑的密度為 $1E+10$ 個/ cm^2 以下。

本發明中所稱的凹坑是所謂的研鉢狀。此亦可謂是在第四層14的表面形成有大致圓形的開口部，且在孔相對於表面在大致垂直方向上一邊縮小直徑一邊進展的形態下將圓錐形成為顛倒的形狀。但是，亦可不是嚴格的圓錐形狀，亦可存在些許的畸變且於底部存在有若干的平坦部。

超過內徑10nm之凹坑的開口部會有單獨使層整體的平坦性惡化之疑慮而不佳。再者，雖然前述內徑係越小越佳，但只要是特別以MOCVD法來製造，就不能避開成為某種程度的大小，在本發明中只要凹坑的開口部的內徑為0.3nm至5nm即可。

又，開口部的內徑為10nm以下的凹坑係只要以 $1E+10$ 個/ cm^2 以下的密度存在於第四層14的表面，就能較佳地同時並存本發明的功效與平坦性。在這方面，雖然前述凹坑的密度也是越低越佳，但是在實用上只要是 $5E+8$ 個/ cm^2 以上至 $8E+9$ 個/ cm^2 以下即可。

雖然本發明中之凹坑的深度並無特別限定，但是在呈現內徑為10nm以下的凹坑之情況下，只要大致為10nm至80nm左右的這樣的等級即可。

為了形成為具有如此的內徑以及密度之凹坑，除了成長溫度以外，還能夠藉由適時控制壓力、原料氣體或是載送氣體的流量來達成。

本發明中之凹坑係能夠藉由AFM(原子力顯微鏡)從第四層14的表面來觀察。但是，除此以外的方法，亦可應用以下的方法：例如，劈開氮化物半導體

基板並從前述氮化物半導體基板的剖面方向以TEM(穿透式電子顯微鏡)等來觀察，實際測量凹坑的開口部的內徑，且根據每一單位長度的個數來換算密度。

在如同上面所述地觀察時，實施例四係在第四層14的表面未被確認出具有內徑10nm以下的開口部之凹坑。

[比較例八]

在此，為了使本發明的功效顯在化，而製作出將實施例四中之第四層14的成長溫度設為800°C之比較例八的評估用樣品。以AFM觀察後的結果，能觀察到具有超過內徑10nm之開口部且密度6E+9個/cm²的凹坑。

再者，當依據藉由一併實施之TEM所為的剖面觀察時，雖然在實施例四的第三層13有觀察到差排，但是在比較例八中可看到從第三層13的下表面慢慢地擴大及於上表面之研鉢狀的凹坑，根據前述凹坑的密度，可視為在TEM中有觀察出由AFM所觀察到之開口徑比10nm更大的凹坑的剖面。

根據此情形，在比較例八中，由於成長溫度比實施例四更低，故而可認為磊晶成長所需要的熱能量並不充足。更且，在形成電極作為元件並比較特性時，可謂在比較例八中會產生較大的洩漏電流，且產生於樣品最表面的凹坑會帶來不良影響。

【符號說明】

1,11:第一層

2,12:第二層

3,13:第三層

14:第四層

108P002024TW

第 27 頁，共 28 頁(發明說明書)

15:第五層

B:緩衝層

E1:汲極電極

E2:閘極電極

E3:源極電極

G:積層構造體

S:基底基板

W:氮化物半導體基板

【發明申請專利範圍】

【請求項1】 一種氮化物半導體基板，係至少具備有由13族氮化物半導體所構成之積層構造體，前述積層構造體係依順序積層有第一層、第二層以及第三層，前述第二層的帶隙係大於前述第一層的帶隙，前述第三層係包含 $5E+18atoms/cm^3$ 以上的p型導電性雜質，前述第一層內中之前述p型導電性雜質濃度的最大值為前述第三層內中之前述p型導電性雜質濃度的10%以下；

前述第一層由氮化鎵所構成，前述第二層由氮化鋁鎵所構成，前述第三層由氮化鎵所構成，前述p型導電性雜質為鎂。

【請求項2】 如請求項1所記載之氮化物半導體基板，其中在基底基板上隔著由氮化物半導體所構成之緩衝層而形成有前述積層構造體。

【請求項3】 如請求項1所記載之氮化物半導體基板，其中在前述第三層的表面存在有凹坑；

前述凹坑的形狀是在前述表面上具有內徑10nm以下的開口部之研鉢狀；

前述凹坑的密度為 $1E+10個/cm^2$ 以下。

【請求項4】 如請求項2所記載之氮化物半導體基板，其中在前述第三層的表面存在有凹坑；

前述凹坑的形狀是在前述表面上具有內徑10nm以下的開口部之研鉢狀；

前述凹坑的密度為 $1E+10個/cm^2$ 以下。

【請求項5】 一種氮化物半導體基板，係至少具備有由13族氮化物半導體所構成之積層構造體，前述積層構造體係依順序積層有第一層、第二層、第三層以及第四層，前述第二層的帶隙大於前述第一層的帶隙，前述第三層的層厚為0.25nm以上至2nm以下且前述第三層的帶隙大於前述第二層的帶隙，前述

第四層係包含 $5E+18atoms/cc$ 以上的p型導電性雜質，前述第二層與前述第三層之界面中的前述p型導電性雜質濃度為前述第四層與前述第三層之界面中的前述p型導電性雜質濃度的 $1/100$ 以下；

前述第一層由氮化鎵所形成，前述第二層由氮化鋁鎵所形成，前述第三層以及前述第五層由氮化鋁所形成，前述第四層由氮化鎵所形成；

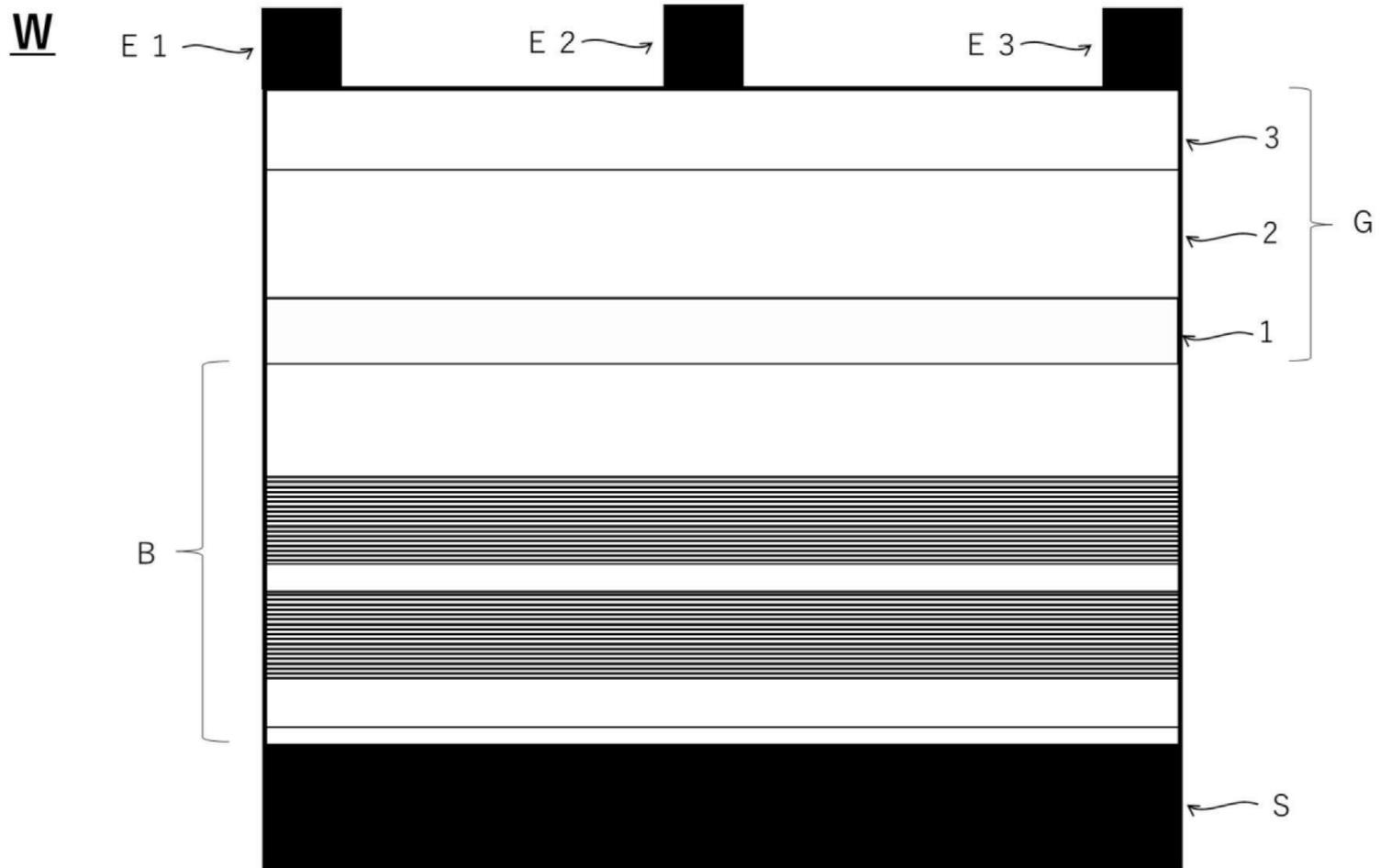
前述p型導電性雜質為鎂。

【請求項6】 如請求項5所記載之氮化物半導體基板，其中在前述第一層與前述第二層之間更具備第五層，前述第五層的層厚為 $0.25nm$ 以上至 $5nm$ 以下且前述第五層由帶隙大於前述第二層的氮化物半導體所構成。

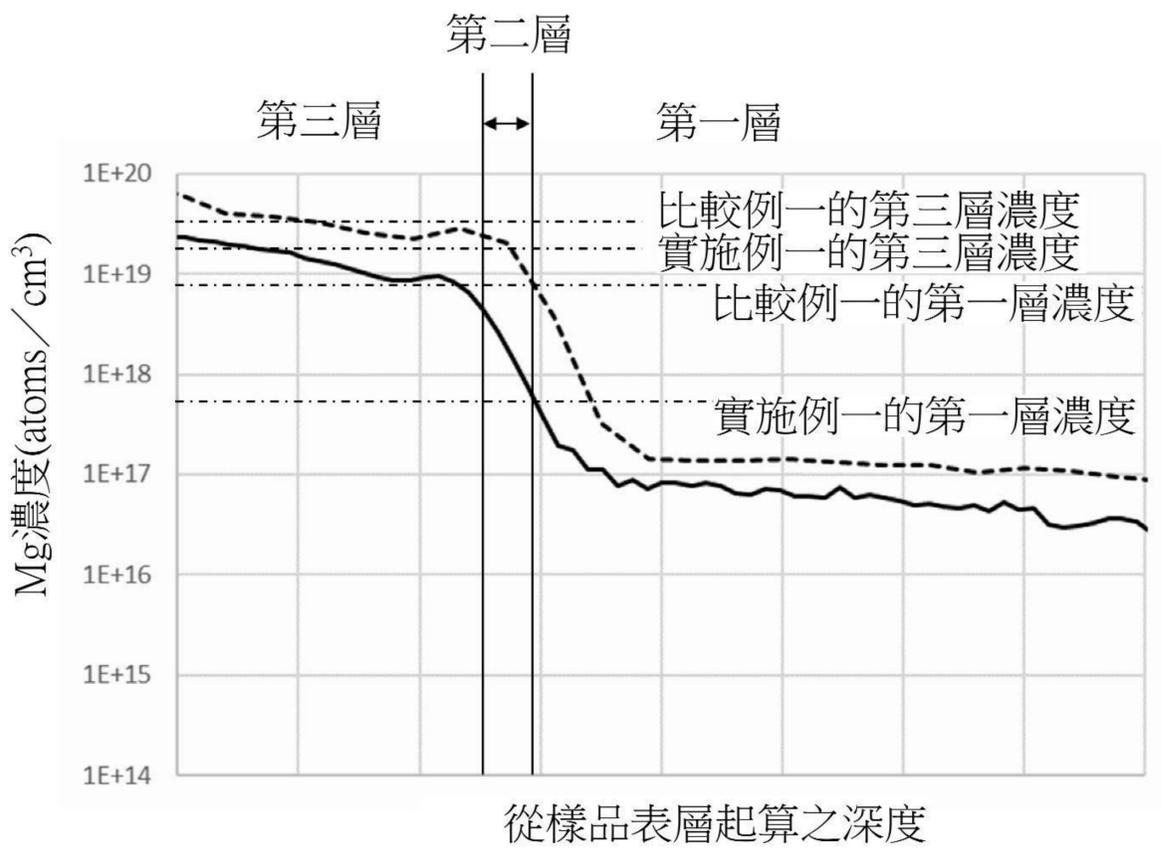
【請求項7】 如請求項5或6所記載之氮化物半導體基板，其中在基底基板上隔著由氮化物半導體所構成之緩衝層而形成有前述積層構造體。

【請求項8】 一種氮化物半導體裝置，係使用請求項1至7中任一項所記載之氮化物半導體基板所製造。

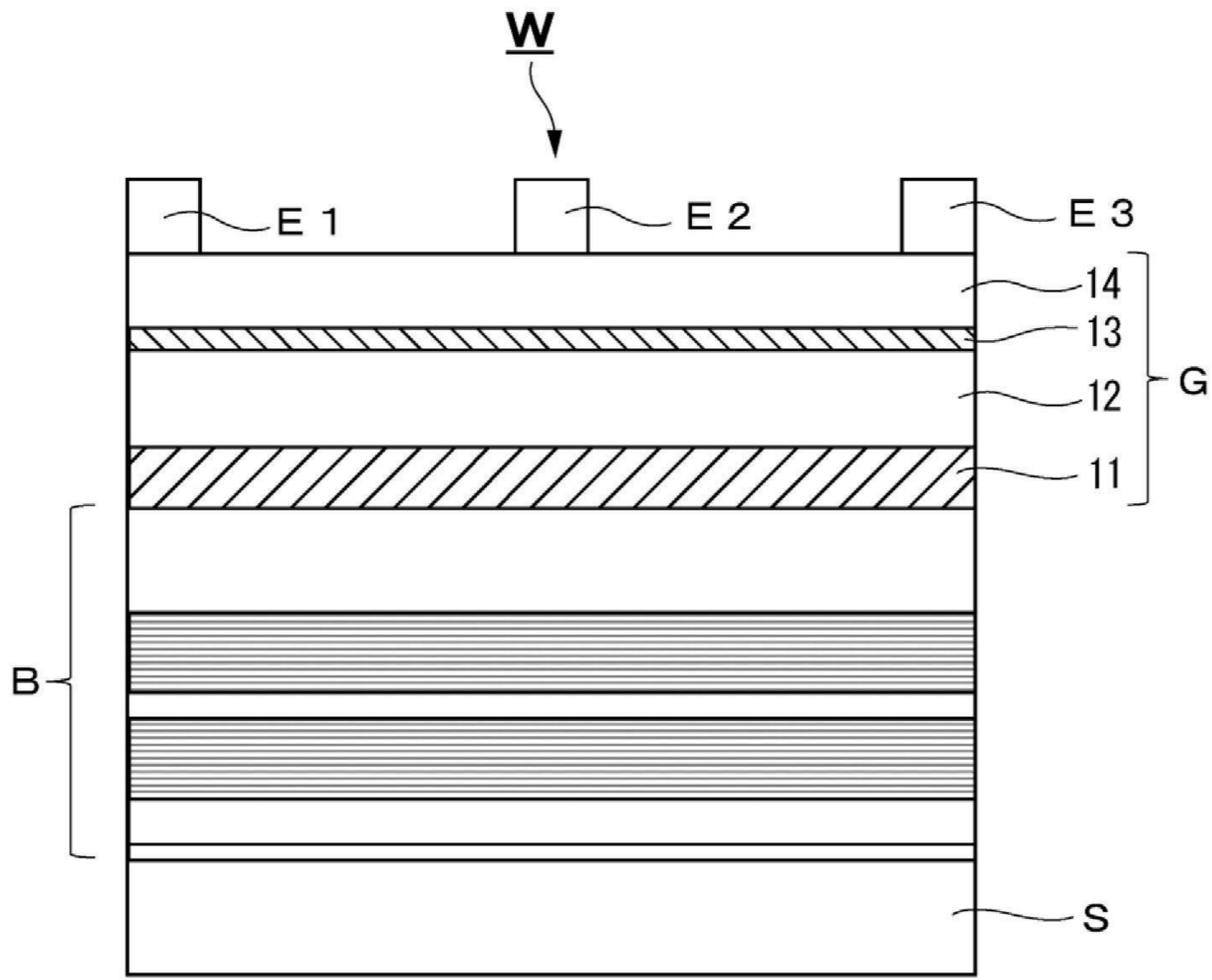
【發明圖式】



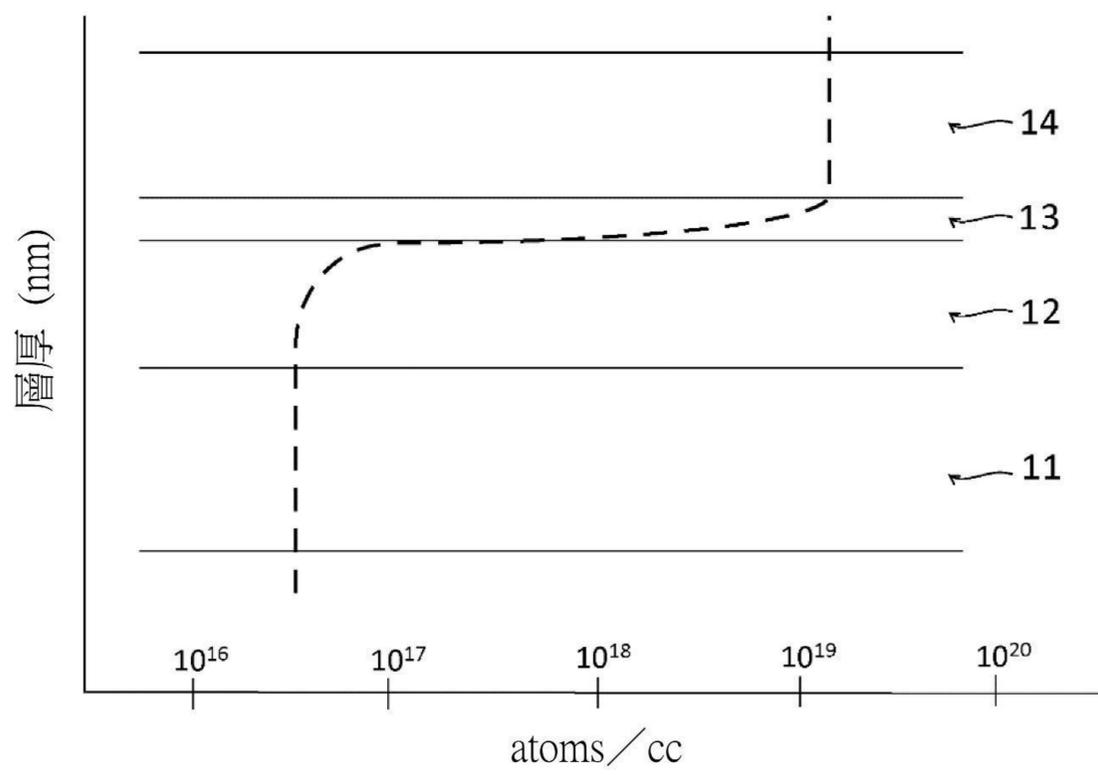
【圖1】



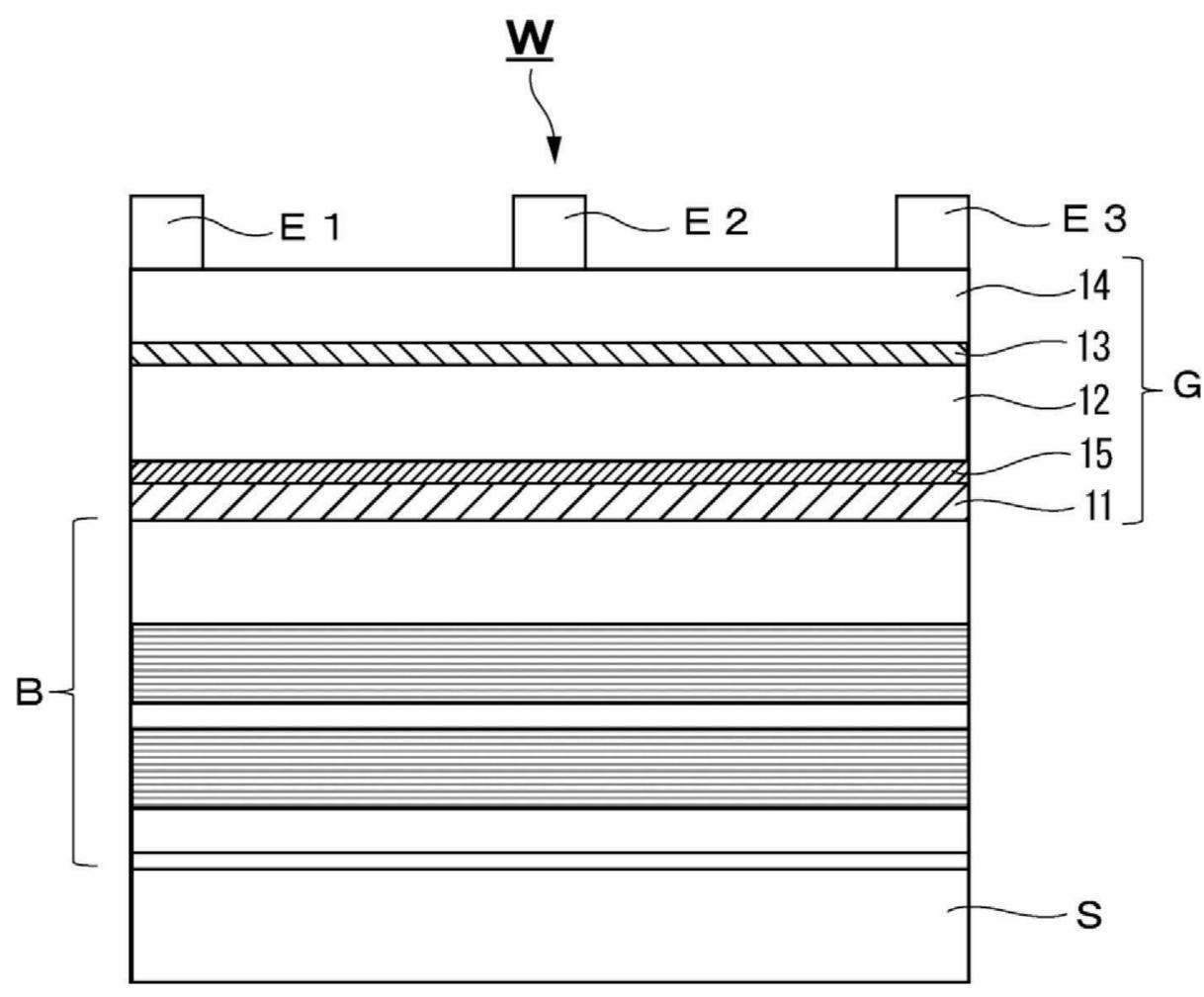
【圖2】



【圖3】



【圖4】



【圖5】