

公告本

303520

申請日期	85.05.29
案 號	85106352
類 別	H01L 31/05

A4
C4

303520

(以上各欄由本局填註)

Int. C16

發 明 專 利 說 明 書

一、發明 新 型 名 稱	中 文	具穩定臨限電壓之場效電晶體及其製造方法
	英 文	FET WITH STABLE THRESHOLD VOLTAGE AND METHOD OF MANUFACTURING THE SAME
二、發明 人 創 作	姓 名	1.維達·艾德姆 2.麥可·奇·凱尼雪諾 3.戴安·道爾
	國 籍	均美國
	住、居所	1.美國亞歷桑那州鳳尼克斯市南14街16211號 2.美國亞歷桑那州鳳尼克斯市東葛瑞蘇街4438號 3.美國亞歷桑那州查德勒市西蘇米特廣場524號
三、申請人	姓 名 (名稱)	美商摩托羅拉公司
	國 籍	美國
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心
	代 表 人 姓 名	安索尼·J·沙利二世

裝 訂 線

經濟部中央標準局員工消費合作社印製

303520

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

美 國 (地 區) 申 請 專 利 ， 申 請 日 期 ： 1995.6.7 案 號 ： 08/499,624, 有 無 主 張 優 先 權

有 關 微 生 物 已 寄 存 於 ：

， 寄 存 日 期 ：

， 寄 存 號 碼 ：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

先前申請案參考

本案已於1995年7月7日申請美國專利，案號為08/499,624。

發明背景

本發明大抵與場效電晶體有關，尤其是指短通道長度之場效電晶體具低臨限電壓及增加穿通電阻者。

場效電晶體(FET)元件在低電壓應用上日益重要，包括個人通訊(如呼叫器、蜂巢式電話等)及個人電腦等應用。由於這些應用之低電力消耗為一主要需求，於是FET元件現已設計成在小於3.5伏的供應電壓下工作。然而一些半導體元件參數如臨限電壓、次臨限漏電電流、源極/汲極寄生電容、及源極對汲極之穿通等一般限制了低電力半導體元件的性能。

源極對汲極之穿通一般在源極與汲極空乏區合併時發生。當此發生時，閘極區無法控制通道區中的載子，此元件基本上成為短路，而被視為無法控制。一種先前的已知方法以克服此種問題者為以通道之植入而增加均勻的通道摻雜以阻止穿通。但此種方法在低電壓及低電力應用上因喪失元件性能而不受歡迎。為求有效的低電力應用，元件的臨限電壓應在0.6伏以下。

另一種方法是維持一較低的通道摻雜濃度，且在源極與汲極兩邊以一種雙向方式安置高摻雜區。這些區域通常稱為暈圈或穿通阻止區。此種方法阻止了穿通，同時維持了低臨限電壓(比方說0.3伏左右)。但是此種方法缺點為電容

五、發明說明(2)

較高且驅動能力降低(即跨導降低)，因而造成較慢的切換速度。

因為各元件參數均作最佳化以供低電力應用，所以當評量一低電力元件構造時，有兩種觀點必須考慮，第一種看法牽涉到元件的物理性質，而決定元件的性能並評估所有元件參數間的交互作用，比方說，在已往技術中所提供的好幾個方法可用以設定半導體元件的臨限電壓，作為設定臨限電壓之方法各有其優點，但亦應根據該技術對所有元件參數之影響如次臨限漏電、穿通電壓等而作評判。

第二種必須考慮的看法是當評估一低電力元件構造時要定出所設計元件的可製造性。而且，任何先前已知的設定臨限電壓的方法在一研究環境下適合製造少數元件，但當必須在高產量的對成本敏感的生產設備中製造數百萬個元件時，這些先前已知方法可能並不有效。用以製造低電力/低電壓元件的方法必須容忍一些元件參數之正常程序變化，如通道長度、通道深度或閘極氧化物厚度等。所設計的方法必須十分健全足以承受這些參數的正常變化，並產生在所需性能條件下工作的元件。

因此，最好能有一種FET元件擁有低而可控制的臨限電壓，能阻止穿通現象，且表現良好的切換特性。更好是使用傳統技術產生此種FET元件以簡化其與現有架構之整合。

圖式簡述

圖1為示出先前已知方法設定臨限電壓之摻雜剖面圖：

五、發明說明(3)

圖2為示出採用本發明其中一實例之元件摻雜剖面圖；

圖3-8為根據本發明之FET構造在各種不同製造階段之放大橫剖面圖；

圖9為根據本發明之FET構造第二實例之放大橫剖面圖；以及

圖10為根據本發明之FET構造第三實例之放大橫剖面圖。

圖式詳述

當設計一元件構造及對應的製造程序供低電力應用時，必須考慮幾個問題。首先有幾個問題與元件性能及各元件參數之交互作用有關。對於低電力之應用，有幾個參數相當重要，如臨限電壓、次臨限漏電電流、源極/汲極寄生電容、及源極對汲極之穿通電壓，這些均得作最佳化以供低電壓之運作。

當設計低電力電晶體時，另一更重要的必須考慮的問題是其可製造性。比方說，有許多先前已知方法以設定FET的臨限電壓，各方法可能對設定少數原型元件之臨限電壓有效，但在高產量生產時可能並非有效技術。要能製造，該技術必須十分健全足以容忍所發生的一般程序變化。在低電力電晶體中，較敏感的程序參數為閘極氧化物厚度、植入區的橫向與垂直擴散、閘極多晶矽厚度與摻雜、及通道長度。

本發明提供一種半導體元件實例，不但對低電力/低電壓應用為最佳化，而且對高產量生產亦為最佳化。低電力電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明(4)

晶體其中一較重要的元件參數為臨限電壓，隨著日漸縮小的元件幾何尺寸，臨限電壓變成與電晶體的源極/汲極附近及通道區的摻雜剖面有關。通道長度之輕微變化或植入區之向外擴散將戲劇性地影響摻雜剖面，因而產生臨限電壓的變化。本發明提供的實例不但設定臨限電壓，而且在一般程序變化下提供穩定的臨限電壓。

臨限電壓決定於閘極端所需的電壓電位，使通道區中形成一載子傳導區而連接源極區與汲極區。為了設定臨限電壓為一可預測之值，在本行技術中通常以一種與源極區相反導電性之摻雜劑均勻植入通道區中，但在通道區中額外摻雜劑原子的出現將降低通道中載子的移動性，因而降低電晶體的性能，使其在低電力/低電壓應用中不受歡迎。若不使用均勻的通道摻雜以設定臨限電壓，則通道區其中一關鍵要元為源極終端及通道開端之區域。此過渡區中的摻雜剖面與濃度在決定次微米元件臨限電壓之偏移扮演關鍵性角色。

本發明提供一種低電力/低電壓之電晶體，在源極植入區附近形成相反導電性之摻雜剖面，而能容忍源極植入區中的變化。此摻雜劑剖面在閘極構造下方靠近源極區介面要有恆定的摻雜濃度，因此在源極區邊緣位置之任何變化仍將產生一種從源極摻雜到通道摻雜之可預測而恆定過渡之元件。

圖1之圖示出先前已知方法設定臨限電壓之典型摻雜剖面，並用以示出對程序變化之敏感性。y軸為以每立方公

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

分之摻雜劑原子數目表示的摻雜剖面對數圖線，x軸為橫向距離，以x軸之原點作為閘極邊緣(靠近源極處)開始向右伸展進入通道區。畫出源極區10的濃度，向右伸展進入通道區，並畫出臨限設定區11，則我們可以預測源極區10中對臨限電壓可能的影響變化。源極區10與臨限設定區11之交叉點12在決定低電力元件之可製造性上非常重要。以正常的程序變化，源極區10可進一步伸展進入通道區中。此種變化的結果為源極區10與臨限設定區11間之交叉點12在圖1中更加移向右方，因此此二區域之過渡區的摻雜濃度將更高。此二區域之交叉點12的變化即造成元件臨限電壓的標準偏差更高。

在本發明中是形成一恆定的摻雜剖面，使源極區位置的任何變化造成過渡區中具有相同的濃度剖面。此種恆定的摻雜剖面是在源極區附近形成多個植入區而達成，在隨後的加熱處理之後，來自多個植入區之摻雜劑會重疊形成一摻雜剖面，在通道區(即交叉點12)中源極邊緣處基本上為恆定濃度。

圖2之圖示出採用本發明一實例之電晶體摻雜剖面。此例中，兩個暈圈植入與源極導電性相反，用以形成恆定的橫向摻雜劑剖面。一源極植入濃度13與一第一暈圈植入濃度15及一第二暈圈植入濃度14畫在一起。在隨後的加熱處理後，第一暈圈植入濃度15及第二暈圈植入濃度14在源極區附近的過渡點18形成一平坦的摻雜剖面17。源極植入濃度13與平坦摻雜剖面17之交叉點18使源極摻雜13在濃度

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明(6)

或橫向位置有所變化，但仍產生一恆定且可預測的過渡濃度18。

本發明之製造方法現將在一p通道之構造中實施。這並非意圖限制，本行專家將瞭解，將p型區轉成n型區可得到一n通道構造，反之亦然。本發明在前面討論在源極區附近形成一恆定的摻雜剖面，此通常稱為單向元件。應瞭解的是亦可在汲極區附近之通道區內形成一恆定的摻雜剖面。在汲極與通道之介面上的第二摻雜剖面將改進元件的穿通電阻，但會增加通道中的摻雜濃度，而降低載子的移動性及元件的切換速度。一元件在源極區與汲極區附近均有摻雜剖面者稱為雙向元件，這些元件提供作為本發明另一實例。

圖3繪出根據本發明之部份完成的FET構造20一部位之放大橫剖面圖。構造20含有一第一導電性之半導體材料體或基材區21，且具一主要表面22。一n型導電性之雜質井23從主要表面22擴展進入半導體基材21中。形成雜質井23的方法為本行眾所週知的，舉個例子，基材21為p型基材，其電阻率之範圍從約6歐姆-公分到約22歐姆-公分，雜質井23之表面摻雜劑濃度一般為 2.0×10^{16} 原子/公分³，並擴展進入基材21到達約2-3微米的深度。

在主要表面22上形成一閘極電介質層24，最好是閘極電介質層24為氧化矽，厚度範圍從約50Å到約250Å。一閘極層26在閘極電介質層24一部位上形成，閘極層26一般為多晶半導體層如多晶矽層，且比方說閘極層26之厚度約

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明(7)

3000Å。閘極層26與介於主要表面22及閘極26間的閘極電介質層24之部位一起形成閘極構造27，閘極構造27之第一邊緣37代表元件的源極這邊，而第二邊緣38則代表元件的汲極這邊。形成閘極構造27以產生通道長度約0.25微米到約30微米之元件，在隨後的加熱處理中在閘極構造27上形成氧化層28。

圖4示出在更進一步之處理後，部分完成的FET構造20之一部位的放大橫剖面圖。一源極這邊的延伸區、摻雜區、暈圈區、穿通阻止區、或單向延伸區33在元件20的源極這邊形成。圖4所示之構造20中一第一遮罩層32在主要表面22及閘極構造27之一部位上形成，使源極區曝露出來。第一遮罩層32比方說為一厚光阻層(比方說1.0微米)、一電介質層等。在形成了遮罩層32之後，以離子植入一種n型摻雜劑如砷或磷者進入主要表面22，最好是以零度角度(即基材21與離子束垂直)進入，而形成n型暈圈區33。一約 5.0×10^{12} 原子/公分²到 1.0×10^{14} 原子/公分²之磷劑量及一約30 keV到90 keV之植入能量即適於產生峰值濃度為 1.0×10^{17} 原子/公分³到 1.0×10^{18} 原子/公分³之n型植入區33。然後先移除遮罩層32，再將該低電壓之單向場效電晶體20曝露於一高昇之溫度而驅使摻雜劑進入通道區。比方說，基材21加熱到約950°C至約1100°C約15分鐘到約60分鐘。

圖5示出低電力場效電晶體20稍後的一個製造步驟。尤其是，圖5示出構造20具有一第二遮罩層34在主要表面22

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明(8)

及閘極構造27一部位上形成，使源極這邊37曝露出來。遮罩層34比方說為一厚光阻層(例如1.0微米)、一電介質層等。在形成了遮罩層34之後，第二暈圈區36在第一暈圈區33下面形成。用一n型摻雜劑如砷或磷以離子植入主要表面22，最好是以零度角度(即基材21垂直於離子束)植入，而形成第二植入區36。一約 5.0×10^{12} 原子/公分²到 1.0×10^{14} 原子/公分²之磷劑量及一約30 keV到150 keV之植入能量即適於產生峰值濃度 1.0×10^{17} 原子/公分³到 1.0×10^{18} 原子/公分³之n型植入區36。可執行一第二回火步驟以達成所需的摻雜剖面深度，並活化所植入的摻雜劑。

圖6示出在進一步的處理之後，部分完成的FET構造20之一部位的放大橫剖面圖。第二導電型態之源極區29與汲極區31鄰接閘極構造27形成。用一P型摻雜劑如硼或BF₂以離子植入主要表面22，最好是以零度角度(即基材21垂直於離子束)植入，而形成源極區29與汲極區31。一約 1.0×10^{13} 原子/公分²到約 5.0×10^{15} 原子/公分²之植入劑量，及一小於約50 keV之植入能量即相當適合。或者是，繪於圖4、5、6之處理步驟可以其他的順序出現。

圖7示出在進一步的處理之後，部分完成的FET構造20之一部位的放大橫剖面圖。在一快速加熱回火(RTA)系統中，FET構造20接著曝露於一高昇的溫度，比方說，將基材21加熱至約1000°C到約1100°C約15秒到60秒。累積的加熱處理將驅使圖6的源極區29、汲極區31、第一暈圈區33及第二暈圈區36進入基材21，並活化所植入的摻雜劑

五、發明說明(9)

。圖7示出在這種加熱處理之後，這些植入區的相對位置，圖6的源極區29與汲極區31將分別成為圖7中的源極區41與汲極區40，且具有進入通道區39之第一橫向距離及主要表面下方之第一垂直距離。圖6的第一暈圈區33將成為圖7中的第一暈圈區42，且將有進入通道區39之第二橫向距離以及主要表面下的第二垂直距離。圖6的第二暈圈區36將成為圖7中的第二暈圈區43，且將有進入通道區39的第三橫向距離，及主要表面下的第三垂直距離。

源極區41與汲極區40一般伸入雜質井23至約0.2微米到約0.3微米的接面深度，且其表面摻雜劑濃度為約 1.0×10^{20} 原子/公分³。第一植入區42一般具有約 1.0×10^{17} 原子/公分³到約 1.0×10^{18} 原子/公分³之第一峰值濃度，並伸入閘極構造27下之通道區 $0.5 \mu\text{m}$ 到 $0.25 \mu\text{m}$ ，其在主要表面22下之深度為約0.3微米到0.6微米。第二植入區43一般具有約 1.0×10^{17} 原子/公分³到約 1.0×10^{18} 原子/公分³之第二峰值濃度，並伸入閘極構造27下之通道區 $0.05 \mu\text{m}$ 到 $0.20 \mu\text{m}$ ，其在主要表面22下之深度為約0.3微米到0.6微米。使用上述之程序，第一植入區42將比第二植入區⁴³更深入表面22處之通道區39。因為第二植入區43之峰值濃度比第一植入區42更深入表面22下方，所以此二植入區將重疊，並在源極區41附近形成一平坦的摻雜剖面。

圖8示出到達製造終端之構造20。使用本行中眾所週知之技術，電介質隔片46沿著襯墊著閘極層26側壁之氧化層

五、發明說明(10)

28形成，隔片46含有比方說氮化矽等。形成各電極而與源極區41、汲極區40及閘極層26接觸，使用眾所週知的技術在源極區41、汲極區40與閘極層26形成比方說一矽化物44。也可以在圖7所示之回火步驟之前形成電介質隔片46。

一絕緣層47在構造20上形成，即在源極區41、汲極區40及閘極層26上。許多開口(未示出)接著在絕緣層47形成以曝露源極區41、汲極區40與閘極層26中矽化物44的部位。使用眾所週知的技術形成源極48、汲極51及閘極49而分別接觸源極區41、汲極區40中及閘極層26上之矽化物44。

圖9示出根據本發明之FET構造一第二實例之放大橫剖面圖。構造20含有一第二源極區52及一第二汲極區53，用一種p型摻雜劑如硼或 BF_2 以離子植入主要表面22中而形成，最好是以零度角度(即基材21垂直於離子束)植入。一約 1.0×10^{14} 原子/公分²到約 5.0×10^{15} 原子/公分²之植入劑量及一低於60 keV之植入能量即適於形成此第三摻雜區。第二源極區52與汲極區53一般伸入雜質井23到達約0.2微米至約0.4微米的接面深度，並具約 1.0×10^{20} 原子/公分³之表面濃度。圖9中所示的附加源極區52與汲極區53將降低FET 20的源極/汲極電容。

圖10示出根據本發明之FET構造一第三實例的放大橫剖面圖。在前面的討論中，僅藉由限制源極區52周圍暈圈區42與43之形成而形成一單向元件。對本行專家而言應體認

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明(11)

亦可在汲極區53周圍形成暈圈區54與56而產生一雙向元件如圖10所示。暈圈區54及56一般在分別形成暈圈區42與43之同一處理步驟時形成，並具有相同的摻雜剖面及濃度。

現在應瞭解本發明提供一種FET構造及製造方法，對於生產環境中所碰到的一般程序變化具有一種改良的容忍度。在源極區與通道區間過渡區之摻雜濃度對於控制臨限電壓十分重要。在鄰接源極區之通道區中形成恆定摻雜剖面，則元件可容忍源極植入區的偏移，而基本上仍具有相同的臨限電壓。本發明並提供實例以形成第二源極與汲極之植入，更加降低接面漏電與接面電容。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

四、中文發明摘要 (發明之名稱：具穩定臨限電壓之場效電晶體及其製造方法)

一低電壓之場效電晶體構造(20)具有一臨限電壓能容忍改變源極植入區(41)位置之程序變化。一第一暈圈區(33)與一第二暈圈區(36)鄰接於源極區(41)形成，使得在後續的加熱處理之後，在鄰接源極區(41)的通道區(23)中形成一與源極區(41)導電性相反的恆定摻雜剖面。實施例之形成或是僅鄰接於源極區(41)而產生一單向元件，或者是摻雜剖面可鄰接於源極區(41)與汲極區(40)兩者形成而產生一雙向元件。另一種實施例則在源極區(41)中形成第二植入區以降低接面漏電與電容。

英文發明摘要 (發明之名稱： FET WITH STABLE THRESHOLD VOLTAGE AND METHOD OF MANUFACTURING THE SAME)

A low voltage field effect transistor structure (20) is provided with a threshold voltage that is tolerant of process variations that alter the location of a source implant region (41). A first halo region (33) and a second halo region (36) are formed adjacent to source region (41) such that after subsequent thermal processing, a constant doping profile of opposite conductivity as source region (41) is formed in the channel region (23) adjacent the source region (41). The embodiments can be formed either adjacent to only the source region (41) to create a unilateral device, or the doping profile can be formed adjacent to both source region (41) and a drain region (40) to produce a bilateral device. An additional embodiment forms a second implant region in source region (41) to reduce junction leakage and capacitance.

六、申請專利範圍

1. 一種具有穩定臨限電壓之場效電晶體(20)，包含：
 - 第一導電性半導體材料之基材區(21)，且有一表面(22)；
 - 第二導電性之源極區(29)在基材區(21)中形成，並鄰接通道區(39)；
 - 第一植入區(33)置於基材區(21)中，使第一植入區(33)在表面(22)與源極區(29)接續，並伸入基材區(21)表面(22)下方的通道區(39)，第一植入區(33)具有一導電性之第一濃度；以及
 - 第二植入區(36)置於源極區(29)與第一植入區(33)之間，在表面(22)延伸越過第一植入區(33)而進入通道區(39)，其中第一植入區(33)與第二植入區(36)在與源極區(29)交叉處形成一恆定摻雜之第一摻雜劑剖面區，第二植入區(36)具有第一導電性之第二濃度。
2. 根據申請專利範圍第1項之具有穩定臨限電壓之場效電晶體(20)，其中該第一濃度為約 1×10^{17} 原子/公分³到 1×10^{18} 原子/公分³。
3. 根據申請專利範圍第1項之具有穩定臨限電壓之場效電晶體(20)，並含一第三植入區(52)置於源極區(29)與第二植入區(36)之間，第三植入區(52)為第二導電性。
4. 根據申請專利範圍第1項之具有穩定臨限電壓之場效電晶體(20)，並含：

六、申請專利範圍

一 第二導電性之汲極區(31)，在基材區中形成；

一 第四植入區(54)置於汲極區下方，並伸入汲極區(31)的通道側，第四植入區(54)具有第一導電性之第四濃度；以及

一 第五植入區(56)置於汲極區(31)與第四植入區(54)之間，並伸入汲極區(31)的通道側，其中第四與第五植入區(54, 56)在與汲極區之交叉處形成恆定摻雜之第二摻雜剖面區，第五植入區(56)具有第一導電性之第五濃度。

5. 根據申請專利範圍第4項之具有穩定臨限電壓之場效電晶體(20)，並具一第六植入區(53)置於汲極區(31)與第五植入區(56)之間，第六植入區(53)為第二導電性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

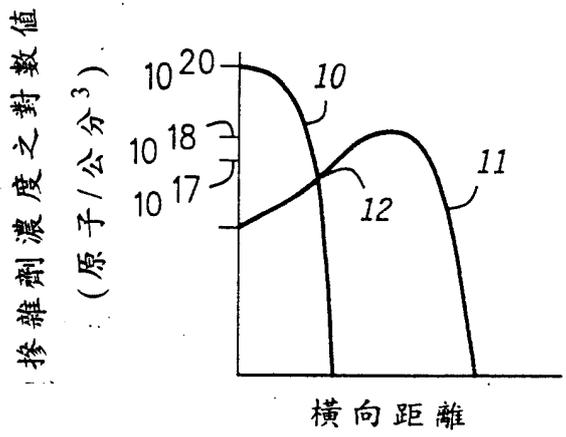


圖 1 (已往技術)

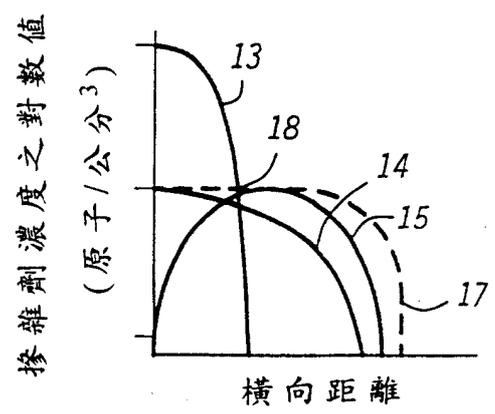


圖 2

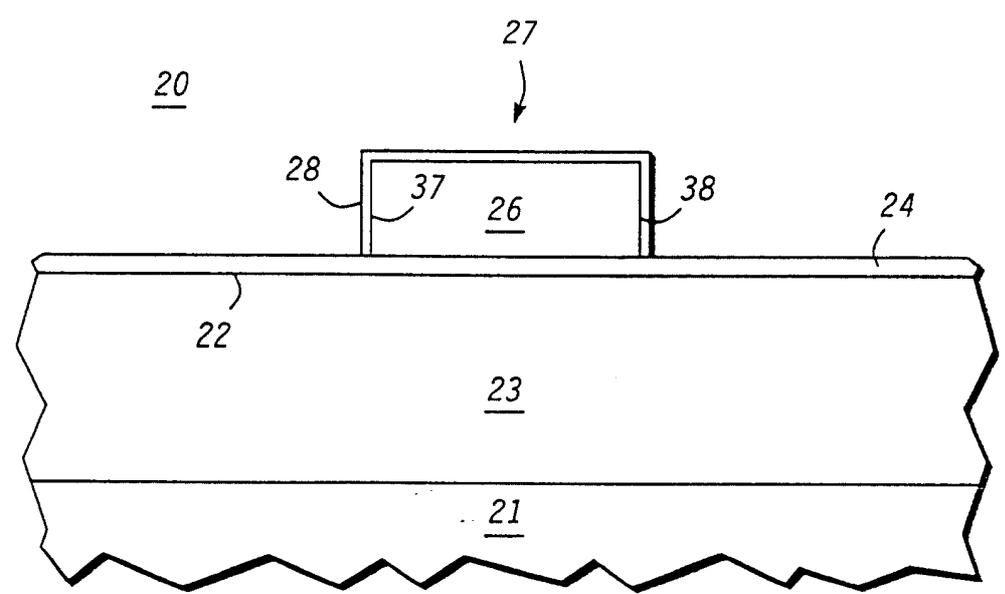
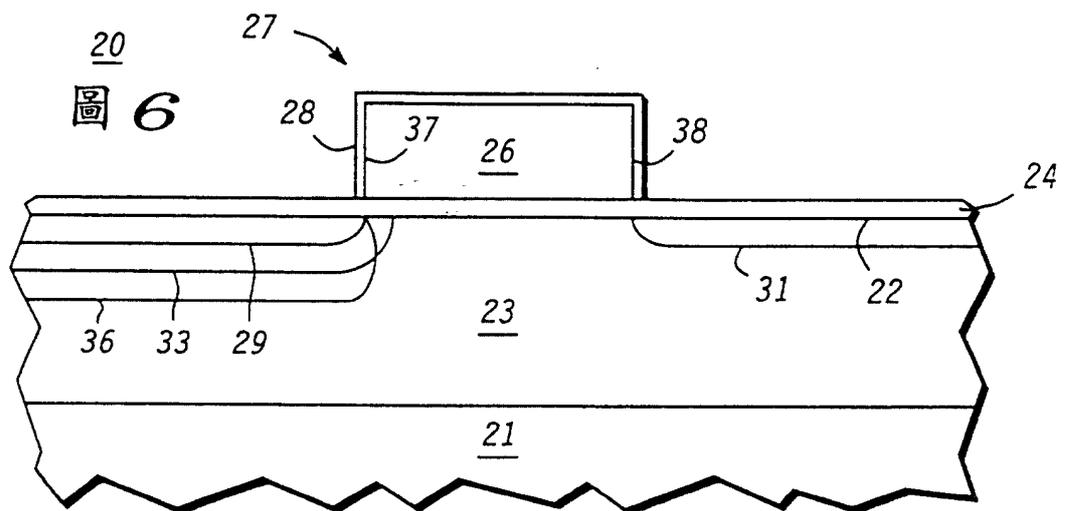
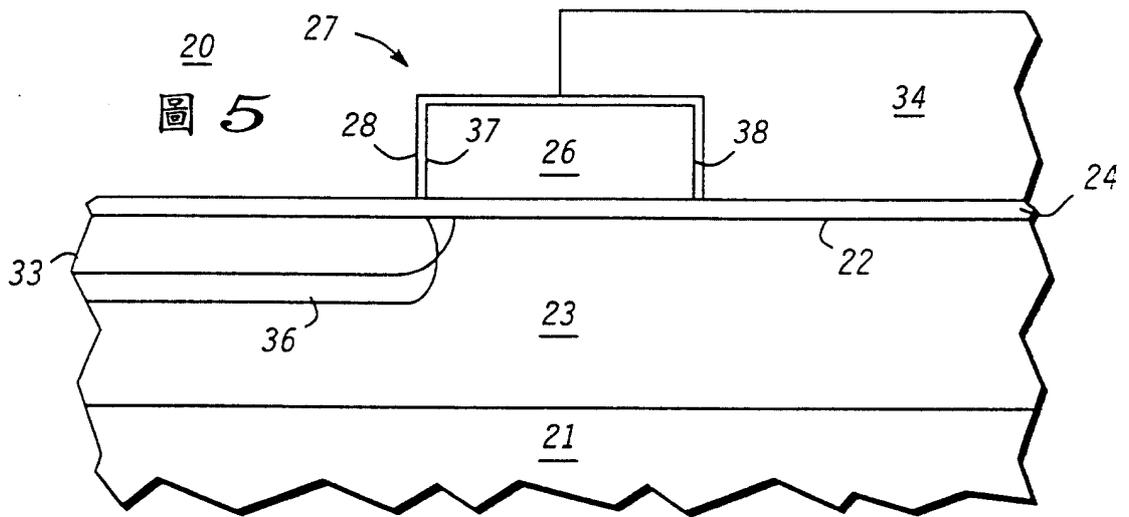
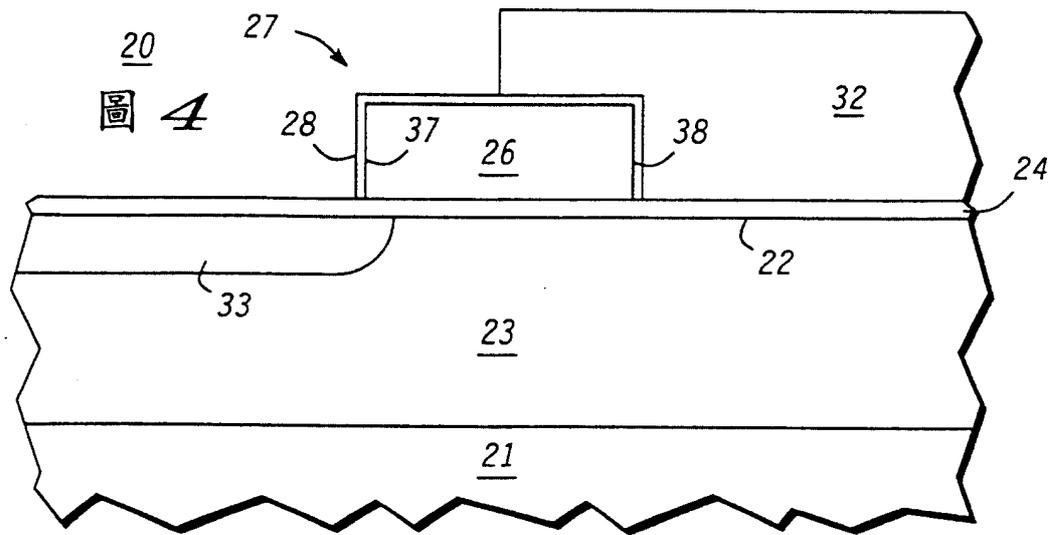


圖 3



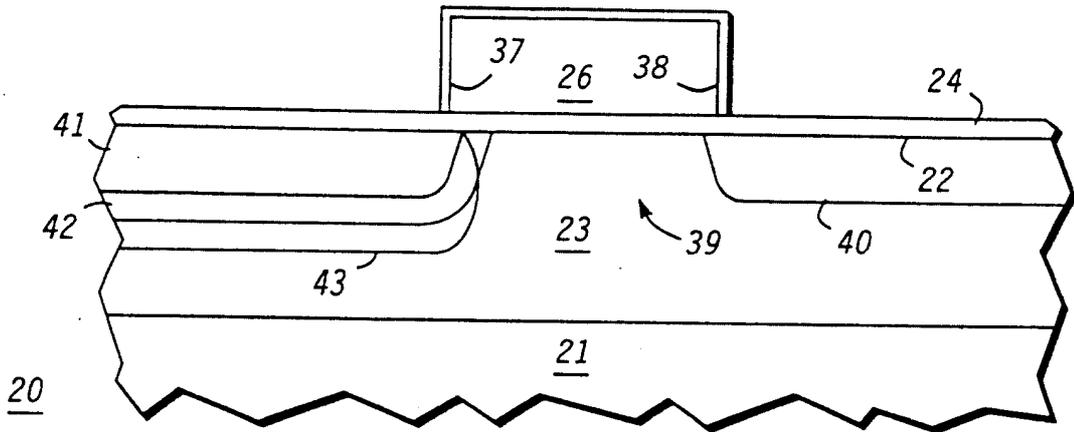


圖 7

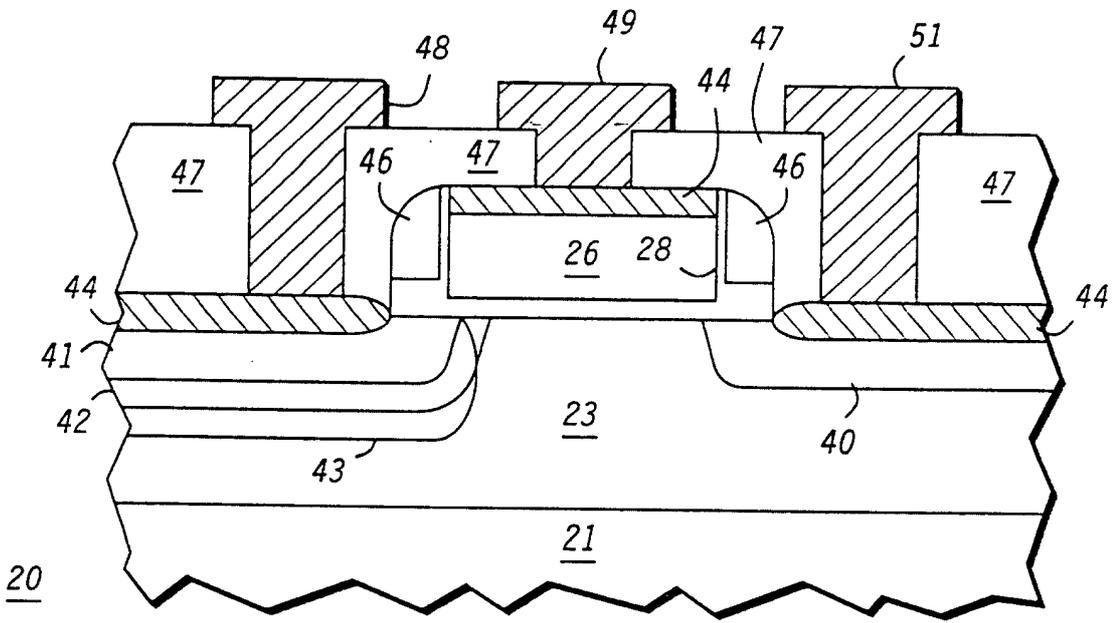


圖 8

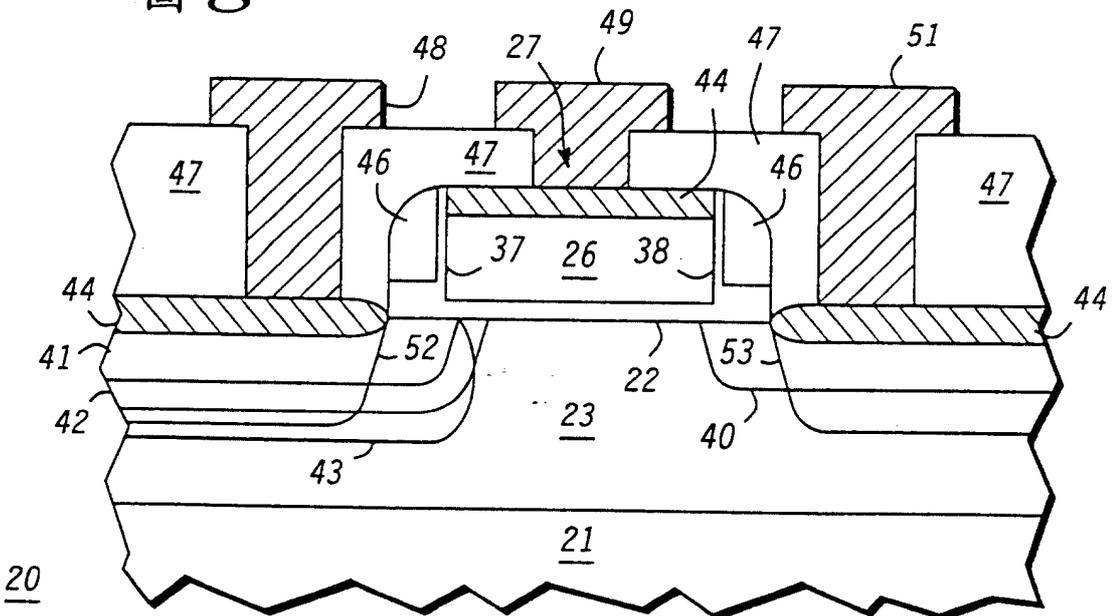


圖 9

303520

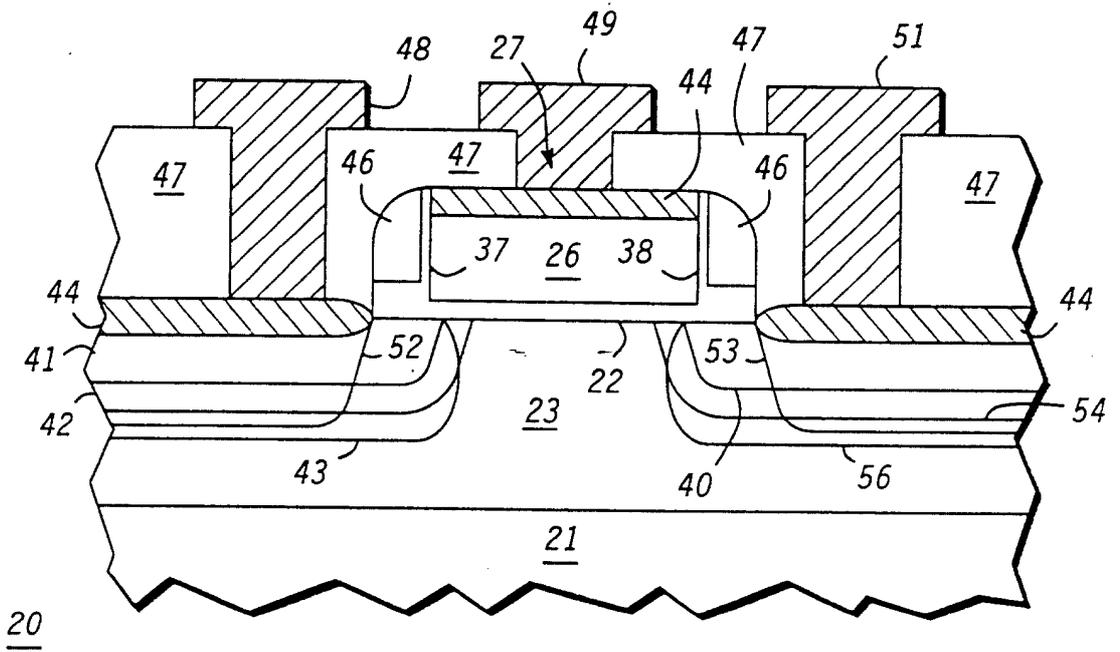


圖 10