

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-181857

(P2016-181857A)

(43) 公開日 平成28年10月13日(2016.10.13)

(51) Int.Cl.		F I		テーマコード (参考)
HO4L 7/00 (2006.01)		HO4L 7/00	410	5F038
HO1L 21/822 (2006.01)		HO1L 27/04	F	5K047
HO1L 27/04 (2006.01)				

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願2015-62111 (P2015-62111)  
 (22) 出願日 平成27年3月25日 (2015.3.25)

(71) 出願人 308033711  
 ラピスセミコンダクタ株式会社  
 神奈川県横浜市港北区新横浜二丁目4番地  
 8  
 (74) 代理人 100079119  
 弁理士 藤村 元彦  
 (74) 代理人 100147728  
 弁理士 高野 信司  
 (72) 発明者 仁田 脇 祥治  
 神奈川県横浜市港北区新横浜二丁目4番地  
 8 ラピスセミコンダクタ株式会社内  
 Fターム(参考) 5F038 CD09 DF07 DT12 EZ20  
 5K047 AA08 AA12 GG14 MM36

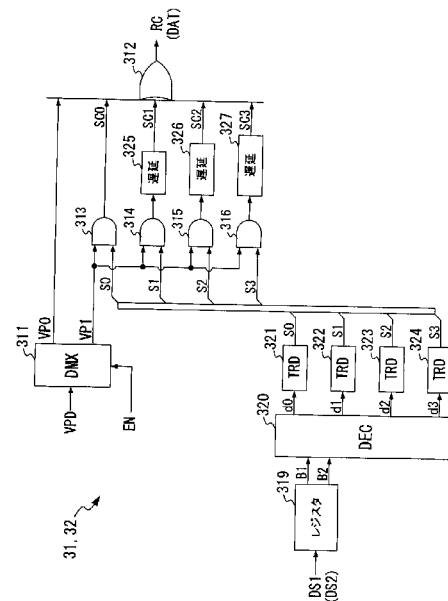
(54) 【発明の名称】 スキュー調整装置

(57) 【要約】

【目的】 通常動作中においてクロック信号に信号欠落を生じさせることなくクロックスキュー調整を行うことが可能なスキュー調整装置を提供することを目的とする

【構成】 クロック信号が重畳されているデータ信号を夫々異なる遅延量で遅延した第1～第Nの遅延データ信号のうちの1の遅延データ信号を選択させる選択データに基づき、選択を示す場合には第1の論理レベル、非選択を示す場合には第2の論理レベルを夫々が有する第1～第Nの選択信号を生成する。ここで、第1～第Nの選択信号を個別に取り込み、取り込まれた選択信号が第1の論理レベルから第2の論理レベルに遷移するときには第2の論理レベルから第1の論理レベルに遷移するときよりも大きな遅延量にて第1～第Nの選択信号を個別に遅延した第1～第Nの遅延選択信号を生成する。そして、第1～第Nの遅延データ信号のうちから、第1～第Nの遅延選択信号のうちで第1の論理レベルを有する遅延選択信号に対応した遅延データ信号を選択して出力する。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

クロック信号が重畳されているデータ信号に基づき前記クロック信号のスキューを調整するスキュー調整装置であって、

前記データ信号を夫々異なる遅延量で遅延した第 1 ~ 第 N ( N は 2 以上の整数 ) の遅延データ信号を生成するスキュー調整遅延部と、

前記第 1 ~ 第 N の遅延データ信号のうちの 1 の遅延データ信号を選択させる選択データに基づき、選択を示す場合には第 1 の論理レベル、非選択を示す場合には第 2 の論理レベルを夫々が有し且つ前記第 1 ~ 第 N の遅延データ信号に夫々対応した、各々が 1 ビットの第 1 ~ 第 N の選択信号を生成するデコーダと、

前記第 1 ~ 第 N の選択信号を個別に取り込んで遅延した第 1 ~ 第 N の遅延選択信号を生成する第 1 ~ 第 N の遷移遅延部と、

前記第 1 ~ 第 N の遅延データ信号のうちから、前記第 1 ~ 第 N の遅延選択信号のうちで前記第 1 の論理レベルを有する遅延選択信号に対応した遅延データ信号を選択し、選択した前記遅延データ信号を出力するデータ選択部と、を有し、

前記第 1 ~ 第 N の遷移遅延部の各々は、前記選択信号が前記選択データに応じて前記第 1 の論理レベルから前記第 2 の論理レベルに遷移するときには、前記第 2 の論理レベルから前記第 1 の論理レベルに遷移するときよりも大きな遅延量にて前記第 1 ~ 第 N の選択信号を遅延することを特徴とするスキュー調整装置。

## 【請求項 2】

前記第 1 ~ 第 N の遷移遅延部の各々は、

取り込んだ前記選択信号の論理レベルを反転させた信号を所定期間だけ遅延した反転遅延選択信号を生成する反転遅延部と、

前記取り込んだ前記選択信号を S 端子で受けると共に前記反転遅延選択信号を R 端子で受ける R S フリップフロップと、を有し、

前記第 1 ~ 第 N の遷移遅延部各々の前記 R S フリップフロップから出力された信号を前記第 1 ~ 第 N の遅延選択信号として生成することを特徴とする請求項 1 記載のスキュー調整装置。

## 【請求項 3】

前記選択データを取り込んで保持するレジスタと、

前記レジスタにて前記選択データの取込が為される度に所定期間の間だけ前記第 1 の論理レベルの状態となり、前記所定期間を除く期間は前記第 2 レベルの状態となるパルス信号を生成するパルス生成部と、を含み、

前記第 1 ~ 第 N の遷移遅延部の各々は、取り込んだ前記選択信号と前記パルス信号との論理和結果を前記第 1 ~ 第 N の遅延選択信号として生成する第 1 ~ 第 N のオアゲートを有することを特徴とする請求項 1 記載のスキュー調整装置。

## 【請求項 4】

前記パルス信号を伝送する為に前記パルス生成部と前記第 1 ~ 第 N のオアゲートの各々とを接続する配線各々の長さが等しいことを特徴とする請求項 3 記載のスキュー調整装置。

## 【請求項 5】

前記データ選択部は、前記第 1 ~ 第 N の遅延選択信号が夫々の第 1 の入力端子に供給されていると共に、前記データ信号が夫々の第 2 の入力端子に供給されている第 1 ~ 第 N の 2 入力アンドゲートと、出力オアゲートとを含み、

前記スキュー調整遅延部は、前記第 1 ~ 第 N の 2 入力アンドゲート各々の出力を夫々異なる遅延量で遅延することにより前記第 1 ~ 第 N の遅延データ信号を生成し、

前記出力オアゲートは、前記第 1 ~ 第 N の遅延データ信号の論理和結果を前記選択した前記遅延データ信号として出力することを特徴とする請求項 1 ~ 4 のいずれか 1 に記載のスキュー調整装置。

## 【請求項 6】

10

20

30

40

50

スキュー調整処理を無効化する場合には、前記第1～第Nの2入力アンドゲートへの前記データ信号の供給を停止すると共に前記データ信号を前記出力オアゲートの入力端子に供給するデマルチプレクサを含むことを特徴とする請求項5記載に記載のスキュー調整装置。

【請求項7】

前記データ選択部から出力された前記遅延データ信号に重畳されている前記クロック信号に位相同期した内部クロック信号を生成するPLL回路を有することを特徴とする請求項1～6のいずれか1に記載のスキュー調整装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、クロック同期回路におけるクロック信号のスキューを調整するスキュー調整装置に関する。

【背景技術】

【0002】

クロックスキューを調整するスキュー調整回路として、入力クロック信号を夫々異なる遅延量で遅延した遅延クロック信号のうちから、1つの遅延クロック信号をセレクタによって選択し、これをフリップフロップのクロック端子に供給するようにした構成が提案されている（例えば、特許文献1参照）。当該スキュー調整回路では、データ信号に対して規定のセットアップタイム及びホールドタイムを得ることができる遅延量を予め測定しておき、その遅延量に対応した遅延クロック信号をセレクタにて選択させることによりスキューを調整する。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2001-274333号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、上記したスキュー調整回路では、セレクタ内部にデコーダが設けられていることから、遅延クロック信号の切り替え時に瞬間的に全ての遅延クロック信号が非選択状態となる場合があり、瞬時的に信号欠落が生じる虞がある。

30

【0005】

よって、PLL (phase locked loop) 回路又はDLL (Delay-Locked Loop) 回路により、当該スキュー調整回路から出力された遅延クロック信号に位相同期した内部クロック信号を生成する場合には、その切替時にPLL回路又はDLL回路で同期外れが生じる。従って、PLL回路又はDLL回路が同期状態に復帰するまでの間に亘り、異常な内部クロック信号が生成されてしまうという問題が生じる。

【0006】

本願発明は、通常動作中において信号欠落を生じさせることなくクロックスキュー調整を行うことが可能なスキュー調整装置を提供することを目的とする。

40

【課題を解決するための手段】

【0007】

本発明によるスキュー調整装置は、クロック信号が重畳されているデータ信号に基づき前記クロック信号のスキューを調整するスキュー調整装置であって、前記データ信号を夫々異なる遅延量で遅延した第1～第N (Nは2以上の整数) の遅延データ信号を生成するスキュー調整遅延部と、前記第1～第Nの遅延データ信号のうち1の遅延データ信号を選択させる選択データに基づき、選択を示す場合には第1の論理レベル、非選択を示す場合には第2の論理レベルを夫々が有し且つ前記第1～第Nの遅延データ信号に夫々対応した、各々が1ビットの第1～第Nの選択信号を生成するデコーダと、前記第1～第Nの選

50

択信号を個別に取り込んで遅延した第 1 ~ 第 N の遅延選択信号を生成する第 1 ~ 第 N の遷移遅延部と、前記第 1 ~ 第 N の遅延データ信号のうちから、前記第 1 ~ 第 N の遅延選択信号のうちで前記第 1 の論理レベルを有する遅延選択信号に対応した遅延データ信号を選択し、選択した前記遅延データ信号を出力するデータ選択部と、を有し、前記第 1 ~ 第 N の遷移遅延部の各々は、前記選択信号が前記選択データに応じて前記第 1 の論理レベルから前記第 2 の論理レベルに遷移するときには、前記第 2 の論理レベルから前記第 1 の論理レベルに遷移するときよりも大きな遅延量にて前記第 1 ~ 第 N の選択信号を遅延する。

【発明の効果】

【0008】

本発明においては、クロック信号が重畳されているデータ信号を夫々異なる遅延量で遅延した第 1 ~ 第 N の遅延データ信号のうち 1 の遅延データ信号を選択させる選択データに基づき、"選択"を示す場合には第 1 の論理レベル、"非選択"を示す場合には第 2 の論理レベルを夫々が有する第 1 ~ 第 N の選択信号を生成する。ここで、第 1 ~ 第 N の選択信号を個別に取り込み、取り込まれた選択信号が第 1 の論理レベルから第 2 の論理レベルに遷移するときには第 2 の論理レベルから第 1 の論理レベルに遷移するときよりも大きな遅延量にて第 1 ~ 第 N の選択信号を個別に遅延した第 1 ~ 第 N の遅延選択信号を生成する。そして、データ選択部が、第 1 ~ 第 N の遅延データ信号のうちから、第 1 ~ 第 N の遅延選択信号のうちで第 1 の論理レベルを有する遅延選択信号に対応した遅延データ信号を選択して出力する。

【0009】

かかる構成によれば、例えば選択データの内容が切り替わる切替時点の直後に、瞬間的に第 1 ~ 第 N の選択信号の全てが"非選択"を示す第 2 の論理レベルになってしまっても、第 1 ~ 第 N の遅延選択信号のうち少なくとも 1 の遅延選択信号が"選択"を示す第 1 の論理レベルの状態に維持される。

【0010】

よって、クロックスキュー調整に伴う選択データの内容の切替時において、瞬間的に第 1 ~ 第 N の遅延選択信号の全てが"非選択"を示す第 2 の論理レベルになる状態が回避されるので、この状態に伴って生じる出力信号の欠落が防止される。

【図面の簡単な説明】

【0011】

【図 1】本発明に係るスキュー調整装置を含む表示装置の概略構成を示すブロック図である。

【図 2】データドライバ 13 の内部構成を示すブロック図である。

【図 3】スキュー補正部 130 の内部構成を示すブロック図である。

【図 4】スキュー調整回路 31 及び 32 各々の内部構成を示す回路図である。

【図 5】デコーダ 320 の内部構成の一例を示す回路図である。

【図 6】デコーダ 320 の真理値表を示す図である。

【図 7】遷移遅延回路 321 ~ 324 各々の内部構成を示す回路図である。

【図 8】遷移遅延回路 321 ~ 324 各々の内部動作を表すタイムチャートである。

【図 9】遅延画素データ信号 SC0 ~ SC3 各々の遅延形態を表すタイムチャートである。

【図 10】図 4 に示すスキュー調整回路 31 の内部動作の一例を示すタイムチャートである。

【図 11】図 4 に示すスキュー調整回路 31 及び 32 の変形例を示す回路図である。

【図 12】パルス生成回路 420 の動作を表すタイムチャートである。

【図 13】図 11 に示すスキュー調整回路 31 の内部動作の一例を示すタイムチャートである。

【発明を実施するための形態】

【0012】

図 1 は、本発明に係るスキュー調整装置を含む表示装置の概略構成を示すブロック図で

ある。図 1 に示すように、かかる表示装置は、駆動制御部 1 1、走査ドライバ 1 2、データドライバ 1 3、及び液晶パネル等からなる表示デバイス 2 0 から構成される。

【 0 0 1 3 】

表示デバイス 2 0 には、夫々が 2 次元画面の水平方向に伸張する  $m$  個 ( $m$  は 2 以上の自然数) の水平走査ライン  $S_1 \sim S_m$  と、夫々が 2 次元画面の垂直方向に伸張する  $n$  個 ( $n$  は 2 以上の自然数) のデータライン  $D_1 \sim D_n$  とが形成されている。更に、水平走査ライン及びデータラインの各交叉部の領域には、画素を担う表示セルが形成されている。

【 0 0 1 4 】

駆動制御部 1 1 は、入力映像信号に基づき各画素毎にその画素の輝度レベルを例えば 8 ビットで表す画素データ  $P D$  の系列を生成する。駆動制御部 1 1 は、当該画素データ  $P D$  の系列に、クロック信号の基準タイミングを示す基準タイミング信号を重畳した画素データ信号  $V P D$  を生成し、これをデータドライバ 1 3 に供給する。すなわち、駆動制御部 1 1 は、クロック信号が重畳されている画素データ信号  $V P D$  をデータドライバ 1 3 に供給するのである。更に、駆動制御部 1 1 は、入力映像信号に応じて、表示デバイス 2 0 に対する水平走査タイミングを示す水平走査信号  $H S$  を生成しこれを走査ドライバ 1 2 に供給する。

10

【 0 0 1 5 】

走査ドライバ 1 2 は、水平走査信号  $H S$  に同期させて、所定のピーク電圧を有する水平走査パルスを生成し、これを表示デバイス 2 0 の走査ライン  $S_1 \sim S_m$  各々に順次、択一的に印加する。

20

【 0 0 1 6 】

図 2 は、データドライバ 1 3 の内部構成を示すブロック図である。データドライバ 1 3 は、半導体装置としての半導体チップに形成されている。データドライバ 1 3 は、スキュー補正部 1 3 0、クロック生成部 1 3 1、データ取込部 1 3 3、階調電圧変換部 1 3 4、及び出力バッファ 1 3 5 を含む。

【 0 0 1 7 】

スキュー補正部 1 3 0 は、画素データ信号  $V P D$  に対してクロックスキュー補正処理を施して得られた画素データ信号を、画素データ信号  $D A T$  としてデータ取込部 1 3 3 に供給する。更に、スキュー補正部 1 3 0 は、画素データ信号  $V P D$  に対してクロックスキュー補正処理を施して得られた画素データ信号を、クロック生成用画素データ信号  $R C$  としてクロック生成部 1 3 1 に供給する。尚、スキュー補正部 1 3 0 におけるクロックスキュー補正処理については後述する。

30

【 0 0 1 8 】

クロック生成部 1 3 1 は、例えば  $P L L$  回路又は  $D L L$  回路からなり、クロック生成用画素データ信号  $R C$  に含まれる基準タイミング信号に位相同期した所定周波数の内部クロック信号  $C L K$  を生成し、これをスキュー補正部 1 3 0 及びデータ取込部 1 3 3 に供給する。

【 0 0 1 9 】

データ取込部 1 3 3 は、画素データ信号  $D A T$  中から、内部クロック信号  $C L K$  に同期したタイミングで各画素に対応した画素データ  $P D$  を順次取り込む。データ取込部 1 3 3 は、1 水平走査ライン分 ( $n$  個) の取り込みが終了する度に、 $n$  個の画素データ  $P D$  を画素データ  $P_1 \sim P_n$  として階調電圧変換部 1 3 4 に供給する。

40

【 0 0 2 0 】

階調電圧変換部 1 3 4 は、画素データ  $P_1 \sim P_n$  を、夫々の輝度レベルに対応した電圧値を有する画素駆動電圧  $V_1 \sim V_n$  に変換して出力バッファ 1 3 5 に供給する。

【 0 0 2 1 】

出力バッファ 1 3 5 は、画素駆動電圧  $V_1 \sim V_n$  の各々を所望に増幅したものを画素駆動電圧  $G_1 \sim G_n$  とし、夫々を表示デバイス 2 0 のデータライン  $D_1 \sim D_n$  に印加する。

【 0 0 2 2 】

以下に、スキュー補正部 1 3 0 の構成及び動作について説明する。

50

## 【 0 0 2 3 】

図 3 は、スキュー補正部 1 3 0 の内部構成を示すブロック図である。図 3 に示すように、スキュー補正部 1 3 0 は、スキュー検出回路 3 0、スキュー調整回路 3 1 及び 3 2 を含む。

## 【 0 0 2 4 】

スキュー検出回路 3 0 は、上記した内部クロック信号 C L K の立ち上がり又は立ち下がりエッジ部と、画素データ信号 D A T における立ち上がり又は立ち下がりエッジ部との位相差を、クロックスキューに対応した値として検出する。スキュー検出回路 3 0 は、当該位相差に対応した遅延量を夫々、例えば 2 ビット分のビット B 1 及び B 2 にて 4 段階で表す遅延選択データ D S 1 を生成し、これをスキュー調整回路 3 1 に供給する。更に、スキュー検出回路 3 0 は、当該位相差の極性を反転した位相に対応した遅延量を、例えば 2 ビット分のビット B 1 及び B 2 にて 4 段階で表す遅延選択データ D S 2 をスキュー調整回路 3 2 に供給する。

10

## 【 0 0 2 5 】

スキュー調整回路 3 1 は、画素データ信号 V P D を遅延選択データ D S 1 にて指定された遅延量だけ遅延した信号を、クロックスキュー調整の施されたクロック生成用画素データ信号 R C として上記クロック生成部 1 3 1 に供給する。スキュー調整回路 3 2 は、画素データ信号 V P D を遅延選択データ D S 2 にて指定された遅延量だけ遅延した信号を、クロックスキュー調整の施された画素データ信号 D A T として上記データ取込部 1 3 3 に供給する。

20

## 【 0 0 2 6 】

スキュー調整回路 3 1 及び 3 2 は共に同一の内部構成を有する。

## 【 0 0 2 7 】

図 4 は、スキュー調整回路 3 1 及び 3 2 各々の内部構成の一例を示す回路図である。図 4 において、レジスタ 3 1 9 は、遅延選択データ D S 1 ( D S 2 ) を取り込んでこれを保持しつつ、当該遅延選択データ D S 1 ( D S 2 ) のビット B 1 及び B 2 をデコーダ 3 2 0 に供給する。

## 【 0 0 2 8 】

デコーダ 3 2 0 は、ビット B 1 及び B 2 に基づき 4 ビットの選択信号 d 0 ~ d 3 を生成する。

30

## 【 0 0 2 9 】

図 5 は、デコーダ 3 2 0 の内部構成の一例を示す回路図である。図 5 に示すように、デコーダ 3 2 0 は、インバータ V 1 及び V 2、アンドゲート A N 0 ~ A N 3 を有する。インバータ V 1 は、ビット B 1 の論理レベルを反転させた反転ビット B B 1 をアンドゲート A N 0 及び A N 1 の各々に供給する。インバータ V 2 は、ビット B 2 の論理レベルを反転させた反転ビット B B 2 をアンドゲート A N 0 及び A N 2 の各々に供給する。

## 【 0 0 3 0 】

かかる構成により、デコーダ 3 2 0 は、図 6 に示す真理値表に従ってビット B 1 及び B 2 に対応した、夫々 1 ビットの選択信号 d 0 ~ d 3 を生成する。

## 【 0 0 3 1 】

すなわち、デコーダ 3 2 0 は、ビット B 1 及び B 2 が共に論理レベル 0 を表す場合には、選択信号 d 0 ~ d 3 のうちの d 0 だけが"選択"を表す論理レベル 1 となり、他の選択信号 d 1 ~ d 3 は全て"非選択"を表す論理レベル 0 となる選択信号 d 0 ~ d 3 を得る。また、デコーダ 3 2 0 は、ビット B 1 が論理レベル 0 であり且つビット B 2 が論理レベル 1 を表す場合には、選択信号 d 0 ~ d 3 のうちの d 1 だけが"選択"を表す論理レベル 1 となり、他の選択信号 d 0、d 2 及び d 3 は全て"非選択"を表す論理レベル 0 となる選択信号 d 0 ~ d 3 を得る。また、デコーダ 3 2 0 は、ビット B 1 が論理レベル 1 であり且つビット B 2 が論理レベル 0 を表す場合には、選択信号 d 0 ~ d 3 のうちの d 2 だけが"選択"を表す論理レベル 1 となり、他の選択信号 d 0、d 1 及び d 3 は全て"非選択"を表す論理レベル 0 となる選択信号 d 0 ~ d 3 を得る。また、デコーダ 3 2 0 は、ビット B 1 及び B 2 が

40

50

共に論理レベル1を表す場合には、選択信号d0～d3のうちd3だけが"選択"を表す論理レベル1となり、他の選択信号d0～d2は全て"非選択"を表す論理レベル0となる選択信号d0～d3を得る。

【0032】

デコーダ320は、選択信号d0を遷移遅延回路321に供給すると共に、選択信号d1を遷移遅延回路322に供給する。更に、デコーダ320は、選択信号d2を遷移遅延回路323に供給すると共に、選択信号d3を遷移遅延回路324に供給する。尚、以降、遷移遅延回路321～324をTRD321～324とも称する。

【0033】

TRD321～324は、選択信号d0～d3を夫々個別に取り込んで遅延した遅延選択信号S0～S3を生成する。

10

【0034】

TRD321～324は同一の内部構成を有する。

【0035】

図7は、TRD321～324各々の内部構成を表す回路図である。尚、以下に、TRD321を例にとってその内部構成について説明する。遅延素子DD1は、選択信号d0を図8に示すように所定の遅延時間TDだけ遅延させた信号dQをインバータIVXに供給する。尚、遅延素子DD1は、キャパシタ及び抵抗からなる積分回路で実現しても良く、或いは偶数個の複数のインバータ素子を直列に多段接続したものであっても良い。この際、遅延時間TDは、当該積分回路又はインバータ素子自体の遅延と共に、配線遅延をも考慮して設定される。

20

【0036】

インバータIVXは、信号dQの論理レベルを反転させた反転遅延選択信号dQIをRSフリップフロップRS1のR端子に供給する。RSフリップフロップRS1のS端子には選択信号d0が供給される。

【0037】

図7に示すように、RSフリップフロップRS1は、ノアゲートNR1及びNR2、インバータIVYを有する。ノアゲートNR1の第1の入力端子は、RSフリップフロップRS1のS端子に相当し、ノアゲートNR2の第1の入力端子は、RSフリップフロップRS1のR端子に相当する。ノアゲートNR1の出力端子はインバータIVY及びノアゲートNR2の第2の入力端子に接続されている。ノアゲートNR2の出力端子はノアゲートNR1の第2の入力端子に接続されている。ノアゲートNR1は、S端子を介して供給された選択信号d0と、ノアゲートNR2から出力された信号aとの否定論理積結果を示す信号bをインバータIVY及びノアゲートNR2の第2の入力端子に供給する。ノアゲートNR2は、R端子を介して供給された反転遅延選択信号dQIと、ノアゲートNR1から出力された信号bとの否定論理積結果を示す信号aをノアゲートNR1の第2の入力端子に供給する。インバータIVYは、ノアゲートNR1から出力された信号aの論理レベルを反転させた信号を上記した遅延選択信号S0として出力する。

30

【0038】

かかる構成により、TRD321は、図8に示すように、選択信号d0の立ち上がりエッジの時点t1で"非選択"を示す論理レベル0の状態から"選択"を示す論理レベル1の状態に遷移し、選択信号d0の立ち下がりエッジの時点t2から遅延時間TDを経た時点t3で論理レベル1の状態から論理レベル0の状態に遷移する遅延選択信号S0を生成する。

40

【0039】

TRD321は、図8に示す形態にて選択信号d0を取り込んで保持し、保持した選択信号d0を遅延選択信号S0としてアンドゲート313に供給する。TRD322～324の各々もTRD321と同様な形態にて、選択信号d2～d4を夫々個別に取り込んで保持し、保持した選択信号d2～d4を夫々遅延選択信号S2～S4としてアンドゲート314～316に供給する。

50

## 【 0 0 4 0 】

要するに、TRD321～324の各々は、取り込んだ選択信号(d0～d3)が"選択"を表す論理レベル1から"非選択"を表す論理レベル0に遷移するときには、論理レベル0から論理レベル1に遷移するときよりも大きな遅延量にて、選択信号(d0～d3)を遅延するのである。

## 【 0 0 4 1 】

デマルチプレクサ311は、スキュー調整処理を無効化する論理レベル0のイネーブル信号ENが供給された場合には、画素データ信号VPDを画素データ信号VP0としてオアゲート312に供給する。これにより、アンドゲート313～316、及び以下に説明する遅延回路325～327が非動作状態となるので、電力消費量が低減される。

10

## 【 0 0 4 2 】

一方、スキュー調整処理を有効化する論理レベル1のイネーブル信号ENが供給された場合には、デマルチプレクサ311は、画素データ信号VPDを画素データ信号VP1としてアンドゲート313～316の各々に供給する。尚、イネーブル信号ENは、データドライバ13内に設けられているコントローラ(図示せぬ)、又は上記した駆動制御部11から供給される。

## 【 0 0 4 3 】

アンドゲート313は、遅延選択信号S0が論理レベル1である場合にだけ画素データ信号VP1を、遅延量0の遅延画素データ信号SC0としてオアゲート312に供給する。

20

## 【 0 0 4 4 】

アンドゲート314は、遅延選択信号S1が論理レベル1である場合にだけ画素データ信号VP1を遅延回路325に供給する。遅延回路325は、アンドゲート314を介して供給された画素データ信号VP1を、図9に示すように所定の遅延時間T1だけ遅延させた信号を、遅延画素データ信号SC1としてオアゲート312に供給する。

## 【 0 0 4 5 】

アンドゲート315は、遅延選択信号S2が論理レベル1である場合にだけ画素データ信号VP1を遅延回路326に供給する。遅延回路326は、アンドゲート315を介して供給された画素データ信号VP1を、図9に示すように、上記した遅延時間T1よりも長い遅延時間T2だけ遅延させた信号を、遅延画素データ信号SC2としてオアゲート312に供給する。

30

## 【 0 0 4 6 】

アンドゲート316は、遅延選択信号S3が論理レベル1である場合にだけ画素データ信号VP1を遅延回路327に供給する。遅延回路327は、アンドゲート316を介して供給された画素データ信号VP1を、図9に示すように、上記した遅延時間T2よりも長い遅延時間T3だけ遅延させた信号を、遅延画素データ信号SC3としてオアゲート312に供給する。

## 【 0 0 4 7 】

上記したように、遅延回路325～327を含むスキュー調整遅延部は、画素データ信号VP1を夫々異なる遅延量(0、T1～T3)で遅延した遅延画素データ信号SC0～SC3をオアゲート312に供給する。

40

## 【 0 0 4 8 】

ここで、遅延回路325～327の各々は、例えば複数のインバータ素子を直列に多段接続したものであっても良い。この際、遅延回路327におけるインバータ素子の直列接続段数は、遅延回路326におけるインバータ素子の直列接続段数よりも大である。更に、遅延回路326におけるインバータ素子の直列接続段数は、遅延回路325におけるインバータ素子の直列接続段数よりも大である。尚、遅延回路325～327の各々では、アンドゲート314～316の各々とオアゲート312との間の配線負荷容量を利用することにより、遅延回路325～327各々での遅延時間が図9に示す遅延時間T1～T3と等しくなるように調整する。例えば、遅延回路325～327の各々において遅延時間

50



を増加させる場合には、各インバータ素子を接続する配線長を長くする。

【 0 0 4 9 】

オアゲート 3 1 2 は、上記した画素データ信号 V P 0、及び遅延画素データ信号 S C 0 ~ S C 3 の論理和結果をクロックスキュー調整の施された信号として出力する。すなわち、図 3 に示すスキュー調整回路 3 1 に設けられているオアゲート 3 1 2 は、画素データ信号 V P 0、遅延画素データ信号 S C 0、S C 1、S C 2 又は S C 3 を、クロックスキュー調整の施されたクロック生成用画素データ信号 R C として出力する。また、図 3 に示すスキュー調整回路 3 2 に設けられているオアゲート 3 1 2 は、画素データ信号 V P 0、遅延画素データ信号 S C 0、S C 1、S C 2 又は S C 3 を、クロックスキュー調整の施された画素データ信号 D A T として出力する。

10

【 0 0 5 0 】

このように、アンドゲート 3 1 3 ~ 3 1 6 及びオアゲート 3 1 2 を含むデータ選択部は、遅延画素データ信号 S C 0 ~ S C 3 のうちから、遅延選択信号 S 0 ~ S 3 のうちで論理レベル 1 を有する遅延選択信号に対応した遅延画素データ信号を選択する。そして、当該選択した遅延画素データ信号をクロックスキュー調整の施された信号 ( R C、D A T ) として出力するのである。

【 0 0 5 1 】

以下に、図 4 に示すスキュー調整回路 3 1 の内部動作の一例について、図 1 0 のタイムチャートに沿って説明する。

【 0 0 5 2 】

先ず、スキュー調整処理を有効化する論理レベル 1 のイネーブル信号 E N が供給されると、デマルチプレクサ 3 1 1 は、画素データ信号 V P D を画素データ信号 V P 1 としてアンドゲート 3 1 3 ~ 3 1 6 の各々に供給する。この際、図 3 に示すスキュー検出回路 3 0 から供給された遅延選択データ D S 1 のビット B 1 及び B 2 が、図 1 0 に示すように、

20

B 1 : 0

B 2 : 1

である間は、デコーダ 3 2 0 は図 6 の真理値表に従って、

d 0 : 0

d 1 : 1

d 2 : 0

d 3 : 0

30

なる選択信号 d 0 ~ d 3 を生成する。

【 0 0 5 3 】

これら選択信号 d 0 ~ d 3 は T R D 3 2 1 ~ 3 2 4 の各々に取り込まれ、図 1 0 に示す遅延選択信号 S 0 ~ S 3 としてアンドゲート 3 1 3 ~ 3 1 6 に夫々供給される。

【 0 0 5 4 】

よって、上記した遅延選択信号 S 0 ~ S 3 により、図 9 に示すような遅延形態を有する遅延画素データ信号 S C 0 ~ S C 3 のうちで S C 1 のみが有効となる。従って、この際、オアゲート 3 1 2 は、遅延画素データ信号 S C 1 をクロック生成用画素データ信号 R C として出力する。

40

【 0 0 5 5 】

次に、遅延選択データ D S 1 のビット B 1 及び B 2 が図 1 0 に示すように、

B 1 : 1

B 2 : 0

に切り替わると、デコーダ 3 2 0 は図 6 の真理値表に従って、

d 0 : 0

d 1 : 0

d 2 : 1

d 3 : 0

なる選択信号 d 0 ~ d 3 を生成する。

50

## 【 0 0 5 6 】

これら選択信号  $d_0 \sim d_3$  は TRD 3 2 1 ~ 3 2 4 の各々に取り込まれ、図 1 0 に示す遅延選択信号  $S_0 \sim S_3$  としてアンドゲート 3 1 3 ~ 3 1 6 に夫々供給される。

## 【 0 0 5 7 】

ここで、上記したようにビット  $B_1$  及び  $B_2$  が [ 0, 1 ] の状態から [ 1, 0 ] の状態に切り替わると、選択信号  $d_0 \sim d_3$  のうちの  $d_1$  及び  $d_2$  のみが以下のように変化する。つまり、図 1 0 に示すように、選択信号  $d_1$  は論理レベル 1 から論理レベル 0 に遷移し、選択信号  $d_2$  は論理レベル 0 から論理レベル 1 に遷移する。

## 【 0 0 5 8 】

この際、選択信号  $d_2$  を保持する TRD 3 2 3 では、論理レベル 1 の選択信号  $d_2$  が図 7 に示す RS フリップフロップ RS 1 の S 端子に供給される。この S 端子に供給された論理レベル 1 の選択信号  $d_2$  に応じて、RS フリップフロップ RS 1 は、図 1 0 に示すように論理レベル 0 から論理レベル 1 に遷移する遅延選択信号  $S_2$  を出力する。

10

## 【 0 0 5 9 】

一方、選択信号  $d_1$  を保持する TRD 3 2 2 では、論理レベル 0 の選択信号  $d_1$  を、図 7 に示す遅延素子 DD 1 及びインバータ I V X を介して論理反転させた論理レベル 1 の反転遅延選択信号  $d_{QI}$  が RS フリップフロップ RS 1 の R 端子に供給される。この際、遅延素子 DD 1 は、図 1 0 に示すように、遅延選択データ DS 1 の内容、つまりビット  $B_1$  及び  $B_2$  が [ 0, 1 ] の状態から [ 1, 0 ] の状態に切り替わる切替時点  $k_1$  から、遅延時間 TD だけ遅延させた信号  $d_Q$  をインバータ I V X に供給する。よって、RS フリップフロップ RS 1 は、図 1 0 に示すように、上記した切替時点  $k_1$  から遅延時間 TD 経過した時点で、遅延選択信号  $S_1$  を論理レベル 1 から論理レベル 0 に遷移させる。

20

## 【 0 0 6 0 】

これにより、上記した切替時点  $k_1$  から遅延時間 TD の間に亘り論理レベル 1 の遅延選択信号  $S_1$  がアンドゲート 3 1 4 に供給される。従って、例え切替時点  $k_1$  の直後に、瞬時的に選択信号  $d_0 \sim d_3$  の全てが論理レベル 0 になってしまっても、アンドゲート 3 1 4 には遅延時間 TD の間に亘り論理レベル 1 の選択信号  $d_1$  が継続して供給される。よって、上記した切替時点  $k_1$  の直後において、アンドゲート 3 1 3 ~ 3 1 6 の全てに論理レベル 0 の選択信号 ( $S_0 \sim S_3$ ) が供給されてしまう状態が回避されるので、かかる状態に起因して生じるクロック生成用画素データ信号 RC の信号欠落が防止される。

30

## 【 0 0 6 1 】

そして、上記した切替時点  $k_1$  から遅延時間 TD の経過後の遅延選択信号  $S_0 \sim S_3$  により、遅延画素データ信号 SC 0 ~ SC 3 のうちで SC 2 のみが有効となる。従って、この際、オアゲート 3 1 2 は、遅延画素データ信号 SC 2 をクロック生成用画素データ信号 RC として出力する。

## 【 0 0 6 2 】

次に、遅延選択データ DS 1 のビット  $B_1$  及び  $B_2$  が図 1 0 に示すように、

$B_1 : 1$

$B_2 : 1$

に切り替わると、デコーダ 3 2 0 は図 6 の真理値表に従って、

$d_0 : 0$

$d_1 : 0$

$d_2 : 0$

$d_3 : 1$

なる選択信号  $d_0 \sim d_3$  を生成する。

40

## 【 0 0 6 3 】

これら選択信号  $d_0 \sim d_3$  は TRD 3 2 1 ~ 3 2 4 の各々に取り込まれ、図 1 0 に示す遅延選択信号  $S_0 \sim S_3$  としてアンドゲート 3 1 3 ~ 3 1 6 に夫々供給される。

## 【 0 0 6 4 】

ここで、上記したようにビット  $B_1$  及び  $B_2$  が [ 1, 0 ] の状態から [ 1, 1 ] の状態

50

に切り替わると、選択信号  $d_0 \sim d_3$  のうちの  $d_2$  及び  $d_3$  のみが以下のように変化する。つまり、図 10 に示すように、選択信号  $d_2$  は論理レベル 1 から論理レベル 0 に遷移し、選択信号  $d_3$  は論理レベル 0 から論理レベル 1 に遷移する。

【0065】

この際、選択信号  $d_3$  を保持する TRD 3 2 4 では、論理レベル 1 の選択信号  $d_3$  が図 7 に示す RS フリップフロップ RS 1 の S 端子に供給される。この S 端子に供給された論理レベル 1 の選択信号  $d_3$  に応じて、RS フリップフロップ RS 1 は、図 10 に示すように論理レベル 0 から論理レベル 1 に遷移する遅延選択信号  $S_3$  を出力する。

【0066】

一方、選択信号  $d_2$  を保持する TRD 3 2 3 では、論理レベル 0 の選択信号  $d_2$  を、図 7 に示す遅延素子 DD 1 及びインバータ I V X を介して論理反転させた論理レベル 1 の反転遅延選択信号  $d_{QI}$  が RS フリップフロップ RS 1 の R 端子に供給される。この際、遅延素子 DD 1 は、図 10 に示すように、遅延選択データ DS 1 の内容、つまりビット  $B_1$  及び  $B_2$  が [ 1, 0 ] の状態から [ 1, 1 ] の状態に切り替わる切替時点  $k_2$  から、遅延時間 TD だけ遅延させた信号  $d_Q$  をインバータ I V X に供給する。よって、RS フリップフロップ RS 1 は、図 10 に示すように、上記した切替時点  $k_2$  から遅延時間 TD 経過した時点で、遅延選択信号  $S_2$  を論理レベル 1 から論理レベル 0 に遷移させる。

【0067】

これにより、上記した切替時点  $k_2$  から遅延時間 TD の間に亘り論理レベル 1 の遅延選択信号  $S_2$  がアンドゲート 3 1 5 に供給される。従って、例え切替時点  $k_2$  の直後に、瞬時的に選択信号  $d_0 \sim d_3$  の全てが論理レベル 0 になってしまっても、アンドゲート 3 1 5 には遅延時間 TD の間に亘り論理レベル 1 の選択信号  $d_2$  が継続して供給される。よって、上記した切替時点  $k_2$  の直後において、アンドゲート 3 1 3 ~ 3 1 6 の全てに論理レベル 0 の選択信号 ( $S_0 \sim S_3$ ) が供給されてしまう状態が回避されるので、かかる状態に起因して生じるクロック生成用画素データ信号 RC の信号欠落が防止される。

【0068】

そして、上記した切替時点  $k_2$  から遅延時間 TD の経過後の遅延選択信号  $S_0 \sim S_3$  により、遅延画素データ信号 SC 0 ~ SC 3 のうちで SC 3 のみが有効となる。従って、この際、オアゲート 3 1 2 は、遅延画素データ信号 SC 3 をクロック生成用画素データ信号 RC として出力する。

【0069】

次に、遅延選択データ DS 1 のビット  $B_1$  及び  $B_2$  が図 10 に示すように、

$B_1 : 0$

$B_2 : 0$

に切り替わると、デコーダ 3 2 0 は図 6 の真理値表に従って、

$d_0 : 1$

$d_1 : 0$

$d_2 : 0$

$d_3 : 0$

なる選択信号  $d_0 \sim d_3$  を生成する。

【0070】

これら選択信号  $d_0 \sim d_3$  は TRD 3 2 1 ~ 3 2 4 の各々に取り込まれ、図 10 に示す遅延選択信号  $S_0 \sim S_3$  としてアンドゲート 3 1 3 ~ 3 1 6 に夫々供給される。

【0071】

ここで、上記したようにビット  $B_1$  及び  $B_2$  が [ 1, 1 ] の状態から [ 0, 0 ] の状態に切り替わると、選択信号  $d_0 \sim d_3$  のうちの  $d_0$  及び  $d_3$  のみが以下のように変化する。つまり、図 10 に示すように、選択信号  $d_0$  は論理レベル 0 から論理レベル 1 に遷移し、選択信号  $d_3$  は論理レベル 1 から論理レベル 0 に遷移する。

【0072】

この際、選択信号  $d_0$  を保持する TRD 3 2 1 では、論理レベル 1 の選択信号  $d_0$  が図

10

20

30

40

50

7に示すRSフリップフロップRS1のS端子に供給される。このS端子に供給された論理レベル1の選択信号d0に応じて、RSフリップフロップRS1は、図10に示すように論理レベル0から論理レベル1に遷移する遅延選択信号S0を出力する。

【0073】

一方、選択信号d3を保持するTRD324では、論理レベル0の選択信号d3を、図7に示す遅延素子DD1及びインバータIVXを介して論理反転させた論理レベル1の反転遅延選択信号dQIがRSフリップフロップRS1のR端子に供給される。この際、遅延素子DD1は、図10に示すように、遅延選択データDS1の内容、つまりビットB1及びB2が[1、1]の状態から[0、0]の状態に切り替わる切替時点k3から、遅延時間TDだけ遅延させた信号dQをインバータIVXに供給する。よって、RSフリップフロップRS1は、図10に示すように、上記した切替時点k3から遅延時間TD経過した時点で、遅延選択信号S3を論理レベル1から論理レベル0に遷移させる。

10

【0074】

これにより、上記した切替時点k3から遅延時間TDの間に亘り論理レベル1の遅延選択信号S3がアンドゲート316に供給される。従って、例え切替時点k3の直後に、瞬時的に選択信号d0～d3の全てが論理レベル0になってしまっても、アンドゲート316には遅延時間TDの間に亘り論理レベル1の選択信号d3が継続して供給される。よって、上記した切替時点k3の直後において、アンドゲート313～316の全てに論理レベル0の選択信号(S0～S3)が供給されてしまう状態が回避されるので、かかる状態に起因して生じるクロック生成用画素データ信号RCの信号欠落が防止される。

20

【0075】

そして、上記した切替時点k3から遅延時間TDの経過後の遅延選択信号S0～S3により、遅延画素データ信号SC0～SC3のうちでSC0のみが有効となる。従って、この際、オアゲート312は、遅延画素データ信号SC0をクロック生成用画素データ信号RCとして出力する。

【0076】

上記したスキュー調整回路31によれば、遅延画素データ信号SC0～SC3のうちの1つをクロック生成用画素データ信号として選択する際の選択切り替え処理時に生じる信号欠落を回避することが可能となる。よって、PLL回路等により、上記したクロック生成用画素データ信号に位相同期した内部クロック信号を生成する場合、当該PLL回路で同期外れを生じさせることなく、上記した選択切り替え処理を含むクロックスキュー調整を行うことが可能となる。

30

【0077】

従って、スキュー調整回路31によれば、通常動作中においてクロック信号に異常を生じさせることなくクロックスキュー調整を行うことが可能となる。

【0078】

図11は、図4に示すスキュー調整回路31及び32の変形例を示す回路図である。尚、図11に示す構成では、レジスタ319に代えてレジスタ319aを採用すると共に、遷移遅延回路として、図7に示す内部構成を有するTRD321～324に代えてパルス生成回路420及びオアゲート421～424を採用した点を除く他の構成は図4に示すものと同一である。

40

【0079】

図11において、レジスタ319aは、スキュー検出回路30から供給された遅延選択データDS1(DS2)を取り込んでこれを保持しつつ、当該遅延選択データDS1(DS2)のビットB1及びB2をデコーダ320に供給する。

【0080】

更に、レジスタ319aは、遅延選択データDS1(DS2)の取り込みが為される度に当該取込のタイミングを表す、図12に示すような取込タイミング信号LTをパルス生成回路420に供給する。

【0081】

50

パルス生成回路 420 は、図 12 に示すように、取込タイミング信号 LT の立ち上がりエッジ部に同期させて、上記した遅延時間 TD と等しい期間の間だけ論理レベル 1 の状態となるパルス信号 CP を生成する。

【0082】

オアゲート 421 は、選択信号 d0 の論理レベルとパルス信号 CP の論理レベルとの論理和を求め、この論理和の結果を遅延選択信号 S0 としてアンドゲート 313 に供給する。オアゲート 422 は、選択信号 d1 の論理レベルとパルス信号 CP の論理レベルとの論理和を求め、この論理和の結果を遅延選択信号 S1 としてアンドゲート 314 に供給する。オアゲート 423 は、選択信号 d2 の論理レベルとパルス信号 CP の論理レベルとの論理和を求め、この論理和の結果を遅延選択信号 S2 としてアンドゲート 315 に供給する。オアゲート 424 は、選択信号 d3 の論理レベルとパルス信号 CP の論理レベルとの論理和を求め、この論理和の結果を遅延選択信号 S3 としてアンドゲート 316 に供給する。

10

【0083】

尚、パルス生成回路 420 及びオアゲート 421 ~ 424 を半導体チップ内に形成するにあたり、パルス生成回路 420 から送出されたパルス信号 CP が各オアゲート 421 ~ 424 に到達するまでの時間を等しくさせる為には、パルス生成回路 420 とオアゲート 421 ~ 424 の各々を接続する各配線の長さを等しくするのが好ましい。

【0084】

上記したパルス生成回路 420 及びオアゲート 421 ~ 424 によれば、図 13 に示すように、遅延選択データ DS1 の内容 (B1、B2) が切り替わる切替時点 k1、k2 及び k3 の各々から、所定の遅延時間 TD が経過するまでの間に亘り、遅延選択信号 S0 ~ S3 の各々が強制的に全て論理レベル 1 となる。

20

【0085】

よって、例え各切替時点 (k1 ~ k3) の直後に、瞬時的に選択信号 d0 ~ d3 の全てが論理レベル 0 になってしまっても、アンドゲート 313 ~ 316 の各々には、遅延時間 TD の間に亘り論理レベル 1 の選択信号 d0 ~ d3 が強制的に供給される。これにより、切替時点の直後において瞬時的にアンドゲート 313 ~ 316 の全てに論理レベル 0 の選択信号 (S0 ~ S3) が供給されてしまう状態が回避されるので、かかる状態に起因して生じるクロック生成用画素データ信号 RC の信号欠落が防止される。

30

【0086】

従って、図 11 に示す構成を採用した場合にも図 4 に示す構成を採用した場合と同様に、通常動作中においてクロック信号に異常を生じさせることなくクロックスキュー調整を行うことが可能となる。

【0087】

尚、上記実施例では、選択信号 (d0 ~ d3) は、"選択"を示す場合には論理レベル 1、"非選択"を示す場合には論理レベル 0 となっているが、"選択"を示す場合には論理レベル 0、"非選択"を示す場合には論理レベル 1 としても良い。この際、夫々が 2 入力のアンドゲートであるアンドゲート 313 ~ 316 において遅延選択信号 S0 ~ S3 を受ける入力端子は、インバータを含む反転入力端子とする。

40

【0088】

また、図 4 及び図 11 に示す実施例では、夫々遅延量が異なる 4 系統の遅延画素データ信号 SC0 ~ SC3 のうちから 1 つを選択し、これをスキュー調整の施された画素データ信号 (RC、DAT) として出力するようにしているが、選択対象となる遅延画素データ信号の数は 4 系統に限定されない。すなわち、選択対象となる遅延画素データ信号の数は N 個 (N は 2 以上の整数) であれば良く、この際、当該選択対象となる遅延画素データ信号の各々に対応した N 個の TRD 及び N 個の 2 入力アンドゲートとを設ける。

【0089】

要するに、スキュー調整回路 31 及び 32 としては、以下のスキュー調整遅延部 (325 ~ 327)、デコーダ (320)、第 1 ~ 第 N の遷移遅延部 (321 ~ 324)、及び

50

データ選択部(312~316)を有するものであれば良いのである。スキュー調整遅延部は、クロック信号が重畳されているデータ信号を夫々異なる遅延量で遅延した第1~第N(Nは2以上の整数)の遅延データ信号を生成する。デコーダは、第1~第Nの遅延データ信号のうち1の遅延データ信号を選択させる選択データ(DS1、DS2)に基づき、選択を示す場合には第1の論理レベル、非選択を示す場合には第2の論理レベルを夫々が有し且つ前記第1~第Nの遅延データ信号に夫々対応した、各々が1ビットの第1~第Nの選択信号を生成する。第1~第Nの遷移遅延部は、第1~第Nの選択信号を個別に取り込んで遅延した第1~第Nの遅延選択信号を生成する。この際、第1~第Nの遷移遅延部の各々は、選択信号が選択データに応じて第1の論理レベルから第2の論理レベルに遷移するときには、第2の論理レベルから第1の論理レベルに遷移するときよりも大きな遅延量にて第1~第Nの選択信号を個別に遅延する。データ選択部は、記第1~第Nの遅延データ信号のうちから、第1~第Nの遅延選択信号のうちで第1の論理レベルを有する遅延選択信号に対応した遅延データ信号を選択し、選択した前記遅延データ信号を出力する。

10

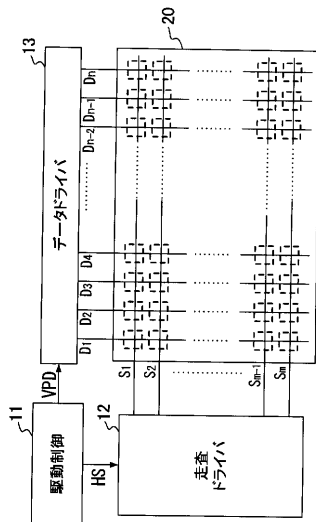
20

【符号の説明】

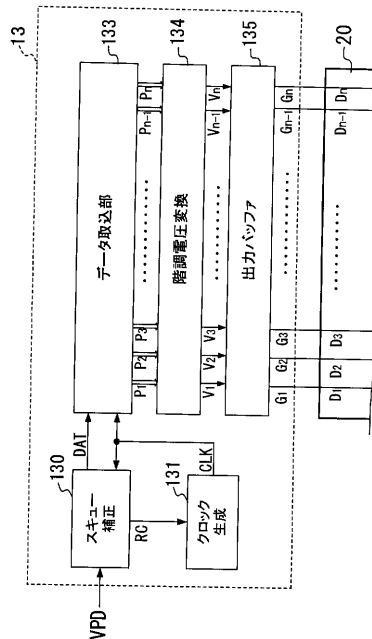
【0090】

- 30 スキュー検出回路
- 31,32 スキュー調整回路
- 130 スキュー補正部
- 313~316 アンドゲート
- 320 デコーダ
- 321~324 遷移遅延回路(TRD)
- DD1 遅延素子
- IVX インバータ
- RS1 RSフリップフロップ

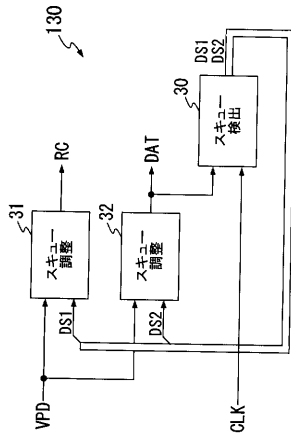
【図1】



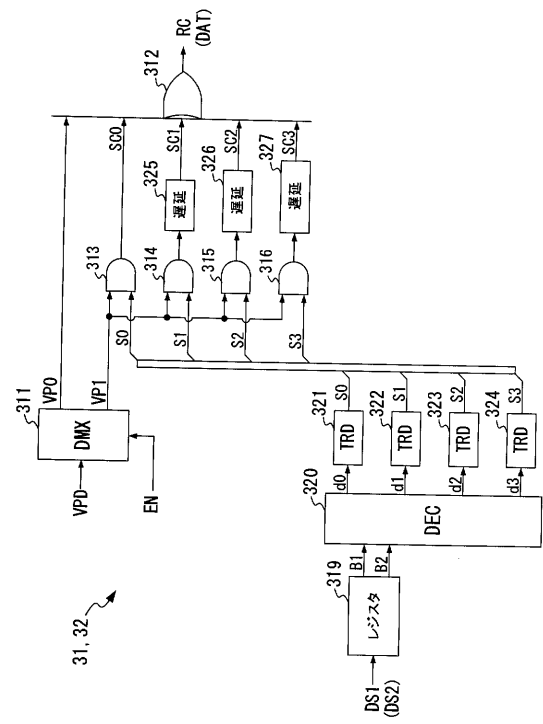
【図2】



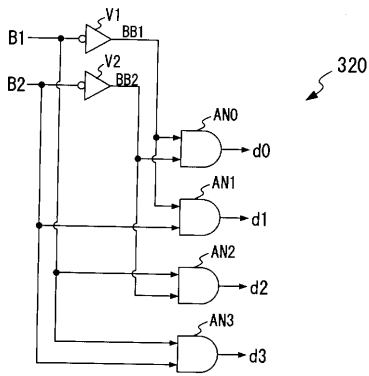
【 図 3 】



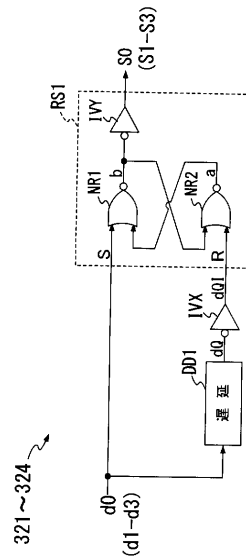
【 図 4 】



【 図 5 】



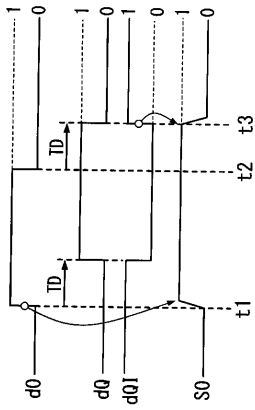
【 図 7 】



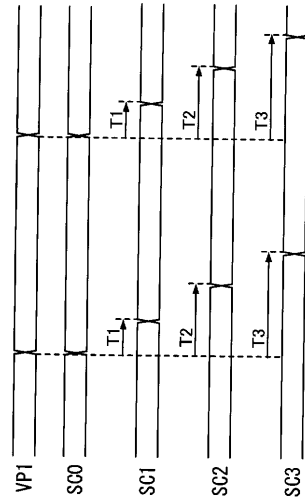
【 図 6 】

B1	B2	d0	d1	d2	d3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

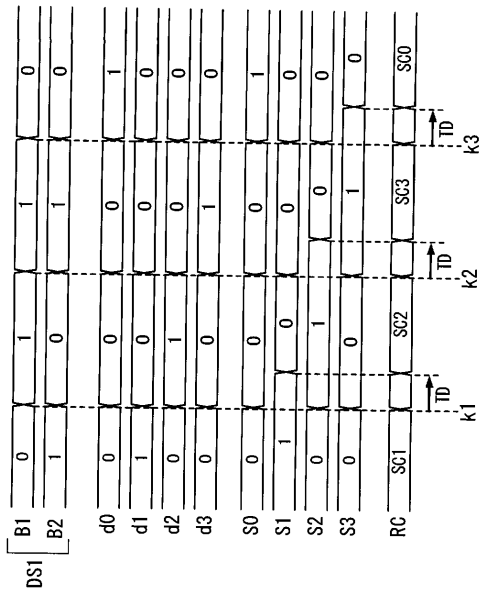
【図 8】



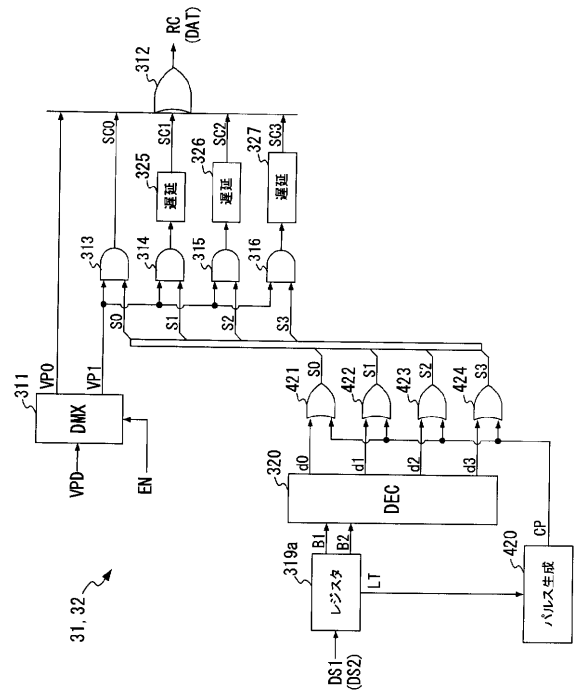
【図 9】



【図 10】

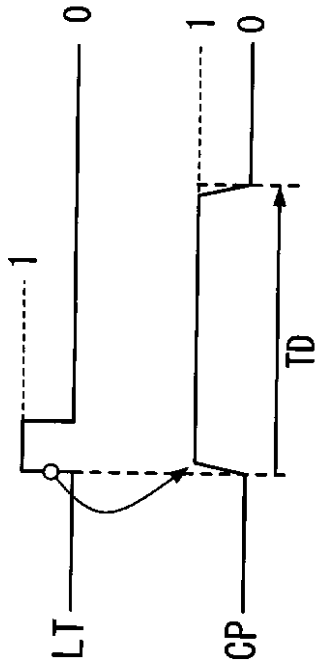


【図 11】





【 図 1 2 】



【 図 1 3 】

B1	0	1	1	0	0	0	0	0
B2	1	0	1	1	1	0	0	0
d0	0	0	0	0	0	0	1	0
d1	1	0	0	0	0	0	0	0
d2	0	1	0	0	0	0	0	0
d3	0	0	1	0	0	0	0	0
S0	0	1	0	1	0	1	1	1
S1	1	1	0	1	0	1	1	0
S2	0	1	1	1	0	1	1	0
S3	0	1	0	1	1	1	1	0
RC	SC1	SC2	SC3	SC3	SC3	SC3	SC0	SC0

TD k1  
 TD k2  
 TD k3