



(12) 发明专利申请

(10) 申请公布号 CN 105702194 A

(43) 申请公布日 2016. 06. 22

(21) 申请号 201610267107. 1

(22) 申请日 2016. 04. 26

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 商广良 姚星 韩承佑 高玉杰
张元波 陈明 田正牧 董学

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51) Int. Cl.

G09G 3/20(2006. 01)

G11C 19/28(2006. 01)

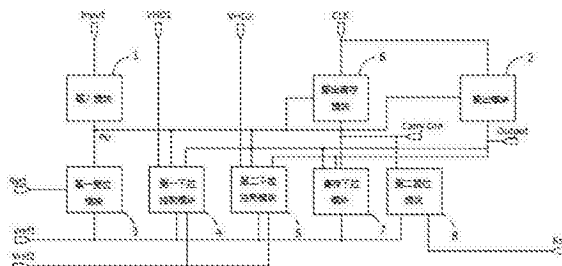
权利要求书5页 说明书13页 附图3页

(54) 发明名称

一种移位寄存器单元、栅极驱动电路及其驱动方法

(57) 摘要

本发明公开一种移位寄存器单元、栅极驱动电路及其驱动方法,涉及显示技术领域,为解决由于栅极驱动信号复位时间较长所导致的无法保证对像素很好的充电的问题。该移位寄存器单元中,在输入阶段,输入模块用于在输入信号的作用下,将上拉节点的电压拉高;在输出阶段,输出模块用于在时钟信号的作用下,输出栅极驱动信号,并将上拉节点的电压进一步推高;在复位阶段,输出模块用于在时钟信号的作用下,将输出模块的输出端电压拉低至基准电压;第一下拉控制模块用于在第一下拉控制信号的作用下,将输出模块的输出端电压由基准电压调节至栅极关断电压。本发明提供的移位寄存器单元用于提供栅极驱动信号。



1. 一种移位寄存器单元,其特征在于,所述移位寄存器单元的一个工作周期包括:输入阶段、输出阶段、复位阶段和保持阶段,所述移位寄存器单元包括:

输入模块,在所述输入阶段,所述输入模块用于在输入信号的作用下,将上拉节点的电压拉高;

输出模块,在所述输出阶段,所述输出模块用于在时钟信号的作用下,输出栅极驱动信号,并将所述上拉节点的电压进一步推高;在所述复位阶段,所述输出模块用于在所述时钟信号的作用下,将所述输出模块的输出端电压拉低至基准电压;

第一复位模块,在所述复位阶段,所述第一复位模块用于在所述第一复位信号的作用下,将所述上拉节点的电压拉低至所述基准电压;

第一下拉控制模块,在所述复位阶段,所述第一下拉控制模块用于在第一下拉控制信号的作用下,将所述上拉节点的电压拉低至所述基准电压,并将所述输出模块的输出端电压由所述基准电压调节至栅极关断电压;在所述保持阶段,所述第一下拉控制模块用于在所述第一下拉控制信号的作用下,使所述输出模块的输出端电压保持在所述栅极关断电压;所述基准电压小于所述栅极关断电压。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述输入模块包括第一开关管,所述第一开关管的控制端和所述第一开关管的输入端均接收所述输入信号,所述第一开关管的输出端与所述上拉节点连接。

3. 根据权利要求1所述的移位寄存器单元,其特征在于,所述输出模块包括第二开关管,所述第二开关管的控制端与所述上拉节点连接,所述第二开关管的输入端接收所述时钟信号,所述第二开关管的输出端输出所述栅极驱动信号。

4. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第一复位模块包括第三开关管,所述第三开关管的控制端接收所述第一复位信号,所述第三开关管的输入端与所述上拉节点连接,所述第三开关管的输出端与用于提供所述基准电压的信号线连接。

5. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第一下拉控制模块包括第四开关管、第五开关管、第六开关管、第七开关管、第八开关管和第九开关管;其中,

所述第四开关管的控制端和所述第四开关管的输入端均接收所述第一下拉控制信号,所述第四开关管的输出端连接所述第五开关管的控制端,且所述第四开关管的输出端连接所述第六开关管的输入端;

所述第五开关管的输入端接收所述第一下拉控制信号,所述第五开关管的输出端与第一下拉结点连接;

所述第六开关管的控制端与所述上拉节点连接,所述第六开关管的输出端与用于提供所述基准电压的信号线连接;

所述第七开关管的控制端与所述上拉节点连接,所述第七开关管的输入端与所述第一下拉结点连接,所述第七开关管的输出端与用于提供所述基准电压的信号线连接;

所述第八开关管的控制端与所述第一下拉结点连接,所述第八开关管的输入端与所述上拉节点连接,所述第八开关管的输出端与用于提供所述基准电压的信号线连接;

所述第九开关管的控制端与所述第一下拉结点连接,所述第九开关管的输入端与所述输出模块的输出端连接,所述第九开关管的输出端与用于提供所述栅极关断电压的信号线连接。

6. 根据权利要求5所述的移位寄存器单元,其特征在于,所述第一下拉控制模块还包括第十开关管和第十一开关管;其中,

所述第十开关管的控制端接收所述输入信号,所述第十开关管的输入端与所述第四开关管的输出端连接,所述第十开关管的输出端与用于提供所述基准电压的信号线连接;

所述第十一开关管的控制端接收所述输入信号,所述第十一开关管的输入端与所述第一下拉结点连接,所述第十一开关管的输出端与用于提供所述基准电压的信号线连接。

7. 根据权利要求5或6所述的移位寄存器单元,其特征在于,所述移位寄存器单元还包括第二下拉控制模块,在所述保持阶段,所述第二下拉控制模块用于在第二下拉控制信号的作用下,使所述上拉节点的电压保持在所述基准电压,使所述输出模块的输出端电压保持在所述栅极关断电压;所述第二下拉控制信号与所述第一下拉控制信号相位相反。

8. 根据权利要求7所述的移位寄存器单元,其特征在于,所述第二下拉控制模块包括第十二开关管、第十三开关管、第十四开关管、第十五开关管、第十六开关管和第十七开关管;其中,

所述第十二开关管的控制端与所述第二下拉结点连接,所述第十二开关管的输入端与所述输出模块的输出端连接,所述第十二开关管的输出端与用于提供所述栅极关断电压的信号线连接;

所述第十三开关管的控制端和所述第十三开关管的输入端均接收所述第二下拉控制信号,所述第十三开关管的输出端连接所述第十四开关管的控制端,且所述第十三开关管的输出端连接所述第十五开关管的输入端;

所述第十四开关管的输入端接收所述第二下拉控制信号,所述第十四开关管的输出端与第二下拉结点连接;

所述第十五开关管的控制端与所述上拉节点连接,所述第十五开关管的输出端与用于提供所述基准电压的信号线连接;

所述第十六开关管的控制端与所述上拉节点连接,所述第十六开关管的输入端与所述第二下拉结点连接,所述第十六开关管的输出端与用于提供所述基准电压的信号线连接;

所述第十七开关管的控制端与所述第二下拉结点连接,所述第十七开关管的输入端与所述上拉节点连接,所述第十七开关管的输出端与用于提供所述基准电压的信号线连接。

9. 根据权利要求8所述的移位寄存器单元,其特征在于,所述第二下拉控制模块还包括第十八开关管和第十九开关管;其中,

所述第十八开关管的控制端接收所述输入信号,所述第十八开关管的输入端与所述第十三开关管的输出端连接,所述第十八开关管的输出端与用于提供所述基准电压的信号线连接;

所述第十九开关管的控制端接收所述输入信号,所述第十九开关管的输入端与所述第二下拉结点连接,所述第十九开关管的输出端与用于提供所述基准电压的信号线连接。

10. 根据权利要求8或9所述的移位寄存器单元,其特征在于,所述移位寄存器单元还包括:

输出寄存模块,在所述输出阶段,所述输出寄存模块用于在所述上拉节点的电压被进一步推高时,输出驱动信号和/或复位控制信号;在所述复位阶段,所述输出寄存模块用于在所述时钟信号的作用下,将所述输出寄存模块的输出端电压拉低至所述基准电压;

寄存下拉模块,在所述复位阶段,所述寄存下拉模块用于在第一寄存下拉控制信号的作用下,使所述输出寄存模块的输出端电压保持在所述基准电压;在所述保持阶段,所述寄存下拉模块用于在所述第一寄存下拉控制信号和第二寄存下拉控制信号的作用下,使所述输出寄存模块的输出端电压保持在所述基准电压。

11.根据权利要求10所述的移位寄存器单元,其特征在于,所述输出寄存模块包括第二十开关管,所述第二十开关管的控制端与所述上拉节点连接,所述第二十开关管的输入端接收所述时钟信号,所述第二十开关管的输出端输出所述驱动信号和所述复位控制信号。

12.根据权利要求10所述的移位寄存器单元,其特征在于,所述寄存下拉模块包括第二十一开关管和第二十二开关管;其中,

所述第二十一开关管的控制端与所述第一下拉结点连接,所述第二十一开关管的输入端与所述输出寄存模块的输出端连接,所述第二十一开关管的输出端与用于提供所述基准电压的信号线连接;

所述第二十二开关管的控制端与所述第二下拉结点连接,所述第二十二开关管的输入端与所述输出寄存模块的输出端连接,所述第二十二开关管的输出端与用于提供所述基准电压的信号线连接。

13.根据权利要求10所述的移位寄存器单元,其特征在于,所述移位寄存器单元还包括第二复位模块,在所述复位阶段,所述第二复位模块用于在第二复位信号的作用下,将所述输出寄存模块的输出端电压拉低至所述基准电压。

14.根据权利要求13所述的移位寄存器单元,其特征在于,所述第二复位模块包括第二十三开关管;所述第二十三开关管的控制端接收所述第二复位信号,所述第二十三开关管的输入端与所述输出寄存模块的输出端连接,所述第二十三开关管的输出端与用于提供所述基准电压的信号线连接。

15.根据权利要求1所述的移位寄存器单元,其特征在于,所述移位寄存器单元还包括电容,所述电容的一端与所述输出模块的输出端连接,所述电容的另一端与所述上拉节点连接。

16.一种栅极驱动电路,其特征在于,包括若干如权利要求1-6中任一项所述的移位寄存器单元。

17.根据权利要求16所述的栅极驱动电路,其特征在于,所述移位寄存器单元还包括第二下拉控制模块,在保持阶段,所述第二下拉控制模块用于在第二下拉控制信号的作用下,使上拉节点的电压保持在基准电压,使输出模块的输出端电压保持在栅极关断电压;所述第二下拉控制信号与第一下拉控制信号相位相反。

18.根据权利要求17所述的栅极驱动电路,其特征在于,所述移位寄存器单元还包括:

输出寄存模块,在输出阶段,所述输出寄存模块用于在所述上拉节点的电压被进一步推高时,输出驱动信号和复位控制信号;在复位阶段,所述输出寄存模块用于在时钟信号的作用下,将所述输出寄存模块的输出端电压拉低至所述基准电压;

寄存下拉模块,在所述复位阶段,所述寄存下拉模块用于在第一寄存下拉控制信号的作用下,使所述输出寄存模块的输出端电压保持在所述基准电压;在所述保持阶段,所述寄存下拉模块用于在所述第一寄存下拉控制信号和第二寄存下拉控制信号的作用下,使所述输出寄存模块的输出端电压保持在所述基准电压。

19. 根据权利要求18所述的栅极驱动电路,其特征在于,所述移位寄存器单元还包括第二复位模块,在所述复位阶段,所述第二复位模块用于在第二复位信号的作用下,将所述输出寄存模块的输出端电压拉低至所述基准电压。

20. 根据权利要求19所述的栅极驱动电路,其特征在于,第n级所述移位寄存器单元输出的驱动信号作为第n+k级所述移位寄存器单元的输入信号;第n级所述移位寄存器单元输出的复位控制信号作为第n-k级所述移位寄存器单元的第一复位信号;第n+1级所述移位寄存器单元输出的复位控制信号作为第n-k级所述移位寄存器单元的第二复位信号;第n+1级所述移位寄存器单元输出的复位控制信号作为第n+1-k级所述移位寄存器单元的第一复位信号;n为大于等于4的整数,k为大于等于3小于n的整数。

21. 根据权利要求16-20中任一项所述的栅极驱动电路,其特征在于,所述移位寄存器单元还包括电容,所述电容的一端与所述输出模块的输出端连接,所述电容的另一端与所述上拉节点连接。

22. 一种栅极驱动电路的驱动方法,其特征在于,用于驱动如权利要求16所述的栅极驱动电路,包括以下步骤:

输入阶段,移位寄存器单元的输入模块在输入信号的作用下,将上拉节点的电压拉高;

输出阶段,所述移位寄存器单元的输出模块在时钟信号的作用下,输出栅极驱动信号,并将所述上拉节点的电压进一步推高;

复位阶段,所述输出模块在所述时钟信号的作用下,将所述输出模块的输出端电压拉低至基准电压;所述移位寄存器单元的第一复位模块在第一复位信号的作用下,将上拉节点的电压拉低至所述基准电压;所述移位寄存器单元的第一下拉控制模块在第一下拉控制信号的作用下,将所述上拉节点的电压拉低至所述基准电压,并将所述输出模块的输出端电压由所述基准电压调节至栅极关断电压;

保持阶段,所述移位寄存器单元的第一下拉控制模块在第一下拉控制信号的作用下,使所述输出模块的输出端电压保持在栅极关断电压。

23. 根据权利要求22所述的栅极驱动电路的驱动方法,其特征在于,所述栅极驱动电路中的移位寄存器单元还包括第二下拉控制模块,在所述保持阶段,所述第二下拉控制模块在第二下拉控制信号的作用下,使上拉节点的电压保持在基准电压,使输出模块的输出端电压保持在栅极关断电压;所述第二下拉控制信号与所述第一下拉控制信号相位相反。

24. 根据权利要求23所述的栅极驱动电路的驱动方法,其特征在于,所述栅极驱动电路中的移位寄存器单元还包括输出寄存模块和寄存下拉模块;

在所述输出阶段,所述输出寄存模块在所述上拉节点的电压被进一步推高时,输出驱动信号和/或复位控制信号;

在所述复位阶段,所述输出寄存模块在时钟信号的作用下,将所述输出寄存模块的输出端电压拉低至所述基准电压;所述寄存下拉模块在第一寄存下拉控制信号的作用下,使所述输出寄存模块的输出端电压保持在所述基准电压;

在所述保持阶段,所述寄存下拉模块在所述第一寄存下拉控制信号和第二寄存下拉控制信号的作用下,使所述输出寄存模块的输出端电压保持在所述基准电压。

25. 根据权利要求24所述的栅极驱动电路的驱动方法,其特征在于,所述栅极驱动电路中的移位寄存器单元还包括第二复位模块,在所述复位阶段,所述第二复位模块在第二复

位信号的作用下,将所述输出寄存模块的输出端电压拉低至所述基准电压。

一种移位寄存器单元、栅极驱动电路及其驱动方法

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种移位寄存器单元、栅极驱动电路及其驱动方法。

背景技术

[0002] 随着显示技术的不断发展,越来越多的显示装置采用阵列基板行驱动(Gate On Array,以下简称GOA)技术,这种GOA技术是将栅极驱动电路集成在阵列基板的非显示区域上,在很大程度上缩小了阵列基板的边框宽度。集成在阵列基板上的栅极驱动电路包括若干个移位寄存器单元,每个移位寄存器单元对应阵列基板上的一条栅线,并通过输出栅极驱动信号来实现对该条栅线的驱动,且栅极驱动信号在完成对栅线的驱动后会被复位至栅极关断电压,从而使后续工作能够正常进行。

[0003] 但由于分配到显示装置中每一行像素的时间固定,而且在固定的时间内,需要完成该行像素的充电过程和栅极驱动信号的复位过程;因此,对于较高分辨率的显示装置,其栅极驱动信号复位时间较长,就会导致该行像素所对应的像素充电时间较短,无法很好的实现对像素的充电。

发明内容

[0004] 本发明的目的在于提供一种移位寄存器单元、栅极驱动电路及其驱动方法,用于解决由于栅极驱动信号复位时间较长所导致的无法保证对像素很好的充电的问题。

[0005] 为了实现上述目的,本发明提供如下技术方案:

[0006] 本发明的第一方面提供一种移位寄存器单元,所述移位寄存器单元的一个工作周期包括:输入阶段、输出阶段、复位阶段和保持阶段,所述移位寄存器单元包括:

[0007] 输入模块,在所述输入阶段,所述输入模块用于在输入信号的作用下,将上拉节点的电压拉高;

[0008] 输出模块,在所述输出阶段,所述输出模块用于在时钟信号的作用下,输出栅极驱动信号,并将所述上拉节点的电压进一步推高;在所述复位阶段,所述输出模块用于在所述时钟信号的作用下,将所述输出模块的输出端电压拉低至基准电压;

[0009] 第一复位模块,在所述复位阶段,所述第一复位模块用于在所述第一复位信号的作用下,将所述上拉节点的电压拉低至所述基准电压;

[0010] 第一下拉控制模块,在所述复位阶段,所述第一下拉控制模块用于在第一下拉控制信号的作用下,将所述上拉节点的电压拉低至所述基准电压,并将所述输出模块的输出端电压由所述基准电压调节至栅极关断电压;在所述保持阶段,所述第一下拉控制模块用于在所述第一下拉控制信号的作用下,使所述输出模块的输出端电压保持在所述栅极关断电压;所述基准电压小于所述栅极关断电压。

[0011] 基于上述移位寄存器单元的技术方案,本发明的第二方面提供一种栅极驱动电路,包括若干上述移位寄存器单元。

[0012] 基于上述栅极驱动电路的技术方案,本发明的第三方面提供一种栅极驱动电路的驱动方法,用于驱动上述栅极驱动电路,包括以下步骤:

[0013] 输入阶段,移位寄存器单元的输入模块在输入信号的作用下,将上拉节点的电压拉高;

[0014] 输出阶段,所述移位寄存器单元的输出模块在时钟信号的作用下,输出栅极驱动信号,并将所述上拉节点的电压进一步推高;

[0015] 复位阶段,所述输出模块在所述时钟信号的作用下,将所述输出模块的输出端电压拉低至基准电压;所述移位寄存器单元的第一复位模块在第一复位信号的作用下,将上拉节点的电压拉低至所述基准电压;所述移位寄存器单元的第一下拉控制模块在第一下拉控制信号的作用下,将所述上拉节点的电压拉低至所述基准电压,并将所述输出模块的输出端电压由所述基准电压调节至栅极关断电压;

[0016] 保持阶段,所述移位寄存器单元的第一下拉控制模块在第一下拉控制信号的作用下,使所述输出模块的输出端电压保持在栅极关断电压。

[0017] 本发明提供的移位寄存器单元中,输入模块能够在输入阶段,将上拉节点的电压拉高;输出模块能够在输出阶段输出栅极驱动信号,并将上拉节点的电压进一步推高,而且输出模块还能够在复位阶段时,在上拉节点的电压以及时钟信号的共同作用下,将输出模块的输出端电压拉低至基准电压;第一复位模块能够在复位阶段,将上拉节点的电压拉低至基准电压;第一下拉控制模块能够在复位阶段,将上拉节点的电压拉低至基准电压,并将输出模块的输出端电压由基准电压调节至栅极关断电压,而且第一下拉控制模块还能够在保持阶段,使输出模块的输出端电压保持在栅极关断电压。由于在复位阶段,输出模块的输出端电压先被拉低至基准电压,然后又被调节为栅极关断电压,而基准电压小于栅极关断电压,这就使得在由输出阶段到刚进入复位阶段的过程中,输出模块的输出端电压的波动量变大,而在响应时间基准不变的情况下,相应的输出模块的输出端电压的波动量的百分比就变小,从而降低了阻容延迟系数,实现了对栅极驱动信号的快速复位,增强了移位寄存器单元的驱动能力,保证了像素充电时间。

[0018] 此外,第一下拉控制模块能够在复位阶段,将输出模块的输出端电压由基准电压调节至栅极关断电压,而且在保持阶段,第一下拉控制模块还能够使输出模块的输出端电压保持在栅极关断电压;由于栅极关断电压是现有技术中经大量实验验证所获得的优选电压值,输出模块的输出端电压输出栅极关断电压时,能够减少阵列基板漏电现象的发生,使显示装置能够工作在稳定的状态。因此,本发明提供的移位寄存器单元不仅实现了对栅极驱动信号的快速复位,保证了像素充电时间,还能够在保持阶段将输出模块的输出端电压保持在栅极关断电压,保证了显示装置稳定的工作状态。

附图说明

[0019] 此处所说明的附图用来提供对本发明的进一步理解,构成本发明的一部分,本发明的示意性实施例及其说明用于解释本发明,并不构成对本发明的不当限定。在附图中:

[0020] 图1为本发明实施例提供的移位寄存器单元的模块示意图;

[0021] 图2为本发明实施例提供的输出复位时间降低示意图;

[0022] 图3为本发明实施例提供的移位寄存器单元的结构示意图;

- [0023] 图4为本发明实施例提供的移位寄存器单元的工作时序图；
- [0024] 图5为本发明实施例提供的栅极驱动电路的结构示意图。
- [0025] 附图标记：
- [0026] T1-第一开关管， T2-第二开关管， T3-第三开关管，
- [0027] T4-第四开关管， T5-第五开关管， T6-第六开关管，
- [0028] T7-第七开关管， T8-第八开关管， T9-第九开关管，
- [0029] T10-第十开关管， T11-第十一开关管， T12-第十二开关管，
- [0030] T13-第十三开关管， T14-第十四开关管， T15-第十五开关管，
- [0031] T16-第十六开关管， T17-第十七开关管， T18-第十八开关管，
- [0032] T19-第十九开关管， T20-第二十开关管， T21-第二十一开关管，
- [0033] T22-第二十二开关管， T23-第二十三开关管， PU-上拉节点，
- [0034] PD1-第一下拉结点， PD2-第二下拉结点， Input-输入信号，
- [0035] Output-栅极驱动信号， VHD1-第一下拉控制信号， CLK-时钟信号，
- [0036] Rst1-第一复位信号， VHD2-第二下拉控制信号， Rst2-第二复位信号，
- [0037] Vref1-基准电压， Vref2-栅极关断电压， t1-输入阶段，
- [0038] T2-输出阶段， t3-复位阶段， t4-保持阶段，
- [0039] 1-输入模块， 2-输出模块， 3-第一复位模块，
- [0040] 4-第一下拉控制模块， 5-第二下拉控制模块， 6-输出寄存模块，
- [0041] 7-寄存下拉模块， 8-第二复位模块， STV帧起始信号，
- [0042] CLK1-第一时钟信号， CLK2-第二时钟信号， CLK3-第三时钟信号，
- [0043] CLK4-第四时钟信号， CLK5-第五时钟信号， CLK6-第六时钟信号。

具体实施方式

[0044] 为了进一步说明本发明实施例提供的移位寄存器单元、栅极驱动电路及其驱动方法，下面结合说明书附图进行详细描述。

[0045] 请参阅图1和图4，本发明实施例提供的移位寄存器单元的一个工作周期包括：输入阶段t1、输出阶段t2、复位阶段t3和保持阶段t4，移位寄存器单元包括：输入模块1、输出模块2、第一复位模块3和第一下拉控制模块4。其中输入模块1在输入阶段t1，用于在输入信号Input的作用下，将上拉节点PU的电压拉高；输出模块2在输出阶段t2，用于在时钟信号CLK的作用下，输出模块2的输出端输出栅极驱动信号Output，并将上拉节点PU的电压进一步推高；输出模块2在复位阶段t3，用于在时钟信号CLK（低电平为基准电压Vref1）的作用下，将输出模块2的输出端电压拉低至基准电压Vref1；第一复位模块3在复位阶段t3，用于在第一复位信号Rst1的作用下，将上拉节点PU的电压拉低至基准电压Vref1；第一下拉控制模块4在复位阶段t3，用于在第一下拉控制信号VHD1的作用下，将上拉节点PU的电压拉低至基准电压Vref1，并将输出模块2的输出端电压由基准电压Vref1调节至栅极关断电压Vref2；第一下拉控制模块4在保持阶段t4，用于在第一下拉控制信号VHD1的作用下，使输出模块2的输出端电压保持在栅极关断电压Vref2；基准电压Vref1小于栅极关断电压Vref2。

[0046] 上述移位寄存器单元的具体工作过程为：在输入阶段t1，移位寄存器单元的输入模块1在输入信号Input的作用下，将上拉节点PU的电压拉高；在输出阶段t2，移位寄存器单

元的输出模块2在时钟信号CLK的作用下,输出栅极驱动信号Output,并将上拉节点PU的电压进一步推高;在复位阶段t3,输出模块2在时钟信号CLK的作用下,将输出模块2的输出端电压拉低至基准电压Vref1;移位寄存器单元的第一复位模块3在第一复位信号Rst1的作用下,将上拉节点PU的电压拉低至基准电压Vref1;移位寄存器单元的第一下拉控制模块4在第一下拉控制信号VHD1的作用下,将上拉节点PU的电压拉低至基准电压Vref1,并将输出模块2的输出端电压由基准电压Vref1调节至栅极关断电压Vref2;在保持阶段t4,移位寄存器单元的第一下拉控制模块4在第一下拉控制信号VHD1的作用下,将上拉节点PU的电压拉低至基准电压Vref1,并使输出模块2的输出端电压保持在栅极关断电压Vref2。需要说明的是,第一下拉控制信号VHD1与时钟信号CLK具有180度相位差。

[0047] 请参阅图2,结合上述实施例提供的移位寄存器单元的结构和具体工作过程,本发明实施例提供的移位寄存器单元中,输入模块1能够在输入阶段t1,将上拉节点PU的电压拉高;输出模块2能够在输出阶段t2,输出栅极驱动信号Output,并将上拉节点PU的电压进一步推高,而且输出模块2还能够在复位阶段t3时,在上拉节点PU的电压以及时钟信号CLK的共同作用下,将输出模块2的输出端电压拉低至基准电压Vref1;第一复位模块3能够在复位阶段t3,将上拉节点PU的电压拉低至基准电压Vref1;第一下拉控制模块4能够在复位阶段t3,将上拉节点PU的电压拉低至基准电压Vref1,并将输出模块2的输出端电压由基准电压Vref1调节至栅极关断电压Vref2,而且第一下拉控制模块4还能够在保持阶段t4,使输出模块2的输出端电压保持在栅极关断电压Vref2。由于在复位阶段t3,输出模块2的输出端电压先被拉低至基准电压Vref1,然后又被调节为栅极关断电压Vref2,而基准电压Vref1小于栅极关断电压Vref2,这就使得在由输出阶段t2到刚进入复位阶段t3的过程中,输出模块2的输出端电压的波动量(由VGH下降到Vref1,VGH为栅极驱动信号Output所对应的高电平)变大,而在响应时间基准不变的情况下,相应的输出模块2的输出端电压的波动量的百分比就变小,从而降低了阻容延迟系数,实现了对栅极驱动信号Output的快速复位(即加快了栅极驱动信号Output到达10%(VGH-Vref2)的时间,如图2中复位时间 Δt_2 小于复位时间 Δt_1),增强了移位寄存器单元的驱动能力,保证了像素充电时间。

[0048] 此外,第一下拉控制模块4能够在复位阶段t3,将输出模块2的输出端电压由基准电压Vref1调节至栅极关断电压Vref2,而且在保持阶段t4,第一下拉控制模块4还能够使输出模块2的输出端电压保持在栅极关断电压Vref2;由于栅极关断电压Vref2是现有技术中经大量实验验证所获得的优选电压值,输出模块2的输出端电压输出栅极关断电压Vref2时,能够减少阵列基板漏电现象的发生,使显示装置能够工作在稳定的状态。因此,本发明提供的移位寄存器单元不仅实现了对栅极驱动信号Output的快速复位,保证了像素充电时间,还能够在保持阶段t4将输出模块2的输出端电压保持在栅极关断电压Vref2,保证了显示装置稳定的工作状态。

[0049] 请参阅图3,上述实施例所提供的移位寄存器单元中的输入模块1、输出模块2、第一复位模块3和第一下拉控制模块4的具体结构均多种多样,下面给出各模块对应的一种具体结构,以对移位寄存器单元的工作过程及有益效果进行详细分析;当然,各个模块不仅限于给出的具体结构。

[0050] 输入模块1包括第一开关管T1,第一开关管T1的控制端和第一开关管T1的输入端均接收输入信号Input,第一开关管T1的输出端与上拉节点PU连接。在输入阶段t1,输入信

号Input控制第一开关管T1导通,第一开关管T1导通后即实现将上拉节点PU的电压拉高。

[0051] 输出模块2包括第二开关管T2,第二开关管T2的控制端与上拉节点PU连接,第二开关管T2的输入端接收时钟信号CLK,第二开关管T2的输出端输出栅极驱动信号Output。在输出阶段t2,上拉节点PU的电压信号控制第二开关管T2导通,第二开关管T2导通后在时钟信号CLK的作用下,并结合第二开关管T2中寄生电容的自举作用,上拉节点PU的电压被进一步推高;同时第二开关管T2的输出端输出栅极驱动信号Output。在复位阶段t3,上拉节点PU的电压信号在一段时间内(可以是复位阶段t3的前半段时间)仍然能够控制第二开关管T2导通,在这段时间内,在时钟信号CLK的作用下,第二开关管T2的输出端电压被拉低至基准电压Vref1。

[0052] 第一复位模块3包括第三开关管T3,第三开关管T3的控制端接收第一复位信号Rst1,第三开关管T3的输入端与上拉节点PU连接,第三开关管T3的输出端与用于提供基准电压Vref1的信号线连接。在复位阶段t3,第一复位信号Rst1控制第三开关管T3导通,第三开关管T3导通后使得上拉节点PU与提供基准电压Vref1的信号线连通,从而将上拉节点PU的电压拉低至基准电压Vref1。

[0053] 第一下拉控制模块4包括第四开关管T4、第五开关管T5、第六开关管T6、第七开关管T7、第八开关管T8和第九开关管T9;其中,第四开关管T4的控制端和第四开关管T4的输入端均接收第一下拉控制信号VHD1,第四开关管T4的输出端连接第五开关管T5的控制端,且第四开关管T4的输出端连接第六开关管T6的输入端;第五开关管T5的输入端接收第一下拉控制信号VHD1,第五开关管T5的输出端与第一下拉结点PD1连接;第六开关管T6的控制端与上拉节点PU连接,第六开关管T6的输出端与用于提供基准电压Vref1的信号线连接;第七开关管T7的控制端与上拉节点PU连接,第七开关管T7的输入端与第一下拉结点PD1连接,第七开关管T7的输出端与用于提供基准电压Vref1的信号线连接;第八开关管T8的控制端与第一下拉结点PD1连接,第八开关管T8的输入端与上拉节点PU连接,第八开关管T8的输出端与用于提供基准电压Vref1的信号线连接;第九开关管T9的控制端与第一下拉结点PD1连接,第九开关管T9的输入端与输出模块2的输出端连接,第九开关管T9的输出端与用于提供栅极关断电压Vref2的信号线连接。

[0054] 在复位阶段t3,第一下拉控制信号VHD1控制第四开关管T4导通,第四开关管T4导通后进而控制第五开关管T5导通,由于第五开关管T5的输入端接收第一下拉控制信号VHD1,第五开关管T5导通后就会控制第一下拉结点PD1的电压信号,第一下拉结点PD1的电压信号进而控制第八开关管T8和第九开关管T9导通,第八开关管T8导通将上拉节点PU的电压拉低至基准电压Vref1,第九开关管T9导通将输出模块2的输出端电压由基准电压Vref1调节至栅极关断电压Vref2。在保持阶段t4,同理在第一下拉控制信号VHD1的作用下,第八开关管T8导通使上拉节点PU的电压保持在基准电压Vref1,第九开关管T9导通使输出模块2的输出端电压保持在栅极关断电压Vref2。

[0055] 值得注意的是,由于第六开关管T6的控制端和第七开关管T7的控制端均与上拉节点PU连接,因此,上拉节点PU的电压信号能够控制第六开关管T6和第七开关管T7的导通与截止;而在复位阶段t3开始后的一段时间里,由于上拉节点PU的电压信号仍然能够控制第二开关管T2导通,即上拉节点PU的电压信号同时能够控制第六开关管T6和第七开关管T7导通,而第六开关管T6导通会将第四开关管T4的输出端电压拉低至基准电压Vref1,使得第五

开关管T5截止；而第七开关管T7导通会将第一下拉结点PD1的电压拉低至基准电压Vref1，因此，在这段时间内，第一下拉结点PD1的电压信号不能够使第八晶体管和第九晶体管导通，保证了输出模块2的输出端电压在时钟信号CLK的作用下被拉低至基准电压Vref1。而在复位阶段t3接下来的时间内（可以是复位阶段t3的后半段时间），上拉节点PU的电压在第一复位模块3的作用下被拉低至基准电压Vref1，这样第六开关管T6和第七开关管T7均处于截止状态，就使得在第一下拉结点PD1的电压信号的作用下，实现第八开关管T8导通将上拉节点PU的电压拉低至基准电压Vref1，第九开关管T9导通将输出模块2的输出端电压由基准电压Vref1调节至栅极关断电压Vref2。

[0056] 此外，第八开关管T8和上述第三开关管T3均起到将上拉节点PU的电压拉低至基准电压Vref1的作用，这样就能够使得上拉节点PU的电压能够被更快速、更容易的拉低。

[0057] 上述实施例提供的第一下拉控制模块4还可以包括第十开关管T10和第十一开关管T11；其中，第十开关管T10的控制端接收输入信号Input，第十开关管T10的输入端与第四开关管T4的输出端连接，第十开关管T10的输出端与用于提供基准电压Vref1的信号线连接；第十一开关管T11的控制端接收输入信号Input，第十一开关管T11的输入端与第一下拉结点PD1连接，第十一开关管T11的输出端与用于提供基准电压Vref1的信号线连接。

[0058] 根据上述第十开关管T10和第十一开关管T11的连接关系可知，输入信号Input能够控制第十开关管T10和第十一开关管T11的导通与截止，这样在输入阶段t1，输入信号Input在控制输入模块1将上拉节点PU的电压拉高的同时，还会控制第十开关管T10和第十一开关管T11均导通，而第十开关管T10导通会将第四开关管T4的输出端电压拉低至基准电压Vref1，使得第五开关管T5截止；而第十一开关管T11导通会将第一下拉结点PD1的电压拉低至基准电压Vref1；这样当在输入信号Input的作用下拉高上拉节点PU的电压时，输入信号Input会同时将第一下拉结点的电压拉低，即加速对第一下拉结点PD1的放电，保证对上拉节点PU的快速充电，这样就会避免由于第一下拉结点PD1的电压信号的影响，使得第八开关管T8和第九开关管T9导通，从而导致影响上拉节点PU充电的情况。使得移位寄存器单元具有更高的可靠性，而且保证了输出模块2的输出端电压能够更快速的充放电。

[0059] 上述实施例提供的移位寄存器单元还可以包括第二下拉控制模块5，在保持阶段t4，第二下拉控制模块5用于在第二下拉控制信号VHD2的作用下，使上拉节点PU的电压保持在基准电压Vref1，使输出模块2的输出端电压保持在栅极关断电压Vref2；第二下拉控制信号VHD2与第一下拉控制信号VHD1相位相反。

[0060] 在保持阶段t4，所引入的第二下拉控制模块5与上述的第一下拉控制模块4具有相同的功能，即均是在对应的下拉控制信号的作用下，使上拉节点PU的电压保持在基准电压Vref1，使输出模块2的输出端电压保持在栅极关断电压Vref2；而第一下拉控制信号VHD1与第二下拉控制信号VHD2的相位相反，就使得当第一下拉控制信号VHD1控制第一下拉模块不工作时，第二下拉控制信号VHD2控制第二下拉模块工作，而当第一下拉控制信号VHD1控制第一下拉模块工作时，第二下拉控制信号VHD2控制第二下拉模块不工作，即在保持阶段t4中的任意时间点，总是有第一下拉控制模块4或第二下拉控制模块5使得上拉节点PU的电压保持在基准电压Vref1，使输出模块2的输出端电压保持在栅极关断电压Vref2；这样对于包括多个移位寄存器单元的栅极驱动电路来说，在当前移位寄存器单元对栅线驱动时，当前移位寄存器单元上级的全部移位寄存器单元的上拉节点PU电压和输出模块2的输出端电压

均保持在低电平状态,这样就很好的避免了栅极驱动信号Output多输出的问题,很好的提高了显示装置中栅极驱动电路输出的栅极驱动信号Output的稳定性。

[0061] 请继续参阅图3,上述第二下拉控制模块5的结构有很多种,下面给出一种第二下拉控制模块5的具体结构,但不仅限于此。

[0062] 第二下拉控制模块5包括第十二开关管T12、第十三开关管T13、第十四开关管T14、第十五开关管T15、第十六开关管T16和第十七开关管T17;其中,第十二开关管T12的控制端与第二下拉结点PD2连接,第十二开关管T12的输入端与输出模块2的输出端连接,第十二开关管T12的输出端与用于提供栅极关断电压Vref2的信号线连接;第十三开关管T13的控制端和第十三开关管T13的输入端均接收第二下拉控制信号VHD2,第十三开关管T13的输出端连接第十四开关管T14的控制端,且第十三开关管T13的输出端连接第十五开关管T15的输入端;第十四开关管T14的输入端接收第二下拉控制信号VHD2,第十四开关管T14的输出端与第二下拉结点PD2连接;第十五开关管T15的控制端与上拉节点PU连接,第十五开关管T15的输出端与用于提供基准电压Vref1的信号线连接;第十六开关管T16的控制端与上拉节点PU连接,第十六开关管T16的输入端与第二下拉结点PD2连接,第十六开关管T16的输出端与用于提供基准电压Vref1的信号线连接;第十七开关管T17的控制端与第二下拉结点PD2连接,第十七开关管T17的输入端与上拉节点PU连接,第十七开关管T17的输出端与用于提供基准电压Vref1的信号线连接。

[0063] 在保持阶段t4,第二下拉控制信号VHD2控制第十三开关管T13导通,第十三开关管T13导通后进而控制第十四开关管T14导通,由于第十四开关管T14的输入端接收第二下拉控制信号VHD2,第十四开关管T14导通后就会控制第二下拉结点PD2的电压信号,第二下拉结点PD2的电压信号进而控制第十二开关管T12和第十七开关管T17导通,第十二开关管T12导通使输出模块2的输出端电压保持在栅极关断电压Vref2;第十七开关管T17导通使上拉节点PU的电压保持在基准电压Vref1。

[0064] 值得注意的是,由于第十五开关管T15的控制端和第十六开关管T16的控制端均与上拉节点PU连接,因此,上拉节点PU的电压信号能够控制第十五开关管T15和第十六开关管T16的导通与截止;在输出阶段t2,虽然第二下拉控制信号VHD2能够控制第十三开关管T13和第十四开关管T14导通,影响第二下拉结点PD2的电压,但是在输出阶段t2上拉节点PU的电压信号能够控制第十五开关管T15和第十六开关管T16均导通,而第十五开关管T15导通会将第十三开关管T13的输出端电压拉低至基准电压Vref1,使得第十四开关管T14截止;而第十六开关管T16导通会将第二下拉结点PD2的电压拉低至基准电压Vref1,因此,在输出阶段t2,第二下拉结点PD2的电压信号不能够使十二开关管和第十七开关管T17导通,避免了对上拉节点PU的电压信号的影响,而且很好的保证了输出模块2能够输出栅极驱动信号Output。

[0065] 上述实施例提供的第二下拉控制模块5还可以包括第十八开关管T18和第十九开关管T19;其中,第十八开关管T18的控制端接收输入信号Input,第十八开关管T18的输入端与第十三开关管T13的输出端连接,第十八开关管T18的输出端与用于提供基准电压Vref1的信号线连接;第十九开关管T19的控制端接收输入信号Input,第十九开关管T19的输入端与第二下拉结点PD2连接,第十九开关管T19的输出端与用于提供基准电压Vref1的信号线连接。

[0066] 根据上述第十八开关管T18和第十九开关管T19的连接关系可知,输入信号Input能够控制第十八开关管T18和第十九开关管T19的导通与截止,这样在输入阶段t1,输入信号Input在控制输入模块1将上拉节点PU的电压拉高的同时,还会控制第十八开关管T18和第十九开关管T19均导通,而第十八开关管T18导通会将第十三开关管T13的输出端电压拉低至基准电压Vref1,使得第十四开关管T14截止;而第十九开关管T19导通会将第二下拉结点PD2的电压拉低至基准电压Vref1;这样当在输入信号Input的作用下拉高上拉节点PU的电压时,输入信号Input会同时将第二下拉结点的电压拉低,即加速对第二下拉结点PD2的放电,保证对上拉节点PU的快速充电,这样就会避免由于第二下拉结点PD2的电压信号的影响,使得第十二开关管T12和第十七开关管T17导通,从而导致影响上拉节点PU充电的情况。使得移位寄存器单元具有更高的可靠性,而且保证了输出模块2的输出端电压能够更快速的充放电。

[0067] 上述实施例提供的移位寄存器单元还可以包括输出寄存模块6和寄存下拉模块7,其中输出寄存模块6在输出阶段t2,用于在上拉节点PU的电压被进一步推高时,输出驱动信号和/或复位控制信号(由输出寄存模块6的输出端Carry Out);输出寄存模块6在复位阶段t3,用于在时钟信号CLK的作用下,将输出寄存模块6的输出端电压拉低至基准电压Vref1;寄存下拉模块7在复位阶段t3,用于在第一寄存下拉控制信号的作用下,使输出寄存模块6的输出端电压保持在基准电压Vref1;寄存下拉模块7在保持阶段t4,用于在第一寄存下拉控制信号和第二寄存下拉控制信号的作用下,使输出寄存模块6的输出端电压保持在基准电压Vref1。

[0068] 上述输出寄存模块6和寄存下拉模块7的具体工作过程为:在输出阶段t2,输出寄存模块6在上拉节点PU的电压被进一步推高时,输出驱动信号和/或复位控制信号;在复位阶段t3,输出寄存模块6在时钟信号CLK的作用下,将输出寄存模块6的输出端电压拉低至基准电压Vref1;寄存下拉模块7在第一寄存下拉控制信号的作用下,使输出寄存模块6的输出端电压保持在基准电压Vref1;在保持阶段t4,寄存下拉模块7在第一寄存下拉控制信号和第二寄存下拉控制信号的作用下,使输出寄存模块6的输出端电压保持在基准电压Vref1。

[0069] 需要特殊说明的是,驱动信号即为当前移位寄存器单元为下级移位寄存器单元提供的输入信号Input,复位控制信号即为当前移位寄存器单元为上级移位寄存器单元提供的第一复位信号Rst1和/或第二复位信号Rst2。第一寄存下拉控制信号即为第一下拉结点PD1的电压信号,第二寄存下拉控制信号即为第二下拉结点PD2的电压信号。

[0070] 上述实施例所提供的输出模块2能够输出对应的栅极驱动信号Output,而所增加的输出寄存模块6和寄存下拉模块7能够输出驱动信号和复位控制信号,这样就使得栅极驱动信号Output和驱动信号以及复位控制信号之间不会相互影响,这样下级移位寄存器单元的输入信号Input的波形,就不会由于受到当前移位寄存器单元的栅极驱动信号Output的负载影响而出现失真的情况,而且选用功耗较低的开关管即可驱动输出模块2输出栅极驱动信号Output,以及驱动输出寄存模块6输出驱动信号和复位控制信号,很好的降低了移位寄存器单元的功耗。当然不引入输出寄存模块6和寄存下拉模块7时,输出模块2也能够实现输出驱动信号和复位控制信号,这样更有利于减小显示装置的边框。

[0071] 请继续参阅图3,以下给出一种输出寄存模块6和寄存下拉模块7的具体结构,并对输出寄存模块6和寄存下拉模块7的工作过程进行详细说明,当然不仅限于给出的结构。

[0072] 输出寄存模块6包括第二十开关管T20,第二十开关管T20的控制端与上拉节点PU连接,第二十开关管T20的输入端接收时钟信号CLK,第二十开关管T20的输出端输出驱动信号和复位控制信号。寄存下拉模块7包括第二十一开关管T21和第二十二开关管T22;其中,第二十一开关管T21的控制端与第一下拉结点PD1连接,第二十一开关管T21的输入端与输出寄存模块6的输出端连接,第二十一开关管T21的输出端与用于提供基准电压Vref1的信号线连接;第二十二开关管T22的控制端与第二下拉结点PD2连接,第二十二开关管T22的输入端与输出寄存模块6的输出端连接,第二十二开关管T22的输出端与用于提供基准电压Vref1的信号线连接。

[0073] 输出寄存模块6在实际工作时,在输出阶段t2上拉节点PU的电压信号控制第二十开关管T20导通,即在上拉节点PU的电压被进一步推高时,在时钟信号CLK的作用下,输出驱动信号和/或复位控制信号;在刚进入到复位阶段t3时,上拉节点PU的电压信号继续控制第二十开关管T20导通,在时钟信号CLK的作用下,第二十开关管T20的输出端电压被拉低至基准电压Vref1。

[0074] 寄存下拉模块7在实际工作时,在复位阶段t3第一下拉结点PD1的电压信号控制第二十一开关管T21导通,使第二十开关管T20的输出端电压保持在基准电压Vref1;在保持阶段t4第一下拉结点PD1的电压信号控制第二十一开关管T21导通与截止,第二下拉结点PD2的电压信号控制第二十二开关管T22导通与截止,使第二十开关管T20的输出端电压保持在基准电压Vref1。

[0075] 上述实施例提供的移位寄存器单元还可以包括第二复位模块8,在复位阶段t3第二复位模块8在第二复位信号Rst2的作用下,将输出寄存模块6的输出端电压拉低至基准电压Vref1。第二复位模块8包括第二十三开关管T23;第二十三开关管T23的控制端接收第二复位信号Rst2,第二十三开关管T23的输入端与输出寄存模块6的输出端连接,第二十三开关管T23的输出端与用于提供基准电压Vref1的信号线连接,当然第二复位模块8不仅限于给出的这种结构。

[0076] 第二复位模块8在实际工作时,在复位阶段t3第二复位信号Rst2控制第二十三开关管T23导通,将输出寄存模块6的输出端电压拉低至基准电压Vref1。引入第二复位模块8,使得第二十三开关管T23能够与第二十一开关管T21相配合,将输出寄存模块6的输出端电压更容易且更快速的拉低至基准电压Vref1。

[0077] 需要特殊说明的是,上述实施例中所提到的第一开关管T1至第二十三开关管T23可选用的种类多种多样,例如:P型晶体管、N型晶体管;而根据所选用的开关管类型不同,可以相应的选择合适的控制信号来控制开关管的导通与截止。另外,只要明白上述移位寄存器单元的基本原理,就能够很容易的将本发明实施例提供的移位寄存器单元改成利用其他具有可控开关作用的器件构成的电路,但无论使用哪种器件来实现移位寄存器单元的驱动功能,都不能带来实质的变化,因此,无论使用哪种器件,只要是根据本发明实施例提供的移位寄存器单元的基本原理来实现驱动功能,均应在本专利的保护范围内。

[0078] 由于输出模块2中的寄生电容会对噪声信号有一定的存储作用,这就使得寄生电容会对上拉节点PU的电压产生一定的影响,而为了避免这种由寄生电容造成的影响,上述实施例提供的移位寄存器单元还可以包括电容C1,使电容C1的一端与输出模块2的输出端连接,电容C1的另一端与上拉节点PU连接,这样引入的电容C1与寄生电容并联,就很好的降

低了寄生电容对上拉节点PU的电压产生的分压作用,从而增强了移位寄存器单元的抗干扰能力。

[0079] 请参阅图5,本发明实施例还提供了一种栅极驱动电路,包括若干级联的上述移位寄存器单元。这种栅极驱动电路中所引入的移位寄存器单元在复位阶段t3,输出模块2的输出端电压先被拉低至基准电压Vref1,然后又被调节为栅极关断电压Vref2,而基准电压Vref1小于栅极关断电压Vref2,这就使得在由输出阶段t2到刚进入复位阶段t3的过程中,输出模块2的输出端电压的波动量变大,而在响应时间基准不变的情况下,相应的输出模块2的输出端电压的波动量的百分比就变小,从而降低了阻容延迟系数,实现了对栅极驱动信号Output的快速复位,保证了像素充电时间。此外,所包括的移位寄存器单元中的第一下拉控制模块4能够在复位阶段t3,将输出模块2的输出端电压由基准电压Vref1调节至栅极关断电压Vref2,而且在保持阶段t4,第一下拉控制模块4还能够使输出模块2的输出端电压保持在栅极关断电压Vref2。因此,本发明提供的栅极驱动电路不仅实现了对栅极驱动信号Output的快速复位,保证了像素充电时间,还能够保持阶段t4将输出模块2的输出端电压保持在栅极关断电压Vref2,保证了显示装置稳定的工作状态。

[0080] 上述栅极驱动电路所包括的移位寄存器单元还包括第二下拉控制模块5,在保持阶段t4,第二下拉控制模块5用于在第二下拉控制信号VHD2的作用下,使上拉节点PU的电压保持在基准电压Vref1,使输出模块2的输出端电压保持在栅极关断电压Vref2;第二下拉控制信号VHD2与第一下拉控制信号VHD1相位相反。

[0081] 上述栅极驱动电路所包括的移位寄存器单元还包括输出寄存模块6和寄存下拉模块7;其中输出寄存模块6,在输出阶段t2,输出寄存模块6用于在上拉节点PU的电压被进一步推高时,输出驱动信号和复位控制信号;在复位阶段t3,输出寄存模块6用于在时钟信号CLK的作用下,将输出寄存模块6的输出端电压拉低至基准电压Vref1;寄存下拉模块7,在复位阶段t3,寄存下拉模块7用于在第一寄存下拉控制信号的作用下,使输出寄存模块6的输出端电压保持在基准电压Vref1;在保持阶段t4,寄存下拉模块7用于在第一寄存下拉控制信号和第二寄存下拉控制信号的作用下,使输出寄存模块6的输出端电压保持在基准电压Vref1。

[0082] 上述栅极驱动电路所包括的移位寄存器单元还包括第二复位模块8,在复位阶段t3,第二复位模块8用于在第二复位信号Rst2的作用下,将输出寄存模块6的输出端电压拉低至基准电压Vref1。

[0083] 上述栅极驱动电路所包括的移位寄存器单元还包括电容C1,电容C1的一端与输出模块2的输出端连接,电容C1的另一端与上拉节点PU连接。

[0084] 当在栅极驱动电路包括的移位寄存器单元中引入上述第二下拉控制模块5、输出寄存模块6、寄存下拉模块7、第二复位模块8和电容时,栅极驱动电路所产生的有益效果与上述介绍移位寄存器单元时所描述的效果相同,此处不做赘述。

[0085] 请继续参阅图5,上述实施例所提供的栅极驱动电路包括若干级联的移位寄存器单元,而若干移位寄存器单元的级联方式有很多种,以下给出一种具体的级联方式,并对栅极驱动电路的工作过程和有益效果进行详细说明,当然不仅限于给出的这种级联方式。

[0086] 上述栅极驱动电路中的第n级移位寄存器单元输出的驱动信号作为第n+k级移位寄存器单元的输入信号Input;第n级移位寄存器单元输出的复位控制信号作为第n-k级移

位寄存器单元的第一复位信号Rst1;第n+1级移位寄存器单元输出的复位控制信号作为第n-k级移位寄存器单元的第二复位信号Rst2;第n+1级移位寄存器单元输出的复位控制信号作为第n+1-k级移位寄存器单元的第一复位信号Rst1;n为大于等于4的整数,k为大于等于3小于n的整数。

[0087] 图5中的GOA1至GOA6即为对应的第一级移位寄存器单元至第六级移位寄存器单元;GOA1至GOA6分别对应连接第一时钟信号线至第六时钟信号线,即对应接收第一时钟信号CLK1至第六时钟信号CLK6;GOA1至GOA6连接同一个第一下拉控制信号线,即同时接收来自同一个第一下拉控制信号线的第一下拉控制信号VHD1;GOA1至GOA6连接同一个第二下拉控制信号线,即同时接收来自同一个第二下拉控制信号线的第二下拉控制信号VHD2;GOA1至GOA6连接同一个用于提供基准电压Vref1的信号线,即同时接收基准电压信号;GOA1至GOA6连接同一个用于提供栅极关断电压Vref2的信号线,即同时接收栅极关断电压信号;GOA1至GOA3中输入模块1的输入端连接帧起始信号线,即帧起始信号STV作为GOA1至GOA3的输入信号Input;GOA1至GOA6的输出模块2的输出端为与其对应的栅线提供栅极驱动信号Output。

[0088] GOA1的输出寄存模块6的输出端连接GOA4的输入模块1的输入端,即GOA1的输出寄存模块6所输出的驱动信号作为GOA4的输入信号Input;GOA1所接收的第一复位信号Rst1由GOA4的输出寄存模块6来提供,即GOA4的输出寄存模块6所输出的复位控制信号作为GOA1所接收的第一复位信号Rst1;GOA1所接收的第二复位信号Rst2由GOA5的输出寄存模块6来提供,即GOA5的输出寄存模块6所输出的复位控制信号作为GOA1所接收的第二复位信号Rst2。

[0089] GOA2的输出寄存模块6的输出端连接GOA5的输入模块1的输入端,即GOA2的输出寄存模块6所输出的驱动信号作为GOA5的输入信号Input;GOA2所接收的第一复位信号Rst1由GOA5的输出寄存模块6来提供,即GOA5的输出寄存模块6所输出的复位控制信号作为GOA2所接收的第一复位信号Rst1;GOA2所接收的第二复位信号Rst2由GOA6的输出寄存模块6来提供,即GOA6的输出寄存模块6所输出的复位控制信号作为GOA2所接收的第二复位信号Rst2。

[0090] GOA3的输出寄存模块6的输出端连接GOA6的输入模块1的输入端,即GOA3的输出寄存模块6所输出的驱动信号作为GOA6的输入信号Input;GOA3所接收的第一复位信号Rst1由GOA6的输出寄存模块6来提供,即GOA6的输出寄存模块6所输出的复位控制信号作为GOA3所接收的第一复位信号Rst1;同理GOA3所接收的第二复位信号Rst2会由GOA6的下一级移位寄存器单元来提供。

[0091] 需要特殊说明的是,GOA4至GOA6的具体连接方式可以根据上述给出的GOA1至GOA3的连接方式推出,此处不做说明。

[0092] 下面给出GOA1结合其他GOA单元(即移位寄存器单元)的具体工作过程,GOA1在输入阶段t1时,其输入模块1的输入端接收帧起始信号STV,在帧起始信号STV的作用下GOA1中的上拉节点PU的电压被拉高。在输出阶段t2时,GOA1的输出模块2在第一时钟信号CLK1的作用下,输出栅极驱动信号Output,并将上拉节点PU的电压进一步推高;GOA1的输出寄存模块6在上拉节点PU的电压被进一步推高时,输出驱动信号(作为GOA4的输入信号Input)。在复位阶段t3时,GOA1的输出模块2在第一时钟信号CLK1的作用下,将输出模块2的输出端电压拉低至基准电压Vref1;GOA1的输出寄存模块6在第一时钟信号CLK1的作用下,将输出寄存模块6的输出端电压拉低至基准电压Vref1;GOA1的第一复位模块3在由GOA4提供的第一复

位信号Rst1的作用下,将上拉节点PU的电压拉低至基准电压Vref1;GOA1的第一下拉控制模块4在第一下拉控制信号VHD1的作用下,将上拉节点PU的电压拉低至基准电压Vref1,并将输出模块2的输出端电压由基准电压Vref1调节至栅极关断电压Vref2;GOA1的寄存下拉模块7在第一寄存下拉控制信号的作用下,使输出寄存模块6的输出端电压保持在基准电压Vref1;GOA1的第二复位模块8在由GOA5提供的第二复位信号Rst2的作用下,将输出寄存模块6的输出端电压拉低至基准电压Vref1。在保持阶段t4时,GOA1的第一下拉控制模块4在第一下拉控制信号VHD1的作用下,使输出模块2的输出端电压保持在栅极关断电压Vref2;GOA1的寄存下拉模块7在第一寄存下拉控制信号和第二寄存下拉控制信号的作用下,使输出寄存模块6的输出端电压保持在基准电压Vref1。

[0093] 需要特殊说明的是,根据上述对GOA1的工作过程的分析,以及上述对GOA1至GOA6的连接关系,同理能够得到GOA2至GOA6的工作过程,此处不做详细说明。

[0094] 本发明实施例还提供一种栅极驱动电路的驱动方法,用于驱动上述栅极驱动电路,请参阅图4,驱动方法包括以下步骤:

[0095] 输入阶段t1,移位寄存器单元的输入模块1在输入信号Input的作用下,将上拉节点PU的电压拉高;

[0096] 输出阶段t2,移位寄存器单元的输出模块2在时钟信号CLK的作用下,输出栅极驱动信号Output,并将上拉节点PU的电压进一步推高;

[0097] 复位阶段t3,输出模块2在时钟信号CLK的作用下,将输出模块2的输出端电压拉低至基准电压Vref1;移位寄存器单元的第一复位模块3在第一复位信号Rst1的作用下,将上拉节点PU的电压拉低至基准电压Vref1;移位寄存器单元的第一下拉控制模块4在第一下拉控制信号VHD1的作用下,将上拉节点PU的电压拉低至基准电压Vref1,并将输出模块2的输出端电压由基准电压Vref1调节至栅极关断电压Vref2;

[0098] 保持阶段t4,移位寄存器单元的第一下拉控制模块4在第一下拉控制信号VHD1的作用下,使输出模块2的输出端电压保持在栅极关断电压Vref2。

[0099] 通过这种栅极驱动电路的驱动方法来驱动上述栅极驱动电路,能够使输出模块2的输出端电压先被拉低至基准电压Vref1,然后又被调节为栅极关断电压Vref2,而基准电压Vref1小于栅极关断电压Vref2,这就使得在由输出阶段t2到刚进入复位阶段t3的过程中,输出模块2的输出端电压的波动量变大,而在响应时间基准不变的情况下,相应的输出模块2的输出端电压的波动量的百分比就变小,从而降低了阻容延迟系数,实现了对栅极驱动信号Output的快速复位,保证了像素充电时间。

[0100] 此外,通过这种栅极驱动电路的驱动方法来驱动上述栅极驱动电路,栅极驱动电路中的第一下拉控制模块4能够在复位阶段t3,将输出模块2的输出端电压由基准电压Vref1调节至栅极关断电压Vref2,而且在保持阶段t4,第一下拉控制模块4还能够使输出模块2的输出端电压保持在栅极关断电压Vref2。因此,本发明提供的栅极驱动电路的驱动方法不仅实现了对栅极驱动信号Output的快速复位,保证了像素充电时间,还能够在保持阶段t4将输出模块2的输出端电压保持在栅极关断电压Vref2,保证了显示装置稳定的工作状态。

[0101] 栅极驱动电路中的移位寄存器单元还包括第二下拉控制模块5,在保持阶段t4,第二下拉控制模块5在第二下拉控制信号VHD2的作用下,使上拉节点PU的电压保持在基准电

压 V_{ref1} ,使输出模块2的输出端电压保持在栅极关断电压 V_{ref2} ;第二下拉控制信号VHD2与第一下拉控制信号VHD1相位相反(即相差180度)。

[0102] 栅极驱动电路中的移位寄存器单元还包括输出寄存模块6和寄存下拉模块7;在输出阶段 t_2 ,输出寄存模块6在上拉节点PU的电压被进一步推高时,输出驱动信号和/或复位控制信号;在复位阶段 t_3 ,输出寄存模块6在时钟信号CLK的作用下,将输出寄存模块6的输出端电压拉低至基准电压 V_{ref1} ;寄存下拉模块7在第一寄存下拉控制信号的作用下,使输出寄存模块6的输出端电压保持在基准电压 V_{ref1} ;在保持阶段 t_4 ,寄存下拉模块7在第一寄存下拉控制信号和第二寄存下拉控制信号的作用下,使输出寄存模块6的输出端电压保持在基准电压 V_{ref1} 。

[0103] 栅极驱动电路中的移位寄存器单元还包括第二复位模块8,在复位阶段 t_3 ,第二复位模块8在第二复位信号Rst2的作用下,将输出寄存模块6的输出端电压拉低至基准电压 V_{ref1} 。

[0104] 本说明书中的各个实施例均采用递进的方式描述,各个实施例之间相同相似的部分互相参见即可,每个实施例重点说明的都是与其他实施例的不同之处。尤其,对于方法实施例而言,由于其基本相似于产品实施例,所以描述得比较简单,相关之处参见产品实施例的部分说明即可。

[0105] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

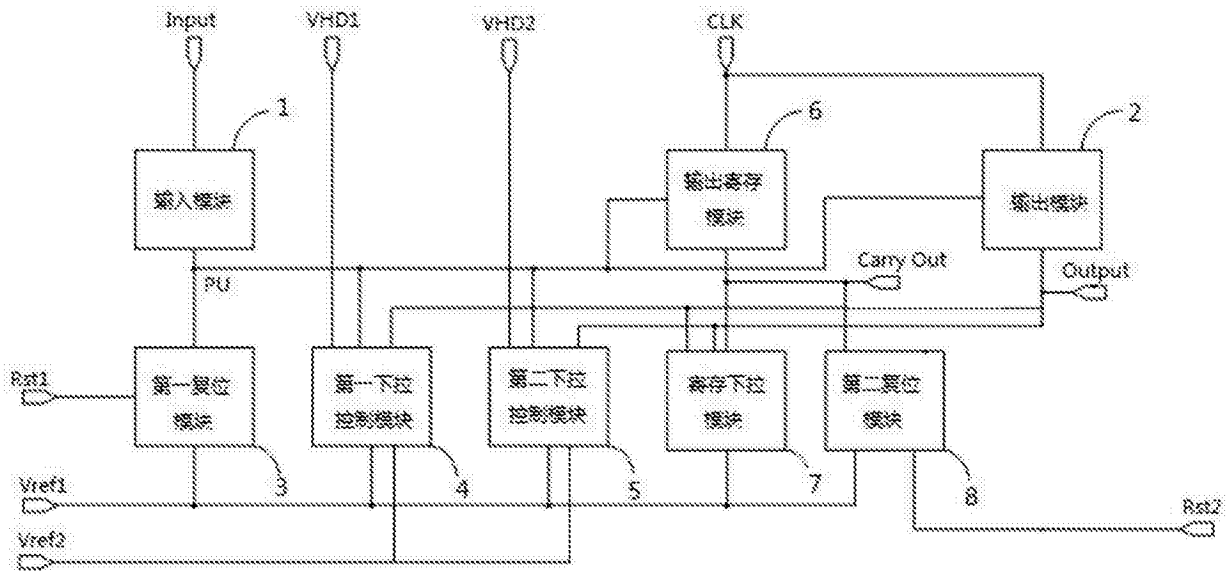


图1

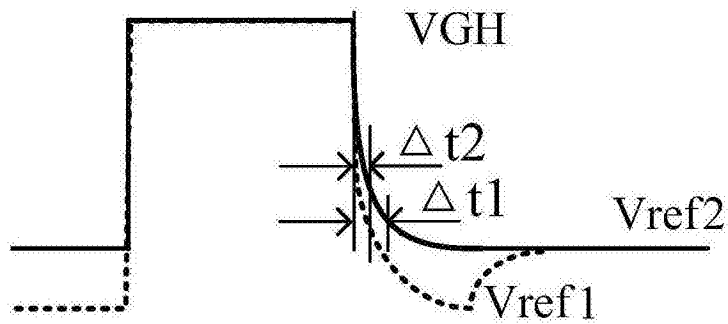


图2

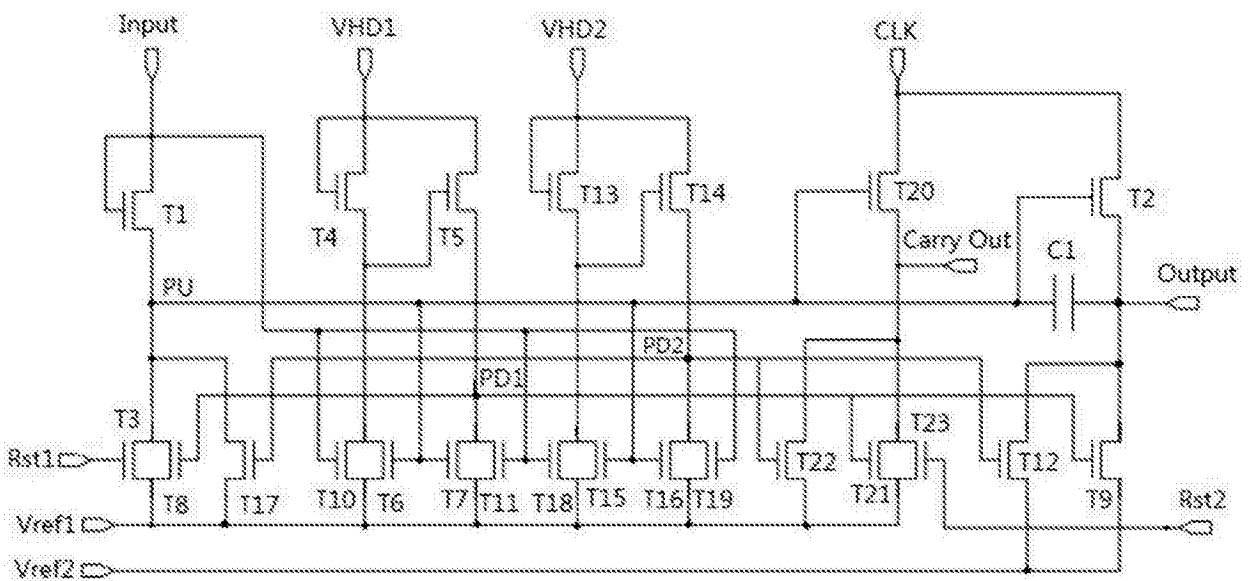


图3

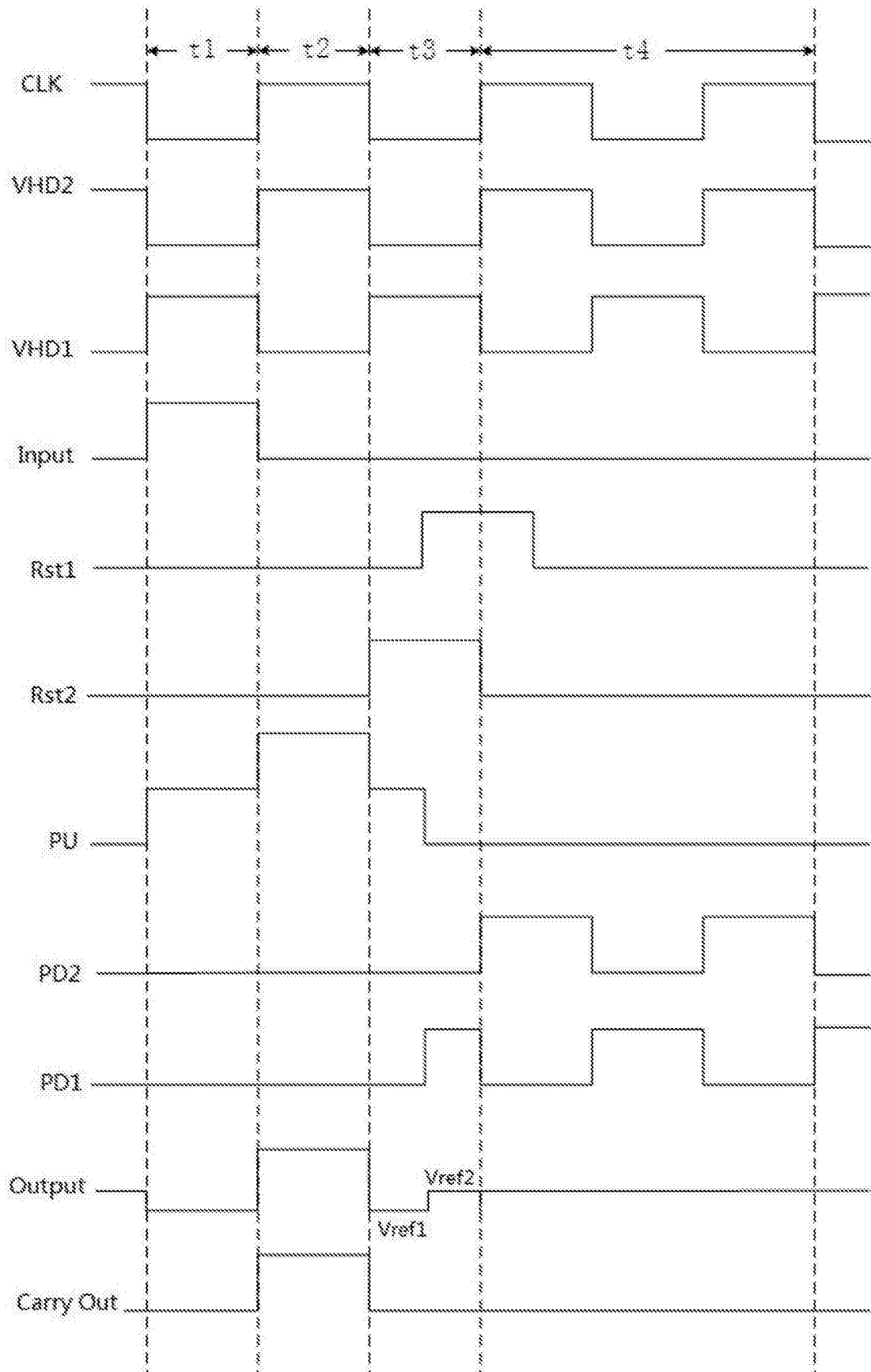


图4

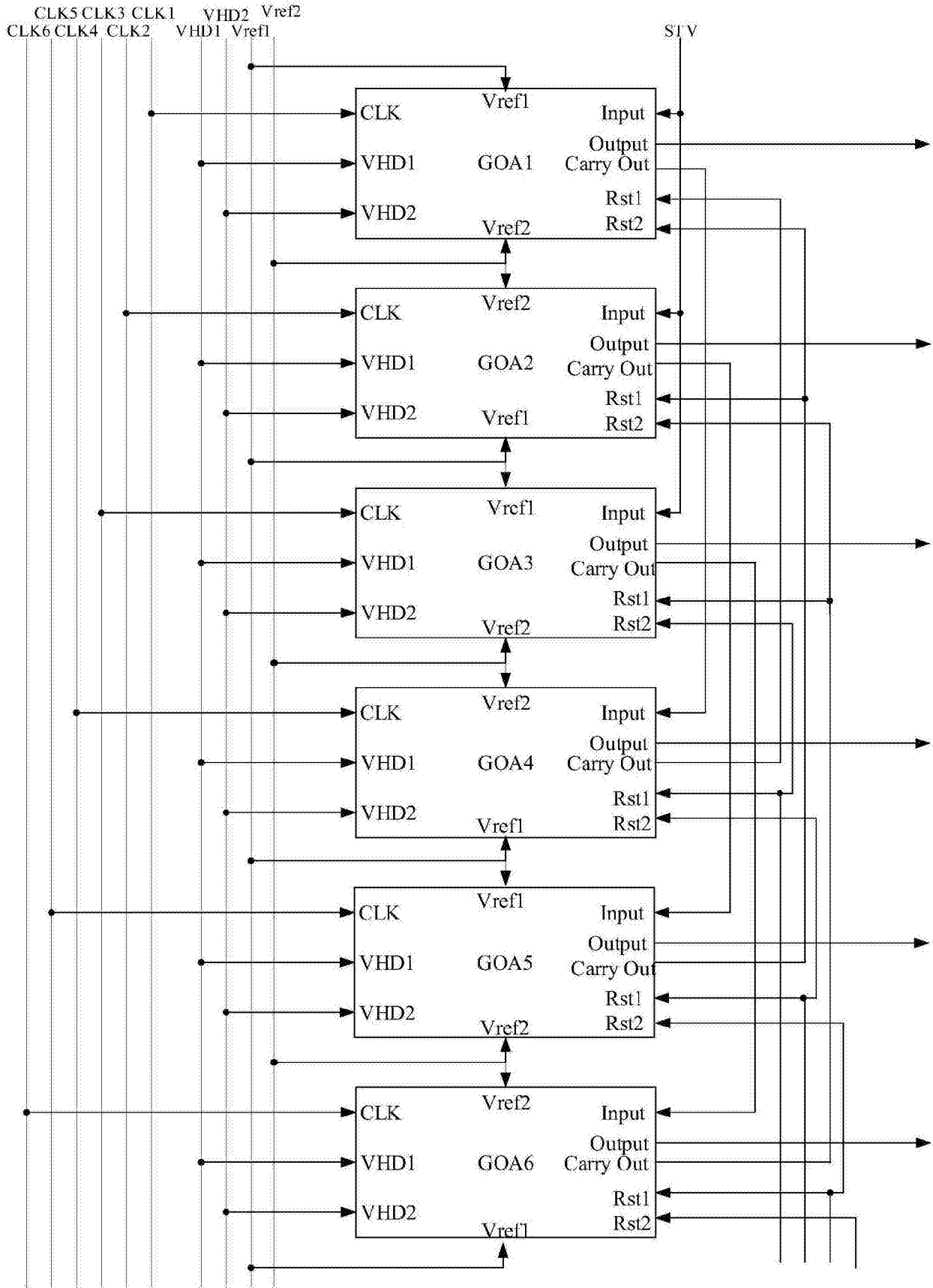


图5