

公告

申請日期	89.3.8
案 號	89104184
類 別	2017 1/30

(以上各欄由本局填註)

A4
C4

455900

發明專利說明書

一、發明名稱	中 文	場放射元件及其製造方法與使用該元件之顯示器元件
	英 文	FIELD EMISSION DEVICE, ITS MANUFACTURING METHOD AND DISPLAY DEVICE USING THE SAME
二、發明人	姓 名	(1)和田直樹 (2)則兼哲也 (3)中井正
	國 籍	日 本
	住、居所	(1)日本國愛媛縣溫泉郡重信町樋口675 (2)日本國愛媛縣西條市古川甲322-1-405 (3)日本國愛媛縣新居濱市菰生130-47
三、申請人	姓 名 (名稱)	日商・松下電器產業股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地
	代 表 人 姓 名	森下洋一

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
1999,03,09 特願平11-061283

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

本發明係關於場發射裝置(FEDs)應用於使用電子束之裝置之領域，包括扁平面板顯示裝置、感測器、高頻振盪器、超高速裝置、電子顯微鏡及電子束曝光裝置，及其製法。更特別本發明係關於附有射極之FEDs其經由集成場效電晶體(FET)可穩定發射電流；FEDs具有高電流密度、均勻度及滿意的電流效率；及其製法。

發明背景

習知場發射裝置(FED)作為眾所周知的基本配置具有錐型史賓特(Spindt)結構，揭示於C.A.史賓特等人，應用物理學期刊，第47期5238頁1976年。但具有此種史賓特結構之FED有穩定發射流的問題。特別不穩定的發射流結果導致用於扁平顯示裝置時的重大問題，由於不穩定電流直接影響顯示圖像品質，扁平顯示裝置提示於日本專利公告案第H6-14263號。

日本專利公告案第H7-118259號揭示具有穩定發射的FED，使用電阻的負回授效應，係經由串聯連結高電阻電阻器至射極發射電子。但使用10至100百萬歐姆之高電阻電阻器串聯連結於射極降低FED響應且消耗大量電源。除了插置該高電阻電阻器外，為了解決此種問題例如大於1000個射極集成而形成一個FED的射極陣列俾藉由多個射極輸出平均來對抗射極不穩定問題。但射極數目增加造成複雜度增高且提高FED製造成本。

為了解決此等問題，日本專利公開案第H9-259744號揭示一種控制電流於射極流動之辦法，係經由黏合一主動

五、發明說明(2)

元件例如一電晶體至FED的射極。如此使電流於低電源消耗下穩定化。此外可免除形成大量射極的需要。但先前技術使用單晶矽作為基材，結果導致無法製造大尺寸扁平顯示元件且成本增高。

晚近日本專利公開案第H9-129123號；H. Gamo等人，應用物理學函件第73期1301頁1998年及Y.H. Song等人SID 98文摘189頁1998年揭示使用玻璃基材替代單晶矽來允許加大尺寸以及降低成本應用於扁平面板顯示裝置之用途。此種結構中，射極、場效電晶體(FET)及其薄膜電晶體(TET)係形成於使用非晶矽及多晶矽的玻璃基材上。

第10(a)及10(b)圖顯示習者包含射極陣列7及TFT 23之配置。第10(a)圖為透視圖說明整體FED對應一個像素。第10(b)圖為射極陣列7之一個射極及TFT之放大剖面圖。

如第10(a)圖所示，大於1000個射極10形成於FED之射極陣列7用於有一個TFT 23控制的各個像素。由射極陣列7發射的電流係由一個TFT 23透過一個陰極電極連結至射極陣列7之角隅控制。

如第10(b)圖所示，FED包含前述TFT 23以及經由汲極電極19連結的射極單元。TFT 23包含一鉻源極電極9於玻璃基材上，n+非晶矽接觸層及通道I非晶矽層20，二氧化矽閘極絕緣層3及鉻閘極電極4。射極單元包含前述TFT 23，鉻汲極金屬19，非晶矽射極10，二氧化矽絕緣層24及銱提取電極11。

第11圖顯示習知FED之製法。如第11(a)圖所示，各種

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

材料係循序層疊。然後將變成TFT 7之部分覆蓋從抗光蝕劑21。TFT以外區域藉蝕刻去除而暴露出下方汲極電極19(第11(b)圖)。其次再度形成將形成射極的非晶矽層20(第11(c)圖)。然後形成射極形狀(第11(d)圖)，絕緣層24及提取電極11形成於其頂上，形成一個射極孔洞來暴露出射極梢端(第11(e)圖)。

說明中發射冷電子部分例如錐形部分後文稱作射極，以及藉由連結射極與電晶體製成的整體裝置稱作FED。

習知FED有下列缺點。

當厚200毫微米或以下之薄非晶或多晶矽層形成於玻璃基材上時，無法獲得具有高電子活動性及良好結晶性的矽層。若FET之TFT或通道層形成於此種矽層上，則無法獲得具有一致良好特性之TFT或FET。

此外，準分子雷射用於退火玻璃基材上的非晶矽使其結晶化。如此使製程變複雜。雷射退火對於大量生產上不利，增高製造成本。

更進一步，先前技術要求形成薄非晶矽層，絕緣層及金屬層用於製造TFT或FET。射極上之各層經蝕刻，再度形成射極用的較厚的非晶矽層，如此造成製程複雜化。於再度形成非晶矽層來形成射極前，其形成面暴露於空氣。如此污染生長中的表面，也可能劣化非晶矽層之結晶性。

又如第10(a)圖所示，無數射極陣列係由一個連結於陣列區末端之FET控制。如此造成FET汲極與各射極晶片間距離不同，造成FET與電極間電阻差異。結果各個射極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

之發射特性不等。

此外，FET之閘極及源極相對於射極陣列以非對稱方式放置。如此造成射極陣列與陽極基材間之空間電位分布非對稱，當FED用於扁平面板顯示裝置時，陽極基材為磷側。如此電子的行進方向變成各向異性。

又復由於FET之閘極金屬僅以絕緣層覆蓋，任何微小程度的外部雜訊皆可能影響閘極金屬因而錯誤觸發FET，大為變更射極的發射電流。

如前述，先前技術FED仍有各種缺點，使用此種FED於扁平面板顯示裝置無法獲得高圖像品質，高圖像品質有賴於均勻一致以及高亮度。同時也增加電力消耗及成本。

發明概述

本發明之FED包含

一非晶基材；

雜質擴散阻擋層；

場效電晶體(FET)形成於由非晶矽或多晶矽製成的一半導體層表面上，該半導體層係形成於雜質擴散阻擋層上方；

一或多個射極帶有尖化梢端係經由蝕刻FET之一汲極區上的半導體層製成；以及

提取電極用於藉由外加高電場至射極而引導出電子。

半導體層係經由使用化學氣相沈積方法(CVD方法)利用半導體材料氣體接觸加熱至高溫的高熔點金屬引發的催化效果形成。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(5)

一射極或一包含多於一個射極之陣列形成於圓形或多角形FET汲極區。射極陣列係由環形或多角形閘極電極及源極電極環繞。然後整體FET覆蓋於絕緣層及金屬層。

前述配置獲得下列效果。

500毫微米或以上的厚多晶矽層可以0.2毫微米/秒或更快速速率(相當高速)直接形成。如此可免除於形成多晶矽層後使用雷射退的火多晶化過程。此外厚層可改進表面附近的結晶度，達成高活動性，因而可製造帶有均勻良好特性的FET。

經由以單一步驟生長半導體層形成FET及射極也可減化製程。消除第二步驟獲得厚半導體層，可防止生長中的表面暴露於空氣，避免表面污染的可能。

以環形或多角形FET汲極區形成射極陣列可使FET汲極與各射極間距相等，因此可平均各射極的電阻，如此使各射極晶片的發射特性一致。此外，射極陣列與陽極基材間之空間電位分布與基材內部變對稱，因此可使電子發射於各方向均勻一致。FET比(閘極寬度/閘極長度)也變大，因而即使FET的活動力低也可製造具有高電流程度的FET。

對FET放置金屬層來屏蔽雜訊。如此避免FET受到FET受到微弱外部雜訊影像出現脫離常軌的操作而造成射極發射電流的高度起伏波動。

前述FET特徵應用於扁平面板顯示裝置將可提供高圖像品質，包括均勻度及高亮度、低電源消耗及低成本。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

圖式之簡單說明

第1圖為根據本發明之第一具體實施例之FED之剖面圖；

第2圖為根據本發明之第一具體實施例之錐型FED之剖面圖；

第3圖為剖面圖舉例說明根據本發明之第一具體實施例之FED之製法。

第4圖為根據本發明之第二具體實施例之FED之剖面圖；

第5圖為根據本發明之第三具體實施例之FED之剖面圖；

第6圖為根據本發明之第四具體實施例之FED之剖面圖；

第7(a)圖為根據本發明之第五具體實施例之FED之平面圖；

第7(b)圖為根據本發明之第五具體實施例之FED之剖面圖；

第8圖為根據本發明之第五具體實施例附有收斂電極之FED之剖面圖；

第9圖為根據本發明之第六具體實施例之FED之剖面圖；

第10(a)圖為習知FED之透視圖；

第10(b)圖為有關習知FED之元件部分之放大剖面圖；

第11圖為剖面圖舉例說明習知FED之製法。

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

五、發明說明(7)

第一具體實施例

本發明之第一具體實施例將參照第1、2及3圖說明如後。

如第1圖所示，本發明之FED包含基材1，半導體層2，FET閘極絕緣層3，FET閘極金屬4，源極區5，FET汲極區6及射極陣列7。

第一具體實施例中，射極陣列7係經由於形成FET後蝕刻FET汲極區上的半導體層2形成。換言之，第一具體實施例可藉單次生長半導體層2而形成FET及射極。防止表面暴露於空氣可簡化製程及避免結晶性的低劣，空氣對二階段生長半導體層2成問題。

第2圖顯示於錐形射極10及提取電極11添加至第1圖所示射極單元後之FED之剖面圖。除第1圖外，第2圖顯示雜質擴散阻擋層8，FET源極電極9，射極陣列7之一個錐形射極10，提取電極11，提取電極11下方之絕緣層12以及FET被動層13。

由於錐形射極係位在圓柱形孔洞中心，電場係於其梢端均勻集中，均勻且以相對低電量發射於電子。如此使用錐形射極及提取電極於第1圖所示FET配置將可達成滿意的冷電子發射特性。

基材1為半導體例如矽製成的單晶或多晶基材。特別使用非晶玻璃基材可放大尺寸，因而當應用於顯示元件時可降低成本且增大尺寸。

通常於層形成的初步階段使用比200毫微米更薄的薄

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

層無法達成滿意的結晶度，原因在於當多晶半導體層2形成於玻璃基材1上時各晶體間的晶格常數不同故。於層厚度超過500毫微米之後結晶度漸近改良。如此於厚度大於500毫微米之層之晶體面上形成FET有助於形成電子活動性超過10平方厘米/伏·秒的半導體層2。一種形成半導體層2的方法為CVD方法，其利用半導體材料氣體接觸被加熱至高溫的高溶點金屬引發的揮發效應。若微晶粒矽或多晶矽使用此種CVD方法生長，則獲得電子活動性高於10平方厘米/伏·秒的半導體層2，此種半導體層適合控制射極的發射電流。

雜質擴散阻擋層8放置用以防止當基材與頂上半導體層具有不同組成時，基材的元素熱擴散至半導體層成為雜質造成的任何有害影響。特別用於一般製程之緊密填裝氧化矽及氮化矽層可有效壓抑雜質的擴散同時也容易製造。

至於半導體2，可使用IV族半導體如矽及III-V族半導體如鎵及砷。特別有寬帶隙的半導體如鑽石、氮化硼及氮化鎵本身具有高電子親和力。此等類型於真空於低電壓發射電子，因而適合作為射極。也對矽用於積體電路做徹底研究，矽也具有穩定氧化物層。如此使用矽對於控制使用積體電路射極有利。由於前述半導體也可用作射極，因此容易製造射極與FET的組合。

為了製造一種n通道FET，可快速響應且可流動大量電流，可使用p型半導體作為半導體層2的材料。p型半導體可藉摻雜硼或鋁至IV族半導體，或藉摻雜鎂及鋅至III-

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

V族半導體。他方面，為了製造n通道FET，可使用n型半導體。N型半導體之製法可經由摻雜磷或砷至IV族半導體，以及經由摻雜矽或硫至III-V族半導體。為了集成電子電路來控制射極的作業，以c-MOS電路為佳。此例中需要n通道及p通道FETs二者。

半導體層2可為非晶、多晶或單晶結構。當使用單晶於半導體層2時，基材1的材料受限制。用於大型玻璃基材，可能需要使用非晶或多晶半導體層2。此種情況下，氬處理可有效藉由半導體內部的懸掛鍵而改善結晶度。

FET閘極絕緣層3可由二氧化矽、氮化矽或其複合物製成，其具有高電絕緣能力及極緻密結構。為了減少絕緣層3的失真，單層此種材料層組合而形成各層。若使用CVD方法製造絕緣層3，則由半導體層至氮化矽層的各層可接續形成而未對半導體層造成任何傷害。如此可製造具有良好特性的FET。前述絕緣層3也可用作加工處理射極的蝕刻罩蓋，或摻雜離子於FET汲極區的罩蓋。

用於加工處理射極形狀，前述絕緣層3可用作罩蓋。絕緣層3也可用作摻雜離子於FET汲極區之罩蓋。

用於金屬佈線包括FET閘極金屬4、FET源極電極9及提取電極11；可使用具有低電阻的廉價鋁，鋁也可用於形成高品質陽極氧化物層。另外，可使用廉價銅且有甚至更低電阻；鈦，其可改良對玻璃基材的黏著性；或鉭其也可形成良好品質之陽極氧化物層。其他元素例如鉍也可添加至例如鋁來壓抑形成小丘，且產生含有95%重量比或以上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

之主要成分的合金。

當於玻璃基材上形成金屬層時，可首先形成100毫微米或以下的薄鈦層接著形成鋁層來改良黏著性及導電度。如此此等金屬元素可用作單層或合併形成多層來獲得各種金屬的最佳特性。

第3(a)至3(f)圖顯示於第一具體實施例中FED製法之例之剖面圖。

如第3(a)圖所示，雜質擴散阻擋層8、半導體層2及FET閘極絕緣層3係連續使用電漿輔助CVD方法接著使用FET閘極金屬4沈積而藉真空沈積連續形成。其次如第3(b)圖所示，閘極金屬4及閘極絕緣層3係藉蝕刻例如反應性離子蝕刻圖樣化而形成FET之射極位置。

然後如第3(c)圖所示，使用閘極絕緣層3作為蝕刻例如反應性離子蝕刻罩蓋而形成錐形射極。

其次如第3(d)圖所示，使用攪雜技術例如離子植入形成FET源極區5及FET汲極區6。射極係同時攪雜。

如第3(e)圖所示，提取電極11下方的絕緣層12典型係使用電漿輔助CVD方法形成，隨後於源極區5蝕刻接觸孔洞，以及典型使用濺鍍形成FET源極電極9。

如第3(f)圖所示，典型使用電漿輔助CVD方法連續形成FET被動絕緣層13及提取電極11。

最後如第3(g)圖所示，提取電極11及提取電極11下方的絕緣層12經蝕刻而暴露出錐形射極。

絕緣層13係以比絕緣層12更慢的蝕刻速率蝕刻。例如

五、發明說明(11)

二氧化矽可用於絕緣層12，氮化矽可用於絕緣層13，或絕緣層13可製作成比絕緣層12更厚。原因在於若絕緣層12及絕緣層13係由相同材料且相等厚度製成，則FET本身可藉由溶解於蝕刻劑攜毀，而提取電極11及絕緣層12經蝕刻而暴露出射極。

第3(a)圖所示半導體層2或閘極絕緣層3係較佳使用一或多種一矽烷，二矽烷，氫，氮，氧，甲烷，乙烷，丙烷，丁烷，三甲基矽，三乙基矽，三甲基鋁，肼烷，磷，及乙硼烷作為CVD之材料氣體，利用高熔點金屬例如鈦、鉭及鉬之催化效果形成(所謂的熱線方法)。如此比較使用射頻的尋常電漿輔助CVD，可於相當快速率約0.2至0.5毫微米/秒甚至於相對低溫低於500°C或以下，形成厚500毫微米或以上之多晶矽層且附有電子活動力10平方厘米·伏·秒。結果無需例如使用準分子雷射退火至多晶矽的後退火製程。

此外，如第3(c)圖所示，使用部分閘極絕緣層3作為蝕刻罩蓋用於蝕刻錐形射極可減化製程。

如第3(d)圖所示，FET源極區5、FET汲極區6、錐形射極10、FET汲極及射極之電阻可使用離子植入調整，也可減化製程。若離子係被植入於FET汲極與射極間，留下部分FET閘極絕緣層3，則此剩餘部分將不被攙雜或較少被攙雜，因而可微調FET汲極與射極間整體通道的電阻。

離子攙雜量也需根據FET閘極絕緣層3厚度調整，如此也可調整電阻。由於各射極與汲極間電阻可調整，故由

五、發明說明（12）

各射極發射的電子可被均勻一致。此外，若高電阻提供於射極與汲極間，則隨著時間由射極發射電子變化可就電阻的負面回授穩定化。

如第3(g)圖所示方法，半導體層2之結晶性可藉加熱處理改良，如此可改良FET及於平面均勻度等特性。特別於非晶矽及多晶矽之例，若形成含大量氫的氮化矽被動層，則加熱處理可於單純氮或惰性氣體執行。但通常FET特性可藉加熱處理於含氫或水蒸氣氣氛下加熱處理而有效改善。

第二具體實施例

參照第4圖說明本發明之第二具體實施例。射極10表面覆蓋碳保護層14例如鑽石或仿鑽石碳，其為化學鈍性且不會劣化電子發射特性，因而使射極表面變成化學鈍性。結果即使於相對低真空仍可維持滿意的電子發射特性，而未於真空系統受其餘氣體衝擊或吸附損傷。保護層14係於第3(f)圖所示步驟後於電極墊以外區域，典型使用微波激勵電漿輔助CVD形成。

第三具體例實施例

其次參照第5圖說明本發明之第三具體例實施例。

如第5圖所示，本具體實施例之FET包括一高電阻區15介於FET之閘極與源極間以及介於FET之閘極與汲極間。高電阻區15可藉由減少閘極與源極間以及閘極與汲極間的撓雜量形成。第三具體實施例之結構可防止因汲極電極周圍的高電場產生的衝擊離子效應造成發射電流的漂流，如

五、發明說明(13)

此減少OFF電流以及衝擊離子效應。

第四具體實施例

其次參照第6圖說明本發明之第四具體實施例。

當玻璃基材1或雜質擴散阻擋層8為非晶形時，或具有與半導體層2不同的晶格常數時，玻璃基材1上或雜質擴散阻擋層8上形成半導體層結晶化困難。即使半導體層被結晶化也增加失真或瑕疵密度。為了減少此種失真或瑕疵密度，第五具體實施例之FET將厚100毫微米或以下之非晶矽層16插置於基材與半導體層間或插置於雜質擴散阻擋層與半導體層間。

例如若多晶矽形成於玻璃基材上，則厚100毫微米或以下之矽及鍺或非晶矽層的應變超晶格可使用電漿輔助CVD方法插置，因而防止於交界面產生之缺陷晶體生長的漫延。由於晶格常數或熱膨脹係數差異引起的失真也可減少而輔助半導體層的結晶化。非晶矽層也可使用相同方法於比多晶矽更低溫於形成多晶矽層之前形成。此型非晶矽層對於稍後製程於整體基材內部之多晶矽層一致的結晶化特別有效。

第五具體實施例

後文參照第7及8圖說明本發明之第五具體實施例。

此具體實施例之FET之製法同第3圖舉例說明之製法。差異在於如第7圖所示，採用環形閘極結構作為FET，以及射極係形成於FET中心的環形汲極區。

射極10係設置於環形汲極區6呈同心或迴轉對視，故

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

FET閘極與各個射極間之間距維持相等。各射極之電阻相等因此可使來自各射極的發射電流相等，同時防止來自FET的漏電流。

此外，由提取電極11、閘極金屬4及源極電極3形成的電場對由射極發射的電子具有相等效果，如此電子係於各方向一致發射。此外，環形閘極結構可獲得FET之閘極寬度/閘極長度(W/L)之比值變大，允許即使半導體層2之電子活動性低仍可製造具有高電流可接受的FETs。

若形成如第10(a)圖所示，具有與先前技術相等電流程度的FET，則閘極面積($W \times L$)可變成比先前技術更大，如此可減少由於FETs製造尺寸上的偏差造成基材內部 W/L 偏差。

但於n通道之例，閘極電壓通常係藉正電場控制。如此吸引由射極發射電子，使電子略微展布於基材。於負電場的收斂電極17形成於環形FET上(如第8圖所示)俾調整發射電子的展開角度。第3(f)圖所示提取電極11也可圖樣化而作為收斂電極17。

第六具體實施例

參照第9圖說明本發明之第六具體實施例。

第六具體實施例中，整個FET覆蓋金屬層18而形成FET雜訊屏蔽層。如此免除由於對閘極金屬的感應雜訊產生的小的外部雜訊造成形成於FET汲極之射極發射電流出現大起伏波動。第3(f)圖所示提取電極11可被圖樣化而作為此種金屬層18。金屬層18也可維持地電位俾達成足夠雜訊屏

五、發明說明(15)

蔽效果。

產業應用

如前述，本發明之FED使用於單一步驟形成半導體層於大片玻璃基材上之簡單方法，無需後退火製程可製造具有均勻一致且滿意的特徵之帶有FETs之射極陣列。

此外，使用具有環形閘極之金屬層屏蔽型FET可賦與對外部雜訊的強力抗性，因而可一致控制相當大電流發射特性，且獲得各方向帶有均勻電子發射的射極特性。當本發明之FED應用至扁平面板顯示裝置時，可實現對高圖像品質具有關鍵重要性的因素包括均勻度及高亮度，且可實現低電力消耗及低成本。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

元件標號對照

1…基材	13…FET被動層
2…半導體層	14…保護層
3…FET閘極絕緣層	15…高電阻層
4…FET閘極金屬	16…應變超晶格或非晶層
5…FET源極區	17…收斂電極
6…FET汲極區	18…屏蔽金屬層
7…射極陣列	19…汲極電極
8…雜質擴散阻擋層	20…非晶矽
9…FET源極電極	21…抗光蝕劑
10…於射極陣列之一錐形射極	22…二氧化矽罩蓋
11…提取電極	23…FET
12…於提取電極下方之絕緣層	24…二氧化矽絕緣層

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

四、中文發明摘要(發明之名稱： 場放射元件及其製造方法與使用該元件之顯示器元件)

一種場發射裝置(FED)包含非晶形基材；雜質擴散阻擋層；FET形成於由非晶形矽或多晶矽製成的半導體層之形成面上；一或多個射極係經由蝕刻FET汲極區之半導體層製成；及提取電極。半導體層係藉CVD方法製造。射極陣列形成於一環形或多角形FET汲極區內部，且環繞著環形或多角形閘極電極及源極電極。整個FET區以絕緣層及金屬層覆蓋。此種配置提供射極晶片中均勻電流發射特性，且對全部方向達成均勻電子發射。本FED應用至扁面板顯示裝置可達成高圖像品質，低電源消耗及低製造成本。

英文發明摘要(發明之名稱： FIELD EMISSION DEVICE, ITS MANUFACTURING METHOD AND DISPLAY DEVICE USING THE SAME)

A field emission device (FED) comprising an amorphous substrate; impurity diffusion preventing layer; FET formed on a formation surface of a semiconductor layer made of amorphous silicon or polycrystalline silicon; one or more emitters made by etching the semiconductor layer of the FET drain region; and extraction electrode. The semiconductor layer is made by CVD process. The emitter array is formed within a ring or polygonal FET drain region, and surrounded by the ring or polygonal gate electrode and source electrode. The entire FET region is covered with an insulation layer and metal layer. This configuration provides uniform current emission characteristics among emitter chips, and achieves uniform electron emissions to all directions. Application of present FED to a flat panel display device achieves high picture quality, low power consumption, and low manufacturing cost.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種場發射裝置，包含：

一半導體層形成於一基材上；

一場效電晶體包含一絕緣層及電極；

至少一射極形成於場效電晶體之汲極區以及半導體層接觸該汲極區部分之一上。

2. 如申請專利範圍第1項之場發射裝置，其中該射極具有錐形梢端。

3. 如申請專利範圍第1項之場發射裝置，其中形成一發射電子用之提取電極，該提取電極係以不接觸射極及汲極區之方式形成。

4. 如申請專利範圍第1項之場發射裝置，其中該基材為一種非晶形基材。

5. 如申請專利範圍第1項之場發射裝置，進一步包含一層雜質擴散阻擋層介於基材與半導體層間。

6. 如申請專利範圍第5項之場發射裝置，其中該雜質擴散阻擋層係由單層二氧化矽及氮化矽之一、多層其組合及其複合層之一製成。

7. 如申請專利範圍第1項之場發射裝置，其中該半導體層主要係由週期表IV族元素以及IV族元素組合之複合半導體之一製成。

8. 如申請專利範圍第1項之場發射裝置，其中該半導體層係由週期表之III族元素及V族元素之組合形成的複合半導體製成。

9. 如申請專利範圍第1項之場發射裝置，其中該半導體層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

- 為經摻雜之p型半導體及n型半導體之一。
10. 如申請專利範圍第1至9項中任一項之場發射裝置，其中該半導體層為以硼、鋁、鎂及鋅之一；以及從磷、砷、銻、矽及硫之一摻雜的n型半導體之一。
 11. 如申請專利範圍第1項之場發射裝置，其中該半導體層具有非晶形、氬處理之非晶形、多晶以及氬處理之多晶結構之一。
 12. 如申請專利範圍第1項之場發射裝置，其中該場效電晶體之絕緣層係由單層二氧化矽及氮化矽之一、多層其組合及其複合層之一組成。
 13. 如申請專利範圍第1項之場發射裝置，其中該場效電晶體之一層金屬層及全部金屬佈線係由單層含有至少95重量%鋁、銅、鈦及鉭之一及多層其組合之一製成。
 14. 如申請專利範圍第3項之場發射裝置，其中一絕緣層具有比提取電極下方之絕緣層之蝕刻速度更低的蝕刻速度，該絕緣層係用作場效電晶體之被動絕緣層。
 15. 如申請專利範圍第14項之場發射裝置，其中二氧化矽係用作提取電極下方之絕緣層，以及氮化矽係用作場效電晶體之被動層。
 16. 如申請專利範圍第3項之場發射裝置，其中該場效電晶體之閘極絕緣層係比提取電極下方的絕緣層更厚。
 17. 如申請專利範圍第1項之場發射裝置，其中該射極表面係覆蓋化學鈍性保護層，該保護層不會劣化電子發射特性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

18. 如申請專利範圍第17項之場發射裝置，其中該保護層係由碳製成。
19. 如申請專利範圍第1項之場發射裝置，其中一層具有比源極及汲極更高電阻之層係插置於場效電晶體之i)源極與汲極以及ii)汲極與閘極之一者間。
20. 如申請專利範圍第1項之場發射裝置，其中該半導體層為多晶層及單晶層之一含有一應變超晶格層及不比100毫微米更厚的非晶形層之一。
21. 一種場發射裝置，其包含：
- 一射極陣列形成於場效電晶體之環形及多角形汲極區之一；
 - 環形及多角環形閘極電極之一環繞該汲極區；以及
 - 一源極電極環繞該閘極電極。
22. 如申請專利範圍第21項之場發射裝置，其中一射極係放置於該汲極區於同心及迴轉對襯位置之一。
23. 如申請專利範圍第21項之場發射裝置，其中該射極陣列具有環形及多角環形收斂電極之一，該收斂電極係呈迴轉對襯環繞該射極陣列。
24. 如申請專利範圍第23項之場發射裝置，其中該收斂電極也作為電子發射之提取電極。
25. 一種場發射裝置，其包含：
- 一射極；以及
 - 一場效電晶體；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

其中該場效電晶體之上部係覆蓋一絕緣層及一金屬層。

26. 如申請專利範圍第25項之場發射裝置，其中該金屬層也作為一提取電極用於電子發射。

27. 如申請專利範圍第25項之場發射裝置，其中該金屬層係維持於地電位。

28. 一種製造一場發射裝置之方法，包含：

形成一半導體層於基材上；

經由形成一絕緣層於電極及該半導體層上形成一場效電晶體；

形成至少一射極於半導體層上於場效電晶體之汲極區與半導體層接觸汲極區之一。

29. 如申請專利範圍第28項之製造一場發射裝置之方法，其中該射極及該場效電晶體之半導體層係由相同材料製成且同時形成。

30. 如申請專利範圍第28項之製造一場發射裝置之方法，進一步包含形成一雜質擴散阻擋層介於基材與該半導體層間之步驟。

31. 如申請專利範圍第28項之製造一場發射裝置之方法，其中該半導體層及該絕緣層之一係使用化學氣相沈積方法利用經由材料氣體接觸被加熱至高溫之高熔點金屬引起的催化效應形成。

32. 如申請專利範圍第31項之製造一場發射裝置之方法，其中該材料氣體為至少一種一矽烷，二矽烷，氫氣，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

- 氮氣，氫氣，甲烷，乙烷，丙烷，丁烷，三甲基鎵，三乙基鎵，三乙基鋁，肟，膦及乙硼烷。
33. 如申請專利範圍第31項之製造一場發射裝置之方法，其中該具有高熔點金屬為鎢，鉭及鉑中之至少一種。
34. 如申請專利範圍第28項之製造一場發射裝置之方法，其中該絕緣層係用作加工處理射極形狀之蝕刻罩蓋。
35. 如申請專利範圍第28項之製造一場發射裝置之方法，其中於形成射極之汲極區的電阻係藉離子植入調整。
36. 如申請專利範圍第35項之製造一場發射裝置之方法，其中離子係植入汲極區，同時保留絕緣層。
37. 如申請專利範圍第28項之製造一場發射裝置之方法，其中該半導體層係於氮氣及惰氣氣氛之一於不高於500℃以及含有氫氣及水蒸氣之一之氣氛下加熱處理。
38. 一種製造場發射裝置之方法，包含：
- 形成FET之一半導體層、一閘極絕緣層及一閘極金屬三層於基材及形成於基材上之雜質擴散阻擋層之一上；
- 經由圖樣化閘極金屬及閘極絕緣層形成一FET閘極以及閘極電極；
- 經由蝕刻部分FET之汲極區而形成射極；
- 撻雜FET源極及汲極之一之表面，及射極；
- 透過一絕緣層形成一源極電極於FET上；
- 形成一被動層於FET上；
- 透過絕緣層及空間之一形成一提取電極至射極；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

以及

加熱處理FET及射極區之一。

39. 一種具有電子發射裝置之場發射顯示裝置，包含：

一半導體形成於一基材上；

一場效電晶體包含一絕緣層及電極；

至少一射極形成於場效電晶體之汲極區以及半導體層接觸該汲極區部分之一上。

40. 一種具有電子發射裝置之場發射顯示裝置，包含：

一射極陣列形成於場效電晶體之環形及多角形汲極區之一；

環形及多角環形閘極電極之一環繞該汲極區；以

及

一源極電極環繞該閘極電極。

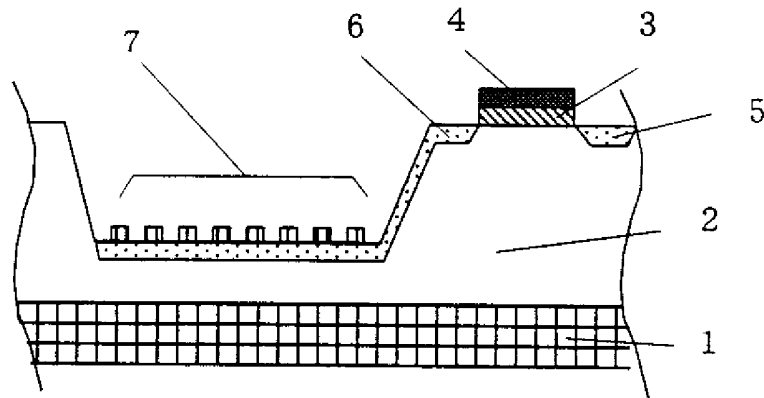
(請先閱讀背面之注意事項再填寫本頁)

裝

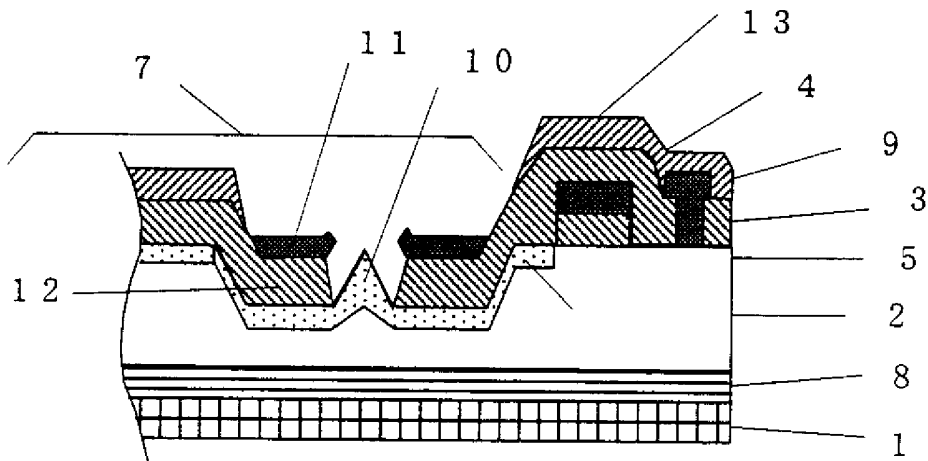
訂

線

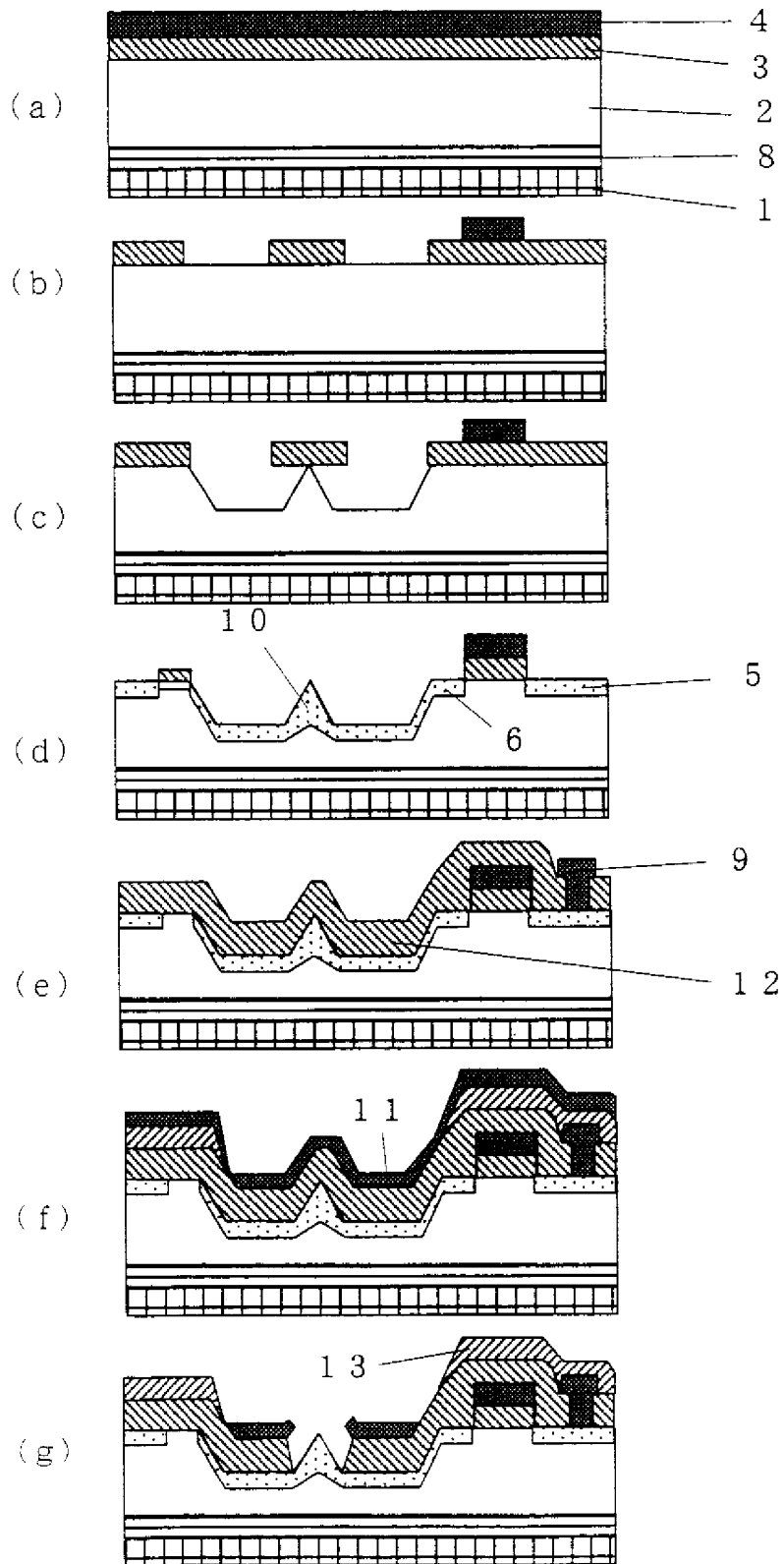
第 1 圖



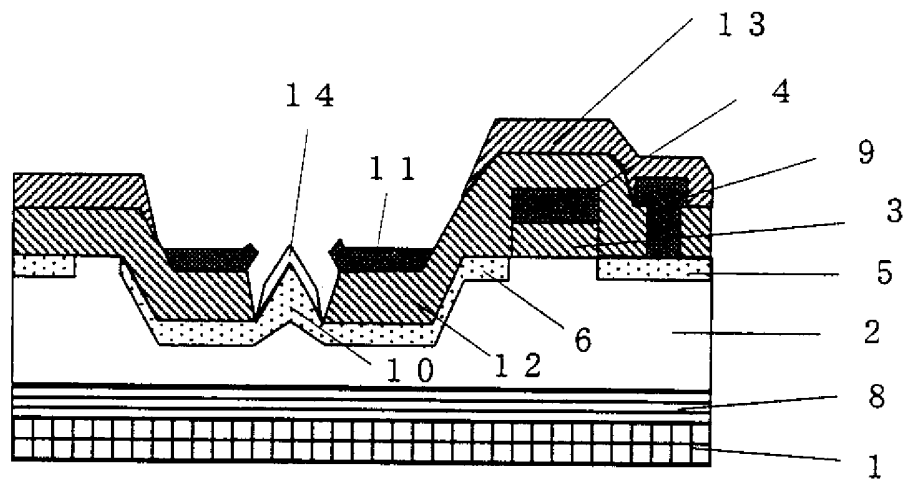
第 2 圖



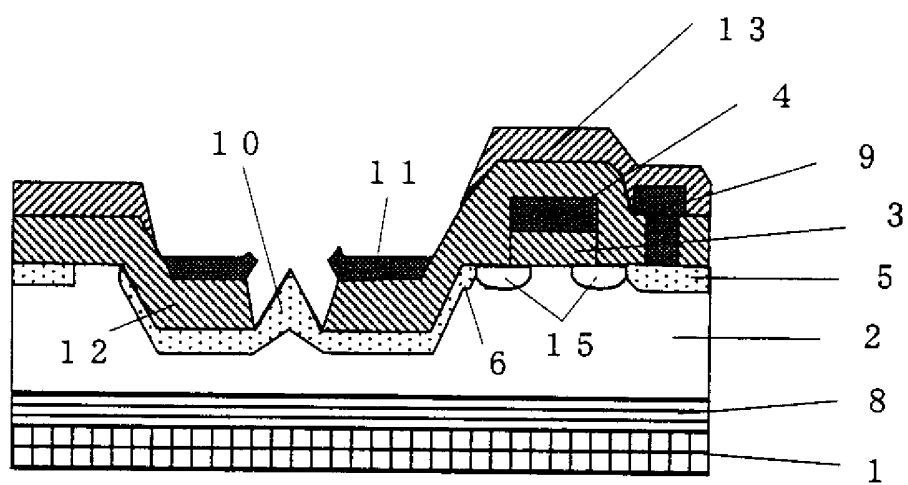
第 3 圖



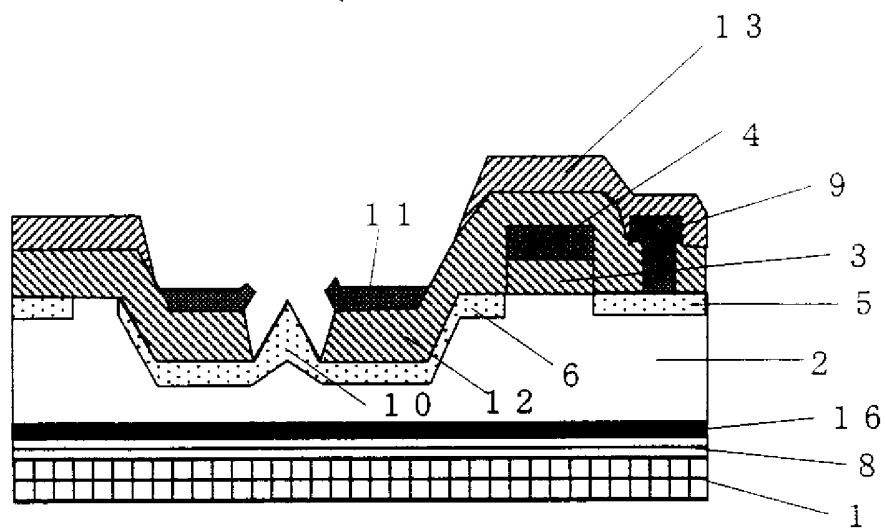
第 4 圖



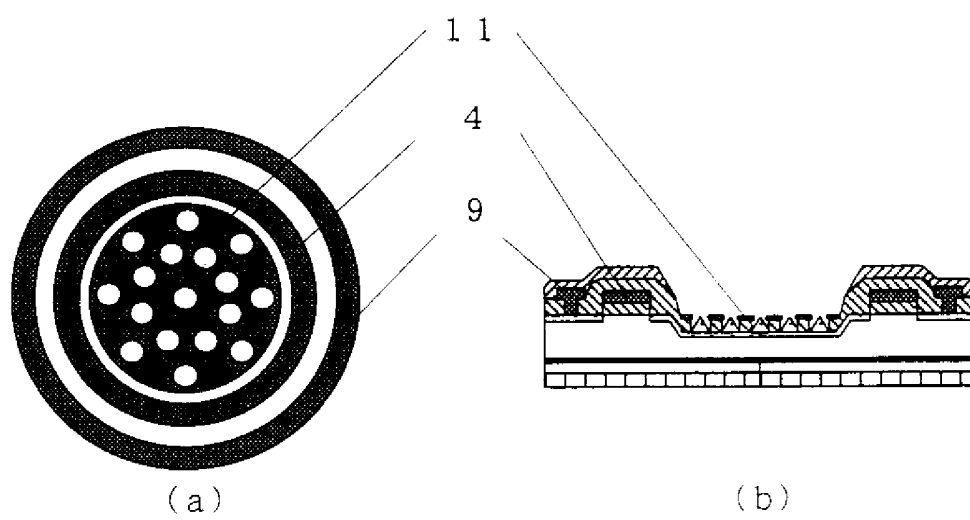
第 5 圖



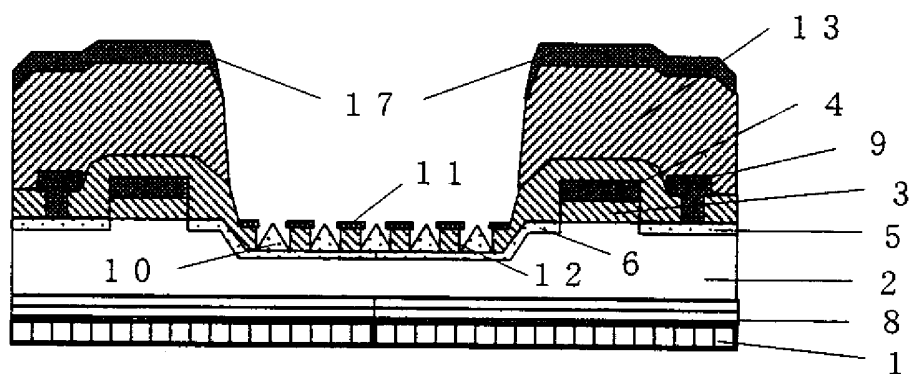
第 6 圖



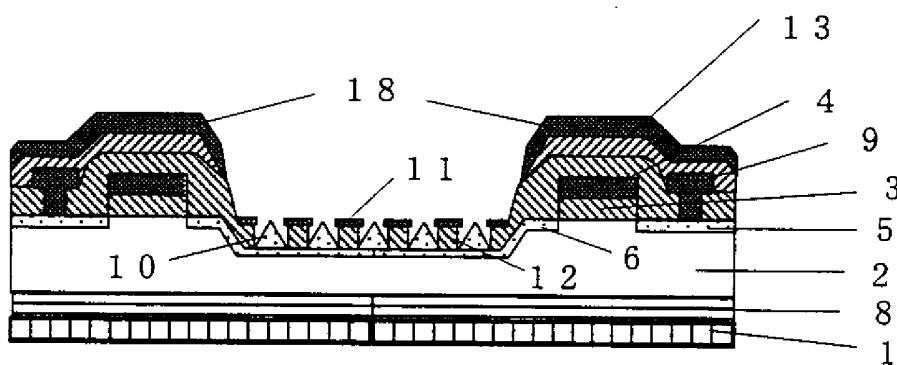
第 7 圖



第 8 圖

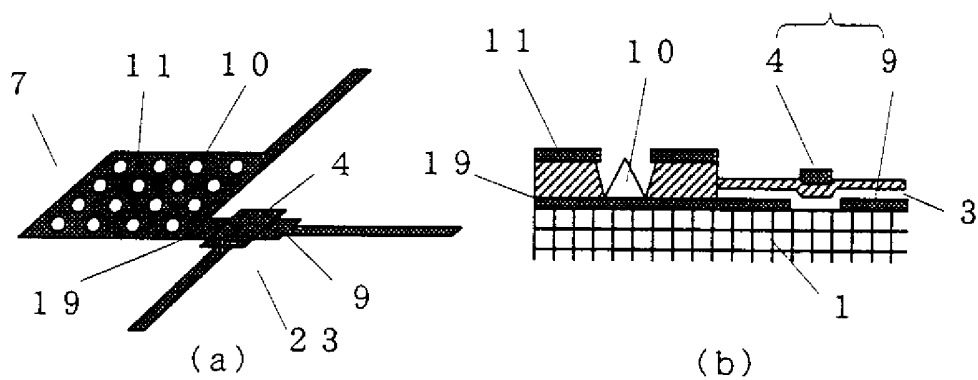


第 9 圖



第 10 圖

23



第 11 圖

