

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成31年3月7日 (2019.3.7)

【公開番号】特開2017-134145(P2017-134145A)

【公開日】平成29年8月3日 (2017.8.3)

【年通号数】公開・登録公報2017-029

【出願番号】特願2016-12135(P2016-12135)

【国際特許分類】

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/20 (2006.01)

H 0 5 B 33/02 (2006.01)

H 0 1 L 51/50 (2006.01)

【F I】

G 0 9 G 3/30 J

G 0 9 G 3/20 6 2 1 A

G 0 9 G 3/20 6 2 2 E

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 1 1 H

G 0 9 G 3/20 6 2 2 D

H 0 5 B 33/02

H 0 5 B 33/14 A

【手続補正書】

【提出日】平成31年1月25日 (2019.1.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

行方向及び列方向に配列された複数の画素と、

各行に対して設けられた複数のシフトレジスタと、

を有し、

前記複数の画素の各々は、

発光素子と、駆動トランジスタと、第 1 スイッチング素子と、第 2 スイッチング素子と、第 3 スイッチング素子と、第 4 スイッチング素子と、を有し、

前記駆動トランジスタのソース及びドレインの一方が前記発光素子に接続され、

前記第 1 スイッチング素子のソース及びドレインの一方が前記駆動トランジスタのソース及びドレインの他方に接続され、前記第 1 スイッチング素子のソース及びドレインの他方が主電源線に接続され、

前記第 2 スイッチング素子のソース及びドレインの一方が前記駆動トランジスタのソース及びドレインの一方に接続され、前記第 2 スイッチング素子のソース及びドレインの他方がリセット電源線に接続され、

前記第 3 スイッチング素子のソース及びドレインの一方が前記駆動トランジスタのゲート端子に接続され、前記第 3 スイッチング素子のソース及びドレインの他方が信号線に接続され、

前記第 4 スイッチング素子のソース及びドレインの一方が前記第 3 スイッチング素子のソース及びドレインの一方に接続され、前記第 4 スイッチング素子のソース及びドレイン

ンの他方が初期化電源線に接続され、

n 行目のシフトレジスタは、n 行目とは異なる行の前記第 2 スイッチング素子及び前記第 4 スイッチング素子を制御し、

前記第 2 スイッチング素子、前記第 3 スイッチング素子、及び前記第 4 スイッチング素子のそれぞれのゲート端子には 2 水平期間のオン信号が供給されることを特徴とする表示装置。

【請求項 2】

n 行目の前記シフトレジスタは、n + 2 行目の前記第 4 スイッチング素子を制御すること  
を特徴とする請求項 1 に記載の表示装置。

【請求項 3】

n 行目の前記シフトレジスタは、  
n + 3 行目の前記第 2 スイッチング素子を制御することを特徴とする請求項 1 又は 2 に  
記載の表示装置。

【請求項 4】

n 行目の前記シフトレジスタは、  
n 行目の前記第 3 スイッチング素子を制御することを特徴とする請求項 1 乃至 3 のい  
れかーに記載の表示装置。

【請求項 5】

行方向及び列方向に配列された複数の画素を有し、

前記複数の画素の各々は、

発光素子と、駆動トランジスタと、第 1 スイッチング素子と、第 2 スイッチング素子  
と、第 3 スイッチング素子と、第 4 スイッチング素子と、を有し、

前記駆動トランジスタのソース及びドレインの一方が前記発光素子に接続され、

前記第 1 スイッチング素子のソース及びドレインの一方が前記駆動トランジスタのソー  
ス及びドレインの他方に接続され、前記第 1 スイッチング素子のソース及びドレインの他  
方が主電源線に接続され、

前記第 2 スイッチング素子のソース及びドレインの一方が前記駆動トランジスタのソー  
ス及びドレインの一方に接続され、前記第 2 スイッチング素子のソース及びドレインの他  
方がリセット電源線に接続され、

前記第 3 スイッチング素子のソース及びドレインの一方が前記駆動トランジスタのゲー  
ト端子に接続され、前記第 3 スイッチング素子のソース及びドレインの他方が信号線に接  
続され、

前記第 4 スイッチング素子のソース及びドレインの一方が前記第 3 スイッチング素子の  
ソース及びドレインの一方に接続され、前記第 4 スイッチング素子のソース及びドレイン  
の他方が初期化電源線に接続され、

前記第 2 スイッチング素子、前記第 3 スイッチング素子、及び前記第 4 スイッチング素  
子のそれぞれのゲート端子には 2 水平期間のオン信号が供給される表示装置であって、

第 1 リセット期間、第 2 リセット期間、しきい値補償期間、及び書き込み期間を有し、

前記第 1 リセット期間は、前記第 1 スイッチング素子がオフ状態、前記第 2 スイッチン  
グ素子がオン状態、前記第 3 スイッチング素子がオフ状態、及び前記第 4 スイッチング素  
子がオフ状態であり、

前記第 2 リセット期間は、前記第 1 スイッチング素子がオフ状態、前記第 2 スイッチン  
グ素子がオン状態、前記第 3 スイッチング素子がオフ状態、及び前記第 4 スイッチング素  
子がオン状態であり、

前記しきい値補償期間は、前記第 1 スイッチング素子がオン状態、前記第 2 スイッチン  
グ素子がオフ状態、前記第 3 スイッチング素子がオフ状態、及び前記第 4 スイッチング素  
子がオン状態であり、

前記書き込み期間は、前記第 1 スイッチング素子がオフ状態、前記第 2 スイッチング素  
子がオフ状態、前記第 3 スイッチング素子がオン状態、及び前記第 4 スイッチング素子が  
オフ状態であることを特徴とする表示装置。

## 【請求項 6】

行方向及び列方向に配列された複数の画素を有し、

前記複数の画素の各々は、

発光素子と、駆動トランジスタと、第 1 スイッチング素子と、第 2 スイッチング素子と、第 3 スイッチング素子と、第 4 スイッチング素子と、容量素子と、を有し、

前記駆動トランジスタのソース及びドレインの一方が前記発光素子に接続され、

前記第 1 スイッチング素子のソース及びドレインの一方が前記駆動トランジスタのソース及びドレインの他方に接続され、前記第 1 スイッチング素子のソース及びドレインの他方が主電源線に接続され、

前記第 2 スイッチング素子のソース及びドレインの一方が前記駆動トランジスタのソース及びドレインの一方に接続され、前記第 2 スイッチング素子のソース及びドレインの他方がリセット電源線に接続され、

前記第 3 スイッチング素子のソース及びドレインの一方が前記駆動トランジスタのゲート端子に接続され、前記第 3 スイッチング素子のソース及びドレインの他方が信号線に接続され、

前記第 4 スイッチング素子のソース及びドレインの一方が前記第 3 スイッチング素子のソース及びドレインの一方に接続され、前記第 4 スイッチング素子のソース及びドレインの他方が初期化電源線に接続され、

前記容量素子の一方の電極が前記駆動トランジスタのソース及びドレインの一方に接続され、前記容量素子の他方の電極が前記第 3 スイッチング素子のソース及びドレインの一方に接続され、

前記第 2 スイッチング素子、前記第 3 スイッチング素子、及び前記第 4 スイッチング素子のそれぞれのゲート端子には 2 水平期間のオン信号が供給される表示装置であって、

前記駆動トランジスタのソース及びドレインの一方に、前記リセット電源線に供給されたリセット電圧を供給する第 1 リセット期間と、

前記駆動トランジスタのゲート端子に、前記初期化電源線に供給された初期化電圧を供給する第 2 リセット期間と、

前記駆動トランジスタのソース及びドレインの一方に供給された前記リセット電圧を遮断し、前記駆動トランジスタのソース及びドレインの他方に、前記主電源線に供給された主電圧を供給することで、前記容量素子に前記駆動トランジスタのしきい値電圧に基づく電荷を保持させるしきい値補償期間と、

前記駆動トランジスタのソース及びドレインの他方に供給された前記主電圧、及び前記駆動トランジスタのゲート端子に供給された前記初期化電圧を遮断し、前記駆動トランジスタのゲート端子に、前記信号線に供給された信号電圧を供給することで、前記容量素子に前記しきい値電圧及び前記信号電圧に基づく電荷を保持させる書き込み期間と、を有することを特徴とする表示装置。

## 【請求項 7】

行方向及び列方向に配列された複数の画素を有し、

前記複数の画素の各々は、

発光素子と、駆動トランジスタと、第 1 スイッチング素子と、第 2 スイッチング素子と、第 3 スイッチング素子と、第 4 スイッチング素子と、容量素子と、を有し、

前記駆動トランジスタのソース及びドレインの一方が前記発光素子に接続され、

前記第 1 スイッチング素子のソース及びドレインの一方が前記駆動トランジスタのソース及びドレインの他方に接続され、

前記第 2 スイッチング素子のソース及びドレインの一方が前記第 1 スイッチング素子のソース及びドレインの他方に接続され、前記第 2 スイッチング素子のソース及びドレインの他方が主電源線に接続され、

前記第 3 スイッチング素子のソース及びドレインの一方が前記駆動トランジスタのゲート端子に接続され、前記第 3 スイッチング素子のソース及びドレインの他方が信号線に接続され、

前記第 4 スイッチング素子のソース及びドレインの一方が前記第 3 スイッチング素子のソース及びドレインの一方に接続され、前記第 4 スイッチング素子のソース及びドレインの他方が初期化電源線に接続され、

前記容量素子の一方の電極が前記駆動トランジスタのソース及びドレインの一方に接続され、前記容量素子の他方の電極が前記第 3 スイッチング素子のソース及びドレインの一方に接続され、

前記第 1 スイッチング素子のソース及びドレインの他方及び前記第 2 スイッチング素子のソース及びドレインの一方は、第 5 スイッチング素子を介してリセット電源線に接続され、

前記第 3 スイッチング素子、前記第 4 スイッチング素子、及び前記第 5 スイッチング素子のそれぞれのゲート端子には 2 水平期間のオン信号が供給されることを特徴とする表示装置。

【請求項 8】

各行に対して設けられた複数のシフトレジスタをさらに有し、

n 行目の前記シフトレジスタは、 $n + 2$  行目の前記第 4 スイッチング素子を制御することを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

n 行目の前記シフトレジスタは、

$n + 3$  行目の前記第 5 スイッチング素子を制御することを特徴とする請求項 8 に記載の表示装置。

【請求項 10】

n 行目の前記シフトレジスタは、

n 行目の前記第 3 スイッチング素子を制御することを特徴とする請求項 8 又は 9 に記載の表示装置。

【請求項 11】

第 1 リセット期間、第 2 リセット期間、しきい値補償期間、及び書き込み期間を有し、

前記第 1 リセット期間は、前記第 1 スイッチング素子がオン状態、前記第 2 スイッチング素子がオフ状態、前記第 3 スイッチング素子がオフ状態、前記第 4 スイッチング素子がオフ状態、及び第 5 スイッチング素子がオン状態であり、

前記第 2 リセット期間は、前記第 1 スイッチング素子がオン状態、前記第 2 スイッチング素子がオフ状態、前記第 3 スイッチング素子がオフ状態、前記第 4 スイッチング素子がオン状態、及び第 5 スイッチング素子がオン状態であり、

前記しきい値補償期間は、前記第 1 スイッチング素子がオン状態、前記第 2 スイッチング素子がオン状態、前記第 3 スイッチング素子がオフ状態、前記第 4 スイッチング素子がオン状態、及び第 5 スイッチング素子がオフ状態であり、

前記書き込み期間は、前記第 1 スイッチング素子がオフ状態、前記第 2 スイッチング素子がオフ状態、前記第 3 スイッチング素子がオン状態、前記第 4 スイッチング素子がオフ状態、及び前記第 5 スイッチング素子がオフ状態であることを特徴とする請求項 7 に記載の表示装置。

【請求項 12】

前記駆動トランジスタのソース及びドレインの他方に、前記リセット電源線に供給されたリセット電圧を供給する第 1 リセット期間と、

前記駆動トランジスタのゲート端子に、前記初期化電源線に供給された初期化電圧を供給する第 2 リセット期間と、

前記駆動トランジスタのソース及びドレインの他方に供給された前記リセット電圧を遮断し、前記駆動トランジスタのソース及びドレインの他方に、前記主電源線に供給された主電圧を供給することで、前記容量素子に前記駆動トランジスタのしきい値電圧に基づく電荷を保持させるしきい値補償期間と、

前記駆動トランジスタのソース及びドレインの他方に供給された前記主電圧、及び前記駆動トランジスタのゲート端子に供給された前記初期化電圧を遮断し、前記駆動トランジ

スタのゲート端子に、前記信号線に供給された信号電圧を供給することで、前記容量素子に前記しきい値電圧及び前記信号電圧に基づく電荷を保持させる書き込み期間と、を有することを特徴とする請求項7に記載の表示装置。