



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

244490

(11)

(B1)

(22) Přihlášeno 29 10 84
(21) PV 8217-84

(51) Int. Cl.⁴
G 06 K 9/03
G 06 F 11/00

(40) Zveřejněno 17 09 85

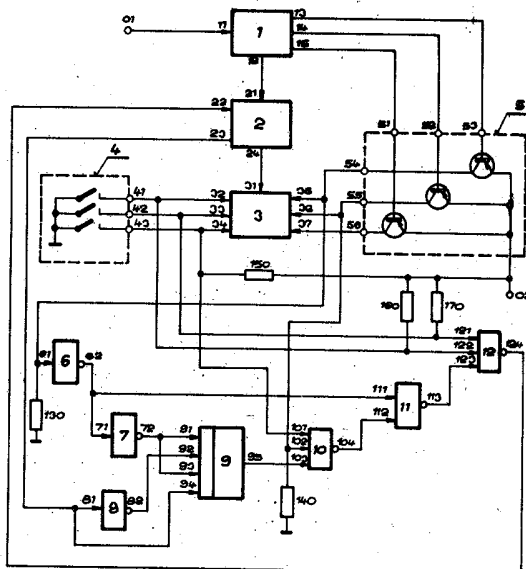
(45) Vydáno 15 09 87

(75)
Autor vynálezu

BOJANOVSKÝ JOSEF ing., PRAHA

(54) Zapojení pro potlačení nevýznamných nul číslicového ukazatele

Řešení se týká zapojení obvodu pro potlačení nevýznamných nul stojících před prvním platným celým číslem číselného údaje třímístného číslicového zobrazovače pracujícího v multiplexním režimu a to v závislosti na poloze desetinné tečky údaje. Při rozsvícení desetinné tečky před první nebo před prostřední číslicí třímístného číslicového zobrazovače se řídí činnost dekodéru, který ovládá číslicový zobrazovač. Tím se zabrání zobrazení nevýznamné nuly na prvním nebo prvním i druhém místě číselného údaje. Obvod se využije v panelových číslicových ukazovacích přístrojích.



Vynález se týká zapojení pro potlačení nevýznamných nul číslicového ukazatele třímístného číslicového zobrazovače pracujícího v multiplexním režimu, a to v závislosti na poloze desetinné tečky údaje.

Při zobrazování údaje na třímístném číslicovém ukazateli, který je například součástí panelového číslicového ukazovacího přístroje, se pro přehlednost zobrazovaného údaje, a tím i pro snížení pravděpodobnosti vzniku řádové chyby při jeho čtení vyžaduje, aby se nezobrazovala číslice nula na prvním místě zleva, přísluší-li vzhledem k poloze pohyblivé desetinné tečky toto místo řádu číselného údaje 10^2 nebo 10^{-1} .

Číslice nula se nemá rovněž zobrazit na druhém místě údaje zleva, přísluší-li toto místo řádu 10^1 a číslice nula se současně vyskytuje též v řádu 10^2 . V těchto případech má být číslicovka zobrazovače na prvním, resp. prvním i druhém místě zleva zhasnuta.

Jestliže se každá číslicovka zobrazovače řídí vlastním dekodérem spínajícím její jednotlivé segmenty, je možno potlačení nevýznamných nul stojících před prvním platným celým číslem zajistit známým zapojením, v němž je blokovací výstup dekodéru vyššího řádu propojen se zhasňecím vstupem dekodéru následujícího nižšího řádu, přičemž zhasňecí vstup dekodéru nejvyššího řádu je spojen se zemí.

U často využívaného multiplexního zapojení zobrazovače, které je výhodnější z hlediska počtu potřebných součástek i nároků na napájecí napětí, kde jsou odpovídající si segmenty jednotlivých číslicovek propojeny a řízeny jedním dekodérem, nelze popsaný způsob potlačení nevýznamných nul použít.

Tyto nedostatky odstraňuje zapojení pro potlačení nevýznamných nul v číselném údaji třímístného číslicového zobrazovače podle vynálezu. Zobrazovač pracuje v multiplexním režimu a je ovládán prostřednictvím dekodéru převádějícího výstupní kód analogové číslicového převodníku na kód sedmissegmentového zobrazovače a prostřednictvím řádového spínače, řízeného příslušnými výstupními signály analogové číslicového převodníku.

Podstata vynálezu spočívá v tom, že první výstup řádového spínače je spojen s anodovým vstupem první číslice třímístného segmentového zobrazovače, s prvním vývodem prvního odporu a se vstupem prvního invertoru.

Výstup prvního invertoru je spojen s prvním vstupem druhého součinnového obvodu a se vstupem druhého invertoru, jehož výstup je spojen s prvním nastavovacím vstupem klopného obvodu a s prvním nulovacím vstupem klopného obvodu.

Druhý nastavovací vstup klopného obvodu je spojen s výstupem třetího invertoru, jehož vstup je spojen s blokovacím výstupem dekodéru a se druhým nulovacím vstupem klopného obvodu.

2 výkresy

Výstup klopného obvodu je spojen se třetím vstupem prvního součinnového obvodu, jehož první vstup je spojen s prvním vývodem druhého odporu, se druhým výstupem řádového spínače a s anodovým vstupem druhé číslice třímístného sedmissegmentového zobrazovače.

Katodový vstup třetí desetinné tečky třímístného sedmissegmentového zobrazovače je spojen s prvním vývodem třetího odporu, se třetím výstupem spínacího bloku a s prvním vstupem prvního součinnového obvodu, jehož výstup je spojen se druhým vstupem druhého součinnového obvodu.

Výstup druhého součinnového obvodu je spojen se třetím vstupem třetího součinnového obvodu. Druhý vstup třetího součinnového obvodu je spojen s prvním vývodem čtvrtého odporu, s prvním výstupem spínacího bloku a s katodovým vstupem první desetinné tečky třímístného sedmissegmentového zobrazovače, jehož katodový vstup druhé desetinné tečky je spojen se dru-

hým výstupem spínacího bloku, s jedním vývodem pátého odporu a s prvním vstupem třetího součinného obvodu. Výstup třetího součinného obvodu je spojen se zážecím vstupem dekodéru.

Druhý vývod prvního odporu a druhý vývod druhého odporu je spojen se zemí. Druhý vývod třetího odporu, druhý vývod čtvrtého odporu a druhý vývod pátého odporu je spojen s kladnou napájecí svorkou zapojení.

Výhodou zapojení podle vynálezu je to, že umožňuje potlačení nevýznamných nul v údajích třímístného číslicového ukazatele pracujícího v multiplexním režimu přinášejícím úsporu dvou dekodérů pro řízení číslicovek i menší nároky na napájení.

Potlačením nul před prvním celým platným číslem se snižuje pravděpodobnost vzniku řádové chyby při čtení údaje. Zapojení je jednoduché a klade snížené nároky na prostor.

Zapojení je znázorněno v blokovém schématu na připojeném výkrese.

Jednotlivé bloky zapojení je možno charakterizovat takto. Analogově číslicový převodník 1 je integrovaný obvod pracující metodou dvojí integrace převádějící napětí přivedené na jeho vstup 11 na trojciferný číslicový údaj.

Dekodér 2 je integrovaný obvod pro převod binárně dekadického kódu na kód sedmisegmentového zobrazovače. Třímístný sedmisegmentový zobrazovač 3 sestavený ze tří číslicovek se vzájemně propojenými katodami odpovídajících si segmentů opatřených předřazenými odpory a vyvedenými katodami desetinných teček před jednotlivými číslicemi, též opatřenými příslušnými předřazenými odpory.

Spínací blok 4 desetinných teček je sestaven z ručně ovládaných spínačů nebo je vytvořen ze spínacích tranzistorů. Při automatické volbě desetinné tečky je doplněn dalšími obvody.

Slouží k připojení katod jednotlivých desetinných teček na zem. Řádový spínač 5 je sestaven ze tří spínacích tranzistorů. Přivádí kladné napájecí napětí na společné anody jednotlivých číslicovek.

Spínací tranzistory se ovládají logickými výstupními signály analogově číslicového převodníku. Všechny Jubertery 6, 7, 8 jsou stejné. Jsou vytvořeny z hradel typu NAND. Klopný obvod 9 typu R-S, je vytvořený ze čtyř hradel typu NAND.

Všechny součinné obvody 10, 11, 12, jsou stejné. Jsou vytvořeny ze třívstupových hradel typu NAND. Tato hradla jsou částí integrovaného obvodu. Zapojení jednotlivých bloků je provedeno následovně.

Vstupní svorka 11 zapojení je spojena se vstupem 11 analogově číslicového převodníku 1. Skupinový výstup 12 analogově číslicového převodníku 1 je spojen se skupinovým vstupem 21 dekodéru 2.

Skupinový výstup 24 dekodéru 2 je spojen se skupinovým vstupem 31 třímístného sedmisegmentového zobrazovače 3. První řádový výstup 13 analogově číslicového převodníku 1 je spojen se třetím řídicím vstupem 53 řádového spínače 5.

Druhý řádový výstup 14 analogově číslicového převodníku 1 je spojen se druhým řídicím vstupem 52 řádového spínače 5. Třetí řádový výstup 15 analogově číslicového převodníku 1 je spojen se prvním řídicím vstupem 51 řádového spínače 5.

Třetí výstup 56 řádového spínače 5 je spojen s anodovým vstupem 37 třetí číslice

třímístného sedmisegmentového zobrazovače 3. První výstup 54 řádového spínače 2 je spojen s anodovým vstupem 32 první číslice třímístného segmentového zobrazovače 3, s prvním vývodem prvního odporu 130, a se vstupem 61 prvního invertoru 6.

Výstup 62 prvního invertoru 6 je spojen s prvním vstupem 111 druhého součinnového obvodu 11 a se vstupem 71 druhého invertoru 7, jehož výstup 72 je spojen s prvním nastavovacím vstupem 91 klopného obvodu 9 a s prvním nulovacím vstupem 23 klopného obvodu 9.

Druhý nastavovací vstup 92 klopného obvodu 9 je spojen s výstupem 82 třetího invertoru 8, jehož vstup 81 je spojen s blokovacím výstupem 23 dekodéru 2 a se druhým nulovacím vstupem 24 klopného obvodu 9.

Výstup 95 klopného obvodu 9 je spojen se třetím vstupem 103 prvního součinnového obvodu 10. První vstup 102 prvního součinnového obvodu 10 je spojen s prvním vývodem druhého odporu 140, se druhým výstupem 55 řádového spínače 2 a s anodovým vstupem 36 druhé číslice třímístného sedmisegmentového zobrazovače 3, jehož katodový vstup 34 třetí desetinné tečky je spojen s prvním vývodem třetího odporu 150, se třetím výstupem 43 spínacího bloku 4 a s prvním vstupem 101 prvního součinnového obvodu 10.

Výstup 104 prvního součinnového obvodu 10 je spojen se druhým vstupem 112 druhého součinnového obvodu 11, jehož výstup 113 je spojen se třetím vstupem 123 třetího součinnového obvodu 12.

Druhý vstup 122 třetího součinnového obvodu 12 je spojen s prvním vývodem čtvrtého odporu 160, s prvním výstupem 41 spínacího bloku 4 a s katodovým vstupem 32 první desetinné tečky třímístného sedmisegmentového zobrazovače 3, jehož katodový vstup 33 druhé desetinné tečky je spojen se druhým výstupem 42 spínacího bloku 4, s jedním vývodem pátého odporu 170, a s prvním vstupem 121 třetího součinnového obvodu 12, jehož výstup 124 je spojen se zhášecím vstupem 22 dekodéru 2.

Druhý vývod prvního odporu 130 a druhý vývod druhého odporu 140 je spojen se zemí, zatímco druhý vývod třetího odporu 150, druhý vývod čtvrtého odporu 160 a druhý vývod pátého odporu 170 je spojen s kladnou napájecí svorkou zapojení.

Zapojení pracuje takto. Při rozsvícení desetinné tečky před první nebo před prostřední číslicí třímístného číslicového zobrazovače, což odpovídá charakteru zobrazení oXYZ nebo Xo YZ, se přivede napětí logické úrovně L na první vstup 121 třetího součinnového obvodu 12 nebo na jeho druhý vstup 122.

Tím se třetí součinnový obvod 12. Na jeho výstupu 124 a současně na zhášecím vstupu 22 dekodéru 2 je trvale úroveň H, která neovlivní funkci dekodéru 2. Proto se budou na všech číslicovkách zobrazovače indikovat všechny číslice včetně nuly.

Nezvolí-li se žádná desetinná tečka, bude na prvním vstupu 121 třetího součinnového obvodu 12 a na jeho druhém vstupu 122 signál logické úrovně H, který bude též na prvním vstupu 101 prvního součinnového obvodu 10, protože tyto vstupy 121, 122 a 101 jsou připojeny přes jim přiřazené odpory 170, 160 a 150 na kladné napájecí napětí.

Potom se při zobrazování první číslice přivede na vstup 61 prvního invertoru 6 napětí logické úrovně H. Signál logické úrovně L z výstupu 62 prvního invertoru 6 zablokuje přes první vstup 111 druhý součinnový obvod 11, na jehož výstupu 113 bude signál logické úrovně H.

Na všech vstupech 121, 122 a 123 třetího součinnového obvodu 12 bude signál logické úrovně H. Na výstupu 124 třetího součinnového obvodu 12 a současně na zhášecím vstupu 22 dekodéru 2 bude signál logické úrovně L.

V tomto případě se na skupinovém výstupu 24 dekodéru 2 nastaví při dekódování číslice nula taková kombinace, které odpovídá prázdný znak, tj. zhasnutá číslicovka. V nejvyšším řádu údaje se proto číslice nula nezobrazí a současně se na blokovacím výstupu 23 dekodéru 2 objeví signál logické úrovně L.

Tento signál se přes třetí invertor 8 zavede na druhý nastavovací vstup 22 klopného obvodu 2. Na jeho prvním nastavovacím vstupu 21 je při zobrazování první číslice rovněž signál logické úrovně H.

Tím se výstup 25 klopného obvodu 2 nastaví na logickou úroveň H. Po skončení časového intervalu odpovídajícího zobrazení první číslice se vstup 61 prvního invertoru 6 uzemní přes první odpor 130.

Signál logické úrovně H z jeho výstupu 62 prvního invertoru 6 uvolní druhý součinný obvod 11. Signál logické úrovně L z výstupu 72 druhého invertoru 7 zablokuje oba nastavovací vstupy 21 a 22 i oba nulovací vstupy 23 a 24 klopného obvodu 2.

Na jeho výstupu 25 zůstává zachován signál logické úrovně H. V časovém intervalu odpovídajícím zobrazení prostřední číslice se přivede napětí logické úrovně H na druhý vstup 102 prvního součinného obvodu 10, tím se na jeho výstupu 104 objeví signál logické úrovně L, který zablokuje přes druhý vstup 112 druhý součinný obvod 11.

Na jeho výstupu 113 bude signál logické úrovně H. Tím se na výstupu 124 třetího součinného obvodu 12 a současně i na zhasécím vstupu 22 dekodéru 2 nastaví signál logické úrovně L.

Při dekódování číslice nula se pak na skupinovém výstupu 24 dekodéru 2 nastaví kombinace odpovídající prázdnému znaku. Následkem toho se v prostředním řádu údaje číslice nula nezobrazí.

Bude-li číslice, která se zobrazuje na nejvyšším řádu, různá od nuly, zůstane přitom blokovací výstup 23 dekodéru 2 ve stavu logické úrovně H, takže na obou nulovacích vstupech 23 a 24 klopného obvodu 2 bude signál logické úrovně H a tím se na výstupu 25 klopného obvodu 2 nastaví signál logické úrovně L, který setrvá i po ukončení časového intervalu příslušejícího zobrazení první číslice.

Tím se přes třetí vstup 103 zablokuje první součinný obvod 10, na jehož výstupu 104 bude signál logické úrovně H. Při zobrazení prostřední číslice bude proto na obou vstupech 111 a 112 druhého součinného obvodu 11 signál logické úrovně H.

Na výstupu 113 druhého součinného obvodu 11 bude signál logické úrovně L, který přes třetí vstup 123 zablokuje třetí součinný obvod 12, na jehož výstupu 124 a současně na zhasécím vstupu 22 dekodéru 2 bude signál logické úrovně H, který neovlivní činnost dekodéru 2.

Na prostřední číslicovce se pak budou zobrazovat všechny číslice včetně nuly. Je-li rozsvícena desetinná tečka před poslední číslicí údaje, čemuž odpovídá charakter zobrazení X₁₀Z, potom se přes první vstup 101 zablokuje první součinný obvod 10.

Na jeho výstupu 104 je trvale signál logické úrovně H bez ohledu na stav výstupu 25 klopného obvodu 2. V tom případě dochází již popsaným způsobem k potlačení číslice nula pouze v nejvyšším řádu údaje.

Vynálezu se využije v zapojení třímístných číslicových ukazatelů pracujících v multiplexním režimu, které jsou součástí panelových číslicových ukazovacích přístrojů, případně i jiných číslicových přístrojů.

PŘEDMĚT VYNÁLEZU

Zapojení pro potlačení nevýznamných nul číslíkového ukazatele třímístného číslíkového zobrazovače, pracujícího v multiplexním režimu ovládaného prostřednictvím dekodéru převádějícího výstupní kód analogové číslíkového převodníku na kód sedmissegmentového zobrazovače a prostřednictvím kódového spínače, řízeného příslušnými výstupními signály analogové číslíkového převodníku, vyznačující se tím, že první výstup (54) řádového spínače (5) je spojen s anodovým vstupem (35) první číslice třímístného segmentového zobrazovače (3), s prvním vývodem prvního odporu (130), a se vstupem (61) prvního invertoru (6), jehož výstup (62) je spojen s prvním vstupem (111) druhého součinnového obvodu (11) a se vstupem (71) druhého invertoru (7), jehož výstup (72) je spojen s prvním nastavovacím vstupem (91) klopného obvodu (9) a s prvním nulovacím vstupem (93) klopného obvodu (9), jehož druhý nastavovací vstup (92) je spojen s výstupem (82) třetího invertoru (8), jehož vstup (81) je spojen s blokovacím výstupem (23) dekodéru (2) a se druhým nulovacím vstupem (94) klopného obvodu (9), jehož výstup (95) je spojen se třetím vstupem (103) prvního součinnového obvodu (10), jehož první vstup (102) je spojen s prvním vývodem druhého odporu (140), se druhým výstupem (55) řádového spínače (5) a s anodovým vstupem (36) druhé číslice třímístného sedmissegmentového zobrazovače (3), jehož katodový vstup (34) třetí desetinné tečky je spojen s prvním vývodem třetího odporu (150), se třetím výstupem (43) spínacího bloku (4), a s prvním vstupem (101) prvního součinnového obvodu (10), jehož výstup (104) je spojen se druhým vstupem (112) druhého součinnového obvodu (11), jehož výstup (113) je spojen se třetím vstupem (123) třetího součinnového obvodu (12), jehož druhý vstup (122) je spojen s prvním vývodem čtvrtého odporu (160), s prvním výstupem (41) spínacího bloku (4) a s katodovým vstupem (32) první desetinné tečky třímístného sedmissegmentového zobrazovače (3), jehož katodový vstup (33) druhé desetinné tečky je spojen se druhým výstupem (42) spínacího bloku (4), s jedním vývodem pátého odporu (170), a s prvním vstupem (121) třetího součinnového obvodu (12), jehož výstup (124) je spojen se zážecím vstupem (22) dekodéru (2), přičemž druhý vývod prvního odporu (130) a druhý vývod druhého odporu (140) je spojen se zemí, zatímco druhý vývod třetího odporu (150), druhý vývod čtvrtého odporu (160) a druhý vývod pátého odporu (170) je spojen s kladnou napájecí svorkou (02) zapojení.

1 výkres

244490

