

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6286292号
(P6286292)

(45) 発行日 平成30年2月28日(2018.2.28)

(24) 登録日 平成30年2月9日(2018.2.9)

(51) Int.Cl.

F I

H O 1 L 27/11521 (2017.01)

H O 1 L 27/11521

H O 1 L 27/11558 (2017.01)

H O 1 L 27/11558

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 3 7 1

H O 1 L 29/788 (2006.01)

H O 1 L 29/792 (2006.01)

請求項の数 12 (全 21 頁)

(21) 出願番号 特願2014-127706 (P2014-127706)
 (22) 出願日 平成26年6月20日(2014.6.20)
 (65) 公開番号 特開2016-9692 (P2016-9692A)
 (43) 公開日 平成28年1月18日(2016.1.18)
 審査請求日 平成29年6月9日(2017.6.9)

(73) 特許権者 511229547
 株式会社フローディア
 東京都小平市小川東町1丁目30番9号
 (74) 代理人 100137800
 弁理士 吉田 正義
 (74) 代理人 100148253
 弁理士 今枝 弘充
 (74) 代理人 100148079
 弁理士 梅村 裕明
 (74) 代理人 100158241
 弁理士 吉田 安子
 (72) 発明者 谷口 泰弘
 東京都小平市小川東町1丁目29番9号
 株式会社フローディア内

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

絶縁層に覆われて互いに電氣的に絶縁された複数のフローティングゲートを備え、前記フローティングゲート毎にメモリセルを構成した不揮発性半導体記憶装置であって、

前記メモリセルは、コントロールキャパシタ、電荷注入トランジスタ、電荷引抜トランジスタ、および読み出しトランジスタを備え、前記コントロールキャパシタと、前記電荷注入トランジスタと、前記電荷引抜トランジスタと、前記読み出しトランジスタとで前記フローティングゲートを共有し、

前記コントロールキャパシタは第1活性領域に形成されており、前記電荷注入トランジスタは第2活性領域に形成されており、前記読み出しトランジスタは第3活性領域に形成されており、前記電荷引抜トランジスタは第4活性領域に形成されており、前記フローティングゲートは前記第1活性領域上、前記第2活性領域上、前記第3活性領域上、および前記第4活性領域上に交差するように延在しており、

行方向にて隣り合う前記フローティングゲート間の列間領域、およびまたは列方向にて隣り合う前記フローティングゲート間の行間領域に、前記絶縁層内に存在する可動電荷を引き寄せて、前記フローティングゲートへの該可動電荷の停留を抑制させる可動電荷収集素子が設けられており、

前記可動電荷収集素子は、一の前記フローティングゲートまでの距離と、一の前記フローティングゲートと隣り合う他の前記フローティングゲートまでの距離とが同じ距離に選定されており、

10

20

前記可動電荷収集素子は、前記第1活性領域、前記第2活性領域、前記第3活性領域、および前記第4活性領域以外の、ウェル表面に埋込形成された可動電荷収集素子層を含むことを特徴とする不揮発性半導体記憶装置。

【請求項2】

絶縁層に覆われて互いに電氣的に絶縁された複数のフローティングゲートを備え、前記フローティングゲート毎にメモリセルを構成した不揮発性半導体記憶装置であって、

前記メモリセルは、コントロールキャパシタ、電荷注入トランジスタまたは電荷引抜トランジスタ、および読み出しトランジスタを備え、前記コントロールキャパシタと、前記電荷注入トランジスタまたは電荷引抜トランジスタと、前記読み出しトランジスタとで前記フローティングゲートを共有し、

10

前記コントロールキャパシタは第1の活性領域に形成されており、前記電荷注入トランジスタまたは電荷引抜トランジスタは第2の活性領域に形成されており、前記読み出しトランジスタは第3の活性領域に形成されており、前記フローティングゲートは前記第1の活性領域上、前記第2の活性領域上、および前記第3の活性領域上に交差するように延在しており、

行方向にて隣り合う前記フローティングゲート間の列間領域、およびまたは列方向にて隣り合う前記フローティングゲート間の行間領域に、前記絶縁層内に存在する可動電荷を引き寄せて、前記フローティングゲートへの該可動電荷の停留を抑制させる可動電荷収集素子が設けられており、

前記可動電荷収集素子は、一の前記フローティングゲートまでの距離と、一の前記フローティングゲートと隣り合う他の前記フローティングゲートまでの距離とが同じ距離に選定されており、

20

前記可動電荷収集素子は、前記第1の活性領域、前記第2の活性領域、および前記第3の活性領域以外の、ウェル表面に埋込形成された可動電荷収集素子層を含む

ことを特徴とする不揮発性半導体記憶装置。

【請求項3】

前記可動電荷収集素子層の表面には、前記可動電荷収集素子としての可動電荷収集コンタクトが立設されている

ことを特徴とする請求項1または2記載の不揮発性半導体記憶装置。

【請求項4】

30

前記ウェル上方には、前記メモリセルに対して電圧を印加する配線が配置された第1配線層を有しており、

前記可動電荷収集コンタクトの先端には、前記可動電荷収集素子としての可動電荷収集第1配線層を有し、該可動電荷収集第1配線層が前記第1配線層の高さ位置に形成されている

ことを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項5】

前記可動電荷収集第1配線層には、前記可動電荷収集素子としての可動電荷収集層間コンタクトが立設されている

ことを特徴とする請求項4記載の不揮発性半導体記憶装置。

40

【請求項6】

前記第1配線層の上方には、前記メモリセルに電圧を印加する他の配線が配置された第2配線層を有しており、

前記可動電荷収集層間コンタクトの先端には、前記可動電荷収集素子としての可動電荷収集第2配線層を有し、該可動電荷収集第2配線層が前記第2配線層の高さ位置に形成されている

ことを特徴とする請求項5記載の不揮発性半導体記憶装置。

【請求項7】

電荷が蓄積された前記フローティングゲートに電圧を印加して、前記フローティングゲートと前記可動電荷収集素子との電圧関係を調整することにより、前記可動電荷を該フロ

50

ーティングゲートから遠ざけて前記可動電荷収集素子に引き寄せる

ことを特徴とする請求項 1 ～ 6 のうちいずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 8】

前記可動電荷収集素子層は、前記ウェル表面に不純物がドーピングされた層である

ことを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 9】

前記ウェルの導電型は P 型であり、前記不純物はホウ素 (B) またはインジウム (In) である

ことを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 10】

前記ウェルの導電型は N 型であり、前記不純物はリン (P)、砒素 (As) またはアンチモン (Sb) である

ことを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 11】

前記可動電荷収集素子層は、前記第1活性領域、前記第2活性領域、前記第3活性領域、および前記第4活性領域に対して非接触に形成されている

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 12】

前記可動電荷収集素子層は、前記第1の活性領域、前記第2の活性領域、および前記第3の活性領域に対して非接触に形成されている

ことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は不揮発性半導体記憶装置に関し、電荷が蓄積可能なフローティングゲートが行列状に配置された不揮発性半導体記憶装置に適用して好適なものである。

【背景技術】

【0002】

従来、不揮発性半導体記憶装置として、ビット線とワード線とが交差する各位置にメモリセルが配置された不揮発性半導体記憶装置が知られている (例えば、特許文献 1 参照)。ここで、このような従来のメモリセルは、例えば電荷が蓄積可能なフローティングゲートを備えた構成を有している。また、このような不揮発性半導体記憶装置は、各メモリセルのフローティングゲートや、これらメモリセルに接続されたビット線およびワード線等の各種配線が絶縁層に覆われており、当該絶縁層によって、メモリセル同士や、配線同士が互いに絶縁され得るように形成されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開昭 2005-175411 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ここで、このような不揮発性半導体記憶装置は、当該不揮発性半導体記憶装置を製造する半導体製造プロセスにおいて、特に配線間の絶縁層内や、配線上の絶縁層内に、例えば水素イオン (H⁺) や、ナトリウムイオン (Na⁺) 等の可動電荷が蓄積された状態で製造されることがある。このようなメモリセルでは、例えばフローティングゲートに電荷 (例えば電子) が蓄積されたとき、絶縁層内に存在する正の可動電荷が拡散して当該フローティングゲートに停留したり、或いは当該フローティングゲート近傍の配線や、活性領域にも可動電荷が停留してしまうという現象が起こり得る。

【0005】

10

20

30

40

50

ここで、フローティングゲート近傍に停留した可動電荷は、フローティングゲートを帯電させた状態と実質的に同じ効果を生み出す。そのため、例えば電荷注入トランジスタがN型MOSトランジスタで形成されたメモリセルでは、正の可動電荷がフローティングゲートに近接することで、電荷注入トランジスタや、読み出しトランジスタ、電荷引抜トランジスタの閾値電圧（以下、これを単にメモリセルの閾値電圧と呼ぶ）を実質的に下げる要因となり得る。特に近年の不揮発性半導体記憶装置では、全体として小型化が図られていることから、コントロールキャパシタ、電荷注入トランジスタ、読み出しトランジスタ、および電荷引抜トランジスタの各活性領域の面積も可能な限り小さくなるようにレイアウトされることが多い。

【0006】

そのため、従来の不揮発性半導体記憶装置では、活性領域の面積が小さい分、絶縁層内の可動電荷が活性領域に停留し難いものの、その分、可動電荷の多くがフローティングゲートや、当該フローティングゲート近傍の配線に停留してしまう。その結果、このような不揮発性半導体記憶装置では、フローティングゲート近傍に停留する可動電荷の数が増加してしまい、メモリセルの閾値電圧の変動が大きくなってしまう傾向にある。特に単層のポリシリコンのみでメモリセルを形成する、特許文献1のような不揮発メモリにおいては、フローティングゲートの大半がコントロールゲートで被覆されるスタックゲート型の不揮発メモリと違い、フローティングゲートが配線間の絶縁層に対してむき出しの状態となるため、閾値電圧の変動がより顕著に発生する。そして、このようにメモリセルの閾値電圧が大きく変動してしまうと、メモリセルに蓄積された情報が反転してしまう等の障害が生じる可能性もあり、メモリセルに記憶された情報の信頼性に欠けるという問題があった。

【0007】

その一方、このような問題への対策としては、不揮発性半導体記憶装置に形成される各活性領域の面積を増加させることにより相対的にフローティングゲートに集まる可動電荷の数を減らすことも考えられる。しかしながら、このような対策を施した不揮発性半導体記憶装置では、活性領域の面積を増加させた分だけ活性領域とウェルとの間の接合容量も増加してしまうため、その分、メモリセルの高速動作を維持し難いという問題がある。

【0008】

そこで、本発明は以上の点を考慮してなされたもので、従来と同様にメモリセルの高速動作を可能としつつ、絶縁層内の可動電荷がフローティングゲートに停留することにより生じるメモリセルの閾値電圧の変動を抑制し得る不揮発性半導体記憶装置を提案することを目的とする。

【課題を解決するための手段】

【0009】

かかる課題を解決するため本発明の不揮発性半導体記憶装置は、絶縁層に覆われて互いに電氣的に絶縁された複数のフローティングゲートを備え、前記フローティングゲート毎にメモリセルを構成した不揮発性半導体記憶装置であって、行方向にて隣り合う前記フローティングゲート間の列間領域、およびまたは列方向にて隣り合う前記フローティングゲート間の行間領域に、前記絶縁層内に存在する可動電荷を引き寄せて、前記フローティングゲートへの該可動電荷の停留を抑制させる可動電荷収集素子が設けられていることを特徴とする。

【発明の効果】

【0010】

本発明によれば、活性領域の各面積を増加させずに、フローティングゲートに集まる可動電荷の数を減らせることから、従来と同様にメモリセルの高速動作を可能としつつ、フローティングゲートに絶縁層内の可動電荷が停留することにより生じるメモリセルの閾値電圧の変動を抑制し得る。

【図面の簡単な説明】

【0011】

【図1】本発明による不揮発性半導体記憶装置のレイアウト構成を示す概略図である。

【図2】図1に示す直線L2での断面構成を示す側断面図である。

【図3】可動電荷収集素子層、可動電荷収集コンタクト、および可動電荷収集第1配線層のみを設けたときの構成を示す側断面図である。

【図4】可動電荷収集素子層を設けずに、可動電荷収集コンタクト、可動電荷収集第1配線層、可動電荷収集層間コンタクト、および可動電荷収集第2配線層のみを設けたときの構成を示す側断面図である。

【図5】可動電荷収集素子層のみを設けたときの構成を示す側断面図である。

【図6】フローティングゲート近傍に存在する正の可動電荷がフローティングゲートに集まる様子を示す概略図である。

【図7】コントロールキャパシタへ調整電圧を印加する構成を示す概略図である。

【図8】コントロールキャパシタへ調整電圧を印加したときの正の可動電荷の様子を示す概略図である。

【発明を実施するための形態】

【0012】

以下図面に基づいて本発明の実施の形態を詳述する。

【0013】

図1において、1は本発明の不揮発性半導体記憶装置を示し、複数のメモリセル2a,2b,2c,2d,2e,2f,2g,2h,2i,2j,2k,2lが行列状（3行4列）に配置された構成を有している。なお、これらメモリセル2a,2b,2c,2d,2e,2f,2g,2h,2i,2j,2k,2lは全て同一構成を有しているが、図1に示す3行目のメモリセル2i,2j,2k,2lについては、2行目のメモリセル2e,2f,2g,2hと隣り合うように配置された一部の構成（コントロールキャパシタ4（後述する））だけを図示している。ここでは、このうち1行目のメモリセル2a,2b,2c,2dと、2行目のメモリセル2e,2f,2g,2hに着目して以下説明する。

【0014】

實際上、各メモリセル2a,2b,2c,2d,2e,2f,2g,2h,2i,2j,2k,2lは、コントロールキャパシタ4と、電荷注入トランジスタ5と、スイッチトランジスタ6と、読み出しトランジスタ7と、電荷引抜トランジスタ8とを有している。各メモリセル2a,2b,2c,2d,2e,2f,2g,2h,2i,2j,2k,2lは、これらコントロールキャパシタ4と、電荷注入トランジスタ5と、読み出しトランジスタ7と、電荷引抜トランジスタ8とで1つのフローティングゲート10aまたはフローティングゲート10bを共有しており、スイッチトランジスタ6にスイッチゲート20aまたはスイッチゲート20bが設けられた構成を有する。

【0015】

なお、フローティングゲート10aとフローティングゲート10bは、例えば行方向にて隣り合うメモリセル2a,2b間や、メモリセル2b,2c間、メモリセル2c,2d間の各境界を基準に折り返した対称的な形状を有しており、これらフローティングゲート10aとフローティングゲート10bとが行方向にて交互に配置されている。また、スイッチゲート20aとスイッチゲート20bも、例えば行方向にて隣り合うメモリセル2a,2b間や、メモリセル2b,2c間、メモリセル2c,2d間の各境界を基準に折り返した対称的な形状を有しており、これらスイッチゲート20aとスイッチゲート20bとが行方向にて交互に配置されている。

【0016】

この場合、フローティングゲート10aとフローティングゲート10bは、拡幅領域11と、当該拡幅領域11よりも幅が狭い狭幅領域12とを有しており、狭幅領域12よりも幅が広い拡幅領域11がコントロールキャパシタ4のゲート電極となり、拡幅領域11よりも幅の狭い狭幅領域12が電荷注入トランジスタ5や、読み出しトランジスタ7、電荷引抜トランジスタ8の各ゲート電極となり得る。

【0017】

因みに、図1では、コントロールキャパシタ4に配置される拡幅領域11と、コントロールキャパシタ4が形成された第1活性領域15との交差面積が、電荷注入トランジスタ5や電荷引抜トランジスタ8に配置される狭幅領域12と、これら電荷注入トランジスタ5や電荷引

10

20

30

40

50

抜トランジスタ8が形成された第2活性領域16、第4活性領域21との交差面積の合計よりも大きく形成されている。これにより、例えばメモリセル2aでは、コントロールキャパシタ4の拡幅領域11と第1活性領域15との交差面積を大きくした分だけ、コントロールキャパシタ4が形成された第1活性領域15からフローティングゲート10bへ電位が伝わり易くなり、データを書き込む際、電荷注入トランジスタ5の狭幅領域12にて大容量のトンネル電流を発生させ、当該電荷注入トランジスタ5のチャネル領域にてフローティングゲート10bに多くの電荷を注入し得るようになされている。

【0018】

ここで、この実施の形態の場合、不揮発性半導体記憶装置1は、第1導電型ウェルWa1、第2導電型ウェルWb1、第1導電型ウェルWa2、第2導電型ウェルWb2、および第1導電型ウェルWa3（以下、これらをまとめて単にウェルとも呼ぶ）が半導体基板（図示せず）上に順に配置されており、これら第1導電型ウェルWa1, Wa2, Wa3および第2導電型ウェルWb1, Wb2上に、例えばシリコン酸化物でなる素子分離層EIが形成されている。なお、この実施の形態の場合、N型の第1導電型ウェルWa1, Wa2, Wa3を適用し、P型の第2導電型ウェルWb1, Wb2を適用する場合について述べるが、本発明はこれに限らず、P型の第1導電型ウェルWa1, Wa2, Wa3を適用し、N型の第2導電型ウェルWb1, Wb2を適用してもよい。

【0019】

不揮発性半導体記憶装置1は、このうち第1導電型ウェルWa1、第2導電型ウェルWb1、および第1導電型ウェルWa2に亘ってメモリセル2a, 2b, 2c, 2dが並列に形成されており、さらに、この第1導電型ウェルWa2を共有し、当該第1導電型ウェルWa2、次の第2導電型ウェルWb2、および第1導電型ウェルWa3に亘って次の行のメモリセル2e, 2f, 2g, 2hが並列に形成されている。

【0020】

實際上、第1導電型ウェルWa1には、メモリセル2a, 2b, 2c, 2dに亘って行方向に延びた第1活性領域15が形成されており、これらメモリセル2a, 2b, 2c, 2dの各コントロールキャパシタ4が第1活性領域15に形成されている。この第1活性領域15には、各メモリセル2a, 2b, 2c, 2d毎にフローティングゲート10a, 10bの拡幅領域11が配置されている。なお、この第1活性領域15には、フローティングゲート10a, 10bの拡幅領域11が配置された領域以外の領域にコンタクトC1が形成されており、配線としてコントロールゲート線（図示せず）が当該コンタクトC1に接続されている。これにより各メモリセル2a, 2b, 2c, 2dには、コントロールゲート線に印加された電圧が、コンタクトC1および第1活性領域15を介して印加され得る。

【0021】

また、この1行目の第1導電型ウェルWa1に隣接した第2導電型ウェルWb1には、各メモリセル2a, 2b, 2c, 2d毎に第2活性領域16がそれぞれ配置されており、各メモリセル2a, 2b, 2c, 2dの電荷注入トランジスタ5が対応する第2活性領域16にそれぞれ形成されている。この第2活性領域16には、各メモリセル2a, 2b, 2c, 2d毎にフローティングゲート10aまたはフローティングゲート10bの狭幅領域12が配置され、フローティングゲート10a, 10bの狭幅領域12が配置された領域以外の領域にそれぞれコンタクトC2が形成されている。

【0022】

また、この第2活性領域16には、列方向のコンタクトC2毎に、異なる書き込みビット線（図示せず）が接続されており、書き込みビット線からコンタクトC2を介して各メモリセル2a, 2b, 2c, 2d毎に所定の電圧が印加され得る。この場合、電荷注入トランジスタ5は、例えばデータ書き込み時、書き込みビット線から印加された電圧と、コントロールキャパシタ4に印加された電圧との差によって、フローティングゲート10a, 10b内に電荷を注入してデータの書き込みを行い得る。

【0023】

さらに、この第2導電型ウェルWb1には、第2活性領域16に加え、メモリセル2a, 2b, 2c, 2dに亘って行方向に延びた第3活性領域18も配置されており、この第3活性領域18にメモリセル2a, 2b, 2c, 2dのスイッチトランジスタ6および読み出しトランジスタ7がそれぞれ形成さ

れている。第3活性領域18には、フローティングゲート10aまたはフローティングゲート10bの狭幅領域12が配置されているとともに、スイッチゲート20aまたはスイッチゲート20bが配置されている。

【0024】

なお、スイッチゲート20a,20bには、スイッチゲート線（図示せず）に接続されたコンタクトC3が形成されており、当該スイッチゲート線に印加されたスイッチゲート電圧がコンタクトC3を介して印加され得る。また、第3活性領域18には、これらスイッチゲート20a,20bおよびフローティングゲート10a,10bが配置された領域以外の領域のうち、スイッチゲート20a,20b近傍に、読み出しビット線（図示せず）に接続されたコンタクトC4が形成され、一方、読み出しトランジスタ7のフローティングゲート10a,10b近傍に、ソース線（図示せず）に接続されたコンタクトC5が形成されている。

10

【0025】

ここで、スイッチトランジスタ6は、読み出しトランジスタ7と直列接続されており、スイッチゲート20a,20bに印加されたスイッチゲート電圧によりオン動作し、当該読み出しトランジスタ7および読み出しビット線間を電氣的に接続させ、フローティングゲート10a,10bでの電荷の蓄積の有無（データの書き込み有無）により、当該読み出しビット線の電圧を変化させ得る。不揮発性半導体記憶装置1は、データ読み出し時、このような読み出しビット線の電圧変化を基にフローティングゲート10a,10bに電荷が蓄積されているか否かを判別し得る。なお、この第3活性領域18には、ビット線に印加された電圧が、コンタクトC4を介して読み出しトランジスタ7に印加され得るようになされている。

20

【0026】

この第2導電型ウェルWb1に隣接した次の2行目の第1導電型ウェルWa2には、隣り合うメモリセル2a,2bで共有した一の第4活性領域21が形成されているとともに、他で隣り合うメモリセル2c,2dで共有した他の第4活性領域21が形成されている。この一の第4活性領域21にはメモリセル2a,2bの各電荷引抜トランジスタ8が形成され、他の第4活性領域21にはメモリセル2c,2dの各電荷引抜トランジスタ8が形成されている。一および他の第4活性領域21には、例えばフローティングゲート10a,10bの狭幅領域12が配置されており、当該狭幅領域12が配置された領域以外の領域にコンタクトC6が形成されている。

【0027】

各第4活性領域21には、コンタクトC6に消去ゲート線（図示せず）が接続されており、当該消去ゲート線に印加された電圧がコンタクトC6を介して印加され得る。この場合、電荷引抜トランジスタ8は、データ消去時、消去ゲート線から印加された電圧と、コントロールキャパシタ4に印加された電圧との差によって、フローティングゲート10a,10b内に蓄積されている電荷を引き抜き、メモリセル2a,2b,2c,2d等のデータ消去を行い得る。

30

【0028】

ここで、このような不揮発性半導体記憶装置1において、行方向に並んで配置された1行目のメモリセル2a,2b,2c,2dと、これらメモリセル2a,2b,2c,2dに沿って同じく行方向に並んで配置された次の行（2行目）のメモリセル2e,2f,2g,2hは、これらメモリセル2a,2b,2c,2dと、メモリセル2e,2f,2g,2hとの境界線L1aを基準に折り返すように対称的に配置されている。これにより、不揮発性半導体記憶装置1では、1行目のメモリセル2a,2b,2c,2dの電荷引抜トランジスタ8が形成されている2行目の第1導電型ウェルWa2に、次の行（2行目）のメモリセル2e,2f,2g,2hの電荷引抜トランジスタ8も形成されており、異なる行に配置されたメモリセル2a,2b,2c,2dとメモリセル2e,2f,2g,2hとで1つの第1導電型ウェルWa2を共有している。

40

【0029】

因みに、この2行目の第1導電型ウェルWa2に隣接した次の行の第2導電型ウェルWb2には、2行目のメモリセル2e,2f,2g,2hが形成される第3活性領域18と第2活性領域16とが配置されており、この2行目の第2導電型ウェルWb2に隣接した3行目の第1導電型ウェルWa3には、同じく2行目のメモリセル2e,2f,2g,2hが形成される第1活性領域15が形成されている。なお、2行目のメモリセル2e,2f,2g,2hが形成される、これら第1活性領域15、第2活性領域16

50

、第3活性領域18、および第4活性領域21については説明の重複になるため、ここではその説明は省略する。

【0030】

このような不揮発性半導体記憶装置1において、行方向に並んで配置された2行目のメモリセル2e,2f,2g,2hと、これらメモリセル2e,2f,2g,2hに沿って行方向に並んで配置された次の行(3行目)のメモリセル2i,2j,2k,2lも上述と同様に、これらメモリセル2e,2f,2g,2hと、メモリセル2i,2j,2k,2lとの境界線L1bを基準に折り返すように対称的に配置されている。これにより、不揮発性半導体記憶装置1では、2行目のメモリセル2e,2f,2g,2hのコントロールキャパシタ4が形成された3行目の第1導電型ウェルWa3に、次の行のメモリセル2i,2j,2k,2lのコントロールキャパシタ4も形成され得る。

10

【0031】

ここで、上述したフローティングゲート10a,10bの拡幅領域11および狭幅領域12の配置構成について、さらに詳細に説明する。實際上、この実施の形態の場合、一のフローティングゲート10aには、例えば四辺状の拡幅領域11の一辺に沿って直線状の狭幅領域12が一体形成されている。これにより一のフローティングゲート10aには、拡幅領域11の一辺と対向する他辺側にて、拡幅領域11と狭幅領域12との幅の差分の距離でなる幅差領域が形成されている。一方、他のフローティングゲート10bには、拡幅領域11の他辺に沿って直線状の狭幅領域12が一体形成されており、拡幅領域11の一辺側にて、拡幅領域11と狭幅領域12との幅の差分の距離でなる幅差領域が形成されている。

【0032】

20

この実施の形態の場合、1行1列目のメモリセル2aには、他のフローティングゲート10bが形成され、このメモリセル2aと隣り合った1行2列目のメモリセル2bには、一のフローティングゲート10aが形成されている。また、この1列2行目のメモリセル2bと隣り合った1行3列目のメモリセル2cには、他のフローティングゲート10bが再び形成され、さらにこのメモリセル2cと隣り合った1行4列目のメモリセル2dには、一のフローティングゲート10aが再び形成されている。

【0033】

これにより、行方向にて隣り合うメモリセル2a,2b間では、他のフローティングゲート10bの直線状の他辺側と、一のフローティングゲート10aの直線状の一辺側とが所定の離間距離を設けて対向配置され得る。かくして、行方向に隣り合う一のメモリセル2a,2b間には、他のフローティングゲート10bの狭幅領域12と、一のフローティングゲート10aの狭幅領域12とが近づいた列間領域ER1が形成され得る。なお、第3活性領域18には、この列間領域ER1に位置する箇所にコンタクトC5が配置され得る。

30

【0034】

かかる構成に加えて、本発明の不揮発性半導体記憶装置1は、この列間領域ER1にある第2導電型ウェルWb1の表面に可動電荷収集素子層24が配置されている。可動電荷収集素子である可動電荷収集素子層24は、例えばホウ素(B)、インジウム(In)等の不純物がドーパされることにより形成されており、ウェル表面での電位の変化を抑制することにより、第1導電型ウェルWa1,Wa2,Wa3や、第2導電型ウェルWb1,Wb2、フローティングゲート10a,10b等を覆う絶縁層内に存在する可動電荷をより効率よく収集し得、フローティングゲート10a,10bや各種配線等に可動電荷が停留してしまうことを抑制し得る。

40

【0035】

さらに、このような構成に加え、不揮発性半導体記憶装置1では、可動電荷収集素子層24の表面にCoSixやNiSix等のシリサイド層(図示しない)を形成してもよい。この場合、可動電荷収集素子層24では、シリサイド層によって、素子表面の抵抗が下がり、可動電荷をより効率よく収集し得る。

【0036】

ここで、この実施の形態の場合、可動電荷収集素子層24は、長方形状に形成されており、その長手方向がフローティングゲート10a,10bの狭幅領域12の長手方向と並走するように配置されている。このように可動電荷収集素子層24は、列間領域ER1内において、フロ

50

ーティングゲート10a,10bの狭幅領域12に沿って配置されることで、フローティングゲート10a,10bの狭幅領域12近傍の絶縁層（図示せず）内の可動電荷を引き寄せて、フローティングゲート10a,10bの可動電荷の停留を抑制し得るように構成されている。

【0037】

なお、この可動電荷収集素子層24は、フローティングゲート10a,10bと非接触に形成されているとともに、フローティングゲート10a,10bに接続された第1活性領域15と、第2活性領域16と、第3活性領域18とに対しても非接触に形成されており、メモリセル2a,2bでのデータ書き込み動作や、データ読み出し動作、データ消去動作に寄与するものではない。

【0038】

ここで、列間領域ER1に形成される可動電荷収集素子層24は、フローティングゲート10a,10bの狭幅領域12の位置を基準に形成位置が選定されており、これらフローティングゲート10a,10bの両狭幅領域12からの距離が同じ距離に選定され、行方向にて隣り合うフローティングゲート10a,10b間の中心位置に配置されている。また、この可動電荷収集素子層24は、フローティングゲート10bに接続された第2活性領域16からの距離と、フローティングゲート10aに接続された第2活性領域16からの距離とが同じ距離に選定されており、隣り合う第2活性領域16間の中心位置に配置されている。

【0039】

これにより、列間領域ER1に形成された可動電荷収集素子層24は、行方向にて隣り合う異なるメモリセル2a,2b(2c,2d、2e,2f、2g,2h)のフローティングゲート10b,10a両方に対し、その周辺の可動電荷を均一に引き寄せることができ、これらフローティングゲート10b,10aでの可動電荷の停留を同時に抑制し得るようになされている。

【0040】

かかる構成に加えて、可動電荷収集素子層24には、その表面に柱状の可動電荷収集コンタクトCC1が立設されている。ここで、可動電荷収集コンタクトCC1は、例えばタングステン(W)、銅(Cu)、アルミニウム(Al)等の金属部材により形成されており、可動電荷収集素子層24と同様に、絶縁層内に存在する可動電荷を収集し得るようになされている。ここで、この可動電荷収集コンタクトCC1も、可動電荷収集素子層24と同様に、フローティングゲート10a,10bの両狭幅領域12からの距離が同じ距離に選定され、行方向にて隣り合うフローティングゲート10a,10b間の中心位置に配置されている。

【0041】

なお、この可動電荷収集コンタクトCC1も、フローティングゲート10a,10bと非接触に形成されているとともに、フローティングゲート10a,10bに接続された第1活性領域15や、第2活性領域16、第3活性領域18に対しても非接触に形成されており、メモリセル2a,2bでのデータ書き込み動作や、データ読み出し動作、データ消去動作に寄与するものではない。

【0042】

一方、行方向にて隣り合う他のメモリセル2b,2c間には、一のフローティングゲート10aの幅差領域のある他辺側と、他のフローティングゲート10bの幅差領域のある一辺側とが対向配置されており、幅差領域が対向配置されている分、これら行方向にて対向配置された狭幅領域12間の離間距離が、同じく行方向にて対向配置された拡幅領域11間の離間距離よりも大きく形成された列間領域ER2が形成されている。因みに、この列間領域ER2には、第2活性領域16に形成されたコンタクトC2が配置されている。また、この列間領域ER2には、メモリセル2b,2cのスイッチゲート20a,20bが配置されているとともに、スイッチゲート20a,20b間の第3活性領域に、読み出しビット線（図示せず）が接続されたコンタクトC4が配置されている。

【0043】

かかる構成に加えて、この列間領域ER2には、行方向にて隣り合うフローティングゲート10a,10bの拡幅領域11の狭幅領域12との幅差部分と、行方向で隣り合うフローティングゲート10a,10bの狭幅領域12と、第1活性領域15と、第2活性領域16とで囲まれた領域であって、かつ、フローティングゲート10a,10bの拡幅領域11が配置された第1導電型ウェルWa1の表面に可動電荷収集素子層26が設けられている。この可動電荷収集素子層26は、上述

10

20

30

40

50

した他の可動電荷収集素子層24と同様に、例えばリン(P)、砒素(As)、アンチモン(Sb)等の不純物がドーピングされることにより形成され得る。

【0044】

そして、この可動電荷収集素子層26も、第1導電型ウェルWa1, Wa2, Wa3や、第2導電型ウェルWb1, Wb2、フローティングゲート10a, 10b等を覆う絶縁層内に存在する可動電荷を収集し得、フローティングゲート10a, 10bや各種配線等に可動電荷が停留してしまうことを抑制し得るようになされている。

【0045】

この実施の形態の場合、可動電荷収集素子層26は、長方形状に形成されており、その長手方向がフローティングゲート10a, 10bの狭幅領域12の長手方向と直交する方向に配置され、かつ、行方向にて隣り合うフローティングゲート10a, 10bの狭幅領域12間に配置されている。なお、この可動電荷収集素子層26も、フローティングゲート10a, 10bや、フローティングゲート10a, 10bに接続された第1活性領域15、第2活性領域16に対して非接触に形成されており、メモリセル2b, 2cでのデータ書き込み動作や、データ読み出し動作、データ消去動作に寄与するものではない。

【0046】

ここで、列間領域ER2に形成される可動電荷収集素子層26は、フローティングゲート10a, 10bの狭幅領域12の位置を基準に形成位置が選定されており、これらフローティングゲート10a, 10bの両狭幅領域12からの距離が同じ距離に選定され、行方向にて隣り合うフローティングゲート10a, 10b間の中心位置に配置されている。

【0047】

かかる構成に加えて、可動電荷収集素子層26には、その表面に柱状の可動電荷収集コンタクトCC2が立設されている。可動電荷収集コンタクトCC2は、上述した他の列間領域ER1に形成された可動電荷収集コンタクトCC1と同様に、例えばタングステン(W)、銅(Cu)、アルミニウム(Al)等の金属部材により形成されており、可動電荷収集素子層24と同様、絶縁層内に存在する可動電荷を収集し得るようになされている。なお、この可動電荷収集コンタクトCC2も、可動電荷収集素子層26と同様に、フローティングゲート10a, 10bの両狭幅領域12からの距離が同じ距離に選定されており、行方向にて隣り合うフローティングゲート10a, 10b間の中心位置に配置されている。

【0048】

なお、この可動電荷収集コンタクトCC2も、フローティングゲート10a, 10bと非接触に形成されているとともに、フローティングゲート10a, 10bに接続された第1活性領域15や、第2活性領域16に対しても非接触に形成されており、メモリセル2b, 2cでのデータ書き込み動作や、データ読み出し動作、データ消去動作に寄与するものではない。

【0049】

また、この不揮発性半導体記憶装置1は、例えば、行方向に並ぶメモリセル2b, 2c間の列間領域ER2と、これらメモリセル2b, 2cと隣り合うように配置された次の行のメモリセル2f, 2g間の列間距離ER2とが連通している列間領域ER3にも可動電荷収集素子層25が形成されている。この列間領域ER3に形成された可動電荷収集素子層25も、第1導電型ウェルWa1, Wa2, Wa3や、第2導電型ウェルWb1, Wb2、フローティングゲート10a, 10b等を覆う絶縁層内に存在する可動電荷を収集し得、フローティングゲート10a, 10bや各種配線等に可動電荷が停留してしまうことを抑制し得るようになされている。

【0050】

實際上、この可動電荷収集素子層25は、一の行のメモリセル2b, 2cの電荷引抜トランジスタ8と、このメモリセル2b, 2cと列方向にて隣り合うようにして対称的に配置された次の行のメモリセル2f, 2gの電荷引抜トランジスタ8とが形成された第1導電型ウェルWa2の表面に、例えばリン(P)、砒素(As)、アンチモン(Sb)等の不純物がドーピングされることにより形成され得る。

【0051】

實際上、可動電荷収集素子層25は、列間領域ER3内の第1導電型ウェルWa2において、一

10

20

30

40

50

の行のメモリセル2b,2cのスイッチゲート20a,20bおよびフローティングゲート10a,10bの狭幅領域12と、このメモリセル2b,2cと列方向にて隣り合うようにして対称的に配置された次の行のメモリセル2f,2gのスイッチゲート20a,20bおよびフローティングゲート10a,10bの狭幅領域12とで囲まれた領域に形成されている。

【 0 0 5 2 】

この実施の形態の場合、可動電荷収集素子層25は、長方形状に形成されており、長手方向がフローティングゲート10a,10bの狭幅領域12の長手方向と並走するように配置されている。なお、可動電荷収集素子層25は、メモリセル2b,2c,2f,2gの各フローティングゲート10a,10bや、これらフローティングゲート10a,10bに接続された各第4活性領域21、第3活性領域18、スイッチゲート20a,20bに対して非接触に形成されており、メモリセル2b,2c,2f,2gでのデータ書き込み動作や、データ読み出し動作、データ消去動作に寄与するものではない。

10

【 0 0 5 3 】

ここで、列間領域ER3に形成される可動電荷収集素子層25は、フローティングゲート10a,10bの狭幅領域12の位置を基準に形成位置が選定されており、これらフローティングゲート10a,10bの両狭幅領域12からの距離が同じ距離に選定され、行方向にて隣り合うフローティングゲート10a,10b間の中心位置に配置されている。

【 0 0 5 4 】

かかる構成に加えて、可動電荷収集素子層25には、その表面に柱状の可動電荷収集コンタクトCC3が立設されている。ここで、可動電荷収集コンタクトCC3は、上述した他の可動電荷収集コンタクトCC1,CC2と同様に、例えばタングステン(W)、銅(Cu)、アルミニウム(Al)等の金属部材により形成されており、可動電荷収集素子層25と同様に、絶縁層内に存在する可動電荷を収集し得るようになされている。なお、この可動電荷収集コンタクトCC3も、可動電荷収集素子層25と同様に、フローティングゲート10a,10bの両狭幅領域12からの距離が同じ距離となる位置に形成されており、行方向にて隣り合うフローティングゲート10a,10b間の中心位置に配置されているとともに、列方向にて隣り合うフローティングゲート10a,10a(10b,10b)間の中心位置に配置されている。

20

【 0 0 5 5 】

なお、この可動電荷収集コンタクトCC3も、フローティングゲート10a,10bと非接触に形成されているとともに、フローティングゲート10a,10bに接続された第4活性領域21や、第3活性領域18等に対しても非接触に形成されており、メモリセル2b,2c,2f,2gでのデータ書き込み動作や、データ読み出し動作、データ消去動作に寄与するものではない。

30

【 0 0 5 6 】

また、この不揮発性半導体記憶装置1には、異なる行に配置されたフローティングゲート10a,10a(10b,10b)の拡幅領域11同士が対向配置された行間領域ER4にも可動電荷収集素子層27が形成されている。實際上、行方向に並ぶメモリセル2e,2f,2g,2hと、これらメモリセル2e,2f,2g,2hと列方向にて隣り合うように配置された次の行のメモリセル2i,2j,2k,2lとの間には、フローティングゲート10a,10bの拡幅領域11同士が対向配置された行間領域ER4があり、当該行間領域ER4に可動電荷収集素子層27が形成されている。

【 0 0 5 7 】

40

この行間領域ER4に形成された可動電荷収集素子層27は、上述した他の可動電荷収集素子層24,25,26と同様に、第1導電型ウェルWa1,Wa2,Wa3や、第2導電型ウェルWb1,Wb2、フローティングゲート10a,10b等を覆う絶縁層内に存在する可動電荷を収集し得、フローティングゲート10a,10bや各種配線等に可動電荷が停留してしまうことを抑制し得るようになされている。實際上、この可動電荷収集素子層27は、フローティングゲート10a,10bの拡幅領域11が形成された第1導電型ウェルWa1,Wa3の表面に、例えばホウ素(B)、インジウム(In)等の不純物がドーピングされることにより形成され得る。

【 0 0 5 8 】

この実施の形態の場合、可動電荷収集素子層27は、例えば長方形状に形成されており、長手方向が、行方向に延びる第1活性領域15の長手方向と並走するように形成されている

50

。これにより可動電荷収集素子層27は、例えば行方向に並ぶ全てのメモリセル2e,2f,2g,2hと、次の行の全てのメモリセル2i,2j,2k,2lとの間に亘って形成され得る。

【0059】

ここで、行間領域ER4に形成される可動電荷収集素子層27は、一の行のフローティングゲート10a,10bの拡幅領域11と、これと列方向にて隣り合う他の行のフローティングゲート10a,10bの拡幅領域11との位置を基準に形成位置が選定されており、これら一の行のフローティングゲート10a,10bの拡幅領域11からの距離と、これと列方向にて隣り合う他の行のフローティングゲート10a,10bの拡幅領域11からの距離とが同じ距離に選定され、列方向にて隣り合うフローティングゲート10a,10a(10b,10b)間の中心位置に配置されている。

10

【0060】

なお、可動電荷収集素子層27も、メモリセル2e,2f,2g,2h,2i,2j,2k,2lの各フローティングゲート10a,10bや、これらフローティングゲート10a,10bに接続された第1活性領域15に対して非接触に形成されており、メモリセル2e,2f,2g,2h,2i,2j,2k,2lでのデータ書き込み動作や、データ読み出し動作、データ消去動作に寄与するものではない。

【0061】

かかる構成に加えて、可動電荷収集素子層27は、その表面に柱状の可動電荷収集コンタクトCC4が立設されている。可動電荷収集コンタクトCC4は、上述した他の可動電荷収集コンタクトCC1,CC2,CC3同様に、例えばタングステン(W)、銅(Cu)、アルミニウム(Al)等の金属部材により形成されており、可動電荷収集素子層27と同様、絶縁層内に存在する可動電荷を収集し得るようになされている。なお、可動電荷収集コンタクトCC4も、可動電荷収集素子層27と同様、一の行のフローティングゲート10a,10bの拡幅領域11からの距離と、これと列方向にて隣り合う他の行のフローティングゲート10a,10bの拡幅領域11からの距離とが同じ距離に選定されており、列方向にて隣り合うフローティングゲート10a,10a(10b,10b)間の中心位置に配置されている。

20

【0062】

なお、可動電荷収集コンタクトCC4も、メモリセル2e,2f,2g,2h,2i,2j,2k,2lの各フローティングゲート10a,10bや、これらフローティングゲート10a,10bに接続された第1活性領域15に対して非接触に形成されており、メモリセル2e,2f,2g,2h,2i,2j,2k,2lでのデータ書き込み動作や、データ読み出し動作、データ消去動作に寄与するものではない。

30

【0063】

因みに、このような構成に加え、不揮発性半導体記憶装置1では、可動電荷収集素子層24と同様に、他の可動電荷収集素子25,26,27の表面にも、CoSixやNiSix等のシリサイド層(図示しない)を形成してもよい。この場合、可動電荷収集素子層25,26,27でも、シリサイド層によって、素子表面の抵抗が下がり、可動電荷をより効率よく収集し得る。

【0064】

ここで、上述した可動電荷収集コンタクトCC1,CC2,CC3,CC4は全て同一構成を有することから、そのうち可動電荷収集素子層24に形成された可動電荷収集コンタクトCC1に着目して以下説明する。図2は、図1において、2行目のメモリセル2f,2gの第2活性領域16上に設けた直線L2での断面構成を示すものである。この場合、図2に示すように、第2導電型ウェルWb2に素子分離層EIが形成されている。また、第2導電型ウェルWb2には、第2活性領域16が形成された領域内の表面に、ゲート絶縁膜30介してフローティングゲート10a,10bの狭幅領域12が形成されている。

40

【0065】

さらに、この場合、一のメモリセル2fの第2活性領域16と、このメモリセル2fと行方向にて隣り合う他のメモリセル2gの第2活性領域16には、それぞれコンタクトC2が立設され、当該コンタクトC2先端の第1配線層の位置に書き込みビット線39がそれぞれ形成されている。

【0066】

かかる構成に加えて、第2導電型ウェルWb2の表面に形成された可動電荷収集素子層24に

50

は、可動電荷収集コンタクトCC1が立設されており、可動電荷収集コンタクトCC1の先端に、例えばタングステン(W)、銅(Cu)、アルミニウム(Al)等の金属部材により形成された可動電荷収集第1配線層32が形成されている。この可動電荷収集第1配線層32は、書き込みビット線39等の配線が形成された第1配線層に位置し得るように形成されている。

【0067】

また、この可動電荷収集第1配線層32には、第1配線層の上方に配置された第2配線層に向けて延びる柱状の可動電荷収集層間コンタクト33が立設されている。なお、この第2配線層は、タングステン(W)、銅(Cu)、アルミニウム(Al)等の配線(例えばワード線等)が配置された層である。可動電荷収集層間コンタクト33は、例えばタングステン(W)、銅(Cu)、アルミニウム(Al)等の金属部材により形成されており、先端に形成された可動電荷収集第2配線層35と、可動電荷収集第1配線層32とを電氣的に接続し得るようになされている。ここで、可動電荷収集第2配線層35は、例えば行方向に延びるように形成されており、同じ行に配置されている可動電荷収集層間コンタクト33と電氣的に接続されている。

10

【0068】

このような第2導電型ウェルWb2上に位置するコンタクトC2や、フローティングゲート10a,10b、可動電荷収集コンタクトCC1、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、可動電荷収集第2配線層35は、いずれも絶縁層37に覆われており、当該絶縁層37によって例えばフローティングゲート10a,10b同士や配線同士等が絶縁され得るようになされている。

20

【0069】

ここで、例えばメモリセル2f,2gのフローティングゲート10a,10bに電荷を注入してデータが書き込まれた状態になった際、可動電荷収集素子層24には、第2導電型ウェルWb2を介して例えば0[V]の電圧が印加され得る。これにより、可動電荷収集素子層24に電氣的に接続された可動電荷収集コンタクトCC1、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、および可動電荷収集第2配線層35にも、可動電荷収集素子層24を介して0[V]の電圧が印加され得る。

【0070】

かくして、これら可動電荷収集素子層24、可動電荷収集コンタクトCC1、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、および可動電荷収集第2配線層35は、印加された電圧によって、絶縁層37内の可動電荷を引き寄せることができ、その分、フローティングゲート10a,10bの可動電荷の停留を抑制し得るようになされている。特に、この実施の形態の場合には、第2導電型ウェルWb2から突出するように形成されたフローティングゲート10a,10bに沿って、可動電荷収集コンタクトCC1、可動電荷収集第1配線層32、および可動電荷収集層間コンタクト33も第2導電型ウェルWb2から突出するように立体的に形成されていることから、第1配線層近傍に存在する可動電荷を、これら可動電荷収集コンタクトCC1、可動電荷収集第1配線層32、および可動電荷収集層間コンタクト33により収集し得るようになされている。

30

【0071】

さらに、この実施の形態の場合、第2配線層の位置にも、可動電荷収集第2配線層35が設けられていることから、絶縁層37内の第2配線層近傍に存在する可動電荷がフローティングゲート10a,10bに到達する前に、当該可動電荷を可動電荷収集第2配線層35により収集し得、その分、フローティングゲート10a,10bに停留する可動電荷を抑制し得る。

40

【0072】

因みに、上述したフローティングゲート10a,10bに停留する可動電荷を抑制させる可動電荷収集素子として機能する、これら可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、および可動電荷収集第2配線層35は、可動電荷収集素子層25,26,27に設けた可動電荷収集コンタクトCC2,CC3,CC4にも同様に形成されている。

【0073】

これにより、可動電荷収集素子層25,26,27の各上方でも、可動電荷収集第1配線層32、

50

可動電荷収集層間コンタクト33、および可動電荷収集第2配線層35によって絶縁層37内の可動電荷を収集し得、その分、フローティングゲート10a,10bの可動電荷の停留を抑制し得るようになされている。

【0074】

以上の構成において、この不揮発性半導体記憶装置1では、絶縁層37に覆われて互いに電氣的に絶縁された複数のフローティングゲート10a,10bを備え、各フローティングゲート10a,10b毎にメモリセル2a,2b,2c,2d,2e,2f,2g,2h,2i,2j,2k,2lを構成するようにした。これらメモリセル2a,2b,2c,2d,2e,2f,2g,2h,2i,2j,2k,2lは同一構成を有しており、例えば、この実施の形態の場合、メモリセル2aは、フローティングゲート10bの電位を調整するコントロールキャパシタ4と、フローティングゲート10bに電荷を注入する電荷注入トランジスタ5と、フローティングゲート10bから電荷を引き抜く電荷引抜トランジスタ8と、フローティングゲート10b内の電荷の有無に応じた電圧を読み出すための読み出しトランジスタ7とを備えており、これらコントロールキャパシタ4、電荷注入トランジスタ5、電荷引抜トランジスタ8、および読み出しトランジスタ7にてフローティングゲート10bを共有させるようにした。

10

【0075】

また、不揮発性半導体記憶装置1では、行方向にて隣り合うフローティングゲート10a,10b間の列間領域ER1,ER2,ER3に、絶縁層37内に存在する可動電荷を引き寄せて、フローティングゲート10a,10bへの可動電荷の停留を抑制させる可動電荷収集素子層24,25,26、可動電荷収集コンタクトCC1,CC2,CC3、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、および可動電荷収集第2配線層35を設けるようにした。

20

【0076】

さらに、この不揮発性半導体記憶装置1では、列方向にて隣り合うフローティングゲート10a,10a(10b,10b)間の行間領域ER4にも、絶縁層37内に存在する可動電荷を引き寄せて、フローティングゲート10a(10b)への可動電荷の停留を抑制させる可動電荷収集素子層27、可動電荷収集コンタクトCC4、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、および可動電荷収集第2配線層35を設けるようにした。

【0077】

これにより不揮発性半導体記憶装置1では、可動電荷収集素子としての可動電荷収集素子層24,25,26,27、可動電荷収集コンタクトCC1,CC2,CC3,CC4、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、および可動電荷収集第2配線層35によって、絶縁層37内の可動電荷を収集できる分、フローティングゲート10a,10bへの可動電荷の停留を抑制し得、フローティングゲート10a,10bに絶縁層37内の可動電荷が停留することにより生じるメモリセル2a,2b,2c,2d,2e,2f,2g,2h,2i,2j,2k,2lの閾値電圧の変動を抑制し得る。

30

【0078】

また、この不揮発性半導体記憶装置1では、第1活性領域15や、第2活性領域16、第3活性領域18、第4活性領域21(以下、これらを単に活性領域とも呼ぶ)の各面積を増加させていないことから、第2活性領域16と第2導電型ウェルWb1との間の接合容量や、第4活性領域21と第1導電型ウェルWa2との間の接合容量が増加することもなく、その分、従来と同様にメモリセル2a,2b,2c,2d,2e,2f,2g,2h,2i,2j,2k,2lを高速動作させることができる。

40

【0079】

以上の構成によれば、不揮発性半導体記憶装置1では、活性領域の各面積を増加させずに、フローティングゲート10a,10bに集まる可動電荷の数を減らせることから、従来と同様にメモリセル2a,2b,2c,2d,2e,2f,2g,2h,2i,2j,2k,2lの高速動作を可能としつつ、フローティングゲート10a,10bに絶縁層37内の可動電荷が停留することにより生じるメモリセル2a,2b,2c,2d,2e,2f,2g,2h,2i,2j,2k,2lの閾値電圧の変動を抑制し得る。

【0080】

なお、本発明は、本実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、上述した実施の形態においては、可動電荷収集素子として、可動電荷収集素子層24,25,26,27、可動電荷収集コンタクトCC1,CC2,CC3,CC4、可動

50

電荷収集第1配線層32、可動電荷収集層間コンタクト33、および可動電荷収集第2配線層35を設けた不揮発性半導体記憶装置1について述べたが、本発明はこれに限らず、可動電荷収集第2配線層35を設けずに、可動電荷収集素子層24,25,26,27、可動電荷収集コンタクトCC1,CC2,CC3,CC4および可動電荷収集第1配線層32のみを設けた不揮発性半導体記憶装置や、可動電荷収集素子層24,25,26,27のみを設けた不揮発性半導体記憶装置等、可動電荷収集素子として可動電荷収集素子層24,25,26,27、可動電荷収集コンタクトCC1,CC2,CC3,CC4、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、および可動電荷収集第2配線層35のうち一部のみを設けた不揮発性半導体記憶装置としてもよい。

【0081】

ここで、図2との対応部分に同一符号を付して示す図3は、図1のように行列状に配置されたメモリセルのうち、行方向にて隣り合うメモリセル2m,2nの可動電荷収集素子層24の領域での断面構成を示しており、可動電荷収集層間コンタクト33および可動電荷収集第2配線層35(図2)を設けずに、可動電荷収集素子層24に可動電荷収集コンタクトCC1および可動電荷収集第1配線層32のみを設けた構成を示すものである。

【0082】

この場合でも、不揮発性半導体記憶装置では、可動電荷収集素子層24、可動電荷収集コンタクトCC1および可動電荷収集第1配線層32によって絶縁層37内の可動電荷を収集でき、その分、フローティングゲート10a,10bの可動電荷の停留を抑制し得、フローティングゲート10a,10bに絶縁層37内の可動電荷が停留することにより生じるメモリセル2m,2nの閾値電圧の変動を抑制し得る。

【0083】

また、この不揮発性半導体記憶装置でも、第2活性領域16だけでなく、図示しない第1活性領域15や、第3活性領域18、第4活性領域21の各面積を増加させていないことから、例えば第2活性領域16と第2導電型ウェルWb1との間の接合容量等が増加することもなく、その分、従来と同様にメモリセル2m,2nを高速動作させることができる。

【0084】

また、他の実施の形態としては、例えば、ウェル表面に埋込形成される可動電荷収集素子層24,25,26,27を設けずに、可動電荷収集コンタクトCC1,CC2,CC3,CC4、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、および可動電荷収集第2配線層35のみを設けた不揮発性半導体記憶装置としてもよい。図2との対応部分に同一符号を付して示す図4は、図1のように行列状に配置されたメモリセルのうち、行方向にて隣り合うメモリセル2p,2qの第2活性領域16での断面構成を示し、可動電荷収集コンタクトCC1、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、および可動電荷収集第2配線層35のみを設けた構成を示す。

【0085】

この実施の形態の場合、可動電荷収集コンタクトCC1は、例えば第2導電型ウェルWb2の表面に立設されており、先端に可動電荷収集第1配線層32を介して可動電荷収集層間コンタクト33および可動電荷収集第2配線層35が配置され得る。ここで、上述した図2や図3に示す実施の形態では、可動電荷収集素子層24から、可動電荷収集コンタクトCC1や、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、可動電荷収集第2配線層35に所定電圧が印加され、絶縁層37内の可動電荷を収集し得るように構成されていた。

【0086】

一方、図4に示す実施の形態では、可動電荷収集素子層24を有していないことから、可動電荷収集コンタクトCC1や、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、可動電荷収集第2配線層35に所定電圧が直接印加される構成となっており、これにより可動電荷収集コンタクトCC1や、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、可動電荷収集第2配線層35の電圧が調整され、絶縁層37内の可動電荷を収集し得るようになされている。

【0087】

そして、このような不揮発性半導体記憶装置でも、可動電荷収集コンタクトCC1、可動

電荷収集第1配線層32、可動電荷収集層間コンタクト33、および可動電荷収集第2配線層35によって絶縁層37内の可動電荷を収集できる分、フローティングゲート10a,10bへの可動電荷の停留を抑制し得、フローティングゲート10a,10bに絶縁層37内の可動電荷が停留することにより生じるメモリセル2p,2qの閾値電圧の変動を抑制し得る。

【0088】

また、この不揮発性半導体記憶装置でも、第2活性領域16だけでなく、図示しない第1活性領域15や、第3活性領域18、第4活性領域21の各面積を増加させていないことから、例えば第2活性領域16と第2導電型ウェルWb1との間の接合容量等が増加することもなく、その分、従来と同様にメモリセル2p,2qを高速動作させることができる。

【0089】

さらに、図2との対応部分に同一符号を付して示す図5は、例えば可動電荷収集コンタクトCC1、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、および可動電荷収集第2配線層35を設けずに、可動電荷収集素子層24のみを設けたときの行方向に並ぶメモリセル2r,2sの第2活性領域16での断面構成を示す。この実施の形態の場合、第2活性領域16の近傍には、可動電荷収集素子層24のみが形成されており、当該可動電荷収集素子層24によって絶縁層37内の可動電荷を収集し得るようになされている。

【0090】

そして、このような不揮発性半導体記憶装置でも、可動電荷収集素子層24によって絶縁層37内の可動電荷を収集できる分、フローティングゲート10a,10bへの可動電荷の停留を抑制し得、フローティングゲート10a,10bに絶縁層37内の可動電荷が停留することにより生じるメモリセル2r,2sの閾値電圧の変動を抑制し得る。

【0091】

また、この不揮発性半導体記憶装置でも、第2活性領域16だけでなく、図示しない第1活性領域15や、第3活性領域18、第4活性領域21の各面積を増加させていないことから、例えば第2活性領域16と第2導電型ウェルWb1との間の接合容量等が増加することもなく、その分、従来と同様にメモリセル2r,2sを高速動作させることができる。

【0092】

ところで、図1に示した不揮発性半導体記憶装置1において、図2との対応部分に同一符号を付して示す図6のように、例えばメモリセル2f,2gにデータが書き込まれ、フローティングゲート10a,10b内に電荷（この場合、電子）が注入された際には、フローティングゲート10a,10bに電荷が蓄積されることで当該フローティングゲート10a,10bの電位が例えば1[V]となる。そのため、電荷が注入されたフローティングゲート10a,10bは、可動電荷収集素子層24や、可動電荷収集コンタクトCC1、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、可動電荷収集第2配線層35の0[V]の電位に対して相対的に負電位になることもある。

【0093】

このとき、絶縁層37内においてフローティングゲート10a,10b近傍に存在する正の可動電荷は、可動電荷収集素子層24や、可動電荷収集コンタクトCC1、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、可動電荷収集第2配線層35によって十分に収集し得ず、フローティングゲート10a,10bに引き寄せられてしまうこともあり、この場合、例えば電荷注入トランジスタ5の閾値電圧を変動させる要因ともなり得る。

【0094】

このような対策として、図7に示すように、不揮発性半導体記憶装置51では、第1活性領域15および第1導電型ウェルWa3に例えば3[V]の調整電圧を印加し、これら第1活性領域15および第1導電型ウェルWa3に形成されたメモリセル2e,2f,2g,2hのコントロールキャパシタ4に対して3[V]の調整電圧を印加する。これにより、メモリセル2e,2f,2g,2hでは、電荷の蓄積によって電位が-1[V]となるフローティングゲート10a,10bの電位を調整し得、当該フローティングゲート10a,10bの電位を2[V]程度にまで高めることができる。これにより、不揮発性半導体記憶装置51では、可動電荷収集素子層24や、可動電荷収集コンタクトCC1、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、可動電荷収集第2配線層3

10

20

30

40

50

5の電位に対し、フローティングゲート10a,10bの電位を相対的に正にバイアスさせることができる。

【0095】

かくして、仮に正の可動電荷がフローティングゲート10a,10b近傍に存在していても、図8に示すように、可動電荷をフローティングゲート10a,10bに引き寄せずに、可動電荷収集素子層24や、可動電荷収集コンタクトCC1、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、可動電荷収集第2配線層35に引き寄せることができ、フローティングゲート10a,10bに絶縁層37内の可動電荷が停留することにより生じるメモリセル2f,2gの閾値電圧の変動を抑制し得る。因みに、図7に示す不揮発性半導体記憶装置51は、図1に示した可動電荷収集素子層24,25,26,27のうち、可動電荷収集素子層24のみを設けた構成としており、その他の可動電荷収集素子層25,26,27を設けた構成としてもよい。また、このような不揮発性半導体記憶装置51も、上述した実施の形態と同様に、可動電荷収集コンタクトCC1(CC2,CC3,CC4)、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、可動電荷収集第2配線層35を有する構成となるが、ここでは説明の重複となるため説明は省略する。

【0096】

なお、上述した可動電荷収集コンタクトCC1,CC2,CC3,CC4、可動電荷収集第1配線層32、可動電荷収集層間コンタクト33、および可動電荷収集第2配線層35により絶縁層37内の可動電荷を収集するために行われる電圧印加は、第1活性領域15等の活性領域や、ウェルから行ってもよく、また、例えば可動電荷収集第1配線層32や、可動電荷収集第2配線層35に

【0097】

また、上述した実施の形態においては、行方向にて隣り合うフローティングゲート10a,10b間の列間領域ER1,ER2,ER3に可動電荷収集素子層24,25,26や可動電荷収集コンタクトCC1,CC2,CC3を設けるとともに、列方向にて隣り合うフローティングゲート10a,10a(10b,10b)間の行間領域ER4にも可動電荷収集素子層27や可動電荷収集コンタクトCC4を設けた不揮発性半導体記憶装置1について述べたが、本発明はこれに限らず、行方向にて隣り合うフローティングゲート10a,10b間の列間領域ER1,ER2,ER3にのみ可動電荷収集素子層24,25,26や可動電荷収集コンタクトCC1,CC2,CC3を設けた不揮発性半導体記憶装置であってもよく、また、列方向にて隣り合うフローティングゲート10a,10a(10b,10b)間の行間領域ER4にのみ可動電荷収集素子層27や可動電荷収集コンタクトCC4を設けた不揮発性半導体記憶装置であってもよい。さらに、列間領域ER1,ER2,ER3のいずれかにのみ可動電荷収集素子層や可動電荷収集コンタクトを設けた不揮発性半導体記憶装置としてもよい。

【0098】

なお、上述した実施の形態においては、可動電荷収集素子は隣り合うフローティングゲートからの距離が同じになるように配置される例を示したが、フローティングゲートを加工するためのリソグラフィ工程と、可動電荷収集素子(可動電荷収集素子層24,25,26,27)となる活性領域を加工するためのリソグラフィ工程は別の工程であるため、二つの工程間には必ず位置合わせの誤差が生じる。従って、実際上は、レイアウトパターンとして距離を等しく配置した場合であっても、位置合わせの誤差の分だけ、フローティングゲートから可動電荷収集素子までの距離が左右で合わないことが起こり得るが、誤差を差し引いた上で、フローティングゲートから均等な距離に可動電荷収集素子が配置されるのが製造上望ましい。

【0099】

また、上述した実施の形態においては、データ書き込み時、フローティングゲート10a,10bに電荷を注入し、データ消去時、フローティングゲート10a,10bに蓄積された電荷を引き抜くようにした不揮発性半導体記憶装置1について述べたが、本発明はこれに限らず、データ書き込み時、フローティングゲート10a,10bに蓄積された電荷を引き抜き、データ消去時、フローティングゲート10a,10bに電荷を注入するようにした不揮発性半導体記憶装置としてもよい。

【0100】

また、上述した実施の形態においては、読み出しトランジスタ7と直列接続させたスイッチトランジスタ6を設けるようにした場合について述べたが、本発明はこれに限らず、スイッチトランジスタ6を設けずに、読み出しトランジスタ7のみを設けるようにしてもよい。

【0101】

なお、上述した実施の形態においては、データ書き込み時、フローティングゲート10a, 10bに電荷を注入し、データ消去時、フローティングゲート10a, 10bから電荷を引き抜く不揮発性半導体記憶装置1について述べたが、本発明はこれに限らず、データ書き込み時、フローティングゲート10a, 10bから電荷を引き抜き、データ消去時、フローティングゲート10a, 10bに電荷を注入する不揮発性半導体記憶装置を適用してもよい。

10

【0102】

また、上述した実施の形態においては、メモリセルとして、フローティングゲート10a, 10bの電位を調整するコントロールキャパシタ4と、フローティングゲート10a, 10bに電荷を注入する電荷注入トランジスタ5と、フローティングゲート10a, 10bから電荷を引き抜く電荷引抜トランジスタ8と、フローティングゲート10a, 10b内の電荷の有無に応じた電圧を読み出すための読み出しトランジスタ7とを備え、コントロールキャパシタ4、電荷注入トランジスタ5、電荷引抜トランジスタ8、および読み出しトランジスタ7にてフローティングゲート10a, 10bを共有したメモリセル2a, 2b, 2c, 2d, 2e, 2f, 2g, 2h, 2i, 2j, 2k, 2lについて述べたが、本発明はこれに限らず、少なくともフローティングゲート10a, 10bを有するメモリセルであればよく、例えば上記構成のうち電荷注入トランジスタ5を有しないメモリセルや、上記構成のうち電荷引抜トランジスタ8を有しないメモリセル等その他種々の構成でなるメモリセルを適用してもよい。

20

【0103】

同様に上述した実施の形態においては、メモリセルを構成するウェルとして、例えば第1導電型ウェルWa1と、第2導電型ウェルWb1と、第1導電型ウェルWa2と、第2導電型ウェルWb2の3種のウェルから一つのメモリセルが構成される例を示したが、本発明はこれに限らず、電荷引抜トランジスタ8を有さないことにより第1導電型ウェルWa2を廃止して、2種のウェルで一つのメモリセルを構成するなど、基板上に配置するウェルの構造を適宜変更した構造を適用してもよい。

30

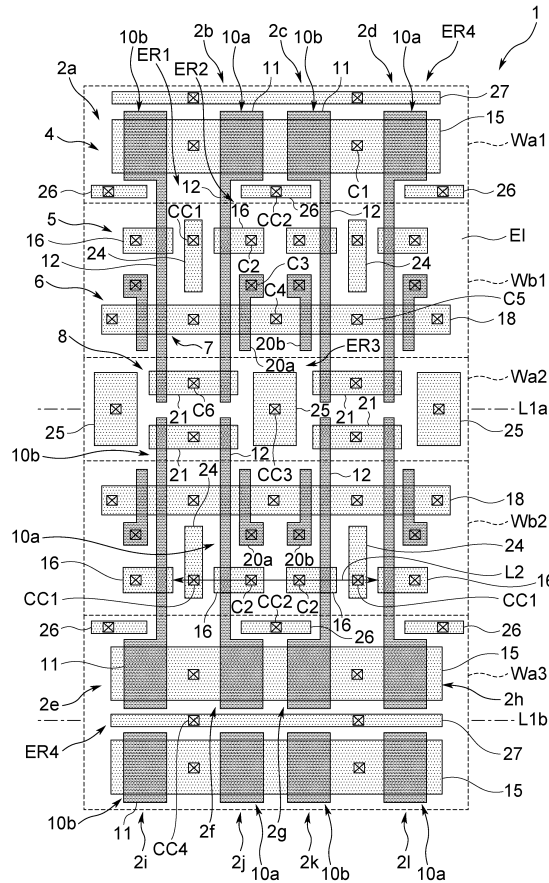
【符号の説明】

【0104】

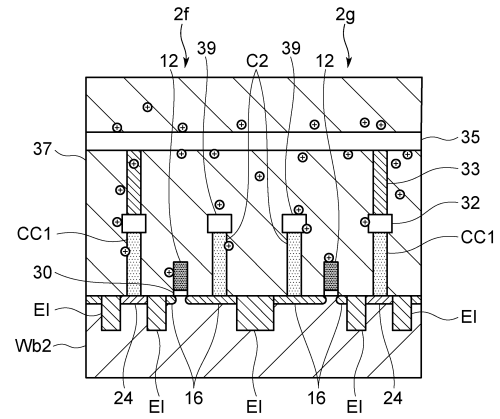
- 1, 51 不揮発性半導体記憶装置
- 2a, 2b, 2c, 2d, 2e, 2f, 2g, 2h, 2i, 2j, 2k, 2l メモリセル
- 4 コントロールキャパシタ
- 5 電荷注入トランジスタ
- 6 スwitchトランジスタ
- 7 読み出しトランジスタ
- 8 電荷引抜トランジスタ
- 10a, 10b フローティングゲート
- 24, 25, 26, 27 可動電荷収集素子層（可動電荷収集素子）
- CC1, CC2, CC3, CC4 可動電荷収集コンタクト（可動電荷収集素子）
- 32 可動電荷収集第1配線層（可動電荷収集素子）
- 33 可動電荷収集層間コンタクト（可動電荷収集素子）
- 35 可動電荷収集第2配線層（可動電荷収集素子）
- Wa1, Wa2, Wa3 第1導電型ウェル（ウェル）
- Wb1, Wb2 第2導電型ウェル（ウェル）
- E1 素子分離層

40

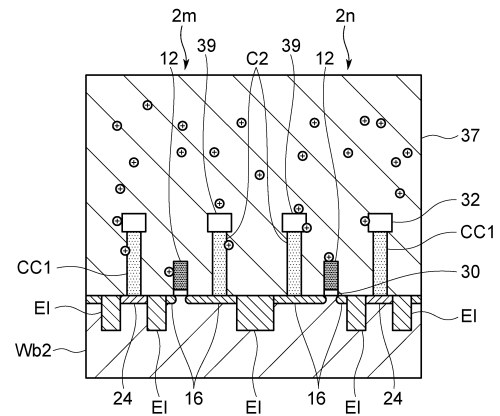
【図 1】



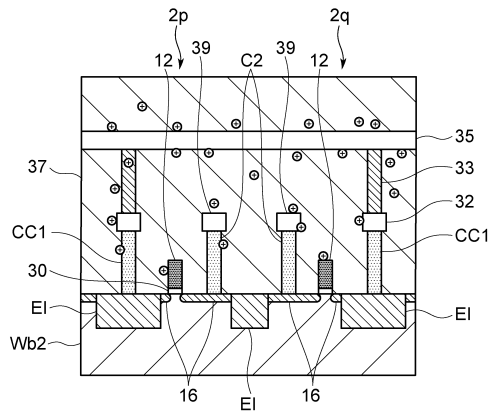
【図 2】



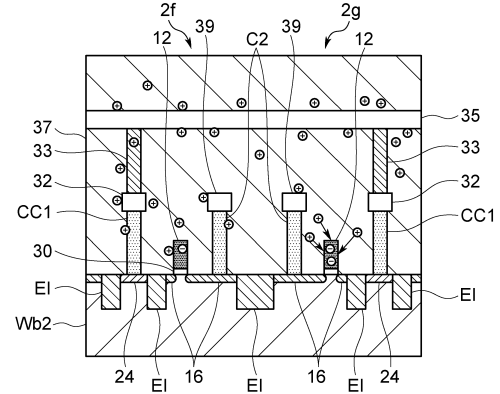
【図 3】



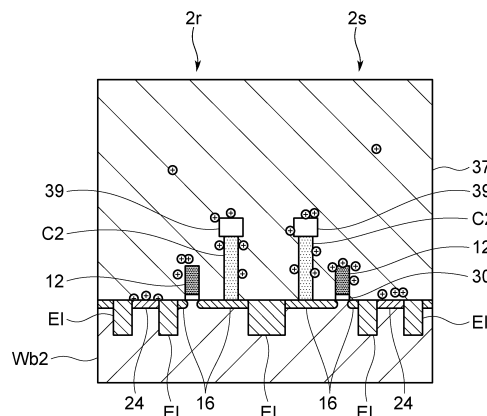
【図 4】



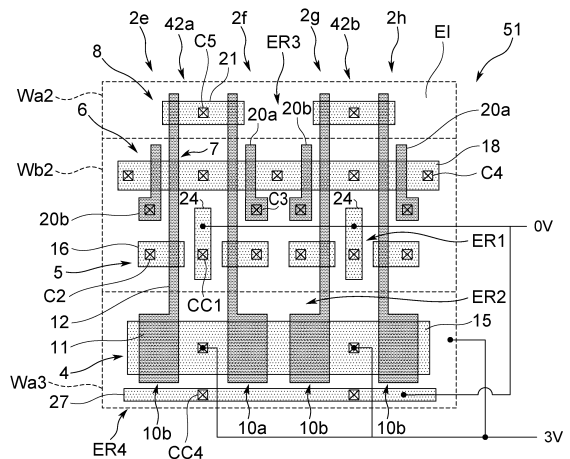
【図 6】



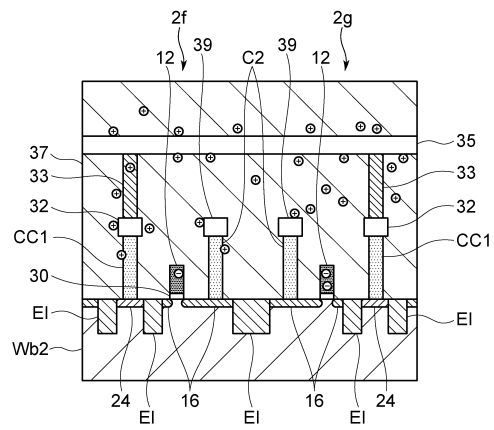
【図 5】



【図 7】



【図 8】



フロントページの続き

- (72)発明者 川嶋 泰彦
東京都小平市上水南町 3 - 2 4 - 2
- (72)発明者 葛西 秀男
東京都小平市小川東町 1 丁目 2 9 番 9 号 株式会社フローディア内
- (72)発明者 品川 裕
東京都小平市小川東町 1 丁目 2 9 番 9 号 株式会社フローディア内
- (72)発明者 櫻井 良多郎
東京都日野市大坂上 2 - 1 6 - 3 3
- (72)発明者 奥山 幸祐
東京都小平市小川東町 1 丁目 2 9 番 9 号 株式会社フローディア内

審査官 小山 満

- (56)参考文献 特開 2 0 0 5 - 1 4 2 5 7 1 (J P , A)
特開 2 0 1 4 - 0 8 6 4 3 5 (J P , A)
特開平 1 0 - 1 8 9 7 6 6 (J P , A)
特開 2 0 0 1 - 1 3 5 8 1 6 (J P , A)
特開 2 0 0 4 - 0 3 1 6 7 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 7 / 1 1 5 - 2 7 / 1 1 5 9 7
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 8
H 0 1 L 2 9 / 7 9 2