

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2025-507015
(P2025-507015A)

(43)公表日 令和7年3月13日(2025.3.13)

(51)国際特許分類
H 0 1 L 21/3065(2006.01)

F I
H 0 1 L 21/302 1 0 5 A

テーマコード (参考)
5 F 0 0 4

審査請求 未請求 予備審査請求 未請求 (全24頁)

(21)出願番号	特願2024-552402(P2024-552402)	(71)出願人	000219967 東京エレクトロン株式会社 東京都港区赤坂五丁目3番1号
(86)(22)出願日	令和5年3月7日(2023.3.7)	(71)出願人	514028776 トーキョー エレクトロン ユーエス ホールディングス、インコーポレーテッド Tokyo Electron U. S. Holdings, Inc. アメリカ合衆国 テキサス州 78704 オースティン サウス 1スト ストリート 401 스위트 900 401 S 1st. St., Suite 900, Austin, Texas 78704, U. S. A.
(85)翻訳文提出日	令和6年9月3日(2024.9.3)		
(86)国際出願番号	PCT/US2023/014748		
(87)国際公開番号	WO2023/172584		
(87)国際公開日	令和5年9月14日(2023.9.14)		
(31)優先権主張番号	17/690,715		
(32)優先日	令和4年3月9日(2022.3.9)		
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW), EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV	(74)代理人	110004381

最終頁に続く

最終頁に続く

(54)【発明の名称】 多結晶半導体のエッチング

(57)【要約】

基板を処理する方法であって、複数のサイクルを含む循環型プラズマエッチングプロセスを実施することを含み、複数のサイクルの各々は、基板を第1のプラズマに曝すことにより、多結晶半導体材料を含むパターニング層をエッチングして、凹部を形成又は延長することであって、基板は、酸化物層を含み、パターニング層は、酸化物層の上に形成される、形成又は延長することと、二水素を含む第2のプラズマに基板を曝すことと、基板を第3のプラズマに曝すことによって凹部を延長することであって、第2のプラズマは、第1のプラズマ及び第3のプラズマと異なる、延長することを含む、方法。

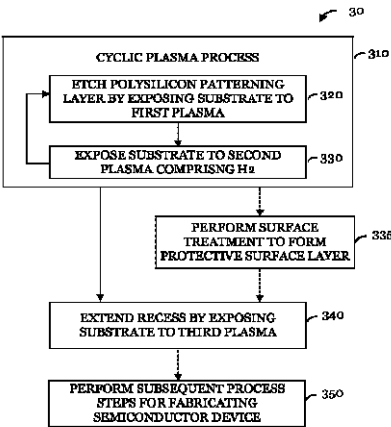


FIG. 3A

【特許請求の範囲】

【請求項 1】

基板を処理する方法であって、前記方法は、
複数のサイクルを含む循環型プラズマエッチングプロセスを実施することを含み、
前記複数のサイクルの各々は、

前記基板を第 1 のプラズマに曝すことにより、多結晶半導体材料を含むパターンニング層をエッチングして、凹部を形成又は延長することであって、前記基板は、酸化物層を含み、前記パターンニング層は、前記酸化物層の上に形成される、形成又は延長することと、
前記基板を第 2 のプラズマに曝すことであって、前記第 2 のプラズマは、二水素を含む、曝すことと、

10

前記基板を第 3 のプラズマに曝すことによって前記凹部を延長することであって、前記第 2 のプラズマは、前記第 1 のプラズマ及び前記第 3 のプラズマと異なる、延長することと、を含む、方法。

【請求項 2】

前記循環型プラズマエッチングプロセスを実施する前に、リソグラフィプロセス及びエッチングにより、パターンニングされたハードマスク層を前記パターンニング層の上に形成することを更に含み、前記循環型プラズマエッチングプロセスは、前記ハードマスク層をエッチングマスクとして使用して実施される、請求項 1 に記載の方法。

【請求項 3】

前記循環型プラズマエッチングプロセスを実施した後、且つ前記基板を前記第 3 のプラズマに曝すことによって前記凹部を延長する前に、表面処理を実施して、前記凹部の表面上に保護表面層を形成することを更に含み、前記基板を前記第 3 のプラズマに曝すことによって前記凹部を延長している間、前記保護表面層は、前記凹部の側壁を保護する、請求項 1 に記載の方法。

20

【請求項 4】

前記表面処理は、前記基板を反応性ガスに曝すことを含み、前記反応性ガスは、酸素を含み、前記保護表面層は、酸化物を含む、請求項 3 に記載の方法。

【請求項 5】

前記表面処理は、前記基板を反応性ガスに曝すことを含み、前記反応性ガスは、窒素を含み、前記保護表面層は、窒化物を含む、請求項 3 に記載の方法。

30

【請求項 6】

前記第 1 のプラズマは、ハロゲンを含む、請求項 1 に記載の方法。

【請求項 7】

前記第 1 のプラズマは、臭化水素及び二塩素を含む、請求項 6 に記載の方法。

【請求項 8】

前記基板を前記第 2 のプラズマに曝すことは、前記多結晶半導体材料を前記凹部の表面において非晶質化させる、請求項 1 に記載の方法。

【請求項 9】

前記基板を前記第 2 のプラズマに曝すことは、前記凹部の側壁の表面を平滑にする、請求項 1 に記載の方法。

40

【請求項 10】

前記第 3 のプラズマは、ハロゲンを含む、請求項 1 に記載の方法。

【請求項 11】

前記第 3 のプラズマは、臭化水素及び二塩素を含む、請求項 1 に記載の方法。

【請求項 12】

前記基板を前記第 3 のプラズマに曝している間の前記多結晶半導体材料のエッチング速度は、前記基板を前記第 1 のプラズマに曝している間の前記多結晶半導体材料のエッチング速度よりも遅い、請求項 1 に記載の方法。

【請求項 13】

前記基板を前記第 3 のプラズマに曝すことによって延長された前記凹部は、約 5 ～ 10

50

の高さ対幅の比率を有する、請求項 1 に記載の方法。

【請求項 1 4】

基板を処理する方法であって、前記方法は、

複数のサイクルを含む循環型プラズマエッチングプロセスを実施することを含み、

前記複数のサイクルの各々は、

前記基板を第 1 の期間にわたって第 1 のプラズマに曝すことにより、ポリシリコン層をエッチングして、凹部を形成することであって、前記基板は、酸化物層を含み、前記ポリシリコン層は、前記酸化物層の上に形成され、前記第 1 のプラズマは、臭化水素及び二塩素を含む、形成することと、

前記基板を第 2 の期間にわたって第 2 のプラズマに曝すことであって、前記第 2 のプラズマは、二水素を含む、曝すことと、を含む、方法。

10

【請求項 1 5】

前記第 1 の期間は、5 秒～120 秒であり、前記第 2 の期間は、2 秒～50 秒である、請求項 1 4 に記載の方法。

【請求項 1 6】

前記基板を前記第 2 のプラズマに曝すことは、前記ポリシリコン層を前記凹部の表面において非晶質化させ、且つ異なる深さにおける前記凹部の限界寸法の標準偏差を 20 % 以上低減させる、請求項 1 4 に記載の方法。

【請求項 1 7】

前記循環型プラズマエッチングプロセスを実施した後、

表面処理を実施して、前記凹部の表面上に保護表面層を形成することと、

前記基板を第 3 の期間にわたって第 3 のプラズマに曝すことを含むエッチングプロセスにより、層中の前記凹部を更に延長することであって、前記第 3 のプラズマは、臭化水素及び二塩素を含み、前記保護表面層は、前記第 3 のプラズマから前記凹部の側壁を保護する、更に延長することと、を更に含む、請求項 1 4 に記載の方法。

20

【請求項 1 8】

前記第 3 の期間は、前記第 1 の期間よりも長い、請求項 1 7 に記載の方法。

【請求項 1 9】

フィン型電界効果トランジスタを製作する方法であって、前記方法は、

酸化物層の上にフィン特徴部を形成することであって、前記酸化物層は、基板の上に形成され、前記フィン特徴部は、フィンハードマスクと、前記フィンハードマスクの下

30

のフィンとを含み、前記フィンは、シリコンを含む、形成することと、

ポリシリコンを含むダミーゲート材料を堆積させることと、

前記ダミーゲート材料の上にゲートハードマスク層を堆積させることと、

前記ゲートハードマスク層の上にフォトレジストを堆積させることと、

フォトリソグラフィプロセスを実施して、前記フォトレジストをパターニングすることと、

前記ゲートハードマスク層をエッチングして、前記フォトレジストから前記ゲートハードマスク層にパターンを転写することと、

前記ゲートハードマスク層をエッチングマスクとして使用して、循環型プラズマエッチングプロセスを実施することと、を含む、

40

前記循環型プラズマエッチングプロセスは、前記フィンハードマスクを露出させ、前記循環型プラズマエッチングプロセスは、複数のサイクルを含み、

前記複数のサイクルの各々は、

前記基板を第 1 のプラズマに曝すことにより、前記ダミーゲート材料をエッチングして、凹部を形成することであって、前記第 1 のプラズマは、ハロゲンを含む、形成することと、

前記基板を第 2 のプラズマに曝すことであって、前記第 2 のプラズマは、水素を含む、曝すことと、を含む、方法。

【請求項 2 0】

50

前記循環型プラズマエッチングプロセスを実施した後、前記基板を第3のプラズマに曝すことであって、前記第3のプラズマは、ハロゲンを含む、曝すことによって前記凹部を延長することを更に含み、前記循環型プラズマエッチングプロセスを実施することは、前記フィンハードマスクの上面を露出させ、前記基板を前記第3のプラズマに曝すことによって前記凹部を延長することは、前記酸化物層を露出させる、請求項19に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連特許及び出願の相互参照

本出願は、2022年3月9日に出願された米国非仮特許出願第17／690,715号明細書に対する優先権及びその出願日の利益を主張するものであり、この出願は、その全体が参照により本明細書に組み込まれる。

【0002】

本発明は、概して、基板を処理する方法に関し、特定の実施形態では多結晶半導体のエッチングに関する。

【背景技術】

【0003】

一般に、集積回路（IC）などの半導体デバイスは、基板の上に誘電材料、導電材料及び半導体材料の層を順次堆積させてパターニングして、モノリシック構造で一体化された電子部品及び相互接続要素（例えば、トランジスタ、抵抗器、コンデンサ、金属線、コンタクト及びビア）のネットワークを形成することによって製作される。半導体デバイスの構成構造を形成するために使用される処理ステップの多くは、プラズマプロセスを使用して実施される。

【発明の概要】

【発明が解決しようとする課題】

【0004】

半導体産業は、構成要素の集積密度を高めるために、半導体デバイスの最小特徴部サイズを数ナノメートルまで繰り返し縮小してきた。それに応じて、半導体産業は、正確性、精度及びプロファイル制御を伴って、多くの場合に原子スケールの寸法で特徴部をパターニングするプロセスを提供するためのプラズマ処理技術を一層要求している。これらの要件は、3次元（3D）構造、例えば半導体基板中に溝をエッチングすることによって形成される、間隔が密接した狭く長いフィン型半導体特徴部の3つの側部をゲート電極が包み込むフィン型電界効果トランジスタ（FinFET）にとって特に厳しい。ICの大量生産に必要な均一性及び再現性と共にこの課題に対処することは、プラズマ処理技術の更なる革新を必要とする。

【課題を解決するための手段】

【0005】

本発明の一実施形態によれば、基板を処理する方法であって、複数のサイクルを含む循環型プラズマエッチングプロセスを実施することを含み、複数のサイクルの各々は、基板を第1のプラズマに曝すことにより、多結晶半導体材料を含むパターニング層をエッチングして、凹部を形成又は延長することであって、基板は、酸化物層を含み、パターニング層は、酸化物層の上に形成される、形成又は延長することと、二水素を含む第2のプラズマに基板を曝すことと、基板を第3のプラズマに曝すことによって凹部を延長することであって、第2のプラズマは、第1のプラズマ及び第3のプラズマと異なる、延長することを含む、方法である。

【0006】

本発明の一実施形態によれば、基板を処理する方法であって、複数のサイクルを含む循環型プラズマエッチングプロセスを実施することを含み、複数のサイクルの各々は、基板を第1の期間にわたって第1のプラズマに曝すことにより、ポリシリコン層をエッチングして、凹部を形成することであって、基板は、酸化物層を含み、ポリシリコン層は、酸化

10

20

30

40

50

物層の上に形成され、第 1 のプラズマは、臭化水素及び二塩素を含む、形成することと、二水素を含む第 2 のプラズマに基板を第 2 の期間にわたって曝すこととを含む。

【0007】

本発明の一実施形態によれば、フィン型電界効果トランジスタを製作する方法であって、酸化物層の上にフィン特徴部を形成することであって、酸化物層は、基板の上に形成され、フィン特徴部は、フィンハードマスクと、フィンハードマスクの下のフィンとを含み、フィンは、シリコンを含む、形成することと、ポリシリコンを含むダミーゲート材料を堆積させることと、ダミーゲート材料の上にゲートハードマスク層を堆積させることと、ハードマスク層の上にフォトレジストを堆積させることと、フォトリソグラフィプロセスを実施して、フォトレジストをパターニングすることと、ゲートハードマスク層をエッチングして、フォトレジストからハードマスク層にパターンを転写することと、ゲートハードマスク層をエッチングマスクとして使用して、循環型プラズマエッチングプロセスを実施することとを含み、循環型プラズマエッチングプロセスは、フィンハードマスクを露出させ、循環型プラズマエッチングプロセスは、複数のサイクルを含み、複数のサイクルの各々は、ハロゲンを含む第 1 のプラズマに基板を曝すことにより、ダミーゲート材料をエッチングして、凹部を形成することと、水素を含む第 2 のプラズマに基板を曝すこととを含む、方法である。

10

【図面の簡単な説明】

【0008】

本発明及びその利点のより詳細な理解のために、ここで、以下の記載を添付図面と併せて参照する。

20

【0009】

【図 1 A】様々な実施形態による、例示的な循環型プラズマプロセス中の様々な段階での例示的な基板の断面図を示し、ポリシリコン、ハードマスク層及びパターニングされたフォトレジスト層を含む、入来する基板を示す。

【図 1 B】様々な実施形態による、例示的な循環型プラズマプロセス中の様々な段階での例示的な基板の断面図を示し、ハードマスク開口ステップ後の基板を示す。

【図 1 C】様々な実施形態による、例示的な循環型プラズマプロセス中の様々な段階での例示的な基板の断面図を示し、循環型プラズマプロセスの第 1 のプラズマを用いた第 1 のメインエッチング後の基板を示す。

30

【図 1 D】様々な実施形態による、例示的な循環型プラズマプロセス中の様々な段階での例示的な基板の断面図を示し、第 2 のプラズマを用いた循環型プラズマプロセスの第 1 の水素処理後の基板を示す。

【図 1 E】様々な実施形態による、例示的な循環型プラズマプロセス中の様々な段階での例示的な基板の断面図を示し、循環型プラズマプロセスのステップのサイクル後の基板を示す。

【図 1 F】様々な実施形態による、例示的な循環型プラズマプロセス中の様々な段階での例示的な基板の断面図を示し、保護表面層を形成するための表面処理後の基板を示す。

【図 1 G】様々な実施形態による、例示的な循環型プラズマプロセス中の様々な段階での例示的な基板の断面図を示し、第 3 のプラズマを用いたソフトランディングエッチング後の基板を示す。

40

【図 2 A】様々な実施形態による、3 次元（3 D）半導体デバイスを製作するための例示的な循環型プラズマプロセス中の様々な段階での例示的な基板の斜視図を示し、酸化物層、フィン特徴部、ポリシリコン層、ハードマスク層及びパターニングされたフォトレジスト層を含む、入来する基板を示す。

【図 2 B】様々な実施形態による、3 次元（3 D）半導体デバイスを製作するための例示的な循環型プラズマプロセス中の様々な段階での例示的な基板の斜視図を示し、ハードマスク開口ステップ後の基板を示す。

【図 2 C】様々な実施形態による、3 次元（3 D）半導体デバイスを製作するための例示的な循環型プラズマプロセス中の様々な段階での例示的な基板の斜視図を示し、循環型プ

50

ラズマプロセスのステップのサイクル後の基板を示す。

【図 2 D】様々な実施形態による、3 次元（3 D）半導体デバイスを製作するための例示的な循環型プラズマプロセス中の様々な段階での例示的な基板の斜視図を示し、保護表面層を形成するための表面処理後の基板を示す。

【図 2 E】様々な実施形態による、3 次元（3 D）半導体デバイスを製作するための例示的な循環型プラズマプロセス中の様々な段階での例示的な基板の斜視図を示し、フィン特徴部を包むダミーゲート特徴部を形成するソフトランディングエッチング後の基板を示す。

【図 3 A】様々な実施形態による、循環型プラズマプロセスの方法のプロセスフローチャートを示し、いくつかの実施形態のプロセスフローを示す。

【図 3 B】様々な実施形態による、循環型プラズマプロセスの方法のプロセスフローチャートを示し、代替的な実施形態のプロセスフローを示す。

【図 3 C】様々な実施形態による、循環型プラズマプロセスの方法のプロセスフローチャートを示し、更に別の実施形態のプロセスフローを示す。

【発明を実施するための形態】

【0010】

本出願は、基板を処理する方法に関し、より具体的には、高アスペクト比（HAR）を有する特徴部におけるエッチングプロファイル制御を可能にする循環型プラズマプロセスの方法に関する。半導体デバイスの製作では、HAR 特徴部における劣ったエッチングプロファイル制御は、HAR 特徴部の全体にわたる限界寸法（CD）の変動及び劣ったラインエッジラフネス（LER）をもたらし得る。この問題は、先端ロジックノードのフロントエンド（FEOL）製作で使用されるポリシリコンのプラズマエッチング中に特に課題となり得る。ポリシリコンの異なるシリコン結晶配向及び粒界は、横方向エッチング速度の変動につながる傾向があり、これは、表面のラフネスを伴う側壁プロファイルの劣化を引き起こし得る。したがって、より良好なエッチングプロファイル制御を伴う、HAR 特徴部におけるポリシリコンのプラズマエッチング技術が望ましい場合がある。本出願の実施形態は、メインプラズマエッチングステップと、側壁の平滑化のための水素プラズマ処理ステップとを含む循環型プラズマプロセスの方法を開示する。循環型プラズマプロセスは、最後のメインプラズマエッチングステップ後に実施されるソフトランディングエッチングを更に含み得る。

【0011】

本開示で説明する方法は、ポリシリコンを含む層に形成された HAR 特徴部の LER を有利に低減させ得る。本方法は、フィン型電界効果トランジスタ（FinFET）などの 3 D 半導体デバイスにおけるポリシリコンゲート又はダミーゲートを製作するのに特に有用であり得る。更に、本明細書の方法は、側壁上において均一な制御された横方向エッチング速度を提供することにより、HAR 特徴部の限界寸法（CD）制御を改善することができる。様々な実施形態では、循環型プラズマプロセスにより、10：1 以上のアスペクト比（特徴部の高さの特徴部の幅との比率）を有する特徴部を可能にし得る。

【0012】

以下では、最初に、様々な実施形態による図 1 A～図 1 G を参照して、メインプラズマエッチングステップと、側壁の平滑化のための水素プラズマ処理ステップとを含む循環型プラズマプロセスのステップが説明される。次に、図 2 A～図 2 E を参照して、フィン型電界効果トランジスタ（FinFET）の製作中にゲートエッチングに対して適用される循環型プラズマプロセスのいくつかの実施形態が説明される。例示的なプロセスフロー図が図 3 A～図 3 C に示される。本開示における全ての図は、例示のみを目的として描かれており、特徴部のアスペクト比を含めて縮尺通りではない。

【0013】

図 1 A は、ポリシリコン層 120 を含む、入来する基板 100 の断面図を示す。

【0014】

図 1 A では、基板 100 は、様々な実施形態において半導体基板を含む。1 つ以上の実

10

20

30

40

50

施形態では、基板100は、シリコンウェハ又はシリコンオンインシュレータ(SOI)ウェハであり得る。特定の実施形態では、基板100は、シリコンゲルマニウムウェハ、シリコンカーバイドウェハ、ヒ化ガリウムウェハ、窒化ガリウムウェハ又は他の化合物半導体を含み得る。他の実施形態では、基板100は、シリコンオンシリコンの層又はSOI基板と同様に、シリコンゲルマニウムオンシリコン、窒化ガリウムオンシリコン、シリコンカーボンオンシリコンなどの異種層を含む。基板100は、半導体構造を製作するために、例えば従来のプロセスに従って複数の処理ステップを経ることができる。したがって、基板100に様々なデバイス領域が形成され得る。この段階では、例えば、基板100は、シャロートレンチアイソレーション(STI)領域などの分離領域及びその中に形成された他の領域を含み得る。

10

【0015】

基板100は、絶縁層110を更に含み得る。様々な実施形態では、絶縁層110は、酸化シリコンなどの酸化物を含み得る。特定の実施形態では、絶縁層110は、熱酸化によって形成され得る。1つ以上の実施形態では、絶縁層110は、半導体デバイスの埋め込み酸化物(BOX)層などの絶縁領域として製作される層である。一実施形態では、絶縁層110は、約10nm~約1μmの厚さを有し得る。

【0016】

絶縁層110の上にポリシリコン層120が形成される。図1Aに示すポリシリコン層120は、高アスペクト比(HAR)特徴部を形成するための実施形態の方法によってパターンニングされる層である。例えば、HAR特徴部のアスペクト比(幅対高さ)は、1:5以上、例えばいくつかの実施形態では1:10以上であり得る。様々な実施形態では、ポリシリコン層120は、半導体デバイスのためのゲート又はダミーゲートを形成するためにパターンニングされる。ポリシリコン層120で使用されるポリシリコンは、電気的特性を含む所望の材料特性を有するようにドーブポリシリコンを含み得る。ポリシリコン層120は、化学気相成長(CVD)、物理気相成長(PVD)を含む気相堆積法並びにプラズマエンハンスドCVD(PECVD)などの他のプラズマプロセス、スパッタリング及び他のプロセスのような適切な堆積技術を使用して絶縁層110の上に堆積させることができる。1つ以上の実施形態では、ポリシリコン層120は、約50nm~約500nmの厚さを有し得る。ポリシリコンは、シリコンの多結晶形であるため、ポリシリコンは、図1Aに示すように、多数の微結晶125と、個々の微結晶間の粒界とを含む。

20

30

【0017】

依然として図1Aを参照すると、ポリシリコン層120の上にハードマスク層130が形成され得る。一実施形態では、ハードマスク層130は、酸化シリコンを含み得る。様々な実施形態では、ハードマスク層130は、窒化シリコン、炭窒化シリコン(SiCN)又はシリコンオキシカーバイド(SiOC)を含み得る。代替的な実施形態では、ハードマスク層130は、窒化チタンを含み得る。1つ以上の実施形態では、ハードマスク層130は、スピンオンカーボンハードマスク(SOH)材料などの他の好適な有機材料を含み得る。更に、ハードマスク層130は、例えば、2つの異なる材料を使用する2つ以上の層を含む積層ハードマスクであり得る。そのような実施形態のいくつかでは、ハードマスク層130の第1のハードマスクは、窒化チタン、チタン、窒化タンタル、タンタル、タングステン系化合物、ルテニウム系化合物又はアルミニウム系化合物などの金属系層を含み得、ハードマスク層130の第2のハードマスク材料は、酸化シリコン、窒化シリコン、SiCN、SiOC、酸窒化シリコン又は炭化シリコンなどの誘電体層を含み得る。ハードマスク層130は、化学気相成長(CVD)、物理気相成長(PVD)を含む気相堆積法並びにプラズマエンハンスドCVD(PECVD)などの他のプラズマプロセス、スパッタリング及びウェットプロセスを含む他のプロセスのような好適な堆積技術を使用して堆積させることができる。ハードマスク層130は、様々な実施形態では、約5nm~約50nmの厚さを有し得る。1つ以上の実施形態では、シリコン含有反射防止コーティング膜(SiARC)又は他のARC膜などの追加の層がハードマスク層130の上に形成され得る。

40

50

【0018】

パターニングされたフォトレジスト層140がハードマスク層130の上に形成され得る。様々な実施形態では、パターニングされたフォトレジスト層140は、ポリシリコン層120中にそれぞれの特徴部を形成するためのパターンを提供する。図示する例では、パターニングされたフォトレジスト層140は、ハードマスク層130（図1B）中にそれぞれの特徴部を形成するとき、第1のエッチングマスクとして機能し、その後、ハードマスク層130中に形成された特徴部は、後述するように、パターニングされたフォトレジスト層140の特徴部がポリシリコン層120に転写されるようにポリシリコンをエッチングするための循環型プラズマプロセス中、第2のエッチングマスクとして機能し得る。特定の実施形態では、パターニングされたフォトレジスト層140は、248nmレジスト、193nmレジスト、157nmレジスト、EUV（極紫外線）レジスト又は電子ビーム（EB）感応性レジストを含み得る。様々な実施形態では、フォトレジストは、乾式プロセス又は湿式プロセス、例えばスピニング技術を使用して、ハードマスク層130の上に堆積され得る。次いで、堆積されたフォトレジストは、適切なリソグラフィプロセスを用いてパターニングされて、パターニングされたフォトレジスト層140が形成され得る。一実施形態では、パターニングされたフォトレジスト層140は、20nm～100nmの厚さを有する。パターニングされたフォトレジスト層140を使用してパターニングされる特徴部は、パターニングされる層に関する所望の限界寸法（CD）、すなわち幅を有し得る。いくつかの実施形態では、CDは、10nm～100nmであり得る。1つ以上の実施形態では、CDは、10nm～40nmであり得る。

10

20

【0019】

図1Bは、一実施形態による、ハードマスク開口ステップ後の製作中の半導体構造の断面図を示す。

【0020】

ハードマスク開口ステップは、ハードマスク層130に凹部150を形成するためのプラズマエッチングプロセス、例えば反応性イオンエッチング（RIE）プロセスを使用して実施され得る。パターニングされたフォトレジスト層140によってマスクされていないハードマスク層130の部分が除去され、それにより、パターニングされたフォトレジスト層140によって定められたパターンがハードマスク層130に転写され得る。図1Bに示すように、ハードマスク開口ステップ後、ポリシリコン層120少なくとも一部が凹部150の底部で露出され得る。1つ以上の実施形態では、基板100は、ハードマスク層130の上及び／又は下に追加の層を含み得、追加の層もハードマスク開口ステップ中に除去され得る。特定の実施形態では、ハードマスク開口ステップ後、パターニングされたフォトレジスト層140の残りの部分は、その後のステップを実行する前に除去され得る。1つ以上の実施形態では、図1B～図1Gに示すように、パターニングされたフォトレジスト層140の一部は、次のステップ中に残っている場合があるが、他の実施形態ではいずれかの段階で除去され得る。

30

【0021】

図1Cは、循環型プラズマプロセスの第1のプラズマを用いた第1のメインエッチング後の製作中の半導体構造の断面図を示す。

40

【0022】

制御されたエッチングプロファイル及び側壁を伴ってポリシリコンをエッチングするために、循環型プラズマプロセスが適用され得る。様々な実施形態による循環型プラズマプロセスのサイクルは、基板100を第1のプラズマに曝すことにより、メインエッチングから開始し得る。メインエッチングは、凹部150をポリシリコン層120中に延長するために異方性であり得る。循環型エッチングプロセスは、誘導結合プラズマ（ICP）、容量結合プラズマ（CCP）、マイクロ波プラズマ（MW）などの1つ以上のプラズマ源を装備した好適なプラズマ処理チャンバ内で実施することができる。様々な実施形態では、メインエッチングは、反応性イオンエッチング（RIE）プロセスであり得、例えばハロゲンガスを含む第1のエッチングガスを使用し得る。特定の実施形態では、第1のエ

50

チングガスは、臭化水素（ HBr ）及び二塩素（ Cl_2 ）であり得る。第1のエッチングガスは、二酸素（ O_2 ）及び／又は貴ガス（例えば、 He 、 Ne 、 Ar 、 Kr など）も含み得る。第1のエッチングガスは、ポリシリコンをエッチングする第1のプラズマが高い選択性及び高いポリシリコンエッチング速度を有するように選択され得る。選択性は、ハードマスク層130のマスク材料、例えば酸化シリコン、窒化シリコン又は SiON に対するものであり得る。同様に、メインエッチングのプラズマ条件は、所望の選択性及びエッチング速度を得るように決定され得る。

【0023】

特定の実施形態では、メインエッチングは、 $50\text{ sccm} \sim 1000\text{ sccm}$ の総ガス流量、 $5\text{ Torr} \sim 300\text{ Torr}$ の圧力、 $-10^\circ\text{C} \sim 150^\circ\text{C}$ の温度及び $100\text{ kHz} \sim 10\text{ GHz}$ の動作周波数で実施され得る。1つ以上の実施形態では、 HBr の流量は、約 $0\text{ sccm} \sim 500\text{ sccm}$ の範囲に維持され、 Cl_2 の流量は、約 $0\text{ sccm} \sim 100\text{ sccm}$ である。一実施形態では、追加ガスの総流量は、約 $50\text{ sccm} \sim 500\text{ sccm}$ の範囲であり得る。様々な実施形態では、メインエッチングは、5秒～120秒、例えば一実施形態では10秒～30秒のプロセス時間で実施され得る。

【0024】

メインエッチングは、主に凹部150を垂直に延長するための垂直方向の指向性を伴う異方性エッチングであり得るが、凹部150の側壁上で幾分の横方向エッチングが生じ得る。横方向エッチングの効果は、特に、パターンニング層の大部分の表面がその側壁である狭い凹部及びHAR特徴部のCD制御で重要であり得る。横方向エッチングは、CD損失及びラインエッジラフネス（LER）につながる場合があり、これは、デバイス性能及び歩留まりを著しく阻害し得る。望ましくない横方向エッチングのこれらの課題は、ポリシリコンのエッチングで更に悪化し得る。図1Cに示すように、ポリシリコン層120の微結晶125の様々な配向に起因して、凹部150の側壁は、異なる結晶粒を含み、異なる結晶面が表面に露出する。シリコンのエッチング速度は、結晶面のタイプに依存するため、メインエッチング中の横方向エッチング速度は、側壁の上部から底部にわたって変動し得る。その結果、側壁の表面は、平滑でない場合があり、劣ったLERを有する場合がある。本開示の発明者らは、循環型プラズマプロセスにおいて、以下で水素処理と呼ばれる、水素（例えば、 H_2 ）を含む第2のプラズマへのその後の曝露を実装することが、以下で更に説明するように、側壁表面を平滑にすることによってこの課題を緩和できることを確認した。

【0025】

第1のメインエッチングプロセス後のこの段階では、凹部150の深さは、3層（すなわちポリシリコン層120、ハードマスク層130及びパターンニングされたフォトレジスト層140）の総厚さより小さくてもよい。換言すれば、凹部150は、ポリシリコン層120の底部に達していない。凹部150は、ポリシリコン層120の高アスペクト比（HAR）特徴部を形成するための循環型プラズマプロセスのメインエッチングを反復することにより、段階的に延長される。図1D～図1Fを参照して更に説明するように、循環型プラズマプロセスによるポリシリコンの段階的な除去は、有利には、循環型プラズマプロセスのステップ間で側壁の平滑化を複数回にわたって実施することを可能にする。

【0026】

図1Dは、第2のプラズマを用いた循環型プラズマプロセスの第1の水素処理後の製作中の半導体構造の断面図を示す。

【0027】

様々な実施形態では、水素処理は、水素を含む第2のプラズマに基板を曝すことによって実施され得る。特定の実施形態では、第2のプラズマは、分子状水素、すなわち二水素（ H_2 ）を含む。水素処理は、図1Dに示すように、側壁の表面を平滑にする。いかなる理論によっても制限されることを望むものではないが、第2のプラズマ中のH含有ラジカル種は、表面上のポリシリコンの一部分の非晶質化と、シリコン原子のエッチングとを誘起し得、これが平滑化につながり得る。これは、凹部150の表面上に形成された、表面

10

20

30

40

50

改質されたシリコン層 160 として図 1 D に示されている。1 つ以上の実施形態では、水素処理後、CD 変動、例えば 3 シグマ（形成されている凹部 150 の異なるゲート高さ又は深さで測定された CD の平均からの標準偏差）は、水素処理前の値から 20 % 以上低減され得る。一実施形態では、水素処理後の CD 標準偏差は、1.0 nm を下回り得る。特定の実施形態では、表面ラフネスは、高さ変動の二乗平均平方根（RMS）、ラフネスの平均（ R_a ）及び谷から山までの高さ（ h ）などの他の指標によって表され得る。側壁がアモルファスシリコンで覆われ、表面に露出した異なる結晶面がもはや存在しないため、水素処理は、有利には、平滑化効果に加えて、循環型プラズマプロセスにおける次のサイクルのエッチング均一性も改善することができる。

【0028】

特定の実施形態では、水素処理は、任意選択の不活性ガス（例えば、He、Ne、Ar、Kr など）の混合物をプラズマ処理チャンバ内に流すことを更に含み得る。特定の実施形態では、第 2 のプラズマへの曝露は、50 sccm ~ 500 sccm の総ガス流量、5 mTorr ~ 300 Torr の圧力、 -10°C ~ 200°C の温度及び 100 kHz ~ 10 GHz の動作周波数で実施され得る。様々な実施形態では、第 2 のプラズマへの曝露は、2 秒 ~ 50 秒、例えば一実施形態では 5 秒 ~ 10 秒のプロセス時間で実施され得る。流量、圧力などのいくつかのプロセスパラメータは、側壁表面の十分な改質を提供する一方、より良好なプロセス効率のためにプロセス時間をできるだけ短く保つように選択され得る。更に、水素プラズマステップのためのプロセスパラメータは、循環型プラズマプロセスの前のステップ（例えば、図 1 C）に対して最適化され得る。特定の実施形態では、水素を含む第 2 のプラズマのために、誘導結合プラズマ（ICP）、マイクロ波プラズマ（MW）又は容量結合プラズマ（CCP）が使用され得る。一例では、ICP プラズマチャンバにおいて、30 ~ 80 mTorr のチャンバ圧力、250 ~ 1000 W のソース圧力及び 100 ~ 200 sccm の H_2 流量のプロセス条件が使用され得る。

【0029】

様々な実施形態では、メインエッチング及び水素処理のステップは、凹部 150 のための所望の深さに達するように循環型プラズマプロセスで反復され得る。例えば、第 2 のメインエッチングは、凹部 150 を垂直方向に延長するために、第 1 の水素処理（例えば、図 1 D）後に実施され得る。側壁表面は、平滑化され、且つ第 1 の水素処理によって非晶質化され得、第 2 のメインエッチングは、第 1 のメインエッチングと比較してより良好なエッチングプロファイル制御を伴って進行し得る。第 2 のメインエッチングのプロセス条件は、いくつかの実施形態では第 1 のメインエッチングと同じであり得るが、他の実施形態では異なり得る。第 2 のメインエッチング後、新しく露出した凹部 150 の側壁及び底面を処理し、平滑化するために、第 2 の水素処理を実施して、表面改質されたシリコン層 160 を補充し得る。第 2 の水素処理のプロセス条件は、いくつかの実施形態では第 1 の水素処理と同じであり得るが、他の実施形態では異なり得る。1 つ以上の実施形態では、メインエッチングと水素処理とを反復するサイクル中、メインエッチング又は水素処理の 1 つ以上のステップは、スキップされ得るか又はプロセスレシビに従って異なる介在プロセスステップと置換され得る。

【0030】

図 1 E は、循環型プラズマプロセスのステップのサイクル後の基板 100 を示す。

【0031】

図 1 E では、ステップのサイクル後、凹部 150 は、ポリシリコン層 120 中で垂直に延びている。表面改質されたシリコン層 160 は、最後の水素処理後にも延長され得る。循環型エッチングプロセスの複数のサイクルを様々な実施形態に従って実施することにより、凹部 150 は、凹部の上部から底部まで限界寸法（CD）の大きい変動なく、段階的に且つコンフォーマルに延長することができる。様々な実施形態では、所望のレベルのエッチングが達成されるまで、任意の数のサイクルが実施され得る。特定の実施形態では、サイクルは、メインエッチングで終了し得、最後の水素処理は、スキップされ得る。最後の水素処理が必要であるかどうかは、最後のエッチングプロファイルに依存し得、これは

10

20

30

40

50

、膜の深さにおける、表面改質されたシリコン層 160 の多結晶の状態によって殆ど決定される。1 つ以上の実施形態では、最後のメインエッチング及び最後の水素処理後、凹部 150 の底部は、図 1 E に示すように依然として絶縁層 110 よりも上にあり得、ソフトランディングエッチングを含むその後のステップは、下記のように凹部 150 を更に延長し得る。

【0032】

図 1 F は、保護表面層 170 を形成するための表面処理後の製作中の半導体構造の断面図を示す。

【0033】

メインエッチング及び水素処理のサイクル後、保護表面層 170 を形成するために表面処理が実施され得る。保護表面層 170 は、その後のソフトランディングエッチング中に側壁保護を提供するためのものである。特定の実施形態では、表面処理は、側壁上のシリコン原子との表面反応を誘起する反応性ガスに基板を曝すことを含む。例えば、酸素を含む反応性ガス（例えば、 O_2 、 CO 又は CO_2 ）と、酸化物（例えば、酸化シリコン）を含む薄い層とが保護表面層 170 として形成され得る。代替的な実施形態では、反応性ガスは、窒素（例えば、 N_2 、 NH_3 など）を含み得、保護表面層 170 は、窒化物（例えば、窒化シリコン）を含み得る。1 つ以上の実施形態では、表面処理は、プラズマプロセスである。表面処理では、シリコンの上の保護表面層 170 のために新しい材料を堆積させることも可能である。いくつかの実施形態では、化学気相成長（CVD）、物理気相成長（PVD）、原子層堆積（ALD）を含む気相堆積法並びにプラズマエンハンスド CVD（PECVD）などの他のプラズマプロセス及び他のプロセスのような様々な堆積技術を使用することができる。一例では、ICP プラズマチャンバにおいて、80～120 mTorr のチャンバ圧力、100～300 W のソース電力及び 0～50 W のバイアス電力並びに 200～500 sccm の Ar 流量を伴う 100～200 sccm の O_2 流量を有するプロセス条件が使用される。

【0034】

図 1 G は、第 3 のプラズマを用いたソフトランディングエッチング後の製作中の半導体構造の断面図を示す。

【0035】

様々な実施形態では、循環型プラズマプロセスは、メインエッチングと異なるプロセス条件を有し、本開示でソフトランディングエッチングと呼ばれる別のエッチングプロセスを更に含み得る。ソフトランディングエッチングの目的は、基板 100 上の他の構成要素又は特徴部へのいかなる損傷も防止しながら、ポリシリコンを更に除去して、ターゲットである高アスペクト比（HAR）特徴部をポリシリコン層 120 中に製作することである。例えば、絶縁層 110 及び他の存在し得る特徴部（例えば、図 2 A～図 2 E で以下に示すようなフィン特徴部）が影響を受けないように、ソフトランディングエッチングは、メインエッチングよりも高いエッチング選択性（例えば、ポリシリコン対酸化物の選択性）を有し得る。図 1 G に示すように、様々な実施形態では、ソフトランディングエッチングは、凹部 150 を更に延長し、絶縁層 110 を露出させ得る。ソフトランディングエッチングは、反応性イオンエッチング（RIE）プロセスであり得、例えばハロゲンガスを含む第 2 のエッチングガスを使用し得る。特定の実施形態では、第 2 のエッチングガスは、臭化水素（HBr）及び二塩素（ Cl_2 ）であり得る。第 2 のエッチングガスは、二酸素（ O_2 ）及び／又は貴ガス（例えば、He、Ne、Ar、Kr など）も含み得る。いくつかの実施形態では、ソフトランディングエッチングのための第 2 のエッチングガスの組成は、メインエッチングのための第 1 のエッチングガスと同じであり得るが、他の実施形態では異なり得る。ソフトランディングエッチング中にポリシリコンをエッチングする第 3 のプラズマがメインエッチング中の第 1 のプラズマよりも高い選択性を有するように、第 2 のエッチングガスが選択され得る。選択性は、ハードマスク層 130 のマスク材料、絶縁層 110、フィン構造又は他の特徴部に対するものであり得る。同様に、ソフトランディングエッチングのためのプラズマ条件は、所望の選択性を得るように決定され得る。こ

の理由から、一実施形態では、ソフトランディングエッチングのエッチング速度は、メインエッチングのエッチング速度より小さくてもよい。したがって、ソフトランディングエッチングのプロセス時間は、メインエッチングのプロセス時間より長くてもよい。したがって、図1Fを参照して上述した保護表面層170の形成は、ソフトランディングエッチング中の側壁保護に特に有用であり得る。様々な実施形態では、ソフトランディングエッチングによってエッチングされるポリシリコンの量は、メインエッチングのサイクルによってエッチングされるポリシリコンの量よりも少ない。

【0036】

特定の実施形態では、ソフトランディングエッチングは、100 sccm～1000 sccmの総ガス流量、10 mTorr～800 Torrの圧力、 -10°C ～ 200°C の温度及び100 kHz～10 GHzの動作周波数で実施され得る。1つ以上の実施形態では、HBrの流量は、約100 sccm～500 sccmの範囲に維持され、 Cl_2 の流量は、約0 sccm～300 sccmである。一実施形態では、追加ガスの総流量は、約0 sccm～200 sccmの範囲であり得る。様々な実施形態では、メインエッチングは、2秒～120秒、例えば一実施形態では10秒～50秒のプロセス時間で実施され得る。ソフトランディングステップで高選択性を実現するため、メインエッチングプロセス条件と比較してより多くの表面堆積を得るために、プロセスは、より高いチャンバ圧力、より低いバイアス電力、より大きい添加物流量（例えば、 O_2 、 CO_2 又は N_2 ）を伴う条件で実施され得る。

【0037】

図2A～図2Eは、様々な実施形態による、3次元（3D）半導体デバイスを製作するための例示的な循環型プラズマプロセス中の様々な段階での例示的な基板の斜視図を示す。本開示の様々な実施形態による循環型プラズマプロセスは、3D半導体デバイスの製作に適用することができ、その製作において特に有用であり得る。図2A～図2Eは、フィン型電界効果トランジスタ（FinFET）に関する例を示すが、本開示に記載されるポリシリコンをエッチングする方法を利用して他の3D半導体デバイスが製作され得る。プロセスの詳細は、既に上述したものと同じであり得、繰り返されない場合がある。

【0038】

図2Aでは、基板100は、絶縁層110、ポリシリコン層120、ハードマスク層130及びパターニングされたフォトレジスト層140を含めて、図1Aで上述したものと同一特徴部を含む。更に、図2Aの基板100は、半導体材料を含むフィン200と、フィン200の上に形成されたフィンハードマスク210とを含むフィン特徴部を含む。図2Aでは、例示を目的として2つのフィン200が示されているが、フィンの数は、限定されないことに留意されたい。様々な実施形態では、フィン200は、製作終了時、FinFETデバイスのトランジスタチャネルを形成し得る。1つ以上の実施形態では、フィン200は、約20 nm～約100 nmの高さ及び約5 nm～約30 nmの幅を有し得る。図2A～図2EにはSOI FinFETの製作が示されているが、循環型プラズマプロセスは、フィン200が基板100に直接つながれ、接続されることになるバルクFinFETの製作に適用可能である。

【0039】

特定の実施形態では、フィン200は、シリコン、シリコンゲルマニウム又は他の半導体材料を含む。n型電界効果トランジスタ又はp型電界効果トランジスタは、いくつかの実施形態では、フィン200のために使用される異なる種類の材料を用いて形成され得る。例えば、n型FETは、高い電子移動度を有する、フィン200のための材料を使用して製作され得る一方、p型FETは、高い正孔移動度を有する、フィン200のための材料を使用して製作され得る。1つ以上の実施形態では、フィン200は、周期表のIII-V族から選択される材料となるように選択され得る。

【0040】

フィン特徴部は、例えば、フィン200のための材料層を堆積させ、フィンハードマスク210を堆積させ、フィンハードマスクをパターニングして、フィン200のためのパ

ターンを画定し、且つパターニングされたフィンハードマスクをエッチングマスクとして使用して、フィン200のための材料をエッチングすることにより、従来の方法によって形成され得る。いくつかの実施形態では、フィン200のための材料の層の堆積は、例えば、エピタキシャル法を用いた化学気相成長（CVD）法による堆積プロセスによって形成され得る。

【0041】

一実施形態では、フィンハードマスク210は、酸化シリコンを含み得る。様々な実施形態では、フィンハードマスク210は、窒化シリコン、炭窒化シリコン（SiCN）又はシリコンオキシカーバイド（SiOC）を含み得る。フィンハードマスク210は、化学気相成長（CVD）、物理気相成長（PVD）を含む気相堆積法並びにプラズマエンハンスドCVD（PECVD）などの他のプラズマプロセス、スパッタリング及び他のプロセスのような好適な堆積技術を使用して堆積させることができる。次いで、フィンハードマスク210は、例えば、リソグラフィプロセス及びエッチングプロセスによってパターニングされ得る。特定の実施形態では、フィンハードマスク210は、ポリシリコン層120を形成する前に除去され得る。

【0042】

次いで、フィン特徴部は、ポリシリコン層120を堆積させた後、ポリシリコン層120中に埋め込まれ得る。一実施形態では、ポリシリコン層120は、ダミーゲートを形成するために使用され得る。ポリシリコン層120の堆積並びにその後のハードマスク層130を堆積するステップ及びパターニングされたフォトレジストを形成するステップは、図1Aを参照して前述したように実施され得る。

【0043】

図2Bは、ハードマスク開口ステップ後の製作中の半導体構造の斜視図を示す。

【0044】

ハードマスク開口ステップは、図1Bを参照して前述したようなプラズマエッチングプロセス、例えば反応性イオンエッチング（RIE）プロセスを使用して実施され得る。したがって、パターニングされたフォトレジスト層140のパターンは、ハードマスク層130に転写され得る。図2Bに示すように、パターニングされたフォトレジスト層140の残りの部分は、ハードマスク開口ステップ後、例えばアッシングによって除去され得る。

【0045】

図2Cは、循環型プラズマプロセスのステップのサイクル後の製作中の半導体構造の斜視図を示す。

【0046】

前の実施形態と同様に、パターニングされたハードマスク層130をエッチングマスクとして用いてポリシリコン層120をエッチングするために、メインエッチング及び水素処理のサイクルが実施され得る。図示を目的として、1つのみのライン特徴部が例示されているが、様々な実施形態では、複数のライン及び凹部を含む高アスペクト比（HAR）特徴部が想定される。図2Cに示すように、循環型プラズマプロセスのサイクルは、最後の水素処理で終了し得、したがって、表面改質されたシリコン層160は、メインエッチングによって露出したポリシリコン層の表面を覆い得る。他の実施形態では、最後の水素処理は、スキップされ得、ポリシリコン層120の側壁は、露出し得る。様々な実施形態では、フィン特徴部の上面（例えば、図2Cのフィンハードマスク210の上面）が最初に露出されたときにサイクルが停止され、それにより、ポリシリコン層120におけるポリシリコンの更なる除去は、より高い選択性を有するエッチング、例えば後述するようなソフトランディングエッチングによって別々に実施され得る。

【0047】

図2Dは、保護表面層170を形成するための表面処理後の製作中の半導体構造の斜視図を示す。

【0048】

図 2 E に示すようなソフトランディングエッチング前に、図 1 F を参照して前述したように保護表面層 170 を形成するための表面処理が実施され得る。保護表面層 170 は、表面改質されたシリコン層 160 の表面及びポリシリコン層 120 のいかなる露出部も覆うか又は置換することができる。

【0049】

図 2 E は、フィン特徴部を包み込むダミーゲート特徴部を形成するソフトランディングエッチング後の製作中の半導体構造の斜視図を示す。

【0050】

次に、メインエッチングの選択性よりも高い選択性を有してポリシリコンを更にエッチングするために、ソフトランディングエッチングが実施され得る。ポリシリコンのためのソフトランディングエッチングのプロセス条件は、絶縁層 110 及びフィン 200 並びにフィンハードマスク 210 などの他の構成要素への損傷を最小化又は排除するように選択され得る。ソフトランディングエッチング後、FinFET などの半導体デバイスを製作するための後続のプロセスステップが続き得る。一実施形態では、そのようなステップは、ゲートスペーサ形成、ゲート注入、フィン凹部及びソース／ドレイン形成、チャンネル解放並びにミドルエンド (MOL) / バックエンド (BEOL) のプロセスを含み得るが、これらに限定されない。

【0051】

図 3 A ~ 図 3 C は、様々な実施形態による循環型プラズマプロセスの方法のプロセスフローチャートを示す。プロセスフローは、上述した図に従うことができるため、再び説明することはしない。

【0052】

図 3 A では、プロセスフロー 30 は、メインエッチングとして、第 1 のプラズマに基板を曝すことにより、ポリシリコンを含むパターンニング層をエッチングして、凹部を形成することを含む循環型プラズマプロセス 310 から開始する (ブロック 320、図 1 C)。次に、循環型プラズマプロセス 310 のループにおいて、水素処理として、基板は、二水素 (H_2) を含む第 2 のプラズマに曝され得る (ブロック 330、図 1 D)。メインエッチング及び水素処理は、凹部を延長するために (例えば、図 1 E) 任意の回数にわたって反復され得る。基板は、次いで、ソフトランディングエッチングのために第 3 のプラズマに曝されて、凹部が更に延長され得る (ブロック 340、図 1 G)。特定の実施形態では、ソフトランディングエッチング (ブロック 340) 前に、保護表面層を形成するための任意選択の表面処理が実施され得る (ブロック 335、図 1 F)。特定の実施形態では、半導体デバイスを製作する後続の製作プロセスステップ (例えば、ゲートスペーサ形成) が実施され得る (ブロック 350)。

【0053】

図 3 B では、別のプロセスフロー 32 は、メインエッチングとして、臭化水素 (HBr) 及び二塩素 (Cl_2) を含む第 1 のプラズマに基板を第 1 の期間にわたって曝すことにより、ポリシリコン層をエッチングして、凹部を形成することを含む循環型プラズマプロセス 312 から開始する (ブロック 322、図 1 C)。次に、水素処理として、基板は、二水素 (H_2) を含む第 2 のプラズマに第 2 の期間にわたって曝され得る (ブロック 332、図 1 D)。メインエッチング及び水素処理は、凹部を延長するために (例えば、図 1 E) 任意の回数にわたって反復され得る。特定の実施形態では、保護表面層を形成するための表面処理が実施され得 (ブロック 335、図 1 F)、その後、基板が、臭化水素 (HBr) 及び二塩素 (Cl_2) を含む第 3 のプラズマに第 3 の期間にわたって曝され得るソフトランディングエッチングが続く (ブロック 342、図 1 G)。

【0054】

図 3 C では、更に別のプロセスフロー 34 は、フィンハードマスクと、酸化物層の上のシリコンフィンとを含むフィン特徴部を形成することから開始する (ブロック 301)。次に、ポリシリコンを含むダミーゲート材料が堆積され得 (ブロック 302)、その後、ダミーゲート材料の上にゲートハードマスク層を堆積させることが続き得る (ブロック 3

03)。次いで、ゲートハードマスク層の上にフォトレジストが堆積され（ブロック304）、フォトリソグラフィプロセスを実施することによってパターンニングされる（ブロック305、図2A）。次に、ゲートハードマスク層がエッチングされて、パターンがフォトレジストからハードマスク層に転写され得る（ブロック306、図2B）。循環型プラズマプロセス（ブロック314）が続いて、パターンニングされたゲートハードマスク層をエッチングマスクとして使用して、ダミーゲート材料がエッチングされ得る。循環型プラズマプロセスは、ハロゲンを含む第1のプラズマに基板を曝すことにより、メインエッチングから開始し、ダミーゲート材料中に凹部を形成又は延長することができる（ブロック324）。次に、水素処理として、基板は、水素を含む第2のプラズマに曝され得る（ブロック334）。メインエッチング及び水素処理は、凹部を延長するために任意の回数にわたって反復され得る。1つ以上の実施形態では、フィンハードマスクの上面が凹部（例えば、図2C）の底部で露出するまで、循環型プラズマプロセスが続けられ得る。特定の実施形態では、プロセスフロー34は、保護表面層を形成するための表面処理のために続き（ブロック335、図2D）、その後、ソフトランディングエッチングが続き、そこで、基板は、ハロゲンを含む第3のプラズマに曝され得る（ブロック344、図1G）。1つ以上の実施形態では、ソフトランディングエッチングは、凹部を延長して酸化物層を露出させ得る。

10

【0055】

ここで、例示的な実施形態が要約される。他の実施形態も、本明細書の全体及び本明細書で出願される特許請求の範囲から理解することができる。

20

【0056】

例1．基板を処理する方法であって、複数のサイクルを含む循環型プラズマエッチングプロセスを実施することを含み、複数のサイクルの各々は、基板を第1のプラズマに曝すことにより、多結晶半導体材料を含むパターンニング層をエッチングして、凹部を形成又は延長することであって、基板は、酸化物層を含み、パターンニング層は、酸化物層の上に形成される、形成又は延長することと、二水素を含む第2のプラズマに基板を曝すことと、基板を第3のプラズマに曝すことによって凹部を延長することであって、第2のプラズマは、第1のプラズマ及び第3のプラズマと異なる、延長することと、を含む、方法。

【0057】

例2．循環型プラズマエッチングプロセスを実施する前に、リソグラフィプロセス及びエッチングにより、パターンニングされたハードマスク層をパターンニング層の上に形成することを更に含み、循環型プラズマエッチングプロセスは、ハードマスク層をエッチングマスクとして使用して実施される、例1に記載の方法。

30

【0058】

例3．循環型プラズマエッチングプロセスを実施した後、且つ基板を第3のプラズマに曝すことによって凹部を延長する前に、表面処理を実施して、凹部の表面上に保護表面層を形成することを更に含み、基板を第3のプラズマに曝すことによって凹部を延長している間、保護表面層は、凹部の側壁を保護する、例1又は2に記載の方法。

【0059】

例4．表面処理は、基板を反応性ガスに曝すことを含み、反応性ガスは、酸素を含み、保護表面層は、酸化物を含む、例1～3のいずれか1つに記載の方法。

40

【0060】

例5．表面処理は、基板を反応性ガスに曝すことを含み、反応性ガスは、窒素を含み、保護表面層は、窒化物を含む、例1～4のいずれか1つに記載の方法。

【0061】

例6．第1のプラズマは、ハロゲンを含む、例1～5のいずれか1つに記載の方法。

【0062】

例7．第1のプラズマは、臭化水素及び二塩素を含む、例1～6のいずれか1つに記載の方法。

【0063】

50

例 8．基板を第 2 のプラズマに曝すことは、多結晶半導体材料を凹部の表面において非晶質化させる、例 1～7 のいずれか 1 つに記載の方法。

【0064】

例 9．基板を第 2 のプラズマに曝すことは、凹部の側壁の表面を平滑にする、例 1～8 のいずれか 1 つに記載の方法。

【0065】

例 10．第 3 のプラズマは、ハロゲンを含む、例 1～9 のいずれか 1 つに記載の方法。

【0066】

例 11．第 3 のプラズマは、臭化水素及び二塩素を含む、例 1～10 のいずれか 1 つに記載の方法。

【0067】

例 12．基板を第 3 のプラズマに曝している間の多結晶半導体材料のエッチング速度は、基板を第 1 のプラズマに曝している間の多結晶半導体材料のエッチング速度よりも遅い、例 1～11 のいずれか 1 つに記載の方法。

【0068】

例 13．基板を第 3 のプラズマに曝することによって延長された凹部は、約 5～10 の高さ対幅の比率を有する、例 1～12 のいずれか 1 つに記載の方法。

【0069】

例 14．基板を処理する方法であって、複数のサイクルを含む循環型プラズマエッチングプロセスを実施することを含み、複数のサイクルの各々は、基板を第 1 のプラズマに第 1 の期間にわたって曝すことにより、ポリシリコン層をエッチングして、凹部を形成することであって、基板は、酸化物層を含み、ポリシリコン層は、酸化物層の上に形成され、第 1 のプラズマは、臭化水素及び二塩素を含む、形成することと、二水素を含む第 2 のプラズマに基板を第 2 の期間にわたって曝することと、を含む、方法。

【0070】

例 15．第 1 の期間は、5 秒～120 秒であり、第 2 の期間は、2 秒～50 秒である、例 14 に記載の方法。

【0071】

例 16．基板を第 2 のプラズマに曝すことは、ポリシリコン層を凹部の表面において非晶質化させ、且つ異なる深さにおける凹部の限界寸法の標準偏差を 20 % 以上低減させる、例 14 又は 15 に記載の方法。

【0072】

例 17．循環型プラズマエッチングプロセスを実施した後、表面処理を実施して、凹部の表面上に保護表面層を形成することと、基板を第 3 の期間にわたって第 3 のプラズマに曝すことを含むエッチングプロセスにより、層中の凹部を更に延長することであって、第 3 のプラズマは、臭化水素及び二塩素を含み、保護表面層は、第 3 のプラズマから凹部の側壁を保護する、更に延長することとを更に含む、例 14～16 のいずれか 1 つに記載の方法。

【0073】

例 18．第 3 の期間は、第 1 の期間よりも長い、例 14～17 のいずれか 1 つに記載の方法。

【0074】

例 19．フィン型電界効果トランジスタを製作する方法であって、酸化物層の上にフィン特徴部を形成することであって、酸化物層は、基板の上に形成され、フィン特徴部は、フィンハードマスクと、フィンハードマスクの下のフィンとを含み、フィンは、シリコンを含む、形成することと、ポリシリコンを含むダミーゲート材料を堆積させることと、ダミーゲート材料の上にゲートハードマスク層を堆積させることと、ハードマスク層の上にフォトレジストを堆積させることと、フォトリソグラフィプロセスを実施して、フォトレジストをパターニングすることと、ゲートハードマスク層をエッチングして、フォトレジストからハードマスク層にパターンを転写することと、ゲートハードマスク層をエッチン

10

20

30

40

50

グマスクとして使用して、循環型プラズマエッチングプロセスを実施することと、を含み、循環型プラズマエッチングプロセスは、フィンハードマスクを露出させ、循環型プラズマエッチングプロセスは、複数のサイクルを含み、複数のサイクルの各々は、ハロゲンを含む第1のプラズマに基板を曝すことにより、ダミーゲート材料をエッチングして、凹部を形成することと、水素を含む第2のプラズマに基板を曝すことと、を含む、方法。

【0075】

例20．循環型プラズマエッチングプロセスを実施した後、ハロゲンを含む第3のプラズマに基板を曝すことによって凹部を延長することを含む更に含み、循環型プラズマエッチングプロセスを実施することは、フィンハードマスクの上面を露出させ、基板を第3のプラズマに曝すことによって凹部を延長することは、酸化物層を露出させる、例19に記載の方法。

【0076】

本発明について、例示的实施形態を参照して説明したが、本明細書は、限定的な意味で解釈されることを意図しない。例示的な実施形態の様々な修正形態及び組合せ並びに本発明の他の実施形態は、上の記述を参照して当業者に明らかになるであろう。したがって、添付の特許請求の範囲は、そのようなあらゆる修正形態又は実施形態を包含することが意図される。

【図面】

【図1A】

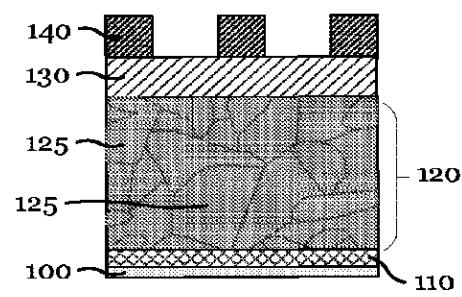


FIG. 1A

【図1B】

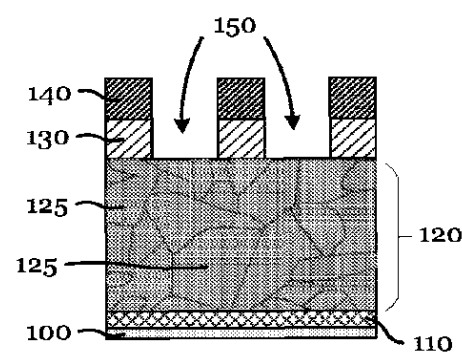


FIG. 1B

【図 1 C】

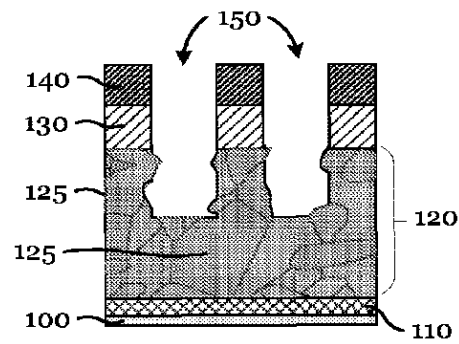


FIG. 1C

【図 1 D】

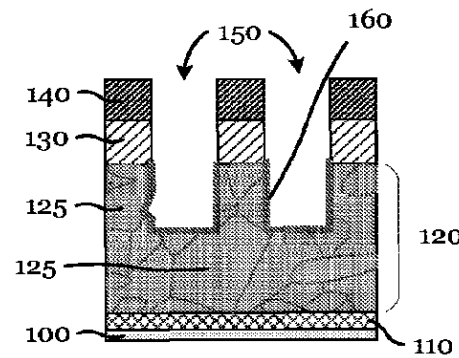


FIG. 1D

【図 1 E】

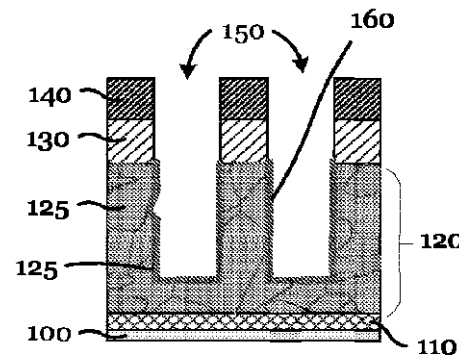


FIG. 1E

【図 1 F】

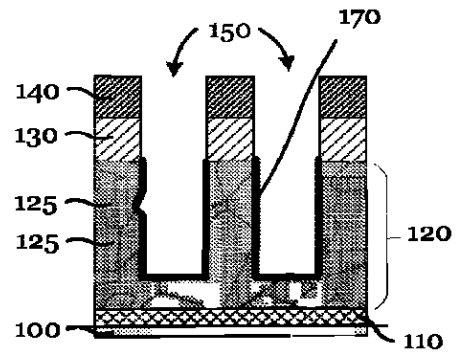


FIG. 1F

10

20

30

40

50

【図 1 G】

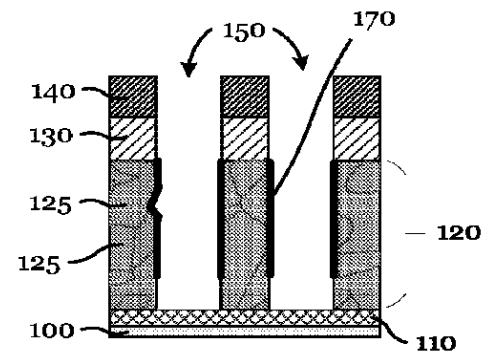


FIG. 1G

【図 2 A】

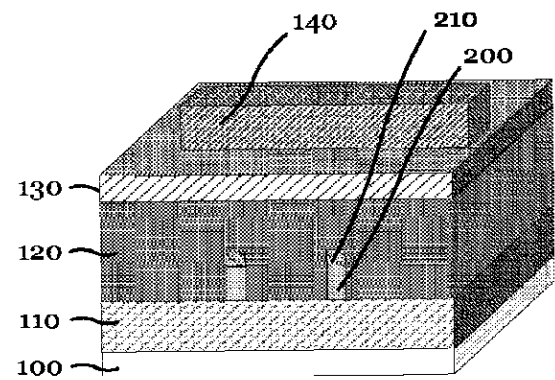


FIG. 2A

【図 2 B】

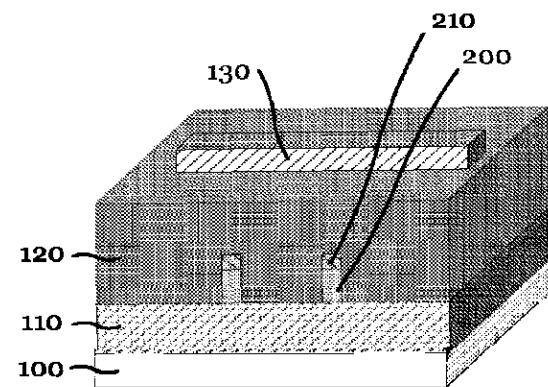


FIG. 2B

【図 2 C】

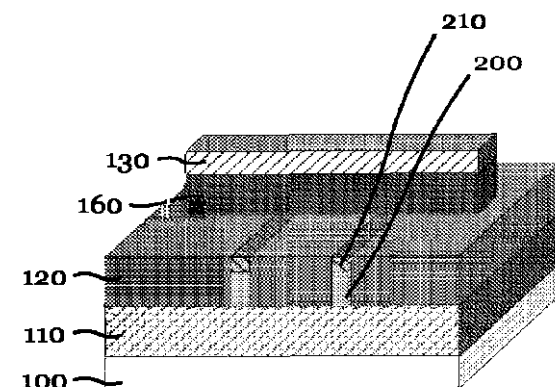


FIG. 2C

10

20

30

40

50

【図 2 D】

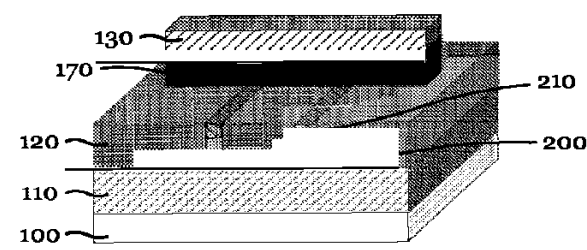


FIG. 2D

【図 2 E】

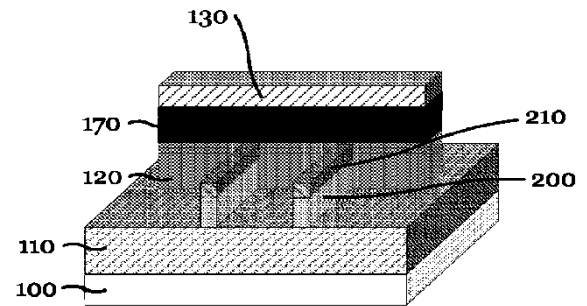


FIG. 2E

【図 3 A】

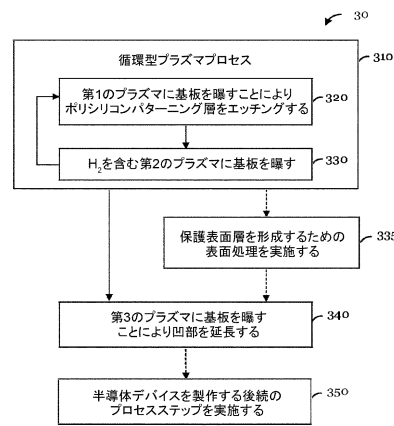


図3A

【図 3 B】

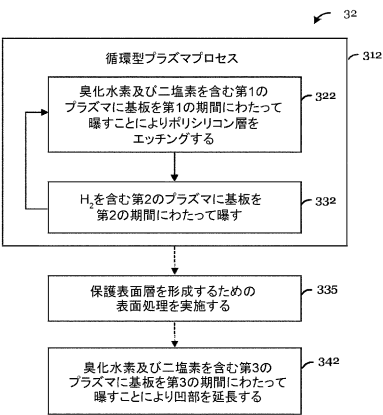


図3B

10

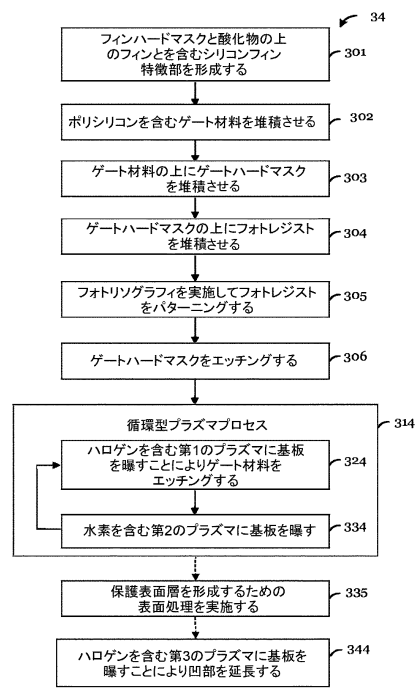
20

30

40

50

【図 3 C】



10

20

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2023/014748
A. CLASSIFICATION OF SUBJECT MATTER H01L 21/3065(2006.01)i; H01L 21/3213(2006.01)i; H01J 37/32(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 21/3065(2006.01); G03F 7/00(2006.01); H01L 21/02(2006.01); H01L 21/311(2006.01); H01L 21/3213(2006.01); H01L 29/417(2006.01); H01L 29/66(2006.01); H01L 29/78(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: fin-FET, plasma, etching, dihydrogen, halogen		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2021-0351281 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 11 November 2021 (2021-11-11) Paragraphs 10-56; claims 1-2; and figures 2-6C.	1-20
Y	US 2021-0193477 A1 (TOKYO ELECTRON LIMITED) 24 June 2021 (2021-06-24) Paragraph 93; claim 14; and figures 5A-8B.	1-20
Y	WO 2020-223152 A1 (LAM RESEARCH CORPORATION) 05 November 2020 (2020-11-05) Paragraph 77.	8-9,16
A	US 2019-0386115 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 19 December 2019 (2019-12-19) The entire document.	1-20
A	US 2006-0046205 A1 (JUNG-HWAN HAH et al.) 02 March 2006 (2006-03-02) The entire document.	1-20
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 22 June 2023		Date of mailing of the international search report 22 June 2023
Name and mailing address of the ISA/KR Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer PARK, Hye Lyun Telephone No. +82-42-481-3463

Form PCT/ISA/210 (second sheet) (July 2022)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/US2023/014748

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2021-0351281	A1	11 November 2021	CN	113178417	A	27 July 2021
				KR	10-2021-0135916	A	16 November 2021
				KR	10-2379100	B1	25 March 2022
				US	11302581	B2	12 April 2022
				US	2022-0238387	A1	28 July 2022
US	2021-0193477	A1	24 June 2021	CN	113097061	A	09 July 2021
				JP	2021-100093	A	01 July 2021
				KR	10-2021-0080215	A	30 June 2021
				US	11355350	B2	07 June 2022
				US	2022-0262645	A1	18 August 2022
WO	2020-223152	A1	05 November 2020	CN	113906552	A	07 January 2022
				KR	10-2021-0151229	A	13 December 2021
				US	2022-0199422	A1	23 June 2022
US	2019-0386115	A1	19 December 2019	CN	110610859	A	24 December 2019
				CN	110610859	B	29 November 2022
				KR	10-2019-0142273	A	26 December 2019
				KR	10-2275456	B1	12 July 2021
				KR	10-2389064	B1	22 April 2022
				US	10658491	B2	19 May 2020
				US	10868139	B2	15 December 2020
				US	2020-0006527	A1	02 January 2020
US	2006-0046205	A1	02 March 2006	CN	1734352	A	15 February 2006
				CN	1734352	B	12 October 2011
				JP	2006-048035	A	16 February 2006
				JP	4754288	B2	24 August 2011
				KR	10-0618850	B1	01 September 2006
				KR	10-2006-0007776	A	26 January 2006
				US	2011-0059613	A1	10 March 2011
				US	7851125	B2	14 December 2010
				US	8241837	B2	14 August 2012

Form PCT/ISA/210 (patent family annex) (July 2022)

フロントページの続き

弁理士法人 I T O H

Fターム (参考) 5F004 AA09 BB13 BB14 CA01 CA08 DA00 DA04 DA22 DA23 DA24
DA25 DA26 DB02 EA03 EA28 EA37 EB04