(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3921363号
(P3921363)
(45)発行日　平成19年5月30日(2007.5.30)　(24)登録日　平成19年2月23日(2007.2.23)

(51)Int.Cl.　F I
H01L 21/8247 (2006.01)　H01L 27/10 434
H01L 27/115 (2006.01)　H01L 29/78 371
H01L 29/792 (2006.01)
H01L 29/788 (2006.01)

請求項の数 13　(全 16 頁)

(21)出願番号　特願2001-248719(P2001-248719)
(22)出願日　平成13年8月20日(2001.8.20)
(65)公開番号　特開2003-60094(P2003-60094A)
(43)公開日　平成15年2月28日(2003.2.28)
審査請求日　平成15年6月5日(2003.6.5)

(73)特許権者　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100077931
弁理士　前田　弘
(74)代理人　100094134
弁理士　小山　廣毅
(74)代理人　100110939
弁理士　竹内　宏
(74)代理人　100110940
弁理士　嶋田　高久
(74)代理人　100113262
弁理士　竹内　祐二
(74)代理人　100115059
弁理士　今江　克実

最終頁に続く

(54)【発明の名称】不揮発性半導体記憶装置の製造方法

(57)【特許請求の範囲】

【請求項１】

記憶回路部と論理回路部とを有する半導体基板における前記記憶回路部に、第１導電型の第１ウエル領域を選択的に形成する第１の工程と、

前記半導体基板上の前記記憶回路部及び論理回路部に第１の絶縁膜及び第１の導体膜を順次形成する第２の工程と、

前記第１の絶縁膜及び第１の導体膜の前記記憶回路部に含まれる領域を残すように、前記第１の絶縁膜及び第１の導体膜をパターニングし、その際に、前記第１の絶縁膜の前記論理回路部に含まれる領域を該論理回路部が覆われるようにその下部を残しながら前記第１の絶縁膜をエッチングすることにより、前記第１の絶縁膜からなる部分膜を形成する第３の工程と、

前記半導体基板の前記論理回路部に前記部分膜を介してイオン注入することにより、第１導電型の第２ウエル領域を選択的に形成する第４の工程と、

前記記憶回路部における前記第１の導体膜の上及び前記論理回路部における前記第２ウエル領域の上に第２の絶縁膜及び第２の導体膜を順次形成する第５の工程と、

前記記憶回路部に含まれる前記第２の導体膜、第２の絶縁膜、第１の導体膜及び第１の絶縁膜を順次パターニングすることにより、前記第２の導体膜から制御ゲート電極を形成し、前記第２の絶縁膜から容量絶縁膜を形成し、前記第１の導体膜から浮遊ゲート電極を形成し、前記第１の絶縁膜からトンネル絶縁膜を形成する第６の工程と、

前記論理回路部に含まれる前記第２の導体膜及び第２の絶縁膜をパターニングすること

により、前記第２の導体膜からゲート電極を形成し、前記第２の絶縁膜からゲート絶縁膜を形成する第７の工程とを備えていることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項２】

記憶回路部と論理回路部とを有する半導体基板上の全面に保護絶縁膜を形成し、前記記憶回路部に、前記保護絶縁膜を介してイオン注入することにより第１導電型の第１ウエル領域を選択的に形成し、その後、前記保護絶縁膜の前記記憶回路部に含まれる領域を除去する第１の工程と、

前記半導体基板の前記記憶回路部の上及び前記論理回路部における前記保護絶縁膜の上に第１の絶縁膜を形成し、続いて、前記第１の絶縁膜の上に第１の導体膜を形成する第２の工程と、

前記第１の絶縁膜及び第１の導体膜の前記記憶回路部に含まれる領域を残すと共に、前記保護絶縁膜の前記論理回路部に含まれる部分を残すように、前記第１の絶縁膜及び第１の導体膜をパターニングする第３の工程と、

前記第３の工程の後に、前記半導体基板の前記論理回路部に前記保護絶縁膜を介してイオン注入することにより、第１導電型の第２ウエル領域を選択的に形成する第４の工程と、

前記記憶回路部における前記第１の導体膜の上及び前記論理回路部における前記第２ウエル領域の上に第２の絶縁膜及び第２の導体膜を順次形成する第５の工程と、

前記記憶回路部に含まれる前記第２の導体膜、第２の絶縁膜、第１の導体膜及び第１の絶縁膜を順次パターニングすることにより、前記第２の導体膜から制御ゲート電極を形成し、前記第２の絶縁膜から容量絶縁膜を形成し、前記第１の導体膜から浮遊ゲート電極を形成し、前記第１の絶縁膜からトンネル絶縁膜を形成する第６の工程と、

前記論理回路部に含まれる前記第２の導体膜及び第２の絶縁膜をパターニングすることにより、前記第２の導体膜からゲート電極を形成し、前記第２の絶縁膜からゲート絶縁膜を形成する第７の工程とを備えていることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項３】

前記第３の工程は、前記第１の絶縁膜の前記論理回路部に含まれる部分を該論理回路部が覆われるようにその下部を残しながら前記第１の絶縁膜をエッチングすることにより、前記第１の絶縁膜からなる部分膜を形成し、

前記第４の工程は、前記部分膜及び保護絶縁膜を介して前記論理回路部にイオン注入することにより、前記第２ウエル領域を形成することを特徴とする請求項２に記載の不揮発性半導体記憶装置の製造方法。

【請求項４】

前記第４の工程は、前記半導体基板の前記論理回路部に第２導電型の第３ウエル領域を選択的に形成する工程を含むことを特徴とする請求項１～３のうちのいずれか１項に記載の不揮発性半導体記憶装置の製造方法。

【請求項５】

前記第１の工程と前記第２の工程との間に、

前記半導体基板に対して第２導電型の不純物イオンを注入することにより、前記第１ウエル領域の下側に第２導電型の第４ウエル領域を形成する工程をさらに備えていることを特徴とする請求項１に記載の不揮発性半導体記憶装置の製造方法。

【請求項６】

前記第４ウエル領域を形成する工程は、第１導電型の不純物イオンと第２導電型の不純物イオンとを注入する工程を含み、

前記第２導電型の不純物イオンの注入飛程は、前記第１導電型の不純物イオンの注入飛程より大きいことを特徴とする請求項５に記載の不揮発性半導体記憶装置の製造方法。

【請求項７】

前記第２の工程と前記第３の工程との間に、

前記第１の導体膜における前記記憶回路部の上に窒化物を含む第３の絶縁膜を形成する工程をさらに備え、
前記第３の工程は、前記第３の絶縁膜の前記記憶回路部に含まれる領域を残すようにパターニングする工程を含み、
前記第５の工程は、前記第２の絶縁膜を前記第３の絶縁膜の上に形成し、
前記第６の工程において、前記容量絶縁膜を前記第２の絶縁膜及び第３の絶縁膜から形成することを特徴とする請求項１～６のうちのいずれか１項に記載の不揮発性半導体記憶装置の製造方法。
【請求項８】
記憶回路部と論理回路部とを有する基板における前記記憶回路部に、第１導電型の第１ウエル領域を選択的に形成する第１の工程と、
前記基板上の前記記憶回路部に第１の絶縁膜及び第１の導体膜を順次形成する第２の工程と、
前記第２の工程の後に、前記基板の前記論理回路部に第１導電型の第２ウエル領域と第２導電型の第３ウエル領域とを選択的に形成する第３の工程と、
前記論理回路部における前記第２ウエル領域及び第３ウエル領域の上に第２の絶縁膜及び第２の導体膜を順次形成する第４の工程とを備え、
前記第１の絶縁膜はトンネル絶縁膜となり、前記第１の導体膜は浮遊ゲート電極となり、
前記第２の絶縁膜はゲート絶縁膜となり、前記第２の導体膜はゲート電極となることを特徴とする不揮発性半導体記憶装置の製造方法。
【請求項９】
前記記憶回路部に含まれる前記第２の導体膜、第２の絶縁膜、第１の導体膜及び第１の絶縁膜を順次パターニングすることにより、前記第２の導体膜から制御ゲート電極を形成し、前記第２の絶縁膜から容量絶縁膜を形成し、前記第１の導体膜から浮遊ゲート電極を形成し、前記第１の絶縁膜からトンネル絶縁膜を形成する第５の工程と、
前記論理回路部に含まれる前記第２の導体膜及び第２の絶縁膜をパターニングすることにより、前記第２の導体膜からゲート電極を形成し、前記第２の絶縁膜からゲート絶縁膜を形成する第６の工程とをさらに備えていることを特徴とする請求項８に記載の不揮発性半導体記憶装置の製造方法。
【請求項１０】
前記第１の工程よりも前に、前記基板上の全面に保護絶縁膜を形成する工程をさらに備え、
前記第１の工程は、前記第１ウエル領域を前記保護絶縁膜を介してイオン注入することにより形成する工程と、前記保護絶縁膜の前記記憶回路部に含まれる領域を除去する工程とを含み、
前記第２の工程は、前記第１の絶縁膜を前記保護絶縁膜の上に形成し、
前記第３の工程は、前記保護絶縁膜を介して前記論理回路部にイオン注入することを特徴とする請求項８に記載の不揮発性半導体記憶装置の製造方法。
【請求項１１】
前記第１の工程と前記第２の工程との間に、
前記基板に対して第２導電型の不純物イオンを注入することにより、前記第１ウエル領域の下側に第２導電型の第４ウエル領域を形成する工程をさらに備えていることを特徴とする請求項８に記載の不揮発性半導体記憶装置の製造方法。
【請求項１２】
前記第４ウエル領域を形成する工程は、第１導電型の不純物イオンと第２導電型の不純物イオンとを注入する工程を含み、
前記第２導電型の不純物イオンの注入飛程は、前記第１導電型の不純物イオンの注入飛程より大きいことを特徴とする請求項１１に記載の不揮発性半導体記憶装置の製造方法。
【請求項１３】

前記第２の工程と前記第３の工程との間に、
前記第１の導体膜における前記記憶回路部の上に窒化物を含む第３の絶縁膜を形成する工程をさらに備え、
前記第４の工程は、前記第２の絶縁膜を前記第３の絶縁膜の上に形成し、
前記第５の工程において、前記容量絶縁膜を前記第２の絶縁膜及び第３の絶縁膜から形成することを特徴とする請求項９に記載の不揮発性半導体記憶装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、ＥＰＲＯＭ装置、ＥＥＰＲＯＭ装置又はフラッシュメモリ装置等の消去可能な不揮発性半導体記憶装置に関し、特に周辺回路等の論理回路部を混載した不揮発性半導体記憶装置の製造方法に関する。
【０００２】
【従来の技術】
従来の不揮発性半導体記憶装置の製造方法について図面を参照しながら説明する。
【０００３】
図９～図１１は従来の不揮発性半導体記憶装置の製造方法の工程順の断面構成を示している。
【０００４】
まず、図９（ａ）に示すように、Ｐ型シリコンからなり、記憶回路部１Ｂと該記憶回路部１Ｂの周辺回路を構成する論理回路部２Ｂとを有する半導体基板１０１に素子分離絶縁膜１０２を形成し、その後、半導体基板１０１上の全面に膜厚が約２０ｎｍの保護絶縁膜１０３を形成する。続いて、保護絶縁膜１０３の上に、半導体基板１０１の記憶回路部１Ｂと論理回路部２ＢにおけるＮ型ＭＯＳトランジスタ形成領域とを開口する第１のレジストパターン２０１を形成し、これをマスクとして、半導体基板１０１にホウ素イオンを注入して第１のＰウエル１０４を形成する。
【０００５】
次に、図９（ｂ）に示すように、保護絶縁膜１０３の上に、論理回路部２ＢにおけるＮ型ＭＯＳトランジスタ形成領域を開口する第２のレジストパターン２０２を形成し、これをマスクとして、ホウ素イオンによるしきい値電圧制御用のイオン注入を行なって、論理回路部２ＢのＮ型ＭＯＳトランジスタ形成領域に第２のＰウエル１０５を形成する。このように、第２のＰウエル１０５は、２回のホウ素イオンの注入により形成される。
【０００６】
次に、図９（ｃ）に示すように、保護絶縁膜１０３の上に、論理回路部２ＢのＰ型ＭＯＳトランジスタ形成領域を開口する第３のレジストパターン２０３を形成し、これをマスクとして、半導体基板１０１にリンイオンを注入して、論理回路部２ＢのＰ型ＭＯＳトランジスタ形成領域にＮウエル１０６を形成する。
【０００７】
次に、図１０（ａ）に示すように、保護絶縁膜１０３を除去した後、半導体基板１０１上に、膜厚が約１０ｎｍの第１の絶縁膜１０７と、第１のポリシリコン膜１０８と、酸化シリコン及び窒化シリコンの積層体からなる第２の絶縁膜１０９とを順次成膜する。
【０００８】
次に、図１０（ｂ）に示すように、第２絶縁膜１０９の上に、論理回路部２Ｂを開口する第４のレジストパターン２０４を形成し、これをマスクとして、第２の絶縁膜１０９、第１のポリシリコン膜１０８及び第１の絶縁膜１０７に対して順次エッチングを行なって、半導体基板１０１の論理回路部１Ｂを露出する。
【０００９】
次に、図１０（ｃ）に示すように、第４のレジストパターン２０４を除去した後、記憶回路部１Ｂにあっては第２の絶縁膜１０９の上に、論理回路部２Ｂにあっては半導体基板１０１の上に、第３の絶縁膜１１０と第２のポリシリコン膜１１１とを順次成長する。

【００１０】
次に、図１１（ａ）に示すように、第２のポリシリコン膜１１１の上に、記憶回路部１Ｂのゲート電極構造体の形成パターンを有する第５のレジストパターン２０５を形成し、これをマスクとしてゲート電極構造体をパターニングする。すなわち、第１の絶縁膜１０７からトンネル絶縁膜１０７ａを形成し、第１のポリシリコン膜１０８から浮遊ゲート１０８ａを形成し、第２の絶縁膜１０９及び第３の絶縁膜１１０から容量絶縁膜１１２を形成し、第２のポリシリコン膜１１１から制御ゲート１１１ａを形成する。
【００１１】
次に、図１１（ｂ）に示すように、第５のレジストパターン２０５を除去した後、論理回路部２Ｂを覆う第２のポリシリコン膜１１１の上に、論理回路部２Ｂのゲート電極形成パターンを有する第６のレジストパターン２０６を形成し、これをマスクとして、第２のポリシリコン膜１１１及び第３の絶縁膜１１０に対して順次エッチングを行なって、第２のポリシリコン膜１１１からゲート電極１１１ｂを形成し、第３の絶縁膜１１０からゲート絶縁膜１１０ｂを形成する。
【００１２】
【発明が解決しようとする課題】
このように、前記従来の不揮発性半導体記憶装置の製造方法は、図９（ａ）に示すように、第１のＰウエル１０４の形成時に、論理回路部２Ｂに含まれるＮ型ＭＯＳトランジスタ形成領域にも同時にホウ素イオンのイオン注入を行なっている。さらに、図１０（ａ）に示すトンネル絶縁膜１０７ａの形成用の第１の絶縁膜１０７の形成時には、一般に温度が３５０℃～９５０℃程度の熱酸化処理が施される。また、浮遊ゲート１０８ａの形成用の第１のポリシリコン膜１１１の成膜には、６００℃～７００℃程度の加熱温度を必要とする低圧ＣＶＤ法が用いられる。
【００１３】
これらの熱履歴により、第１のＰウエル１０４、第２のＰウエル１０５及びＮウエル１０６における不純物濃度のプロファイルが拡散して、絶縁分離特性が低下したり、ドレイン接合容量が大きくなったりする等の問題が生じる。特に、論理回路部２ＢのＭＯＳ型トランジスタは高い絶縁分離特性及び高いドレイン接合耐圧が要求されるため、この影響は深刻である。また、ＭＯＳ型トランジスタにさらなる微細化が要求される場合には、絶縁分離特性と共に短チャネル効果に対する影響も無視することができない。
【００１４】
また、近年のＣＭＯＳ製造プロセスにおける低温化に伴い、各ウエル１０５、１０６の形成には加速エネルギーが大きいイオン注入を用いることが多くなってきており、このような加速エネルギーが大きいイオン注入を行なうと、重金属等を含む汚染物質が半導体基板１０１に導入される可能性が高くなり、その結果、ゲート絶縁膜１１０ｂが劣化するという問題も生じる。
【００１５】
そこで、一般には、汚染物質の半導体基板１０１への導入を防ぐために、図９（ａ）に示すように、半導体基板１０１の表面に保護絶縁膜１０３を形成する。ところが、各レジストパターン２０１、２０２、２０３等を除去する際に該保護絶縁膜１０３は上部が削られてその膜厚が徐々に小さくなるため、半導体基板１０１に対する保護機能を十分に果たすことができない。これらの問題は、素子の微細化が進むに連れて大きくなり、工程数及びコストの削減効果では相殺することができない。
【００１６】
本発明は、前記従来の問題を解決し、記憶回路部と論理回路部とを混載する半導体装置において、記憶回路部の製造工程の熱履歴が論理回路部のウエル領域に影響を与えないようにすることを第１の目的とし、ウエル領域形成のイオン注入時に基板への汚染物質の導入を防止できるようにすることを第２の目的とする。
【００１７】
【課題を解決するための手段】

前記第１の目的を達成するため、本発明は、記憶回路部と論理回路部とを有する半導体基板における記憶回路部に、第１導電型の第１ウエル領域を選択的に形成する第１の工程と、半導体基板上の記憶回路部及び論理回路部に第１の絶縁膜及び第１の導体膜を順次形成する第２の工程と、第１の絶縁膜及び第１の導体膜の記憶回路部に含まれる領域を残すように、第１の絶縁膜及び第１の導体膜をパターニングする第３の工程と、半導体基板の論理回路部に第１導電型の第２ウエル領域を選択的に形成する第４の工程と、記憶回路部における第１の導体膜の上及び論理回路部における第２ウエル領域の上に第２の絶縁膜及び第２の導体膜を順次形成する第５の工程と、記憶回路部に含まれる第２の導体膜、第２の絶縁膜、第１の導体膜及び第１の絶縁膜を順次パターニングすることにより、第２の導体膜から制御ゲート電極を形成し、第２の絶縁膜から容量絶縁膜を形成し、第１の導体膜から浮遊ゲート電極を形成し、第１の絶縁膜からトンネル絶縁膜を形成する第６の工程と、論理回路部に含まれる第２の導体膜及び第２の絶縁膜をパターニングすることにより、第２の導体膜からゲート電極を形成し、第２の絶縁膜からゲート絶縁膜を形成する第７の工程とを備えている。

【００１８】

本発明の不揮発性半導体記憶装置の製造方法によると、トンネル絶縁膜となる第１の絶縁膜及び浮遊ゲート電極となる第１の導体膜をパターニングした後、半導体基板の論理回路部に第１導電型の第２ウエル領域を形成するため、論理回路部の第２ウエル領域は第１の絶縁膜及び第１の導体膜を形成する際の熱履歴を受けることがない。

【００１９】

本発明の不揮発性半導体記憶装置の製造方法において、第３の工程が第１の絶縁膜の論理回路部に含まれる領域を該論理回路部が覆われるようにその下部を残しながら第１の絶縁膜をエッチングすることにより、第１の絶縁膜からなる部分膜を形成し、第４の工程が部分膜を介して論理回路部にイオン注入することが好ましい。このようにすると、前記第２の目的をも達成される。すなわち、論理回路部の第２ウエル領域を形成する際に、第１の絶縁膜の論理回路部に含まれる下部部分からなる部分膜を介して論理回路部にイオン注入するため、加速エネルギーの増大による半導体基板への重金属等からなる汚染物質の導入を防止することができる。

【００２０】

また、本発明の不揮発性半導体記憶装置の製造方法は、第１の工程よりも前に、半導体基板上の全面に保護絶縁膜を形成する工程をさらに備え、第１の工程が第１ウエル領域を保護絶縁膜を介してイオン注入することにより形成する工程と、保護絶縁膜の記憶回路部に含まれる領域を除去する工程とを含み、第２の工程が第１の絶縁膜を保護絶縁膜の上に形成し、第３の工程が保護絶縁膜の論理回路部に含まれる部分を残すようにパターニングを行ない、第４の工程が保護絶縁膜を介して論理回路部にイオン注入することが好ましい。

【００２１】

このようにすると、前記第２の目的をも達成される。すなわち、論理回路部の第２ウエル領域を形成する際に、半導体基板の論理回路部上に保護絶縁膜を残したまま該論理回路部にイオン注入するため、加速エネルギーの増大による半導体基板への汚染物質の導入を防止することができる。

【００２２】

本発明の不揮発性半導体記憶装置の製造方法において、第３の工程が第１の絶縁膜の論理回路部に含まれる部分を該論理回路部が覆われるようにその下部を残しながら第１の絶縁膜をエッチングすることにより、第１の絶縁膜からなる部分膜を形成し、第４の工程が部分膜及び保護絶縁膜を介して論理回路部にイオン注入することにより、第２ウエル領域を形成することが好ましい。このようにすると、汚染物質の半導体基板への導入をより確実に防止することができる。

【００２３】

本発明の不揮発性半導体記憶装置の製造方法において、第４の工程が半導体基板の論理回路部に第２導電型の第３ウエル領域を選択的に形成する工程を含むことが好ましい。この

ようにすると、論理回路部にＣＭＯＳ回路を形成することができ、その上、第３ウエル領域も記憶回路部における第１の絶縁膜及び第１の導体膜の形成時の熱履歴を受けることがない。

【００２４】

本発明の不揮発性半導体記憶装置の製造方法は、第１の工程と第２の工程との間に、半導体基板に対して第２導電型の不純物イオンを注入することにより、第１ウエル領域の下側に第２導電型の第４ウエル領域を形成する工程をさらに備えていることが好ましい。このようにすると、第１ウエル領域形成用のマスクパターンをそのまま用いながら、第１ウエル領域を多重ウエル構造とすることができる。

【００２５】

本発明の不揮発性半導体記憶装置の製造方法において、第４ウエル領域を形成する工程が、第１導電型の不純物イオンと第２導電型の不純物イオンとを注入する工程を含み、第２導電型の不純物イオンの注入飛程が第１導電型の不純物イオンの注入飛程より大きいことが好ましい。

【００２６】

本発明の不揮発性半導体記憶装置の製造方法は、第２の工程と第３の工程との間に、第１の導体膜における記憶回路部の上に窒化物を含む第３の絶縁膜を形成する工程をさらに備え、第３の工程が、第３の絶縁膜の記憶回路部に含まれる領域を残すようにパターニングする工程を含み、第５の工程が、第２の絶縁膜を第３の絶縁膜の上に形成し、第６の工程において、容量絶縁膜を第２の絶縁膜及び第３の絶縁膜から形成することが好ましい。このようにすると、浮遊ゲート電極と制御ゲート電極との間に設けられる容量絶縁膜を酸化窒化膜、望ましくはＯＮＯ膜とすることができる。

【００２７】

【発明の実施の形態】

（第１の実施形態）

本発明の第１の実施形態について図面を参照しながら説明する。

【００２８】

図１～図３は本発明の第１の実施形態に係る不揮発性半導体記憶装置の製造方法の工程順の断面構成を示している。

【００２９】

まず、図１（ａ）に示すように、Ｐ型シリコンからなり、記憶回路部１Ａと該記憶回路部１Ａの周辺回路を構成する論理回路部２Ａとを有する半導体基板１１にトレンチ分離等からなる素子分離絶縁膜１２を形成する。その後、熱酸化法又はＣＶＤ法により、半導体基板１１上の全面に膜厚が約２０ｎｍの酸化シリコンからなり半導体基板１１を保護する保護絶縁膜１３を形成する。続いて、フォトリソグラフィ法により、保護絶縁膜１３の上に、半導体基板１１の記憶回路部１Ａに開口部を持つ第１のレジストパターン５１を形成し、形成した第１のレジストパターン５１をマスクとして、半導体基板１１に、約３００ｋｅＶの加速エネルギーを有するホウ素（B^+）イオンを保護絶縁膜１３を介して注入することにより、半導体基板１１における記憶回路部１Ａに第１のＰウエル１４を形成する。

【００３０】

次に、図１（ｂ）に示すように、第１のレジストパターン５１を除去し、さらに保護絶縁膜１３をフロロカーボン等を含むエッチングガスを用いて除去する。その後、熱酸化法により、半導体基板１１上に全面にわたって膜厚が約１０ｎｍの第１の絶縁膜１５を形成する。続いて、低圧ＣＶＤ法により、第１の絶縁膜１５の上にポリシリコンからなる第１の導体膜１６と、第３の絶縁膜としての酸化シリコン層及び窒化シリコン層が積層されてなる、いわゆるＯＮＯ膜である下部容量絶縁膜１７とを順次堆積する。

【００３１】

次に、図１（ｃ）に示すように、フォトリソグラフィ法により、下部容量絶縁膜１７の上に、論理回路部２Ａを開口する第２のレジストパターン５２を形成し、形成した第２のレジストパターン５２をマスクとして、下部容量絶縁膜１７及び第１の導体膜１６に対する

パターニングを行なう。すなわち、フロロカーボンを含むエッチングガスにより下部容量絶縁膜１７をエッチングし、続いて、ハロゲンを含むエッチングガス、例えば塩化水素（ＨＣｌ）、塩素（Cl_2）又は臭素（ＨＢｒ）等により第１の導体膜１６を除去する。この第１の導体膜１６をエッチングする際に、第１の絶縁膜１５における論理回路部２Ａに含まれる領域の上部がエッチングされて、該第１の絶縁膜１５の下部からなる残膜（部分膜）１５ａが形成される。

【００３２】

次に、図２（ａ）に示すように、第２のレジストパターン５２を除去した後、論理回路部２ＡのＮ型ＭＯＳトランジスタ形成領域を開口する第３のレジストパターン５３を形成する。続いて、第３のレジストパターン５３をマスクとし且つ残膜１５ａを介してホウ素（B^+）イオンを注入することにより、半導体基板１１における論理回路部２ＡのＮ型ＭＯＳトランジスタ形成領域に第２のＰウエル１８を形成する。このように、第２のＰウエル１８は１度の注入により形成される。

【００３３】

次に、図２（ｂ）に示すように、第３のレジストパターン５３を除去した後、論理回路部２ＡのＰ型ＭＯＳトランジスタ形成領域を開口する第４のレジストパターン５４を形成する。続いて、第４のレジストパターン５４をマスクとし且つ残膜１５ａを介してリン（P^+）イオンを注入することにより、半導体基板１１における論理回路部２ＡのＰ型ＭＯＳトランジスタ形成領域にＮウエル１９を形成する。

【００３４】

次に、図２（ｃ）に示すように、第４のレジストパターン５４を除去し、続いて、エッチングガスにバッファードフッ酸等の薬液を用いて残膜１５ａを除去する。その後、例えば熱酸化法により、半導体基板１１上に記憶回路部１Ａの下部容量絶縁膜１７を含む全面にわたって、膜厚が約５ｎｍの酸化シリコンからなる第２の絶縁膜２０を形成する。続いて、低圧ＣＶＤ法により、第２の絶縁膜２０の上にポリシリコンからなる第２の導体膜２１を堆積する。

【００３５】

次に、図３（ａ）に示すように、記憶回路部１Ａのゲート電極構造体２３をパターニングする。すなわち、第２の導体膜２１の上に、記憶回路部１Ａにゲート電極構造体２３のパターンを有する第５のレジストパターン５５を形成し、形成した第５のレジストパターン５５をマスクとして、第２の導体膜２１から制御ゲート２１ａを形成し、第２の絶縁膜２０及び下部容量絶縁膜１７から容量絶縁膜２２を形成し、第１の導体膜１６から浮遊ゲート１６ａを形成し、第１の絶縁膜１５からトンネル絶縁膜１５ａを形成する。

【００３６】

次に、図３（ｂ）に示すように、第５のレジストパターン５５を除去した後、論理回路部２Ａに含まれる第２の導体膜２１及び第２の絶縁膜２０をパターニングして、半導体基板１１上における第２のＰウエル１８及びＮウエル１９上にそれぞれゲート電極を形成する。すなわち、第２の導体膜２１の上に、ゲート電極パターンを有する第６のレジストパターン５６を形成し、形成した第６のレジストパターン５６をマスクとして、第２の導体膜２１からＮ型ＭＯＳトランジスタとＰ型ＭＯＳトランジスタのゲート電極２１ｂをそれぞれ形成し、第２の絶縁膜２０から各トランジスタのゲート絶縁膜２０ｂをそれぞれ形成する。

【００３７】

その後、図示をしていないが、第６のレジストパターン５６を除去し、さらに、記憶回路部１Ａ及び論理回路部２Ａに対して所定のソース拡散層及びドレイン拡散層をそれぞれ形成し、続いてアルミニウム等からなる金属配線層を形成する。

【００３８】

このように、第１の実施形態によると、図１（ｂ）に示す工程においてトンネル絶縁膜１５ａとなる第１の絶縁膜１５、浮遊ゲート１６ａとなる第１の導体膜１６及び下部容量絶縁膜１７を順次形成した後に、図２（ａ）及び図２（ｂ）に示す工程において論理回路部

２Ａの第２のＰウエル１８及びＮウエル１９を形成するため、該第２のＰウエル１８及びＮウエル１９は、第１の絶縁膜１５、第１の導体膜１６及び下部容量絶縁膜１７を形成する際の熱履歴を受けることがない。これにより、論理回路部２Ａにおける第２のＰウエル１８及びＮウエル１９の絶縁分離特性の低下とドレイン接合容量の増大とを防ぐことができる。

【００３９】

その結果、しきい値電圧（Ｖｔ）のシフト等を起こさない制御性に優れたプロセスを実現でき、且つ不揮発性半導体記憶素子を搭載しないプロセスとの整合性が良好となる。

【００４０】

また、図２（ａ）及び図２（ｂ）に示すように、各ウエル１８、１９を形成する際のイオン注入を第１の絶縁膜１５の下部からなる残膜１５ａを介して注入している。これにより、重金属等からなる汚染物質の各ウエル１８、１９への導入を抑制することができる。

【００４１】

なお、論理回路部２Ａに設けるウエルは第２のＰウエル１８及びＮウエル１９に限られない。すなわち、記憶回路部２Ａの他の領域には、これらのウエル１８、１９とそれぞれ不純物濃度プロファイルが異なる他のＰウエル又は他のＮウエルを形成してもよい。

【００４２】

また、記憶回路部１Ａにおける第１のＰウエル１４上には、記憶素子に限らず、トランジスタを形成してもよい。

【００４３】

（第１の実施形態の一変形例）

以下、本発明の第１の実施形態の一変形例について図面を参照しながら説明する。

【００４４】

図４及び図５は第１の実施形態の一変形例に係る不揮発性半導体記憶装置の製造方法の一工程の断面構成であって、図４は第１の実施形態における図１（ａ）に示す工程と図１（ｂ）に示す工程との間のイオン注入工程を示し、図５は記憶回路部１Ａのゲート電極構造体２３及び論理回路部２Ａの各ゲート電極２１ｂのパターニング後の構成を示している。なお、図４及び図５において、図１（ａ）及び図３（ｂ）に示す構成部材と同一の構成部材には同一の符号を付している。

【００４５】

まず、図４に示すように、第１のレジストパターン５１をマスクとして、半導体基板１１に、約１．５ＭｅＶの加速エネルギーを持つリン（P^+）イオンを保護絶縁膜１３を介して注入することにより、半導体基板１１における記憶回路部１Ａの第１のＰウエル１４の下側に深いＮウエル２４を形成する。

【００４６】

なお、深いＮウエル２４のイオン注入は、Ｎ型不純物であるリンイオンのイオン注入のみでなく、Ｐ型不純物であるホウ素イオンの注入をリンイオンよりも小さい加速エネルギーで行なうと良い。このようにすると、第１のＰウエル１４のＰ型不純物濃度が低下することを防止できる。

【００４７】

その後、第１の実施形態と同様に、第１の絶縁膜、第１の導体膜及び下部容量絶縁膜を堆積し、これら積層体のうち記憶回路部１Ａに含まれる領域を残すパターニングを行なう。その後、図５に示すように、論理回路部２Ａにおける記憶回路部１Ａ側に、ゲート長方向側の側端下部が深いウエル２４と接するようにＮウエル１９Ａを形成する。さらに、該Ｎウエル１９Ａに対して記憶回路部１Ａの反対側の領域に第２Ｐウエル１８Ａを形成する。続いて、ゲート電極構造体２３及び各ゲート電極２１ｂをパターニングする。

【００４８】

このように、本変形例は、記憶回路部１Ａの第１のＰウエル１４の下側には深いＮウエル２４が形成され、且つ論理回路２Ａにおける記憶回路部１Ａと隣接する領域にはその側端下部が深いウエル２４と接するようにＮウエル１９Ａを形成する。これにより、論理回路

部２Ａと比べて印加電圧が高い記憶回路部１Ａの第１のＰウエル１４は、深いＮウエル２４と共に多重ウエル構造を構成するため、第１のＰウエル１４の絶縁分離特性が向上する。

【００４９】

この多重ウエルの形成時、すなわち、図４に示すＮ型不純物イオンの注入工程におけるマスクは第１のレジストパターン５１をそのまま用いることができるため、マスクの形成工程が増えない。

【００５０】

（第２の実施形態）

以下、本発明の第２の実施形態について図面を参照しながら説明する。

【００５１】

図６～図８は本発明の第２の実施形態に係る不揮発性半導体記憶装置の製造方法の工程順の断面構成を示している。

【００５２】

まず、図６（ａ）に示すように、Ｐ型シリコンからなり、記憶回路部１Ａと該記憶回路部１Ａの周辺回路を構成する論理回路部２Ａとを有する半導体基板１１にトレンチ分離等からなる素子分離絶縁膜１２を形成する。その後、熱酸化法又はＣＶＤ法により、半導体基板１１上の全面に膜厚が約２０ｎｍの半導体基板１１に対する保護絶縁膜１３を形成する。続いて、フォトリソグラフィ法により、保護絶縁膜１３の上に、半導体基板１１の記憶回路部１Ａを開口する第１のレジストパターン５１を形成し、これをマスクとして、半導体基板１１に、約３００ｋｅＶの加速エネルギーを持つホウ素（B^+）イオンを保護絶縁膜１３を介して注入することにより、半導体基板１１における記憶回路部１ＡのＮ型ＭＯＳトランジスタ形成領域に第１のＰウエル１４を形成する。

【００５３】

次に、図６（ｂ）に示すように、第１のレジストパターン５１をマスクとして、保護絶縁膜１３の記憶回路１Ａに含まれる領域を除去する。

【００５４】

次に、図６（ｃ）に示すように、第１のレジストパターン５１を除去し、その後、熱酸化法により、半導体基板１１上に保護絶縁膜１３を含む全面にわたって膜厚が約１０ｎｍの第１の絶縁膜１５を形成する。続いて、低圧ＣＶＤ法により、第１の絶縁膜１５の上にポリシリコンからなる第１の導体膜１６と、第３の絶縁膜としてのＯＮＯ膜である下部容量絶縁膜１７とを順次堆積する。

【００５５】

次に、図７（ａ）に示すように、下部容量絶縁膜１７の上に、論理回路部２Ａを開口する第２のレジストパターン５２を形成し、これをマスクとして下部容量絶縁膜１７及び第１の導体膜１６に対するパターニングを行なう。すなわち、フロロカーボンを含むエッチングガスにより下部容量絶縁膜１７をエッチングし、続いて、ハロゲンを含むエッチングガス、例えば塩化水素、塩素又は臭素等により第１の導体膜１６を除去する。この第１の導体膜１６のエッチング時に、第１の絶縁膜１５における保護絶縁膜１３の上に位置する領域の上部がエッチングされてその下部からなる残膜（部分膜）１５ａが形成される。

【００５６】

次に、図７（ｂ）に示すように、第２のレジストパターン５２を除去した後、論理回路部２ＡのＮ型ＭＯＳトランジスタ形成領域を開口する第３のレジストパターン５３を形成する。続いて、第３のレジストパターン５３をマスクとし且つ残膜１５ａ及び保護絶縁膜１３を介してホウ素（B^+）イオンを注入することにより、半導体基板１１における論理回路部２ＡのＮ型ＭＯＳトランジスタ形成領域に第２のＰウエル１８を形成する。

【００５７】

次に、図７（ｃ）に示すように、第３のレジストパターン５３を除去した後、論理回路部２ＡのＰ型ＭＯＳトランジスタ形成領域を開口する第４のレジストパターン５４を形成する。この第４のレジストパターン５４をマスクとし残膜１５ａ及び保護絶縁膜１３を介し

てリン（P^+）イオンを注入することにより、半導体基板１１における論理回路部２Ａの Ｐ型ＭＯＳトランジスタ形成領域にＮウエル１９を形成する。

【００５８】

次に、図８（ａ）に示すように、第４のレジストパターン５４を除去し、続いて、バッファードフッ酸等の薬液を用いて、残膜１５ａ及びその下の保護絶縁膜１３を選択的に除去する。その後、例えば熱酸化法により、半導体基板１１上に記憶回路部１Ａの下部容量絶縁膜１７を含む全面にわたって、膜厚が約５ｎｍの酸化シリコンからなる第２の絶縁膜２０を形成する。続いて、低圧ＣＶＤ法により、第２の絶縁膜２０の上にポリシリコンからなる第２の導体膜２１を堆積する。

【００５９】　次に、図８（ｂ）に示すように、第１の実施形態と同様に、記憶回路部１Ａに、トンネル絶縁膜１５ａ、浮遊ゲート１６ａ、容量絶縁膜２２及び制御ゲート２１ａからなるゲート電極構造体２３を得る。

【００６０】

次に、図８（ｃ）に示すように、半導体基板１１上における第２のＰウエル１８及びＮウエル１９上にそれぞれゲート絶縁膜２０ｂ及びゲート電極２１ｂを形成する。

【００６１】

その後、図示はしていないが、第６のレジストパターン５６を除去し、さらに、記憶回路部１Ａ及び論理回路部２Ａに対して所定のソース拡散層及びドレイン拡散層をそれぞれ形成し、続いて配線層を形成する。

【００６２】

このように、第２の実施形態によると、第１の実施形態と同様に、第１の絶縁膜１５、第１の導体膜１６及び下部容量絶縁膜１７を形成した後に、論理回路部２Ａの第２のＰウエル１８及びＮウエル１９を形成している。このため、第２のＰウエル１８及びＮウエル１９は、第１の絶縁膜１５、第１の導体膜１６及び下部容量絶縁膜１７の形成時の熱履歴を受けることがない。これにより、論理回路部２Ａにおける第２のＰウエル１８及びＮウエル１９の絶縁分離特性の低下とドレイン接合容量の増大とを防ぐことができる。

【００６３】

その上、第２の実施形態は、図７（ｂ）及び図７（ｃ）に示すように、第２のＰウエル１８を形成する際及びＮウエル１９を形成する際の各イオン注入工程において、残膜１５ａ及び保護絶縁膜１３を介してイオン注入を行なっている。

【００６４】

前述したように、加速エネルギーが大きいイオン注入を用いる場合には、一般に、重金属等を含む汚染物質が半導体基板１１に導入されやすくなる。この汚染物質の半導体基板１１への導入を防止するために、従来例又は第１の実施形態に係る不揮発性半導体記憶装置の製造方法では、膜厚が約２０ｎｍの保護絶縁膜を形成している。

【００６５】　但し、第１の実施形態においては、保護絶縁膜１３を介してイオン注入を行なうのは、第１のＰウエル１４のみである。一方、論理回路部２Ａにおいては、ポリシリコンからなる第１の導体膜１６をエッチングした後に残る酸化シリコンからなる第１の絶縁膜１５の残膜１５ａを保護膜に用いている。トンネル絶縁膜１５ａとなる第１の絶縁膜１５の膜厚は、通常１０ｎｍ程度であり、第１の導体膜１６と第１の絶縁膜１５とのエッチング選択比にも依るが、残膜１５ａの膜厚は約５ｎｍとなる。従って、第１の実施形態において、第２のＰウエル１８及びＮウエル１９を形成する際に、加速エネルギーが大きいイオン注入を残膜１５ａのみを介して行なうだけでは、汚染物質の半導体基板１１への導入を防ぐ効果は十分とはいえない。

【００６６】

そこで、第２の実施形態においては、膜厚が約２０ｎｍの保護絶縁膜１３と膜厚が約５ｎｍの残膜１５ａとを介してイオン注入を行なうようにしているため、汚染物質の半導体基板１１への導入をより確実に防ぐことができる。

【００６７】

なお、論理回路部２Ａに設けるウエルは第２のＰウエル１８及びＮウエル１９に限られず

、論理回路部２Ａの他の領域にこれらのウエル１８、１９とそれぞれ不純物濃度プロファイルが異なる他のＰウエル又は他のＮウエルを形成してもよい。また、記憶回路部１Ａの第１のＰウエル１４上には、記憶素子に限らず、トランジスタを形成してもよい。

【００６８】

また、第１の実施形態の一変形例と同様に、図６（ａ）の第１のＰウエル１４の形成工程の後に、第１のレジストパターン５１を用いて深いＮウエルを形成してもよい。この場合には、論理回路部２Ａにおける第２のＰウエル１８とＮウエル１９との互いの位置を交替することが好ましい。

【００６９】

また、第１の実施形態及びその変形例並びに第２の実施形態において、各ウエル領域を形成する際のイオン注入を１度の注入工程で行なっているが、各ウエル領域の不純物濃度が最適化されるように、加速エネルギーを変えながら複数回のイオン注入を行なうことにより、各ウエル領域を形成してもよい。

【００７０】

【発明の効果】

本発明に係る不揮発性半導体記憶装置の製造方法によると、論理回路部のウエル領域は記憶回路部の絶縁膜及び導体膜を形成する際の熱履歴を受けることがないため、絶縁分離特性が劣化すること及びドレイン接合容量の増大を防止することができる。また、ウエル領域形成のイオン注入時に基板への汚染物質の導入を防止することができる。

【図面の簡単な説明】

【図１】（ａ）～（ｃ）は本発明の第１の実施形態に係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図２】（ａ）～（ｃ）は本発明の第１の実施形態に係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図３】（ａ）及び（ｂ）は本発明の第１の実施形態に係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図４】本発明の第１の実施形態の一変形例に係る不揮発性半導体記憶装置の製造方法を示す一工程の構成断面図である。

【図５】本発明の第１の実施形態の一変形例に係る不揮発性半導体記憶装置の製造方法を示す一工程の構成断面図である。

【図６】（ａ）～（ｃ）は本発明の第２の実施形態に係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図７】（ａ）～（ｃ）は本発明の第２の実施形態に係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図８】（ａ）～（ｃ）は本発明の第２の実施形態に係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図９】（ａ）～（ｃ）は従来の不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図１０】（ａ）～（ｃ）は従来の不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

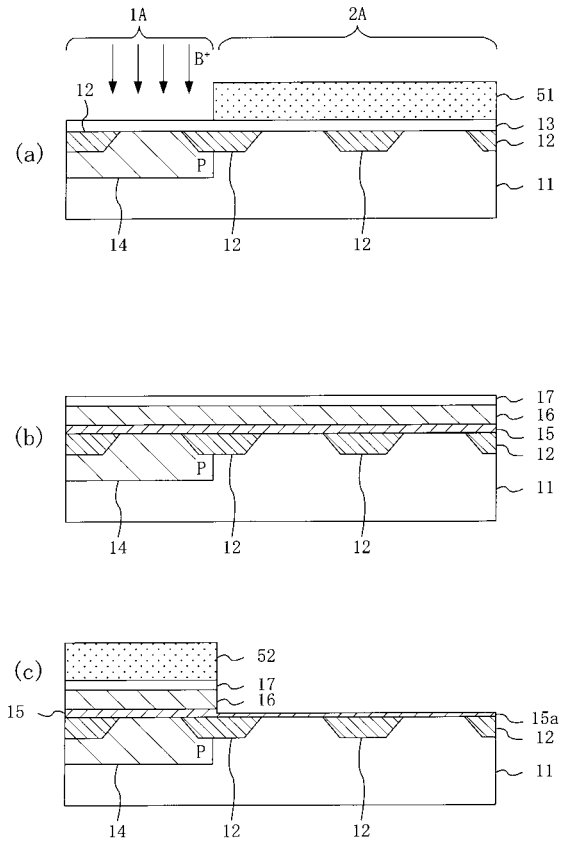
【図１１】（ａ）及び（ｂ）は従来の不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【符号の説明】

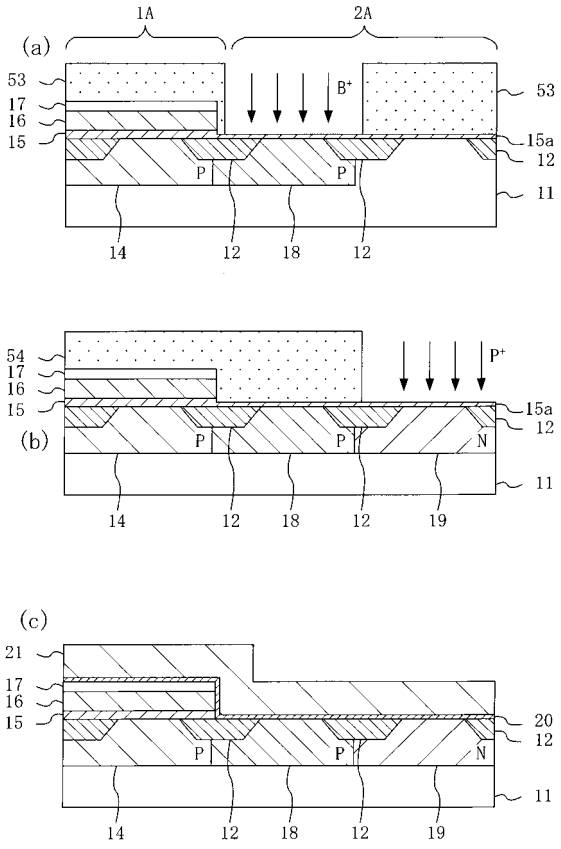
１Ａ　記憶回路部
２Ａ　論理回路部
１１　半導体基板
１２　素子分離絶縁膜
１３　保護絶縁膜
１４　第１のＰウエル（第１ウエル領域）
１５　第１の絶縁膜

１５ａ　トンネル絶縁膜
１６　第１の導体膜
１６ａ　浮遊ゲート
１７　下部容量絶縁膜（第３の絶縁膜）
１８　第２のＰウエル（第２ウエル領域）
１８Ａ　第２のＰウエル（第２ウエル領域）
１９　Ｎウエル（第３ウエル領域）
１９Ａ　Ｎウエル（第３ウエル領域）
２０　第２の絶縁膜
２０ｂ　ゲート絶縁膜
２１　第２の導体膜
２１ａ　制御ゲート
２１ｂ　ゲート電極
２２　容量絶縁膜
２３　ゲート電極構造体
２４　深いＮウエル（第４ウエル領域）
５１　第１のレジストパターン
５２　第２のレジストパターン
５３　第３のレジストパターン
５４　第４のレジストパターン
５５　第５のレジストパターン
５６　第６のレジストパターン

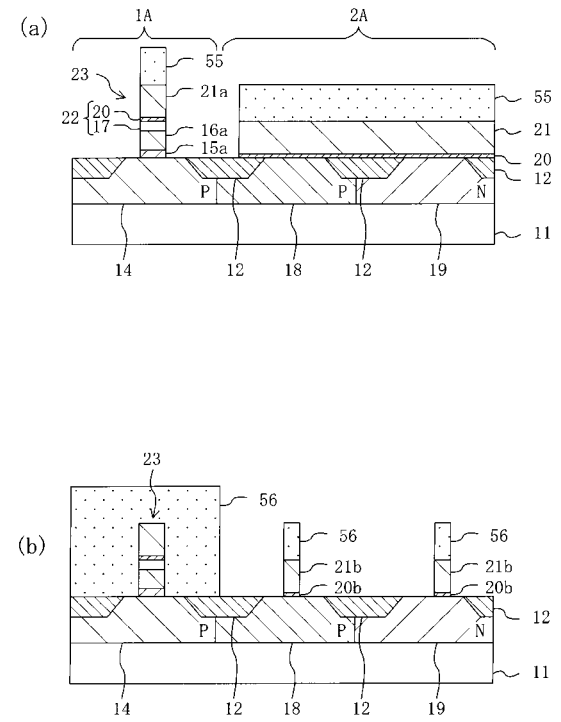
【図１】



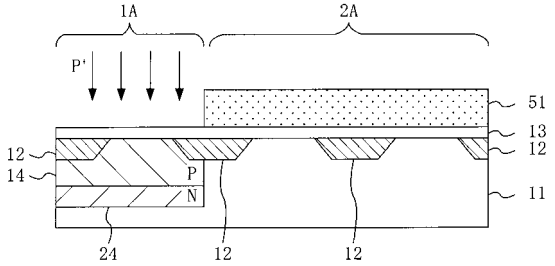
【図２】



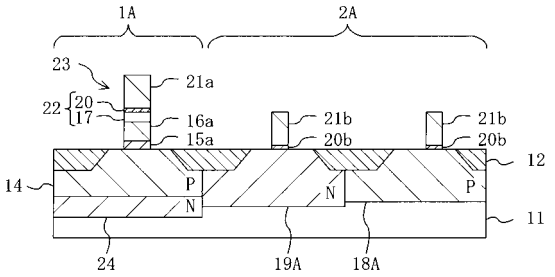
【図３】


(a)
1A
2A
23
55
21a
22
20
17
16a
15a
55
21
20
12
P
P
N
11
14
12
18
12
19
(b)
23
56
56
56
21b
21b
20b
20b
12
P
P
N
11
14
12
18
12
19

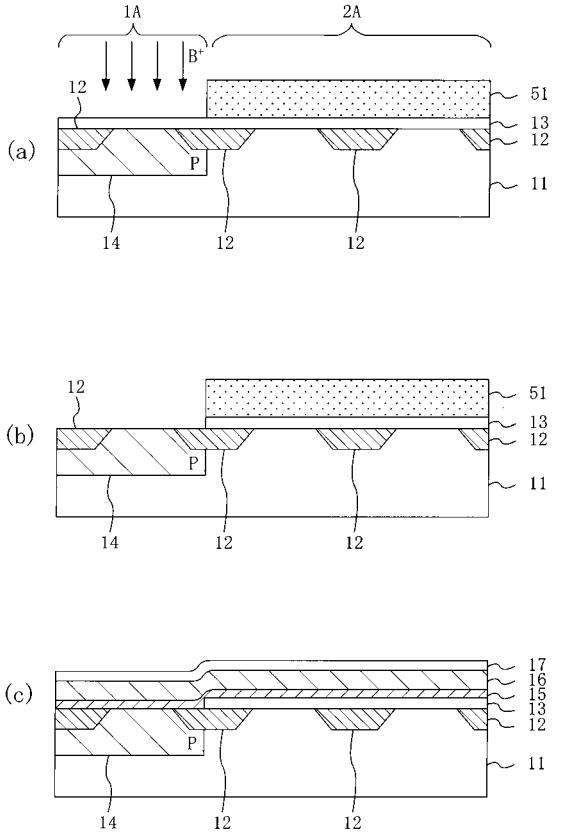
【図４】


1A
2A
P+
51
13
12
12
14
P
N
11
24
12
12

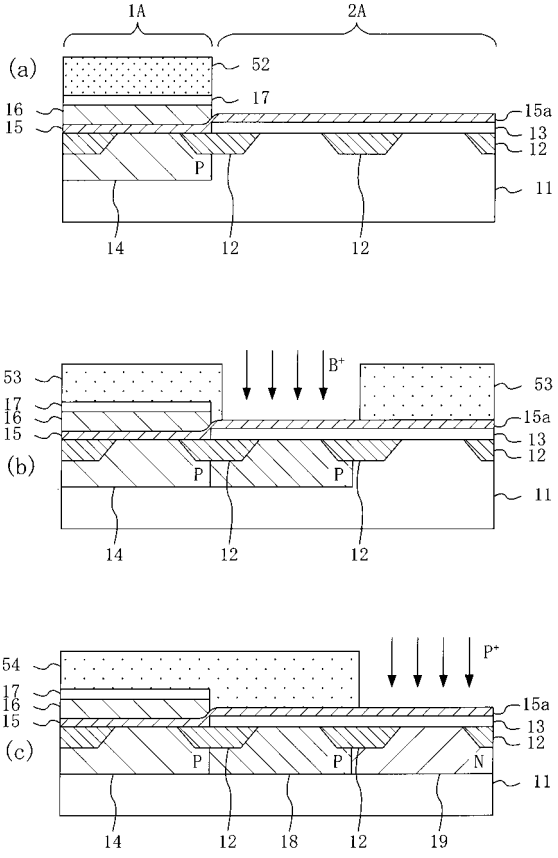
【図５】


1A
2A
23
21a
22
20
17
16a
15a
21b
20b
21b
20b
12
14
P
N
N
P
11
24
19A
18A

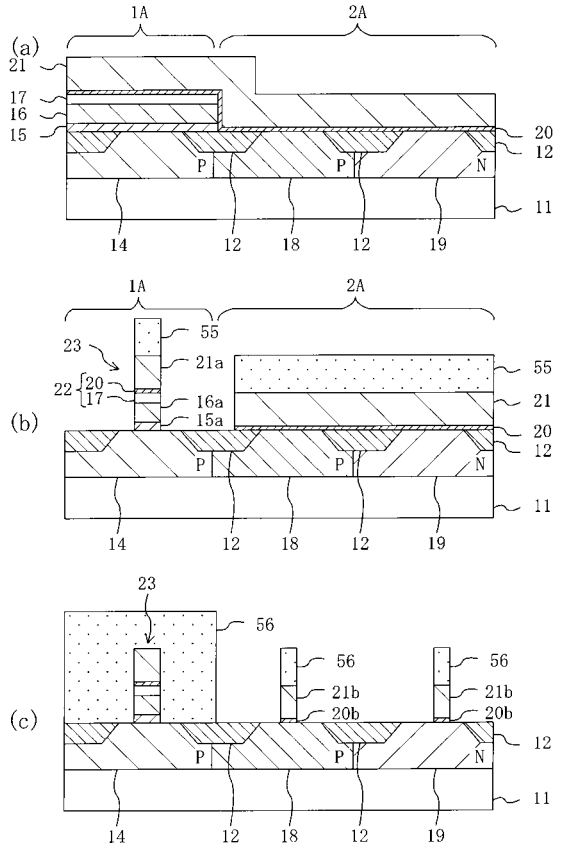
【図６】


1A
2A
B+
12
51
13
12
(a)
P
11
14
12
12
12
51
13
12
(b)
P
11
14
12
12
17
16
15
13
12
(c)
P
11
14
12
12

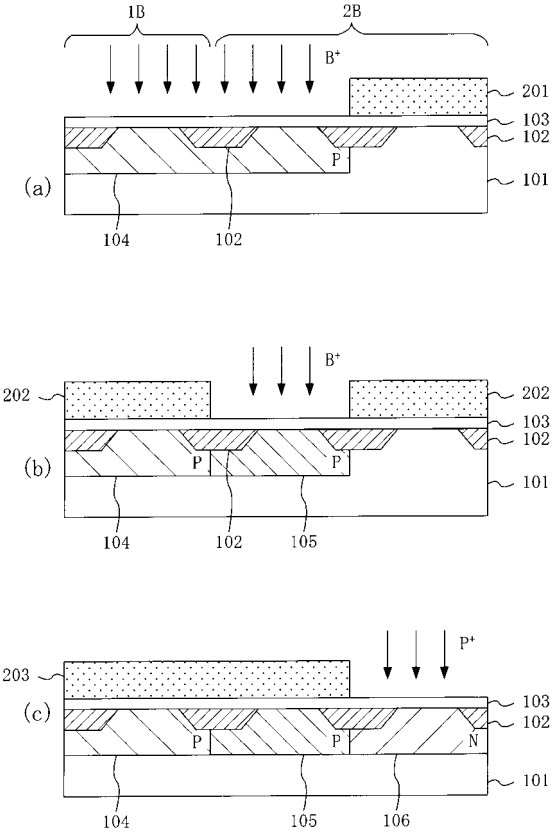
【図７】


1A
2A
(a)
52
17
16
15
15a
13
12
P
11
14
12
12
B+
53
53
17
16
15
15a
13
12
(b)
P
P
11
14
12
12
54
P+
17
16
15
15a
13
12
(c)
P
P
N
11
14
12
18
12
19

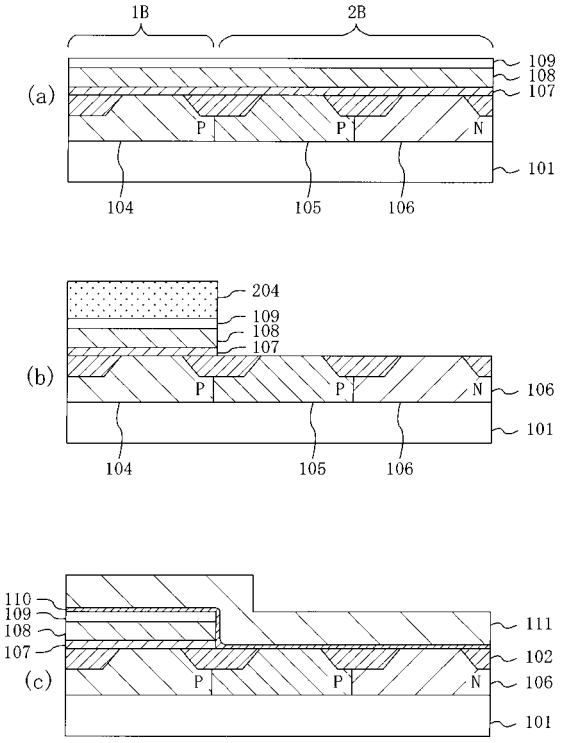
【図８】


1A
2A
(a)
21
17
16
15
20
12
P
P
N
11
14
12
18
12
19
(b)
55
23
21a
22
20
17
16a
15a
21
(c)
56
21b
20b

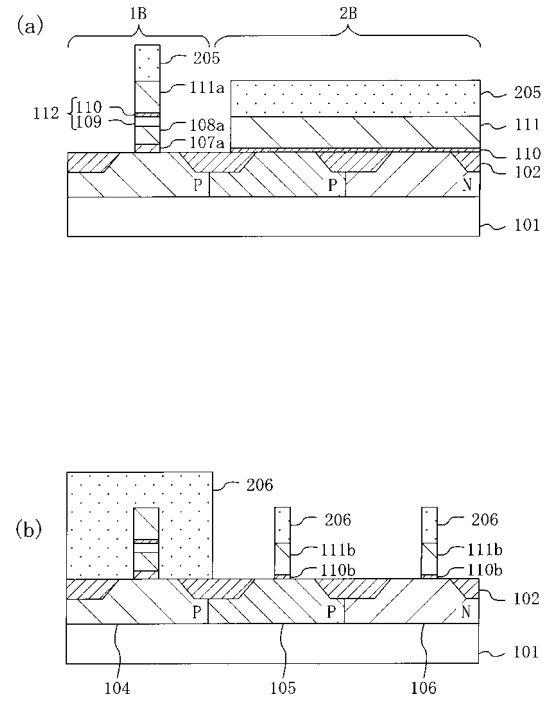
【図９】


1B
2B
B+
201
103
102
101
(a)
104
102
(b)
202
105
(c)
P+
203
106

【図１０】


1B
2B
(a)
109
108
107
P
N
101
104
105
106
(b)
204
(c)
110
111
102

【図１１】


(a)
1B
2B
205
111a
112
110
109
108a
107a
111
102
101
(b)
206
111b
110b

フロントページの続き

(74)代理人 100115510
弁理士 手島 勝
(74)代理人 100115691
弁理士 藤田 篤史
(72)発明者 土井 博之
大阪府門真市大字門真１００６番地 松下電器産業株式会社内

審査官 粟野 正明

(56)参考文献 特開２０００－２６０９６６（ＪＰ，Ａ）
特開平０６－１６３９２６（ＪＰ，Ａ）
特開平１１－２６１０２１（ＪＰ，Ａ）
特開平１０－３１３１０６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792