

公告本 296470

申請日期	84. 6. 8.
案 號	84105789
類 別	H01L 21/76

A4
C4 296470

(以上各欄由本局填註)

(84105789)

發明專利說明書

一、發明名稱	中 文	具一體化低密度電介質之交連結構
	英 文	INTERCONNECT STRUCTURE WITH AN INTEGRATED LOW DENSITY DIELECTRIC
二、發明人 創作	姓 名	1. 哈羅伯 (ROBERT H. HAVEMANN) 2. 鄭心園 (SHIN-PUU JENG) 3. 葛布魯 (BRUCE E. GNADE) 4. 卓志臣 (CHIN-CHEN CHO)
	國 籍	1. 3. 均美國; 2. 4. 均中華民國
三、申請人	住、居所	1. 美國德克薩斯州格蘭德區史提爾街7413號 7413 Stillwater Court, Garland, Texas 75044, U.S.A. 2. 美國德克薩斯州波拉洛區伊佛街2508號 2508 Evergreen Drive, Plano, Texas 75075, U.S.A. 3. 美國德克薩斯州達拉斯城葛洛斯街12219號 12219 Cross Creek, Dallas, Texas 75243, U.S.A. 4. 美國德克薩斯州理查森區北辛里街2010號 2010 North Cliffe, Richardson, Texas 75082, U.S.A.
	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
代 表 人 姓 名	國 籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯城北中央高速道13500號 13500 North Central Expressway, Dallas, Texas, 75265, U.S.A.

裝 訂 線

(由本局填寫)

承辦人代碼：
大 類：
IPC分類：

A6
B6

本案已向：

美 國 (地區) 申請專利，申請日期：西元1994年案號：08/246,432，有 無主張優先權
5月20

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

〔發明領域〕

本發明大體上有關於半導體裝置上電介質之製造，且更特別有關於使用由多孔電介質材料形成之電氣絕緣體以減少半導體裝置上電容性耦合之方法及結構。

〔發明背景〕

半導體廣泛使用於電子裝置例如電腦及電視之積體電路中。此等積體電路典型地在單一矽晶片上組合許多電晶體以實施複雜之功能並儲存資料。半導體及電子裝置製造者以及最終使用者意欲積體電路能在較小封裝中以較少時間完成較多操作，而消耗較少功率。然而，諸多此等需求彼此對立。例如，僅縮小特定電路尺寸由0.5微米至0.25微米，會增加功率消耗30%。類似地，操作速度加倍大體上將功率消耗加倍。縮小化大體上亦於攜帶信號通過晶片之導體間造成增加之電容性耦合或串擾(crosstalk)。此作用不但限制可達成之速度且降低用於確保正常裝置操作之雜訊界限。

一種減少功率消耗及串擾作用之方式係減少分隔導體之絕緣體或電介質之介電常數。最普遍之半導體電介質大概係二氧化矽，其介電常數大約為3.9。相較於此，空氣(包含部分真空)之介電常數稍微超過1.0。因此，已發展出許多電容減少技術，以至少部分以空氣取代固體電介質。

1991年1月22日頒予Kaanta等人之美國專利第4,987,101號描述一種製造氣體(空氣)電介質之方法，其包含：沉

五、發明說明(2)

積可移除材料之臨時層於支持物(例如導體)之間,以封蓋之絕緣層覆蓋此臨時層,於封蓋中開啓出入孔,經由此等出入孔取出可移除材料,然後封閉出入孔。此方法不方便,部分因為其須於設計規則中考慮出入孔位置且於電路設計期間考慮對準誤差預估,並須額外處理步驟,以產生且接著封塞諸孔。此方法亦會產生大量無價值之區域,其本質上無益於處理機械應力與熱散逸。

1992年4月7日頒予Sakamoto之美國專利第5,103,288號描述一種多層接線結構,其藉由使用50%至80%有孔率(有孔率係空心結構之百分比)及大約5毫微米(nm)至50毫微米之微孔尺寸之有孔電介質以減少電容。此結構典型地係如下形成:沉積酸性氧化物與基本氧化物之混合物,以熱處理將基本氧化物沉澱,然後將基本氧化物溶解除去。將此結構所有基本氧化物除去可能有問題,因為浸濾(leaching)劑可能無法達到小凹處之基本氧化物。再者,所描述之於基本氧化物(含有鈉及鋰)中使用之數個元素大體上於半導體產業中被視為污染物,且因此通常於生產環境中予以避免。使用此方法僅產生極小之微孔(小於10毫微米)係困難者,但此要件於次微米製程繼續朝向十分之一微米或更小尺寸縮小時仍然存在。

另一種於半導體基底(此處使用之名詞"基底"係廣義地含有任何於所欲之導體/絕緣體層之前形成之層)上形成多孔電介質薄膜之方法,係於1987年3月24日頒予Brinker等人之美國專利第4,652,467號中描述。此專利揭露一種

五、發明說明(3)

溶膠凝膠(sol-gel)技術，用以沉積具有控制之有孔率及微孔尺寸(直徑)之多孔薄膜，其中將溶液沉積在基底上，予以凝膠化，然後經由蒸發除去溶劑予以交聯並稠密化(densified)，從而留下多孔電介質。此方法以薄膜之稠密化作為主要目標，其揭露者遠離低介電常數之應用。由此方法形成之電介質典型係15%至50%有孔率，於乾燥期間具有至少20%之永久薄膜厚度減少。較高之有孔率(例如40-50%)僅能於微孔尺寸大體上對於微電路應用係太大者處達成。此等材料通常稱為乾凝膠(xerogel)，儘管最終結構並非凝膠，而係固體材料之開放孔(此等孔大體上係交連者，而非隔離者)多孔結構。

〔發明概要〕

本發明提供用作為半導體絕緣體之混合多孔/非多孔電介質之新穎結構及方法。此結構將低介電常數(K大體上小於3.0且較佳小於2.0)多孔材料與非多孔電介質材料結合，使能增強上述兩者所欲之特點，作為在形成於半導體裝置上諸導體間減少非所欲電容之主要目的。此處所認知之問題之一係不易製造具有於多孔層之後形成之有效結構之裝置。利用本發明方法，儘管多個多孔層係可能者，而此裝置之構造可由順序成層技術完成。

此處所認知之多孔電介質之其他問題含有：相較於固體二氧化矽為減少之機械強度及熱傳導性；通道形成典型須求之異向性(方向性)蝕刻之困難；於多孔層頂部形成樣式化層之困難；諸多微孔(且尤其矽石(silica))電介質

五、發明說明(4)

之親水性(需水性)本質；以及習知多孔電介質形成方法大體上不適用於實際之次微米裝置構造。此處揭示之方法及結構可解決該等及其他問題。

本發明提供一種構建半導體裝置之方法，其主要目的係減少形成在該裝置上諸導體間之非所欲之電容。因此，該方法包含：提供一層形成在半導體基底上之樣式化導體，以及形成多孔電介質層填滿樣式化導體間之間隙並覆蓋樣式化之導體。該方法復包含：移除多孔電介質層之一頂部部分，以露出至少該導體之頂部。該方法又包含：沉積非多孔電介質層，覆蓋導體及多孔層。此非多孔層較佳係由以例如化學氣相沉積或一些其他非液體技術一致形成之底部次層以及以旋轉附著(spun-on)之玻璃或類似平面化技術形成之頂部次層所組成。該方法復包含形成一或多個填充金屬之通道貫穿非多孔層，以提供電氣接觸至樣式化之導體，且在此結構頂部上形成第二導體層。

本發明亦提供具有減少之層內電容之用於半導體裝置之結構，包含至少第一及第二導體，形成在半導體基底上，以及多孔電介質在第一及第二導體間。此多孔電介質較佳具有導體高度之70%至150%之平均高度。此多孔電介質較佳亦具有小於80毫微米(nm)(更佳為介於2毫微米與25毫微米之間)之平均微孔直徑。此多孔電介質較佳亦具有介於30%與95%之間(更佳為介於50%與75%之間)之有孔率。此裝置可進一步包含非多孔電介質層其沉積在導體與多孔電介質之頂部上，且於導體上測量時較佳係導體高度之至

五、發明說明(5)

少50%。

〔圖式簡述〕

本發明之各種特徵及優點可參考下列圖式而能徹底瞭解，其中：

圖1顯示本發明之一典型實施例之諸步驟方塊圖；

圖2A-2D顯示填充溶劑之孔在溶劑蒸發之前及溶劑蒸發期間之剖面圖；

圖3A-3D顯示一半導體裝置一部分之剖面圖，描繪本發明之一實施例應用至典型裝置之數步驟；

圖4A-4C顯示另一半導體裝置之剖面圖，描繪本發明之兩個個別應用；

圖5顯示依本發明方法形成之另一結構之剖面圖，其具有相當厚之多孔電介質以及相當薄之非多孔電介質；

圖6A-6H顯示具有由兩個次層形成非多孔電介質之又一半導體裝置之剖面圖；

圖7顯示含有鈍化層以避免多孔電介質層直接接觸導體之半導體裝置之剖面圖；以及

圖8A-8D顯示以電介質分隔物附於導體頂部之半導體裝置之剖面圖。

〔較佳實施例詳細說明〕

本發明之典型實施例係以圖1中顯示之步驟組成之多孔電介質方法予以描述，但並非所有顯示之步驟於一特定實施例中係需求者。又，於數個步驟中之材料可予以替換，以達成各種效果，且處理參數例如時間、溫度、壓力以及

五、發明說明(6)

有關成分之濃度可具有寬廣之變化範圍。總之，產生類似多孔層之另一方法可取代圖1之方法。於圖1中，各種前導體(precursor)溶液(其中一些在特定實例中詳細描述)可予以混合，然後施加至基底上，該基底上已形成一層樣式化導體。此施加方法可為例如在限制溶劑蒸發之控制環境中之旋轉附著技術。在至少一實施例中此施加之目的係形成一層前導物，其至少實質填滿相鄰導體間之空隙。此前導物溶液在基底上予以凝膠化，此處理典型須1分鐘至12小時，依據凝膠化之溶液及方法而定。濕凝膠可隨時間而老化(age)，通常大約一天(雖可能短得多)，在一或多個控制之溫度下。若此濕凝膠含有水，可使用一或多個洗滌步驟以於凝膠上實施溶劑交換，從而除去水但留下濕態之凝膠。溶劑可為質子性(protic)(例如乙醇)或非質子性(aprotic)(例如丙酮或己烷)溶劑。然後，以一種方法例如將此結構沉浸在含有表面修飾劑與可溶解修飾劑之溶劑之混合物中，使濕凝膠與表面修飾劑(其作用將於下文解釋)反應。此溶劑亦須與已存在於濕凝膠中之溶劑互溶(miscible)。接著，可使用另一溶劑交換以自此結構除去多餘之表面修飾劑。此溶劑可自凝膠中蒸發，留下多孔電介質結構。如薄膜於乾燥期間實質上未稠密化，則乾燥之凝膠本質上呈現與濕凝膠相同之結構(乾燥之薄膜厚度實質上與濕凝膠薄膜厚度相同)。最後，此多孔電介質可由予以一非多孔絕緣層覆蓋，如特定實例中描述者。

參考圖2A，其顯示濕凝膠結構10中單一微孔12之剖面圖

五、發明說明(7)

，以液體微孔流體14填滿微孔12。圖2B顯示相同之微孔進行微孔流體之蒸發。以彎月面(meniscus)18之形成描繪相位變化(自液體至蒸氣)，其顯示於蒸發期間在液體微孔流體14與蒸氣16之間形成新月形狀(crescent-shaped)之界限。此彎月面係指示微孔流體之表面張力在微孔壁上產生向內(通常，雖一些流體會向外)壓力。此毛細管壓力P係有關於微孔流體表面張力 T_s 、接觸角度 q (流體彎月面接觸微孔表面之角度)以及微孔半徑 r ，其方程式為

$$P = \frac{2T_s \cos q}{r} \quad (1)$$

自此方程式可顯然易知於乾燥期間保持極小微孔(小 r)之困難，因為每當半徑 r 減半，微孔壁上壓力會加倍。不幸地，適於諸導體間使用之多孔電介質必須含有至少小於導體間間隙之尺寸等級之微孔(例如，就0.2微米間隙而言， r 大約為10毫微米)。因此，增加微孔尺寸以減輕毛細管壓力於微電子應用中受到限制。另一方面，僅使微孔因毛細管壓力而崩潰即造成過度之收縮，且電介質相對應稠密化，因而無法達成此方法之主要目的(減少介電常數)並妨礙良好表面黏著。

為克服單片乾凝膠合成中之毛細管壓力問題，已發展出氣凝膠技術。大體上，乾凝膠技術之變化在超臨界壓力及溫度條件下除去濕凝膠之溶劑。藉由在超臨界區域中除去溶劑，液體溶劑之蒸發不會發生；取而代之者，於實施期間流體密度固定地變化，自壓縮之液體變化為過熱之蒸氣

五、發明說明(8)

，無可資區別之狀態界限。此技術徹底避免毛細管壓力問題，因為微孔中不曾存在狀態變化界限。將氣凝膠技術應用於半導體製造似乎成問題且昂貴；典型可使用之溶劑具有高臨界壓力（例如乙醇，924磅／平方吋(psi)，二氧化碳1071 psi），此使得大部分環境中之應用為困難者。例如，此等壓力會傾向於壓碎先前在大氣壓力下覆蓋之多孔電介質層或者迫使濕凝膠進入剩下未覆蓋之先前多孔電介質層之微孔中，且須在晶圓之邊緣抑制濕凝膠，以防止凝膠在乾燥之前被擠出晶圓。然而，在一些條件下可依此方法形成高度多孔之微孔電介質結構，使得此超臨界技術可能用於實施本發明。

作為上述之替代者，本發明含有一些新穎技術，其可在真空至接近臨界壓力之範圍下實施，以大氣壓力為較佳者，因易於處理且與先前之多孔層相容。此等技術中一類似處係在濕凝膠上實施表面修飾步驟，以另一種類分子取代微孔壁上相當數目之分子。此表面修飾典型以較穩定之表面群例如甲基群取代活性表面群例如羥基及烷氧基，從而於凝膠乾燥期間可控制非所欲之縮合反應（及收縮作用）。圖2C顯示於表面修飾步驟後一微孔之剖面圖；凝膠10在微孔12表面上之部分（標示為區域20）現含有不同之種類。吾人已發現，於表面修飾期間控制被取代之活性表面群之百分比可將最終收縮自典型之未修飾之乾凝膠之大收縮（未控制之收縮）調整至僅數個百分比之收縮，目前為止僅以氣凝膠技術可達成。典型地，必須取代大約30%之活

五、發明說明(9)

性表面群以實質上減少稠密化。又，所選擇之取代表面種類係由於其與特定微孔流體結合之潤濕特性；因此，於圖2D中，彎月面18顯著地較圖2B者為平坦，形成較接近90度之微孔流體接觸角度。因流體接觸角度接近90度，所以接觸角度 q 之餘弦接近0，且方程式1之毛細管壓力 P 成比例地減少。吾人相信，表面修飾防止表面縮合反應，且亦可藉由改變微孔流體接觸角度以減少毛細管壓力，從而使得表面修飾之凝膠中之微孔在乾燥後能較佳地保存。此新穎之技術能在大氣壓力下產生電介質層，且具有類似於以超臨界方式乾燥氣凝膠之平均微孔直徑、有孔率以及整體收縮。

此表面修飾之額外益處係疏水性(hydrophobicity)。吾人已發現，例如，僅以甲基群取代15%之活性表面群，可充分地產生疏水性之結構。此對於半導體處理中使用之任何材料係一重要特徵，而對於多孔材料特別如此。如果留下之多孔表面係親水性(需水性)，則此結構非常類似於普通家用之海綿，其可保持自身重量數倍之水。然而，此極小微孔尺寸使得親水性之多孔電介質迅速地自周圍空氣中收集水分，於裝置製造期間防止此事可能會增加困難。於凝膠乾燥前使微孔成為疏水性可避免此等困難。

依據本發明，圖3A-3D顯示半導體裝置於各種製造期間之剖面圖。於此等實施例之描述期間，晶圓字彙之使用意謂如傳統半導體處理中使用之晶圓，具有至少併入該處描繪之半導體裝置。於圖3A中，係顯示三個樣式化導體24(

五、發明說明 (10)

例如鋁及少量銅之合金)形成在絕緣層22上,此絕緣層22可含有通道或貫穿孔(未顯示)以提供導體24與裝置較低層間之電氣接觸。前導體溶液26係顯示為安置在導體24之間,以例如旋轉附著技術施加至晶圓上。此前導體可由例如下述2步驟處理所製備。首先,形成原矽酸四乙酯 (TEOS, tetraethylorthosilicate)半溶融材料(stock),係將TEOS、乙醇、水及氯化氫之大約1:3:1:0.0007莫耳比之混合物各成分在固定回流(reflux)及攝氏60度下攪拌1.5小時而製得。其次,於此TEOS半溶融材料中加入0.05莫耳氫氧化銨,各毫升TEOS半溶融材料使用0.1毫升。因為氫氧化銨加入該半溶融材料大大地增加凝膠率,此溶液必須快速施加至晶圓(交換此二步驟係可能者)。於溶液施加至晶圓後,必須注意以確定薄膜不致過早乾燥;較佳地,含有溶液/凝膠之晶圓在乾燥階段前之所有時間保持沉浸在液體中或在飽和之大氣中。凝膠及老化較佳係藉由使裝置安置在大約攝氏37度之乙醇環境中大約24小時而完成。接著,較佳使晶圓沉浸在純乙醇中,可自濕凝膠除去水分。然後,可實施表面修飾步驟,較佳將晶圓沉浸在含有大約體積上10%之三甲基氯基矽烷(TMCS, trimethylchlorosilane)之己烷溶液中。於短暫之反應時間後,通常將晶圓沉浸在非質子性溶劑(例如丙酮、己烷)中以除去未反應之表面修飾化合物,且將過多之溶劑排出。於此溶劑交換後,溶劑最後可自濕凝膠26處蒸發。此可製造類似於圖3B之結構,圖3B描繪乾燥之凝膠現在形成

(請先閱讀背面之注意事項再填寫本頁)

製

訂

五、發明說明(11)

多孔電介質層28，且亦描繪此方法之典型少量百分比收縮（乾燥之多孔薄膜厚度僅稍微小於濕凝膠厚度）。此及類似實施例之一優點係表面修飾之多孔電介質層為疏水性，然而另一類似之以超臨界方式乾燥之氣凝膠（無表面修飾）傾向於親水性，除非予以後續處理。

如圖3C中所示者，較佳係以實質非多孔電介質層30覆蓋多孔層28用以密封開放孔之結構，於機械上增強裝置，並提供非多孔層用於通道蝕刻及形成進一步之金屬／電介質層。此非多孔層可由二氧化矽、氮化矽、具有二氧化矽及氮化矽次層之合成層、矽氧氮化物、有機絕緣體、或類似材料組成，以例如化學氣相沉積(CVD)或旋轉附著玻璃(SOG)之方法予以施加。圖3D顯示通道蝕刻貫穿之非多孔層30並填滿導電材料，以提供填充金屬之通道32，從而提供裝置用以在導體24與第二層樣式化導體34（顯示一個）之間電氣連接。此實施例之非多孔層形成大部分之層間電介質。雖然固態電介質少量或不能減少層間電容，但可保持良好之層間機械特性。此係較佳者，因為其達成低之層內電容且同時大體上保持完全固態之層內／層間電介質之機械特性。此使吾人瞭解，層內電容減少遠較層間電容減少為重要。

圖4A-4C顯示具有不同電介質架構之第二實施例。圖4A顯示類似於圖3C之結構，除了非多孔電介質層30太薄而無法形成層間電介質。參照圖4B，藉由例如以非凝膠之前導體溶液塗覆非多孔電介質層30並重覆圖1之步驟，形成第

五、發明說明 (12)

二多孔電介質層36。如圖4C中顯示者，可在第二多孔層36上沉積單蓋層38。單蓋層38可使用例如類似於產生非多孔層30之材料及方法予以形成。此實施例能提供實質上較先前實施例為低之層間介電常數，可能犧牲一些結構強度。然而，非多孔及單蓋層能有助於控制通道形成。且單蓋層能提供堅固基礎用於另外之導電層。

圖5描繪一實施例，僅具有一多孔及一非多孔電介質層，而其層內及大部分層間電介質大體上由多孔層形成。多孔電介質層28之形成較佳係藉由增加塗佈溶液之沉積深度將導體完全覆蓋至須用以形成層間電介質之大約深度（自基底22測量）。此方法須沉積並將溶液凝膠化數次以達到所需之絕緣體厚度。然後，可依照本發明方法之一乾燥多孔電介質層28。在多孔層28上可，例如，使用類似於先前實施例中用以形成非多孔層之材料及方法塗佈非多孔層30。

圖6A-6F顯示用於多孔層內電介質之裝置構造之剖面圖。圖6A再度顯示在基底22上之樣式化導體24。藉由例如上述之一方法，形成多孔電介質層28以填滿介於導體24間之間隙並覆蓋導體24，其乾燥之結構可能類似於圖6B。圖6C顯示除去多孔層28之頂部部分後較佳地曝露導體24頂部之結構。此材料之除去可藉由，例如，控制之化學蝕刻，例如氟化氫(HF)電漿蝕刻，以密切相關於電介質有孔率之濃度及蝕刻時間而達成。或者，此材料之除去可藉由機械拋光器使用例如矽石(silica)之膠態懸浮液(aqueous

五、發明說明 (13)

colloidal suspension)而完成。此使吾人認清，沉積較厚之多孔層且蝕刻除去可比以較精確方式僅在導體間之間隙沉積多孔層為容易（且因此較佳）。圖6D顯示之步驟係較佳藉由化學氣相沉積(CVD)技術沉積一致之二氧化矽次層56，例如，直接覆蓋多孔電介質層28及導體24。主要沉積接近多孔層頂部之乾燥處理之CVD層較旋轉附著之玻璃(SOG)為佳，此SOG可能含有會弄濕多孔層28中微孔之溶劑。然而，CVD並非特別平面化，且係形成厚電介質之相當慢之方法。圖6E描繪如何施加非多孔電介質30覆蓋一致之次層56，例如SOG氧化物，以迅速完成平面化之層間電介質。

圖6F顯示光罩50沉積及樣式化後之結構。此為晶圓預備貫穿層30及56之通道52之蝕刻，如圖6G中所示者。此實施例之一優點係通道52並未貫穿多孔電介質28，該多孔電介質係不易精確樣式化之材料。最後，圖6H顯示填滿金屬之通道32以及第二樣式化之導體層34，由填滿金屬之通道32電連接至樣式化導體24之一。本發明此實施例可提供優異之層內電容減少、多孔與非多孔電介質間之良好機械結合、直接構建大量傳統通道形成之技術、以及具有良好機械及熱轉移特性之平面化非多孔層間電介質。

圖7描繪一實施例，其中多孔電介質層28以相當薄之一致鈍化層54與導體24隔離，此鈍化層可由例如CVD二氧化矽所形成。此鈍化層於數個實施例中係有益者。於例如圖6之實施例中，在多孔電介質28之蝕刻除去期間，可自導

五、發明說明 (14)

體24之頂部移除層54。

圖8A-8D描繪含有電介質分隔物之另一實施例。於圖8A中，導體24係以其頂部上之電介質分隔物58予以樣式化。此分隔物較佳係由非多孔層30（顯示於圖8D）中使用之相同材料所形成。此可藉由沉積導體層、以例如二氧化矽材料之電介質層予以覆蓋並以一光罩將上述兩者樣式化而完成。於圖8B中，已形成多孔電介質層28，以如圖示般較佳地覆蓋分隔物58。圖8C顯示已除去多孔電介質28之頂部部分後之裝置。此步驟較佳地曝露分隔物之頂部，且如圖8C所描繪者，實際亦可能除去分隔物58之頂部部分。最後，圖8D顯示已沉積非多孔電介質30覆蓋此結構以完成層間電介質後之裝置。此實施例之一優點係加入分隔物可允許除去多孔電介質之頂部部分，而不致有除去導體一部分之可能性。此結構亦可形成較低之串擾，如相較於圖6之實施例。

下表提供與圖式對照之一些實施例之概要。

（請先閱讀背面之注意事項再填寫本頁）

裝
訂

五、發明說明 (15)

圖式 元 件	較佳或 特定實例	一般術語	其他替代實例
22	先前層間電 介質	基底	先前形成之半導體裝置 層
24, 34	鋁銅合金及 /或耐熱材 料	導體	鋁、銅、鉬、鎢、鈦及 其合金 多晶矽、矽化物、氮化 物、碳化物
26	原矽酸四乙 酯 (TEOS) 半 溶融材料	前導體溶 液	微粒溶液或膠態矽、鍍 、鈦、矽酸鋁 比率之原矽酸四乙酯 (TEOS) / 甲基三乙氧基 矽烷 (MTEOS) 半溶融材 料，比率之原矽酸四乙 酯 (TEOS) / (1,2-雙(三 甲氧基甲矽烷)乙烷) (BTMSE) 半溶融材料
28, 36	表面修飾之 乾燥凝膠	多孔電介 質層	超臨界乾燥之氣凝膠、 其他微孔多孔電介質
30, 38	二氧化矽	非多孔電 介質層	其他氧化物、摻雜硼或 磷之二氧化矽、氮化矽 、矽氧氮化物 對二甲苯熱塑性聚合膜 (parylene)、聚醯亞胺 、有機氧化物

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (16)

32	鋁銅合金及 /或耐熱材 料	填充金屬 之通道	與上述導體者相同
50		光阻	
54	二氧化矽	鈍化層	氮化矽、矽氧氮化物
56	二氧化矽	一致之次 層	氮化矽、矽氧氮化物、 有機氧化物
58	二氧化矽	電介質分 隔物	與上述非多孔電介質層 者相同

本發明之解析並非受限於此處描述之特定實施例，因該等實施例係視為例示者而非限制者。本發明意欲涵蓋所有未偏離本發明精神及範疇之方法及結構。例如，熟於此技藝之人士可於本發明中應用許多其他公開方法之一，即最初自適當之前導體形成濕凝膠。在不偏離本發明本質下，可組合一些特定實例之特性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

1. 一種半導體裝置，其包含：

(a) 第一及第二水平相鄰之導體，形成在一基底上；

(b) 多孔電介質，介於上述第一及第二導體間，上述多孔電介質具有平均高度為上述導體高度之75%至150%，上述多孔電介質具有範圍在30%至95%之有孔率以及小於80毫微米之平均微孔直徑；以及

(c) 非多孔電介質層，沉積覆蓋上述第一及第二導體與上述多孔電介質，上述非多孔層之高度自上述導體上測量為至少上述導體高度之50%，從而在相同水平上導體間之電容性耦合相較於固態之二氧化矽電介質者為實質上減少且實質上保持固態層間電介質之機械特性。

2. 如申請專利範圍第1項之半導體裝置，其中非多孔電介質層包含實質上一層間電介質之全部。

3. 如申請專利範圍第1項之半導體裝置，其中多孔電介質具有範圍在50%至75%之有孔率。

4. 如申請專利範圍第1項之半導體裝置，其中多孔電介質具有大約範圍在2毫微米至25毫微米之微孔直徑。

5. 如申請專利範圍第1項之半導體裝置，其中多孔電介質係疏水性。

6. 如申請專利範圍第1項之半導體裝置，復包含一鈍化層覆蓋上述第一及第二導體之側邊。

7. 如申請專利範圍第6項之半導體裝置，其中鈍化層係由選自氮化矽、二氧化矽、矽氧氮化物及該等組合之群之材料所組成。

六、申請專利範圍

8. 如申請專利範圍第 1 項之半導體裝置，其中導體係由選自鋁、銅、鈦、鉑、金、鎢、多晶矽、鈹、鎳、氮化鈦 (TiN)、二矽化鈦 (TiSi₂) 及該等組合之群之材料所組成。
9. 如申請專利範圍第 1 項之半導體裝置，其中非多孔電介質層係由選自二氧化矽、氮化矽、矽氧氮化物、有機聚合物及該等組合之群之材料所組成。
10. 一種半導體裝置，其包含：
 - (a) 第一樣式化導體層，形成在一基底上；
 - (b) 多孔電介質層，佔據上述樣式化導體間之剩餘間隙，上述多孔電介質具有平均高度為上述導體高度之 75% 至 150%，上述多孔電介質具有範圍在 30% 至 95% 之有孔率以及小於 80 毫微米之平均微孔直徑；
 - (c) 非多孔電介質層，沉積覆蓋上述導體及上述多孔電介質層；
 - (d) 一或多個填充金屬之通道，貫穿上述非多孔電介質層，用以提供電連接至上述第一樣式化導體；以及
 - (e) 至少一第二層導體，形成在上述非多孔電介質層上且電連接至上述第一導體，從而在上述第一層上導體間之電容性耦合相較於固態之二氧化矽電介質者為實質上減少且實質上保持固態層間電介質之機械特性。
11. 如申請專利範圍第 10 項之半導體裝置，其中非多孔電介質層係由至少一底部次層及一頂部次層所組成，上述底部次層係一致者且上述頂部次層係平面化者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

12. 如申請專利範圍第10項之半導體裝置，復包含一鈍化層覆蓋上述第一樣式化導體之側邊及頂部。
13. 一種構建半導體裝置之方法，包含：
 - (a)提供一樣式化導體層，形成在一半導體基底上；
 - (b)形成一多孔電介質層，填充介於上述樣式化導體間之間隙並覆蓋上述樣式化導體；
 - (c)除去上述多孔電介質層之頂部部分；以及
 - (d)沉積一非多孔電介質，覆蓋上述導體及上述多孔電介質層，從而在相同水平上導體間之電容性耦合相較於固態二氧化矽電介質者為實質上減少且實質上保持固態層間電介質之機械特性。
14. 如申請專利範圍第13項之方法，復包含產生一或多個填充金屬之通道，貫穿上述非多孔電介質層，以提供電氣接觸至上述樣式化導體，並形成一第二導體層覆蓋上述非多孔電介質層。
15. 如申請專利範圍第13項之方法，復包含表面處理上述多孔電介質，以於除去上述多孔電介質層之頂部部分之前使上述多孔電介質成為疏水性。
16. 如申請專利範圍第13項之方法，復包含在上述多孔電介質形成步驟前，一致地施加一鈍化層至上述導體。
17. 如申請專利範圍第13項之方法，其中沉積非多孔電介質層之步驟包含沉積底部及頂部次層，上述底部次層係一致地沉積且上述頂部次層係一平面化層。
18. 如申請專利範圍第17項之方法，其中底部次層係以化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

學氣相沉積方法予以沉積。

19. 如申請專利範圍第13項之方法，其中多孔電介質層之頂部部分除去步驟包含以機械方式拋光上述半導體裝置。
20. 如申請專利範圍第13項之方法，其中上述多孔電介質層之頂部部分除去步驟曝露上述導體之頂部。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱:

具一體化低密度電介質之交連結構)

本發明提供一種半導體裝置及其製造方法，可大量減少相鄰導體間之電容，並具有層間電介質構造其增加機械強度、蝕刻相容性以及良好熱轉移。此方法可含有：於導體24間施加溶液，然後將其凝膠化(gelling)，表面修飾且乾燥，以形成非常多孔之電介質層28。非多孔之電介質層30可形成在多孔層28上，此可完成層間電介質並提供機械強度、熱轉移以及用於通道蝕刻之固體層。本發明揭示一種製造多孔電介質層之新穎方法，其可在真空或周圍壓力下完成，但仍在乾燥期間造成電介質之多孔性、微孔尺寸以及收縮，相較於此，先前技藝僅在超臨界壓力下乾燥凝膠方可達成。

英文發明摘要(發明之名稱: INTERCONNECT STRUCTURE WITH AN)

INTEGRATED LOW DENSITY DIELECTRIC

This invention provides a semiconductor device and process for making the same with dramatically reduced capacitance between adjacent conductors and an interlayer dielectric construction which emphasizes mechanical strength, etch compatibility, and good heat transfer. This process can include applying a solution between conductors 24, and then gelling, surface modifying, and drying the solution to form an extremely porous dielectric layer 28. A non-porous dielectric layer 30 may be formed over porous layer 28, which may complete an interlayer dielectric and provide mechanical strength, heat transfer, and a solid layer for via etch. A novel process for creating the porous dielectric layer is disclosed, which can be completed at vacuum or ambient pressures, yet results in porosity, pore size, and shrinkage of the dielectric during drying comparable to that previously attainable only by drying gels at supercritical pressure.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

修正
 補充
 85年11月18日

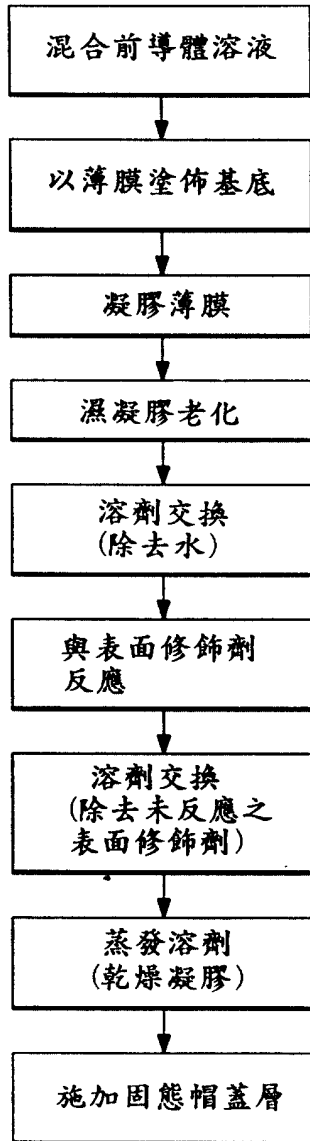


圖 1

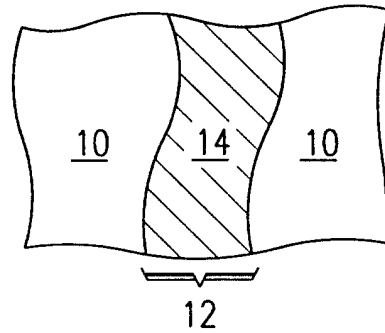


圖 2A

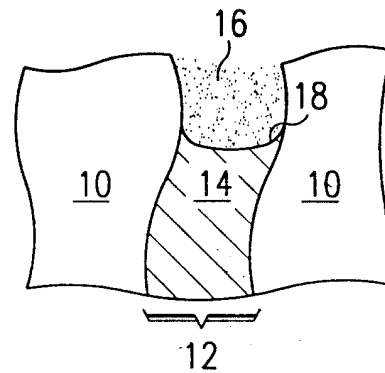


圖 2B

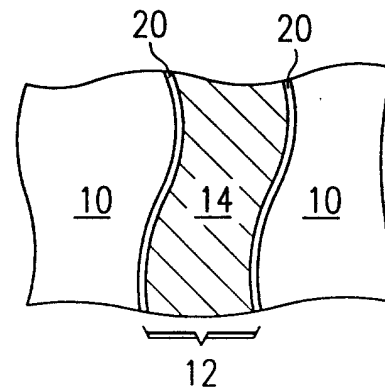


圖 2C

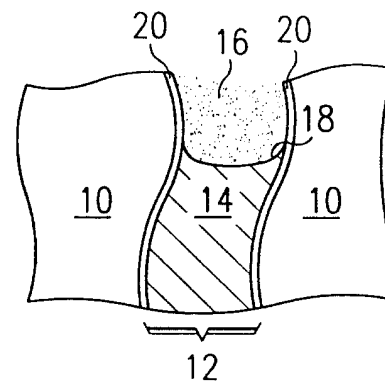


圖 2D

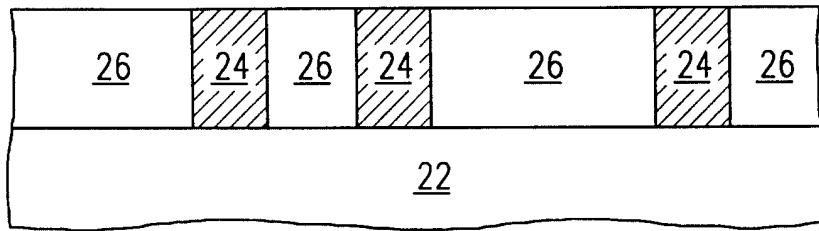


圖 3A

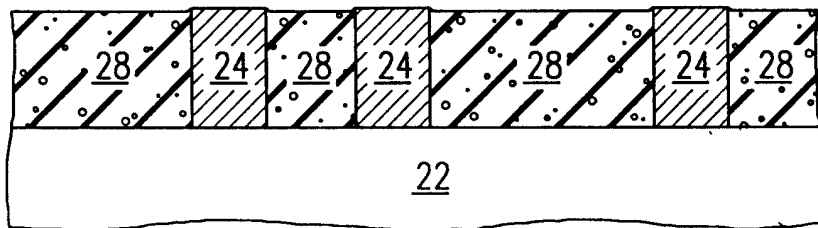


圖 3B

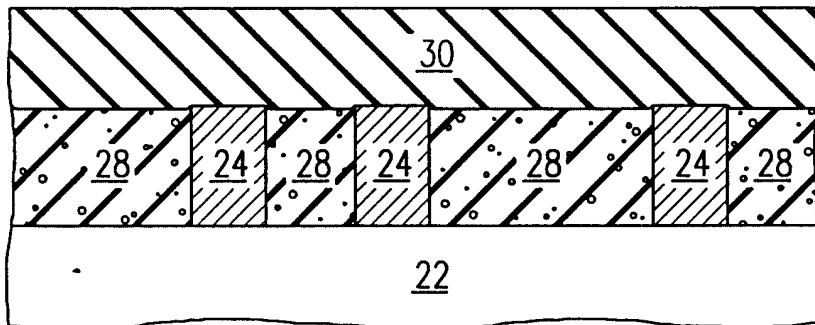


圖 3C

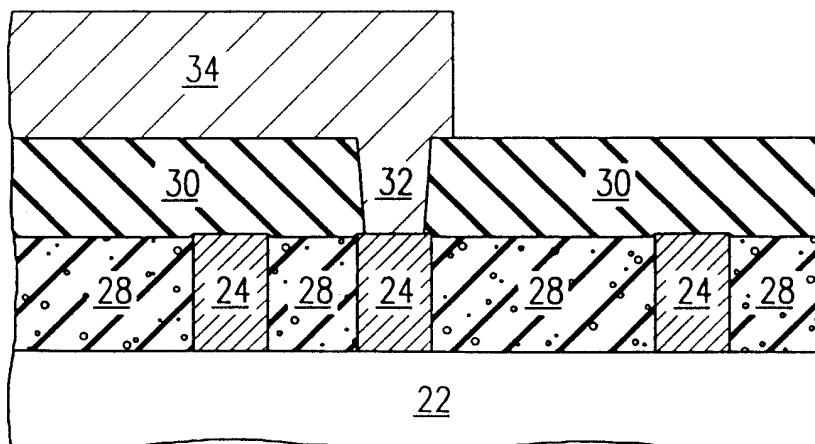


圖 3D

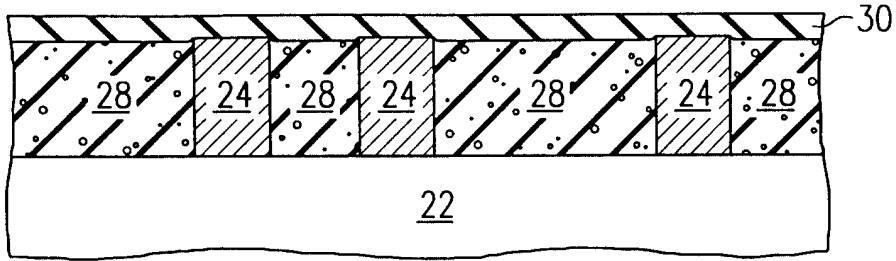


圖 4A

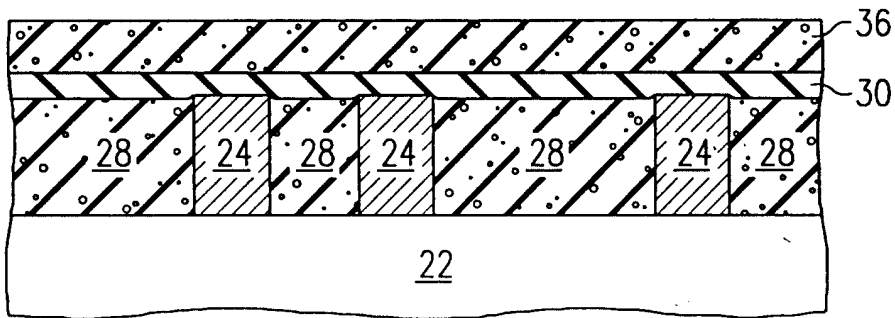


圖 4B

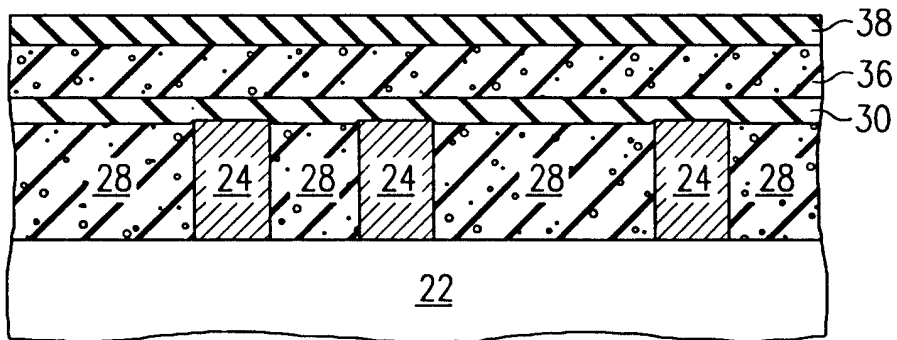


圖 4C

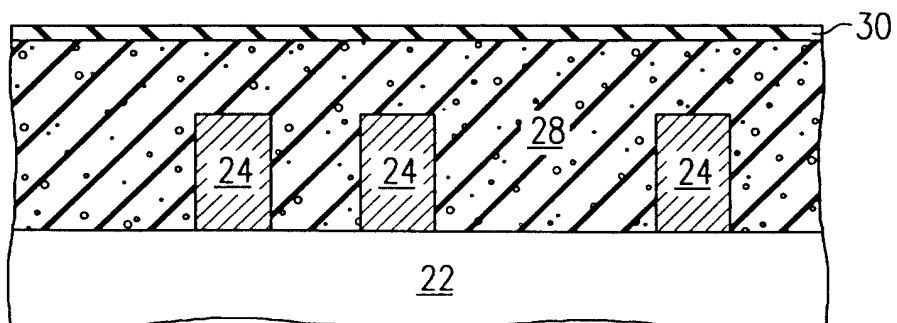


圖 5

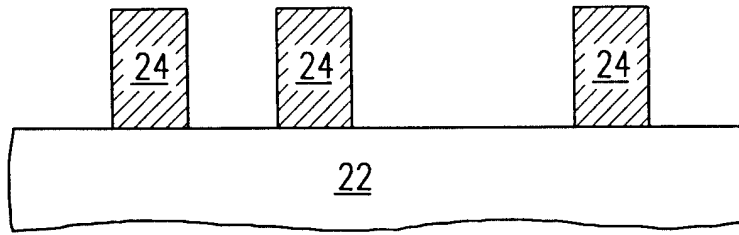


圖 6A

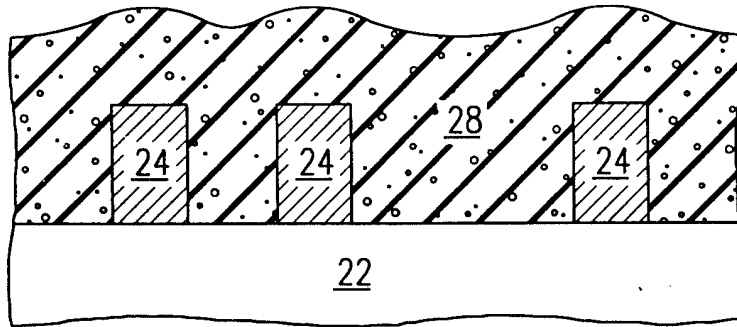


圖 6B

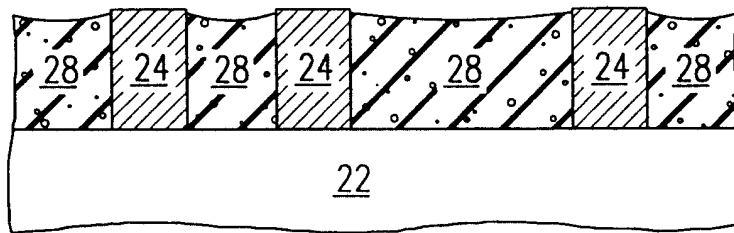


圖 6C

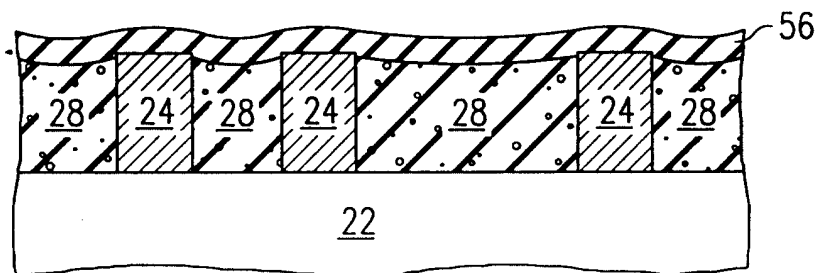


圖 6D

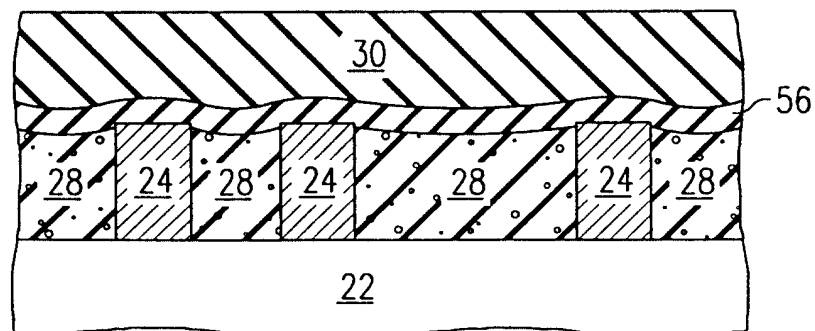


圖 6E

296470

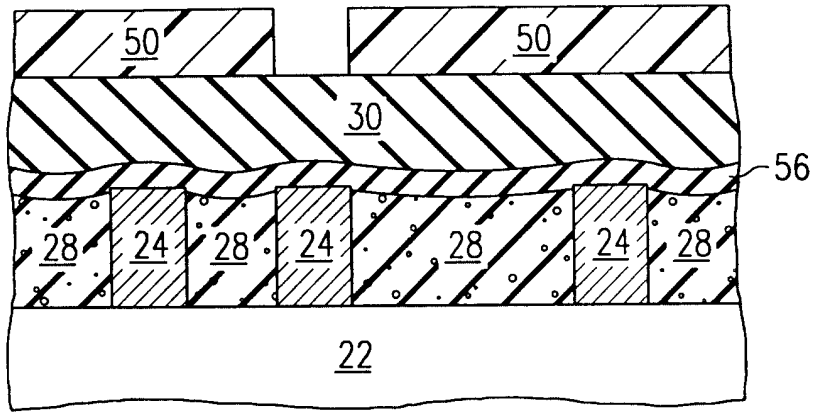


圖 6F

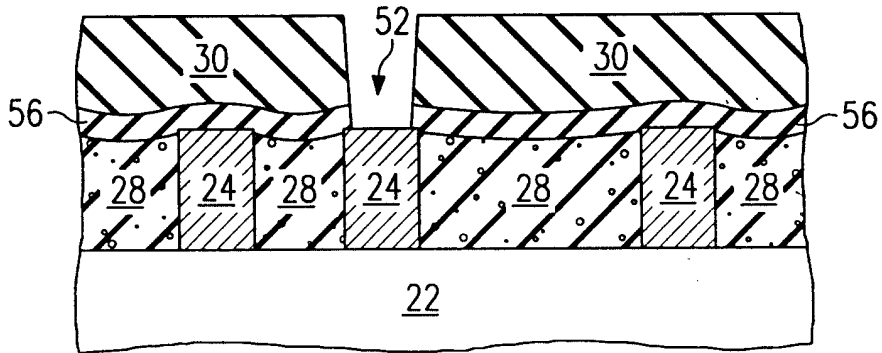


圖 6G

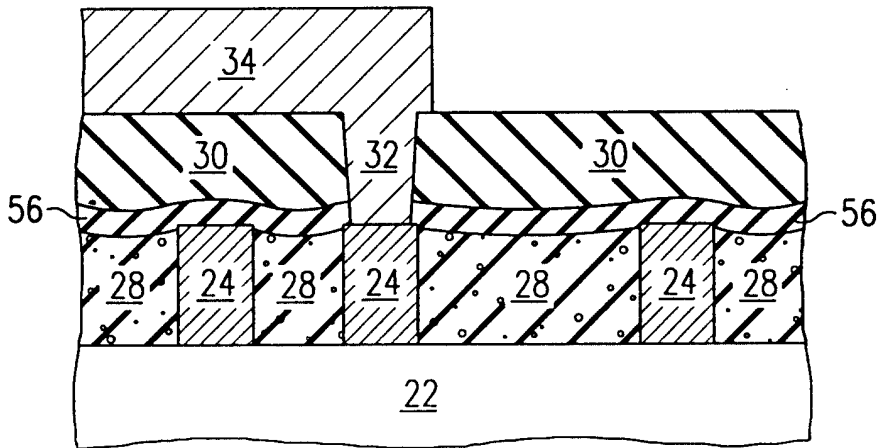


圖 6H

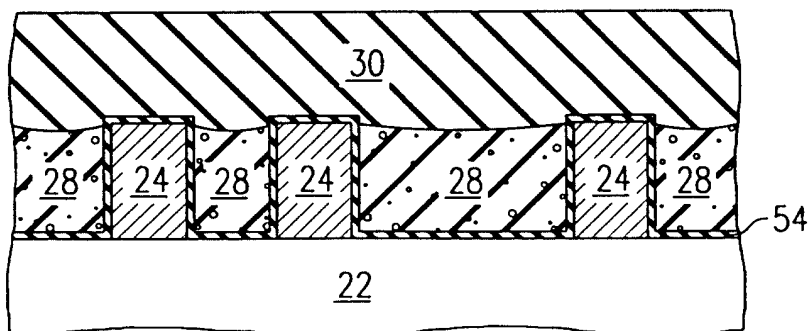


圖 7

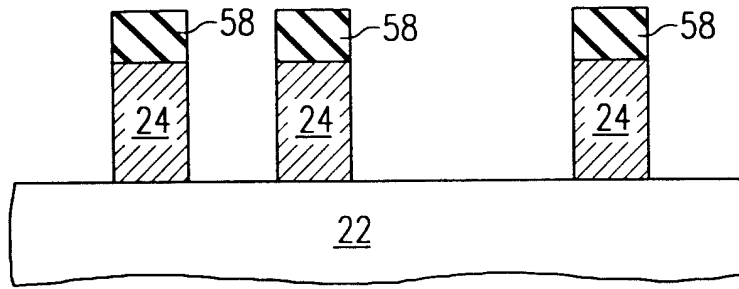


圖 8A

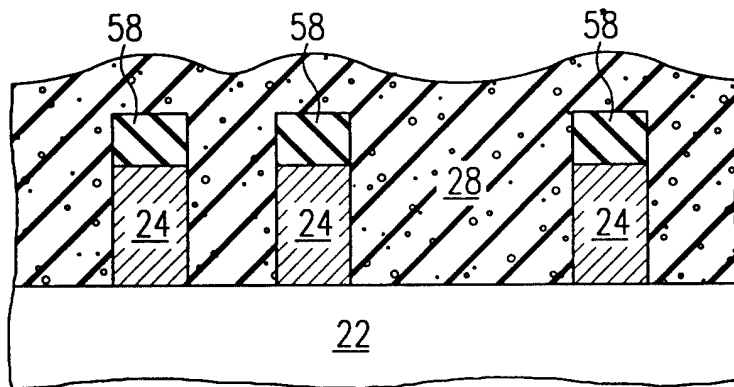


圖 8B

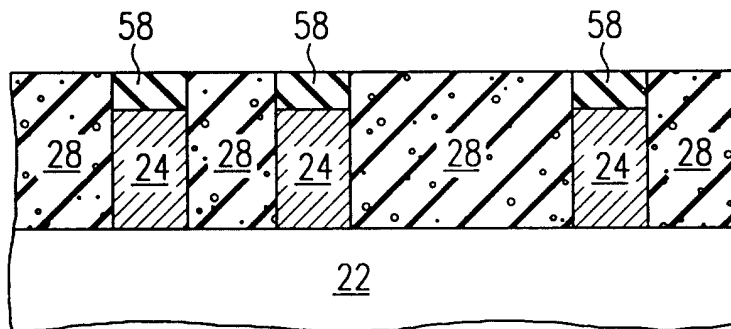


圖 8C

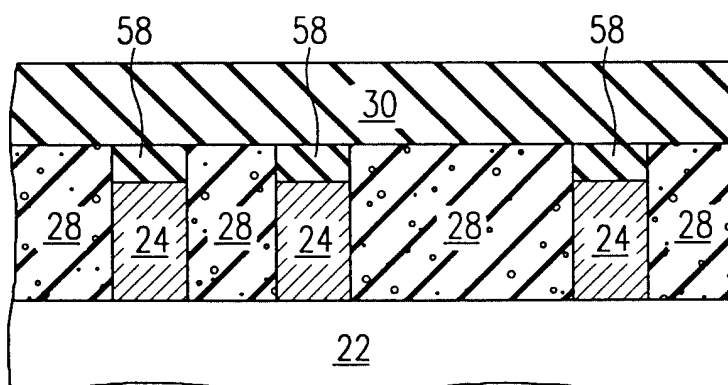


圖 8D