

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 9 月 10 日(10.09.2010)

PCT

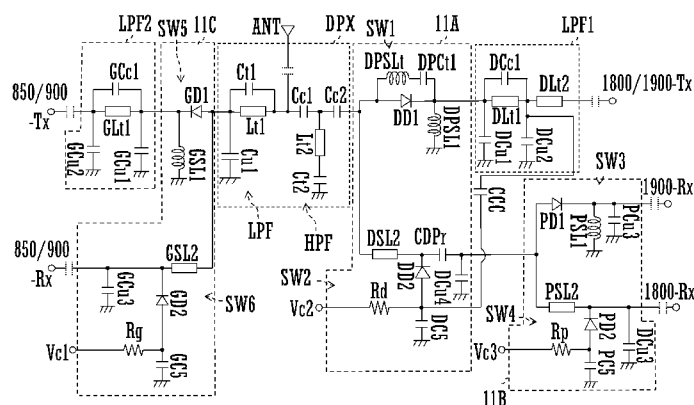
(10) 国際公開番号
WO 2010/101130 A1

- (51) 国際特許分類:
H04B 1/40 (2006.01)
- (21) 国際出願番号: PCT/JP2010/053284
- (22) 国際出願日: 2010 年 3 月 2 日(02.03.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-049657 2009 年 3 月 3 日(03.03.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (Murata Manufacturing Co., Ltd.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 早川昌志 (HAYAKAWA Masashi) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所 (Kaede Patent Attorneys' Office); 〒5400011 大阪府大阪市中央区農人橋 1 丁目 4 番 3 4 号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: HIGH FREQUENCY MODULE

(54) 発明の名称: 高周波モジュール

[図1]



(57) Abstract: A high frequency module which is able to secure isolation between desired signals without the addition of a new switch circuit and filter. The high frequency module (1) is provided with a low pass filter (LPF1) and a filter adjusting capacitor (CCC). The signal line that connects an antenna port (ANT) to a signal port (1800/1900-Tx) is connected to a switch circuit (SW1) which controls the propagation of signals to the signal port, is connected to a low pass filter (LPF1) at the signal port side of the switch circuit (SW1), and is connected to a first end of a filter adjusting capacitor (CCC) at the signal port side of the low pass filter (LPF1). The signal line that connects the antenna port (ANT) to a signal port (1900-Rx) is connected to switch circuits (SW2, SW4) which control the propagation of signals to the signal port. The second end of the filter adjusting capacitor (CCC) is connected to an anode of a diode (DD2) of the switch circuit (SW2).

(57) 要約:

[続葉有]

WO 2010/101130 A1



新たなスイッチ回路やフィルタを追加することなく、所望する信号間のアイソレーションを確保することが可能な高周波モジュールの提供を図る。高周波モジュール（１）は、ローパスフィルタ（LPF1）とフィルタ調整用キャパシタ（CCC）とを備える。アンテナポート（ANT）と信号ポート（1800/1900-Tx）とを接続する信号ラインは、信号ポートへの信号の伝搬を抑えるスイッチ回路（SW1）が接続され、スイッチ回路（SW1）の信号ポート側にローパスフィルタ（LPF1）が接続され、ローパスフィルタ（LPF1）の信号ポート側にフィルタ調整用キャパシタ（CCC）の第一端が接続される。アンテナポート（ANT）と信号ポート（1900-Rx）とを接続する信号ラインは、信号ポートへの信号の伝搬を抑えるスイッチ回路（SW2, SW4）が接続される。フィルタ調整用キャパシタ（CCC）の第二端は、スイッチ回路（SW2）におけるダイオード（DD2）のアノードに接続される。

明 細 書

発明の名称： 高周波モジュール

技術分野

[0001] この発明は、携帯電話機のフロントエンド部などに採用される高周波モジュールに関する。

背景技術

[0002] 携帯電話のフロントエンド部などでは、周波数帯域の異なる複数の通信システムでの携帯電話の利用を可能にするために、マルチバンド対応の高周波モジュールが採用されることがある（例えば特許文献１の図２参照。）。

[0003] 上記文献に開示された高周波モジュールは、PCSとDCSとEGSMとの３つの通信システムを利用するトリプルバンド対応のものである。この高周波モジュールは、個別信号入出力ポートと共用アンテナポートとを接続する複数の信号ラインを備える。共用アンテナポートにはダイプレクサが接続される。ダイプレクサはPCSおよびDCSの信号とEGSMの信号とを分離する。また、信号ラインにおけるダイプレクサよりも後段の分岐部は第１および第２のダイオードを備える。第１のダイオードは分岐する一方の信号ラインにシリーズに接続される。第２のダイオードは分岐する他方の信号ラインにシャントに接続される。また、送信信号が伝搬する信号ライン中にはローパスフィルタを備える。ローパスフィルタは送信信号の高調波を除く。

[0004] 各分岐部の第１および第２のダイオードは、ON／OFFの切り替えが同期する。第１のダイオードと第２のダイオードとをONにする時に、第２のダイオードのインダクタンス成分とキャパシタとが直列共振回路を構成する。第２のダイオードが設けられる信号ラインを分岐部から見たインピーダンスは、一方の信号ラインを通過する信号の周波数において直列共振時に無限大になるように設定される。これにより、第２のダイオードが設けられる信号ラインへの不要な信号の伝搬が抑えられる。また第１および第２のダイオードのOFF時には、第１のダイオードが遮断される。これにより第１のダイオードが設

けられる信号ラインへの不要な信号の伝搬が抑えられる。

- [0005] この高周波モジュールの、ダイプレクサよりも後段のPCSおよびDCSの信号を伝搬する信号ライン側では、1段目の分岐部でPCSおよびDCSの受信信号と送信信号とを分離する。そして、PCSおよびDCSの受信信号が伝搬する信号ライン中に2段目の分岐部を設けている。これにより、各分岐部でのスイッチを適切なタイミングとすることで、周波数帯域の一部が重なるPCSの送信信号（1850～1910MHz）とDCSの受信信号（1805～1880MHz）との間でのアイソレーションを確保している。

先行技術文献

特許文献

- [0006] 特許文献1：特開2004-128799号公報

発明の概要

発明が解決しようとする課題

- [0007] 携帯電話通信システムではGPRS方式からEDGE方式への移行が進展している。このため、帯域の重なるPCSの送信信号とDCSの受信信号との間でのアイソレーションに加え、帯域の重ならないPCSの送信信号（1850～1910MHz）と受信信号（1930～1990MHz）との間でのアイソレーションを高める必要が生じている。
- [0008] しかしながら従来の回路構成では、PCSの送信信号とDCSの受信信号との間でのアイソレーションを確保しながら、さらにPCSの送信信号と受信信号との間でのアイソレーションまでもGPRS方式の場合より高めることは困難であった。
- [0009] 仮に、従来の回路構成にスイッチ回路やフィルタを追加すれば、PCSの送信信号と受信信号との間でのアイソレーションを高めることは可能になる。しかしながらその場合、スイッチ回路やフィルタを追加することによる各信号ラインの通過特性の劣化や、モジュールサイズの大型化を招来する虞がある。この問題は、PCSの送信信号と受信信号との間でのアイソレーションに限ら

ず、任意の信号間でのアイソレーションを高める場合であってもスイッチ回路やフィルタの追加により生じてしまう。

[0010] そこで本発明は、所望する信号間のアイソレーションを改善するための新たなスイッチ回路やフィルタを回路構成に追加することなく、所望する信号間のアイソレーションを確保することが可能な高周波モジュールの提供を目的とする。

課題を解決するための手段

[0011] この発明は、複数の個別信号入出力ポート、共用アンテナポート、スイッチ回路、第1の信号ライン、および、第2の信号ラインを備える高周波モジュールであって、フィルタとフィルタ調整用キャパシタとを備える。スイッチ回路は、共用アンテナポートと複数の個別信号入出力ポートとの接続を切り替える。第1および第2の信号ラインは個別信号入出力ポートと共用アンテナポートとを接続する。スイッチ回路は、第1および第2の信号ラインそれぞれに接続したスイッチ素子を含んで構成している。フィルタは、第1の信号ラインにおけるスイッチ回路の接続位置よりも個別信号入出力ポート側にシリーズに接続されている。フィルタ調整用キャパシタは、第1の信号ラインにおけるフィルタの接続位置よりも個別信号入出力ポート側に第一端が接続されている。また、第2の信号ラインに接続したスイッチ素子に第二端が接続されている。

[0012] この構成では、フィルタ調整用キャパシタと第2の信号ラインとが接続される際に、フィルタを構成するインダクタとフィルタ調整用キャパシタとによる並列回路での共振が生じる。そのため、この共振とフィルタ単体での共振との2つの共振を利用して、高周波モジュールの周波数特性に所望の変化を与えることが可能になる。具体的には、フィルタ調整用キャパシタのキャパシタンスを設定することで、第1の信号ラインを伝搬する信号の周波数帯域や第2の信号ラインを伝搬する信号の周波数帯域での減衰量を確保する。これにより、第1の信号ラインを伝搬する信号と第2の信号ラインを伝搬する信号との間のアイソレーションを改善できる。

- [0013] この発明のフィルタは、並列に接続される並列共振キャパシタと並列共振インダクタとを備え、並列共振キャパシタと並列共振インダクタとによる並列共振の共振周波数が、第1の信号ラインを伝搬する信号の高次高調波の周波数に設定されてもよい。この構成により、第1の信号ラインにおける高次高調波を除去できる。また、フィルタ調整用キャパシタと並列共振インダクタとによる共振回路の共振周波数が、第1の信号ラインを伝搬する信号の基本波あるいは高次高調波の周波数に設定されてもよい。この構成により、第1の信号ラインを伝搬する信号と第2の信号ラインを伝搬する信号との間のアイソレーションを改善できる。
- [0014] この発明の第1の信号ラインに接続したスイッチ素子は第1のダイオードであり、第2の信号ラインに接続したスイッチ素子は第2のダイオードであってもよい。第1のダイオードは、第1の信号ラインにおける共用アンテナポート側にアノードが接続され、個別信号入出力ポート側にカソードが接続される。第2のダイオードは、第2の信号ラインにカソードが接続され、制御端子にアノードが接続される。この第2のダイオードのアノードは直列共振キャパシタを介してグランドに接続される。また、フィルタ調整用キャパシタは、第2のダイオードと直列共振キャパシタとの接続位置に第二端が接続される。
- [0015] この構成によれば、制御端子からバイアス電圧を加えて第2の信号ラインに接続するダイオードをONにすることで、第1の信号ラインに接続するダイオードもONになる。このとき、第2の信号ラインに接続されるスイッチ回路で直列共振が生じ、その直列共振を利用して、第2の信号ラインに流入しようとする信号の伝搬を抑えることが可能になる。また、第2の信号ラインに接続するダイオードをOFFにすることで、第1の信号ラインに接続するダイオードもOFFになり、第2の信号ラインとフィルタ調整用キャパシタとの接続を切った状態で、第2の信号ラインに信号を伝搬させることが可能になる。したがって、第2の信号ラインにおける信号伝搬時にフィルタ調整用キャパシタの接続を切り、フィルタ調整用キャパシタによって第2の信号ラインの通

過特性に及ぶ影響を除くことが可能になる。

[0016] この発明の高周波モジュールは、並列共振キャパシタの少なくとも一部を構成するパターン電極と、直列共振キャパシタの少なくとも一部を構成するパターン電極と、を多層基板の主面法線方向に対向させてフィルタ調整用キャパシタを構成すると好適である。または、並列共振キャパシタに接続される配線電極と、直列共振キャパシタに接続される配線電極と、を多層基板の主面法線方向に対向させてフィルタ調整用キャパシタを構成すると好適である。

[0017] このようにしてフィルタ調整用キャパシタを構成することで、モジュールサイズの増大を抑えながら、フィルタ調整用キャパシタを設けることができる。また、フィルタ調整用キャパシタの接続配線による寄生容量の発生を抑えることができ、直列共振キャパシタとダイオードとの直列共振を安定させ、第2の信号ラインにおける通過特性の変動を抑制できる。

発明の効果

[0018] この発明によれば、フィルタ調整用キャパシタを設けてキャパシタンス調整することで、高周波モジュールの周波数特性に所望の変化を与えることができる。具体的には、フィルタ調整用キャパシタを接続する第1の信号ラインと第2の信号ラインとの間でのアイソレーションを確保することが可能になる。

図面の簡単な説明

[0019] [図1]本発明の第1の実施形態に係る高周波モジュールの概略の回路図である。

[図2]図1に示す高周波モジュールの特性図である。

[図3]図1に示す高周波モジュールの積み図である。

[図4]図1に示す高周波モジュールの積み図である。

[図5]本発明の第2の実施形態に係る高周波モジュールの概略の回路図である。

[図6]図5に示す高周波モジュールの特性図である。

[図7]本発明の第3の実施形態に係る高周波モジュールの概略の回路図である。

[図8]図7に示す高周波モジュールの特性図である。

発明を実施するための形態

[0020] 以下、本発明の第1の実施形態に係る高周波モジュールの構成例を説明する。

[0021] 本実施形態の高周波モジュールは、EDGE方式の携帯電話機のフロントエンド部に採用され、PCSとDCSとEGSMとの3つの通信システムを利用するトリプルバンド対応のものである。

[0022] 図1は、本実施形態に係る高周波モジュールの概略の回路図である。

[0023] 高周波モジュール1は、ダイプレクサDPX、分岐部11A~11C、ローパスフィルタLPF1、LPF2、および、フィルタ調整用キャパシタCCCを備える。また、外部接続ポートとして、本発明の共用アンテナポートに相当するアンテナポートANTと、本発明の個別信号入出力ポートに相当する信号ポート1800/1900-Tx, 1900-Rx, 1800-Rx, 850/900-Tx, 850/900-Rxと、本発明の制御端子に相当する制御ポートVc1~Vc3と、を備える。

[0024] ダイプレクサDPXは、ローパスフィルタLPFとハイパスフィルタHPFとを備え、ローパスフィルタLPFとハイパスフィルタHPFとの接続点に直流カット用のキャパシタを介してアンテナポートANTが接続される。ダイプレクサDPXは、ローパスフィルタLPFにEGSMの信号を通過させ、PCSおよびDCSの信号を減衰させる。また、ハイパスフィルタHPFにPCSおよびDCSの信号を通過させ、EGSMの信号を減衰させる。

[0025] ローパスフィルタLPFはアンテナポートANTと分岐部11Cとの間に接続される。このローパスフィルタLPFは、キャパシタCt1とインダクタLt1とキャパシタCu1とを備え、EGSMの信号帯域を通過帯域とする低域通過フィルタを構成する。インダクタLt1は第一端がアンテナポートANTに接続され、第二端が分岐部11Cに接続される。キャパシタCt1はインダクタLt1に対して並列に接続される。インダクタLt1の第二端はキャパシタCu1を介してグランドに接続

される。

- [0026] ハイパスフィルタHPFはアンテナポートANTと分岐部11Aとの間に接続される。このハイパスフィルタHPFはキャパシタCc1、Cc2とインダクタLt2とキャパシタCt2とを備え、PCSおよびDCSの信号帯域を通過帯域とする高域通過フィルタを構成する。キャパシタCc1は、第一端がアンテナポートANTに接続され、第二端がキャパシタCc2に接続される。キャパシタCc2は、第一端がキャパシタCc1に接続され、第二端が分岐部11Aに接続される。インダクタLt2の第一端は、キャパシタCc1の第二端とキャパシタCc2の第一端とに接続される。インダクタLt2の第二端は、キャパシタCt2を介してグラウンドに接続される。
- [0027] 分岐部11Cは、スイッチ回路SW5、SW6を備え、スイッチ回路SW5とスイッチ回路SW6との接続点でローパスフィルタLPFに接続される。分岐部11Cは、外部から制御ポートVc1に入力される電圧に基づいてEGSM送信状態とEGSM受信状態とが切り替わる。
- [0028] スイッチ回路SW5は、ローパスフィルタLPFとローパスフィルタLPF2との間に接続される。このスイッチ回路SW5は、ダイオードGD1とインダクタGSL1とを備える。ダイオードGD1は、アノードがローパスフィルタLPFに、カソードがローパスフィルタLPF2に接続される。ダイオードGD1のカソードは、インダクタGSL1を介してグラウンドに接続される。
- [0029] スイッチ回路SW6はローパスフィルタLPFと信号ポート850/900-Rxとの間に接続される。このスイッチ回路SW6は、インダクタGSL2とキャパシタGCu3とダイオードGD2とキャパシタGC5と抵抗Rgとを備える。インダクタGSL2は、第一端がローパスフィルタLPFに接続され、第二端が直流カット用キャパシタを介して信号ポート850/900-Rxに接続される。インダクタGSL2の第二端は、キャパシタGCu3を介してグラウンドに接続されるとともに、ダイオードGD2のカソードが接続される。ダイオードGD2のアノードは、抵抗Rgを介して制御ポートVc1に接続され、キャパシタGC5を介してグラウンドに接続される。
- [0030] 分岐部11CがEGSM送信状態のとき、スイッチ回路SW6はEGSMの送信信号の

伝搬を抑制し、スイッチ回路SW5はEGSMの送信信号を伝搬する。その際には制御ポートVc1からの電圧印加により、ダイオードGD2のアノードにスイッチング電圧より高い電圧が印加される。このため、ダイオードGD2がONになってインダクタGSL2の第二端がキャパシタGC5を介してグランドに接続され、ダイオードGD2のインダクタンス成分とキャパシタGC5とが直列共振する。インダクタGSL2の線路長は、EGSMの送信信号周波数帯における波長のほぼ $1/4$ の長さに設定されており、インダクタGSL2のダイオードGD2側が直列共振により接地されるため、スイッチ回路SW5側からインダクタGSL2側を見るとインピーダンスが無限大のオープン状態になるように設定されている。したがって、スイッチ回路SW6におけるEGSMの送信信号の伝搬が抑えられる。一方、スイッチ回路SW5では、ダイオードGD1のアノードにスイッチング電圧より高い電圧が印加される。このため、ダイオードGD1がONになって、スイッチ回路SW5をEGSMの送信信号が伝搬する。

[0031] 分岐部 1 1 CがEGSM受信状態のとき、スイッチ回路SW6はEGSMの受信信号を伝搬し、スイッチ回路SW5はEGSMの受信信号の伝搬を抑制する。その際には制御ポートVc1からの電圧印加により、ダイオードGD2のアノードにスイッチング電圧より低い電圧が印加される。このため、ダイオードGD2がOFFになる。これにより、スイッチ回路SW6をEGSMの受信信号が伝搬する。一方、スイッチ回路SW5では、ダイオードGD1のアノードにスイッチング電圧より低い電圧が印加される。このため、ダイオードGD1がOFFになって、スイッチ回路SW5におけるEGSMの受信信号の伝搬が抑制される。

[0032] ローパスフィルタLPF2は、スイッチ回路SW5と信号ポート850/900-Txとの間に接続される。このローパスフィルタLPF2は、インダクタGLt1とキャパシタGCc1とキャパシタGCu1, GCu2とを備え、EGSMの送信信号の2次高調波および3次高調波成分を除去する低域通過フィルタを構成する。インダクタGLt1は、第一端がスイッチ回路SW5に接続され、第二端が直流カット用キャパシタを介して信号ポート850/900-Txに接続される。キャパシタGCc1はインダクタGLt1に対して並列に接続される。インダクタGLt1の第一端はキャパシタGCu1を介

してグラウンドに接続される。インダクタGLt1の第二端は、キャパシタGCu2を介してグラウンドに接続される。

[0033] 分岐部 1 1 A は、スイッチ回路SW1、SW2を備え、スイッチ回路SW1とスイッチ回路SW2との接続点でハイパスフィルタHPFに接続される。分岐部 1 1 A は、外部から制御ポートVc2に入力される電圧に基づいて、送信状態と受信状態とが切り替わる。

[0034] スwitch回路SW1はハイパスフィルタHPFとローパスフィルタLPF1との間に接続される。このスイッチ回路SW1は、ダイオードDD1とインダクタDPSLtとキャパシタDP Ct1とインダクタDPSL1とを備える。ダイオードDD1は、アノードがハイパスフィルタHPFに、カソードがローパスフィルタLPF1に接続される。インダクタDPSLtの第一端はダイオードDD1のアノードに接続され、第二端はキャパシタDP Ct1の第一端に接続される。キャパシタDP Ct1の第一端は、インダクタDPSL1の第一端に接続され、第二端はダイオードDD1のカソードに接続される。ダイオードDD1のカソードは、インダクタDPSL1を介してグラウンドに接続される。

[0035] スwitch回路SW2はハイパスフィルタHPFと分岐部 1 1 B との間に接続される。このスイッチ回路SW2は、インダクタDSL2とキャパシタCDPrとキャパシタDCu4とダイオードDD2とキャパシタDC5と抵抗Rdとを備える。インダクタDSL2は、第一端がハイパスフィルタHPFに接続され、第二端がキャパシタCDPrの第一端とダイオードDD2のカソードとに接続される。キャパシタCDPrの第二端はキャパシタDCu4を介してグラウンドに接続されるとともに、分岐部 1 1 B に接続される。ダイオードDD2のアノードは、抵抗Rdを介して制御ポートVc2に接続され、本発明の直列共振キャパシタに相当するキャパシタDC5を介してグラウンドに接続され、詳細を後述するフィルタ調整用キャパシタCCCの第二端が接続される。

[0036] 分岐部 1 1 A が送信状態のとき、スイッチ回路SW2はPCSおよびDCSの送信信号の伝搬を抑制し、スイッチ回路SW1はPCSおよびDCSの送信信号を伝搬する。その際には制御ポートVc2からの電圧印加により、ダイオードDD2のアノード

にスイッチング電圧より高い電圧が印加される。このため、ダイオードDD2がONになってインダクタDSL2の第二端がキャパシタDC5を介してグランドに接続され、ダイオードDD2のインダクタンス成分とキャパシタDC5とが直列共振する。インダクタDSL2の線路長は、PCSおよびDCSの送信信号周波数帯における波長のほぼ $1/4$ の長さに設定されており、インダクタDSL2のダイオードDD2側が直列共振により接地されるため、スイッチ回路SW1側からインダクタDSL2側を見るとインピーダンスが無限大のオープン状態になるように設定されている。したがって、スイッチ回路SW2におけるPCSおよびDCSの送信信号の伝搬が抑えられる。一方、スイッチ回路SW1ではダイオードDD1のアノードにスイッチング電圧より高い電圧が印加される。このため、ダイオードDD1がONになって、スイッチ回路SW1をPCSおよびDCSの送信信号が伝搬する。

[0037] 分岐部 1 1 A が受信状態のとき、スイッチ回路SW2はPCSおよびDCSの受信信号を伝搬し、スイッチ回路SW1はPCSおよびDCSの受信信号の伝搬を抑制する。その際には制御ポートVc2からの電圧印加により、ダイオードDD2のアノードにスイッチング電圧より低い電圧が印加される。このため、ダイオードDD2がOFFになる。これにより、スイッチ回路SW2をPCSおよびDCSの受信信号が伝搬する。一方、スイッチ回路SW1では、ダイオードDD1のアノードにスイッチング電圧より低い電圧が印加される。このため、ダイオードDD1がOFFになって、スイッチ回路SW1におけるPCSおよびDCSの受信信号の伝搬が抑制される。

[0038] ローパスフィルタLPF1は、スイッチ回路SW1と信号ポート1800/1900-Txとの間に接続される。このローパスフィルタLPF1は、インダクタDLt1、DLt2とキャパシタDCc1とキャパシタDCu1、DCu2とを備え、PCSおよびDCSの送信信号の2次高調波および3次高調波成分を除去する低域通過フィルタを構成する。インダクタDLt1は本発明の並列共振インダクタに相当し、第一端がスイッチ回路SW1に接続され、第二端がインダクタDLt2の第一端に接続される。インダクタDLt2の第一端はインダクタDLt1の第一端に接続され、インダクタDLt2の第二端は直流カット用キャパシタを介して信号ポート1800/1900-Txに接続される。キャパシタDCc1は本発明の並列共振キャパシタに相当し、インダクタD

Lt1に並列に接続される。インダクタDLt1の第一端はキャパシタDCu1を介してグラウンドに接続される。インダクタDLt1の第二端は、キャパシタDCu2を介してグラウンドに接続されるとともに、後述するフィルタ調整用キャパシタCCCの第一端が接続される。

[0039] 分岐部11Bは、スイッチ回路SW3、SW4を備え、スイッチ回路SW3とスイッチ回路SW4との接続点でスイッチ回路SW2に接続される。分岐部11Bは、外部から制御ポートVc3に入力される電圧に基づいて、PCS受信状態とDCS受信状態とが切り替わる。

[0040] スwitch回路SW3は、スイッチ回路SW2と信号ポート1900-Rxとの間に接続される。このスイッチ回路SW3は、ダイオードPD1とインダクタPSL1とキャパシタPCu3とを備える。ダイオードPD1は、アノードがスイッチ回路SW2に、カソードが直流カット用キャパシタを介して信号ポート1900-Rxに接続される。ダイオードPD1のカソードは、インダクタPSL1を介してグラウンドに接続され、キャパシタPCu3を介してグラウンドに接続される。

[0041] スwitch回路SW4はスイッチ回路SW2と信号ポート1800-Rxとの間に接続される。このスイッチ回路SW4は、インダクタPSL2とキャパシタDCu3とダイオードPD2とキャパシタPC5と抵抗Rpとを備える。インダクタPSL2は、第一端がスイッチ回路SW2に接続され、第二端が直流カット用キャパシタを介して信号ポート1800-Rxに接続される。インダクタPSL2の第二端は、キャパシタDCu3を介してグラウンドに接続され、ダイオードPD2のカソードが接続される。ダイオードPD2のアノードは、抵抗Rpを介して制御ポートVc3に接続され、キャパシタPC5を介してグラウンドに接続される。

[0042] 分岐部11BがPCS受信状態のとき、スイッチ回路SW4はPCSの受信信号の伝搬を抑制し、スイッチ回路SW3はPCSの受信信号を伝搬する。その際には制御ポートVc3からの電圧印加により、ダイオードPD2のアノードにスイッチング電圧より高い電圧が印加される。このため、ダイオードPD2がONになってインダクタPSL2の第二端がキャパシタPC5を介してグラウンドに接続され、ダイオードPD2のインダクタンス成分とキャパシタPC5とが直列共振する。インダクタP

SL2の線路長は、PCSの受信信号周波数帯における波長のほぼ $1/4$ の長さに設定されており、インダクタPSL2のダイオードPD2側が直列共振により接地されるため、スイッチ回路SW3側からインダクタPSL2側を見るとインピーダンスが無大のオープン状態になるように設定されている。したがって、スイッチ回路SW4におけるPCSの受信信号の伝搬が抑えられる。一方、スイッチ回路SW3では、ダイオードPD1のアノードにスイッチング電圧より高い電圧が印加される。このため、ダイオードPD1がONになってスイッチ回路SW3をPCSの受信信号が伝搬する。

[0043] 分岐部 1 1 BがDCS受信状態のとき、スイッチ回路SW4はDCSの受信信号を伝搬し、スイッチ回路SW3はDCSの受信信号の伝搬を抑制する。その際には制御ポートVc3からの電圧印加により、ダイオードPD2のアノードにスイッチング電圧より低い電圧が印加される。このため、ダイオードPD2がOFFになる。これにより、スイッチ回路SW4をDCSの受信信号が伝搬する。一方、スイッチ回路SW3では、ダイオードPD1のアノードにスイッチング電圧より低い電圧が印加される。このため、ダイオードPD1がOFFになって、スイッチ回路SW3におけるDCSの受信信号の伝搬が抑制される。

[0044] ここで、フィルタ調整用キャパシタCCCとしては、約0.2pFのキャパシタンスのものを採用している。フィルタ調整用キャパシタCCCの第一端はローパスフィルタLPF1の、インダクタDLt1とキャパシタDCc1とが構成するLC並列共振回路よりも信号ポート1800/1900-Tx側に接続している。また、その第二端はスイッチ回路SW2に設けたダイオードDD2のアノードに接続している。これにより、分岐部 1 1 Aでは、ダイオードDD2がONになり、フィルタ調整用キャパシタCCCがインダクタDSL2の第二端に接続されている送信状態の間に、ローパスフィルタLPF1のインダクタDLt1とフィルタ調整用キャパシタCCCとによる並列回路での共振が生じることになる。そのため、この共振を利用して、高周波モジュールの周波数特性に所望の変更を与えることができる。

[0045] なお、フィルタ調整用キャパシタCCCのキャパシタンス値が大きすぎると、フィルタ調整用キャパシタCCCにより接続される信号ライン間のアイソレーシ

ョンや、各信号ラインの通過特性が劣化する虞がある。そのため、フィルタ調整用キャパシタCCCのキャパシタンスは十分小さく、例えば0.1pF~0.6pFに設定すると好適であり、そのようにフィルタ調整用キャパシタCCCのキャパシタンスが小さくてもローパスフィルタLPF1の回路定数などを適正にキャリブレーションすることで、高周波モジュールの周波数特性に所望の変更を与えることが可能である。

[0046] 以上の構成では、ローパスフィルタLPF1がスイッチ回路SW1よりも信号ポート1800/1900-Tx側にシリーズに接続された本発明のフィルタに相当する。そして、アンテナポートANTと信号ポート1800/1900-Txとを接続する信号ラインが、本発明の第1の信号ラインに相当する。また、アンテナポートANTと信号ポート1900-Rxとを接続する信号ラインと、アンテナポートANTと信号ポート1800-Rxとを接続する信号ラインと、がそれぞれ本発明の第2の信号ラインに相当する。

[0047] 図2は、本実施形態に係る高周波モジュールの周波数特性を例示する特性図である。なお、本構成例でのデータを図中に実線で、フィルタ調整用キャパシタCCCを設けない比較構成例でのデータを図中に破線で示す。

[0048] 図2(A)は、アンテナポートANTと信号ポート1800/1900-Txとの間での通過特性を例示する特性図である。これらのポート間の通過特性において、本構成例では約3.37GHzに通過帯域の高周波側の減衰極が位置した。一方、比較構成例では約3.57GHzに通過帯域の高周波側の減衰極が位置した。これらの通過帯域の高周波側の減衰極は、ローパスフィルタLPF1の主作用によってPCS信号およびDCS信号の高次高調波が遮断される周波数である。本構成例では通過帯域の高周波側の減衰極の周波数は比較構成例からあまり遷移せず、フィルタ調整用キャパシタCCCを設けても信号ポート1800/1900-Txを伝搬する信号の高次高調波を十分に遮断できることが確認された。

[0049] このことから、ローパスフィルタLPF1が設けられる信号ラインにおける通過特性は、ローパスフィルタLPF1単体の共振と、フィルタ調整用キャパシタCCCとによる影響を受けることがわかる。しかしながら、フィルタ調整用キャ

パシタCCCによる影響はローパスフィルタLPF1単体の共振による影響よりも小さく、この信号ラインにおける通過特性は、フィルタ調整用キャパシタCCCを設けても、あまり損なわれなないといえる。このため、本発明によれば、第1の信号ラインにおける通過特性を損なわずに、第1の信号ラインを伝搬する信号と第2の信号ラインを伝搬する信号との間のアイソレーションを改善することが可能であるといえる。

[0050] 図2(B)および図2(C)は、信号ポート1800/1900-Txと信号ポート1900-Rxとの間でのアイソレーション特性を例示する特性図である。これらのポート間での周波数特性において、比較構成例では、ローパスフィルタLPF1単体による減衰極が図2(A)の破線に示す周波数特性における減衰極とほぼ等しい周波数の約3.57GHzに位置した。一方、本構成例ではローパスフィルタLPF1単体による減衰極が図2(A)の実線に示す周波数特性における減衰極よりも約370MHz低い約3.00GHzに位置した(図2(B)の実線を参照)。本構成例ではフィルタ調整用キャパシタCCCを設けることで、ローパスフィルタLPFを構成するインダクタDLt1ともう1つの並列共振回路を構成することができ、信号ポート1800/1900-Txと信号ポート1900-Rxとの間での周波数特性において、通過帯域の高周波側の減衰極の周波数を比較構成例より低くできることが確認された。さらに本構成例では、比較構成例ではあまり減衰のない約1.71GHz付近での減衰を大きくできることが確認された。これらのことにより、比較構成例では約1.71GHz～約1.91GHzの帯域にわたって確保された減衰量は約23.9dBであったが、本構成例では約1.71GHz～約1.91GHzの帯域にわたって約31.1dBの減衰量を確保することができた。すなわち、PCSの送信信号の周波数帯域(1850～1910MHz)での減衰量を約31.1dB確保し、信号ポート1800/1900-Txと信号ポート1900-Rxとの間のアイソレーションを改善できた。

[0051] 図3、4は、本実施形態に係る高周波モジュールの積み図である。図3(A)～(O)、図4(P)～(Y)は最下層から最上層まで順に基板(A)～(Y)を下面視した平面図である。また図4(Z)は多層基板の最上層の基板(Y)を上面視した平面図である。なお、基板(A)～(Y)における

ビア電極は図中に丸印で示す。

- [0052] 基板（A）は多層基板の最下層に積層され、下面が高周波モジュールの実装面になっていて、複数の実装電極が形成されている。図中に示す矢印は、実装電極のポート名を示す。
- [0053] 基板（B）は多層基板の最下層から2層目に積層され、基板下面に内装グラウンド電極が設けられ、基板内部にビア電極が設けられる。
- [0054] 基板（C）は多層基板の最下層から3層目に積層され、基板下面にキャパシタGCu3を構成するパターン電極と、キャパシタGC5を構成するパターン電極とが設けられ、基板内部にビア電極が設けられる。
- [0055] 基板（D）は多層基板の最下層から4層目に積層され、基板下面に内装グラウンド電極が設けられ、基板内部にビア電極が設けられる。基板（D）のグラウンド電極および基板（B）のグラウンド電極と、両グラウンド電極にはさみこまれる基板（C）パターン電極との間でキャパシタGCu3, GC5を構成している。
- [0056] 基板（E）は多層基板の最下層から5層目に積層され、基板下面にキャパシタPC5を構成するパターン電極と、キャパシタGC5を構成するパターン電極と、キャパシタDC5を構成するパターン電極と、キャパシタGCu2を構成するパターン電極とが設けられ、基板内部にビア電極が設けられる。
- [0057] 基板（F）は多層基板の最下層から6層目に積層され、基板下面にキャパシタDCu2を構成するパターン電極と、内装グラウンド電極とが設けられ、基板内部にビア電極が設けられる。基板（F）のグラウンド電極および基板（D）のグラウンド電極と、両グラウンド電極にはさみこまれる基板（E）のパターン電極との間でキャパシタPC5, GC5, DC5, GCu2を構成している。
- [0058] ここで、基板（E）のキャパシタDC5を構成するパターン電極と、基板（F）のキャパシタDCu2を構成するパターン電極とは基板（E）を介して対向させていて、これらのパターン電極の重なりによりフィルタ調整用キャパシタCCとして機能させている。
- [0059] 基板（G）は多層基板の最下層から7層目に積層され、基板下面にキャパ

シタCt2を構成するパターン電極と、キャパシタCu1を構成するパターン電極と、キャパシタDCu2を構成するパターン電極と、キャパシタGCu1を構成するパターン電極とが設けられ、基板内部にビア電極が設けられる。

[0060] 基板（H）は多層基板の最下層から8層目に積層され、基板下面に内層グラウンド電極が設けられ、基板内部にビア電極が設けられる。このグラウンド電極は、基板（G）に形成したパターン電極との間でキャパシタCt2, Cu1, DCu2, GCu1を構成している。

[0061] 基板（I）は多層基板の最下層から9層目に積層され、基板下面にキャパシタDCu4を構成するパターン電極と、キャパシタDCu1を構成するパターン電極とが設けられ、基板（H）に形成したグラウンド電極との間でキャパシタDCu4, DCu1を構成している。基板内部にはビア電極が設けられている。

[0062] 基板（J）は多層基板の最下層から10層目に積層され、基板内部にビア電極が設けられる。

[0063] 基板（K）～（Y）は多層基板の最下層から11～25層目に積層され、基板下面に複数のインダクタを構成する複数のパターン電極が設けられ、基板内部にビア電極が設けられる。基板（Y）の上面には、ディスクリット部品の回路素子を接続する複数の表面電極が設けられる。

[0064] 本実施形態のように、基板（E）のキャパシタDC5を構成するパターン電極と、基板（F）のキャパシタDCu2を構成するパターン電極とをフィルタ調整用キャパシタCCCとして機能させることにより、フィルタ調整用キャパシタCCCを構成するためのパターン電極を別途設ける必要がなくなりモジュールサイズの増大を抑えることができる。また、フィルタ調整用キャパシタCCCを他の回路素子と接続するための線路電極が必要なくなるので、不要な寄生容量の発生を抑えることができ、キャパシタDC5とダイオードDD2との直列共振を安定させ、第2の信号ラインにおける通過特性の変動を抑制できる。

[0065] なお、他にも、キャパシタDC5に接続する配線電極と、キャパシタDCu2に接続する配線電極とを対向させることで、フィルタ調整用キャパシタCCCを構成することも可能である。なお、本実施形態のように多層基板の最下層あるい

はその近傍の層にグランド電極を配置することでグランド電極部での寄生インダクタンスの発生が抑えられる。このため、グランド電極の近傍にキャパシタ電極を配置することにより、片端を接地するキャパシタで発生する寄生インダクタンスを低減でき、前記の直列共振のQが向上し、第1の信号ラインと第2の信号ラインとの間のアイソレーションを改善することができる。

[0066] 次に、本発明の第2の実施形態に係る高周波モジュールの構成例を説明する。以下の説明では、第1の実施形態に係る高周波モジュールと同じ構成には同じ記号を付し、説明を省く。

[0067] 図5は、本実施形態に係る高周波モジュールの概略の回路図である。本実施形態は、フィルタ調整用キャパシタCCCの第一端を、ローパスフィルタLPF1におけるインダクタDLt2の第二端に接続している。このような回路構成を採用しても、本発明は好適に実施できる。

[0068] 図6は、本実施形態に係る高周波モジュールの周波数特性を例示する特性図である。なお、本構成例でのデータを図中に実線で、フィルタ調整用キャパシタCCCを設けない比較構成例でのデータを図中に破線で示す。

[0069] 図6(A)は、アンテナポートANTと信号ポート1800/1900-Txとの間での通過特性を例示する特性図である。これらのポート間の通過特性において、本構成例も比較構成例も約3.03GHzに通過帯域の高周波側の減衰極が位置した。本構成例では通過帯域の高周波側の減衰極の周波数は比較構成例からほとんど遷移せず、フィルタ調整用キャパシタCCCを設けても信号ポート1800/1900-Txを伝搬する信号の高次高調波を十分に遮断できることが確認された。

[0070] 図6(B)は、信号ポート1800/1900-Txと信号ポート1900-Rxとの間でのアイソレーション特性を例示する特性図である。これらのポート間でのアイソレーション特性において、比較構成例では約1.71GHz～約1.91GHzの帯域にわたって確保された減衰量は約22.5dBであったが、本構成例ではPCSの送信信号の周波数帯域を含む約1.71GHz～約1.91GHzの帯域にわたって約31.1dBの減衰量を確保することができた。

[0071] 次に、本発明の第3の実施形態に係る高周波モジュールの構成例を説明す

る。以下の説明では、第1の実施形態に係る高周波モジュールと同じ構成には同じ記号を付し、説明を省く。

[0072] 図7は、本実施形態に係る高周波モジュールの概略の回路図である。本実施形態は、フィルタ調整用キャパシタCCCの第一端を、ローパスフィルタLPF2におけるインダクタGLt1の第二端に接続している。そして、フィルタ調整用キャパシタCCCの第二端を、スイッチ回路SW6におけるダイオードGD2のアノードに接続している。なお、ここではフィルタ調整用キャパシタCCCのキャパシタンスを約0.5pFとしている。このような回路構成を採用しても、本発明は好適に実施できる。

[0073] 図8は、本実施形態に係る高周波モジュールの周波数特性を例示する特性図である。なお、本構成例でのデータを図中に実線で、フィルタ調整用キャパシタCCCを設けない比較構成例でのデータを図中に破線で示す。

[0074] 図8(A)は、アンテナポートANTと信号ポート850/900-Txとの間での通過特性を例示する特性図である。これらのポート間の通過特性において、本構成例も比較構成例も約1.83GHzに通過帯域の高周波側の減衰極が位置した。これらの通過帯域の高周波側の減衰極は、ローパスフィルタLPF2の主作用によってEGSM信号の高次高調波が遮断される周波数である。本構成例では通過帯域の高周波側の減衰極の周波数は比較構成例からほとんど遷移せず、フィルタ調整用キャパシタCCCを設けても信号ポート850/900-Txを伝搬する信号の高次高調波を十分に遮断できることが確認された。

[0075] 図8(B)は、信号ポート850/900-Txと信号ポート900-Rxとの間でのアイソレーション特性を例示する特性図である。これらのポート間でのアイソレーション特性において、比較構成例では約820MHz~920MHzの帯域にわたって確保された減衰量は約26.4dBであったが、本構成例ではEGSMの送信信号の周波数帯域を含む820MHz~920MHzの帯域にわたって約29.6dBの減衰量を確保することができた。

[0076] 上述の各実施形態に示す他にも、本発明は上述の回路構成でフィルタ調整用キャパシタCCCの接続箇所を変更するようにしても好適に実施できる。例え

ば、フィルタ調整用キャパシタCCCの第一端をローパスフィルタLPF1の後段に接続し、第二端をダイオードPD2のアノードなどに接続して構成することも可能である。

- [0077] また、本発明は他の回路構成であっても好適に実施できる。例えば、上述の回路構成の信号ポート1900-Rxなどにフィルタの構成を追加し、そのフィルタの信号ポート側にフィルタ調整用キャパシタCCCの第一端を接続し、フィルタ調整用キャパシタCCCの第二端をダイオードPD2のアノードに接続するように構成することも可能である。

符号の説明

- [0078] 1…高周波モジュール
DPX…ダイプレクサ
HPF…ハイパスフィルタ
LPF, LPF1, LPF2…ローパスフィルタ
1 1 A ~ 1 1 C…分岐部
SW1~SW6…スイッチ回路
DD1, DD2, GD1, GD2, PD1, PD2…ダイオード
CCC…フィルタ調整用キャパシタ

請求の範囲

- [請求項1] 複数の個別信号入出力ポートと、共用アンテナポートと、前記共用アンテナポートと前記複数の個別信号入出力ポートとの接続を切り替えるスイッチ回路と、前記共用アンテナポートと前記個別信号入出力ポートとを接続する第1および第2の信号ラインと、を備える高周波モジュールであって、
- 前記スイッチ回路を、前記第1および第2の信号ラインそれぞれに接続したスイッチ素子を含んで構成し、
- 前記第1の信号ラインにおける前記スイッチ回路の接続位置よりも前記個別信号入出力ポート側にシリーズに接続されたフィルタと、
- 前記第1の信号ラインにおける前記フィルタの接続位置よりも前記個別信号入出力ポート側に第一端が接続され、前記第2の信号ラインに接続した前記スイッチ素子に第二端が接続されたフィルタ調整用キャパシタと、を備える、
- 高周波モジュール。
- [請求項2] 前記フィルタは、並列に接続される並列共振キャパシタと並列共振インダクタとを備え、前記並列共振キャパシタと前記並列共振インダクタとによる並列共振の共振周波数が、前記第1の信号ラインを伝搬する信号の高次高調波の周波数に設定される、請求項1に記載の高周波モジュール。
- [請求項3] 前記フィルタ調整用キャパシタと前記並列共振インダクタとによる共振回路の共振周波数が、前記第1の信号ラインを伝搬する信号の基本波あるいは高次高調波の周波数に設定される、請求項2に記載の高周波モジュール。
- [請求項4] 前記第1の信号ラインに接続した前記スイッチ素子は、前記第1の信号ラインにおける前記共用アンテナポート側にアノードが接続され、前記個別信号入出力ポート側にカソードが接続された第1のダイオードであり、

前記第2の信号ラインに接続した前記スイッチ素子は、前記第2の信号ラインにカソードが接続され、制御端子にアノードが接続される第2のダイオードであって、前記アノードが直列共振キャパシタを介してグランドに接続され、

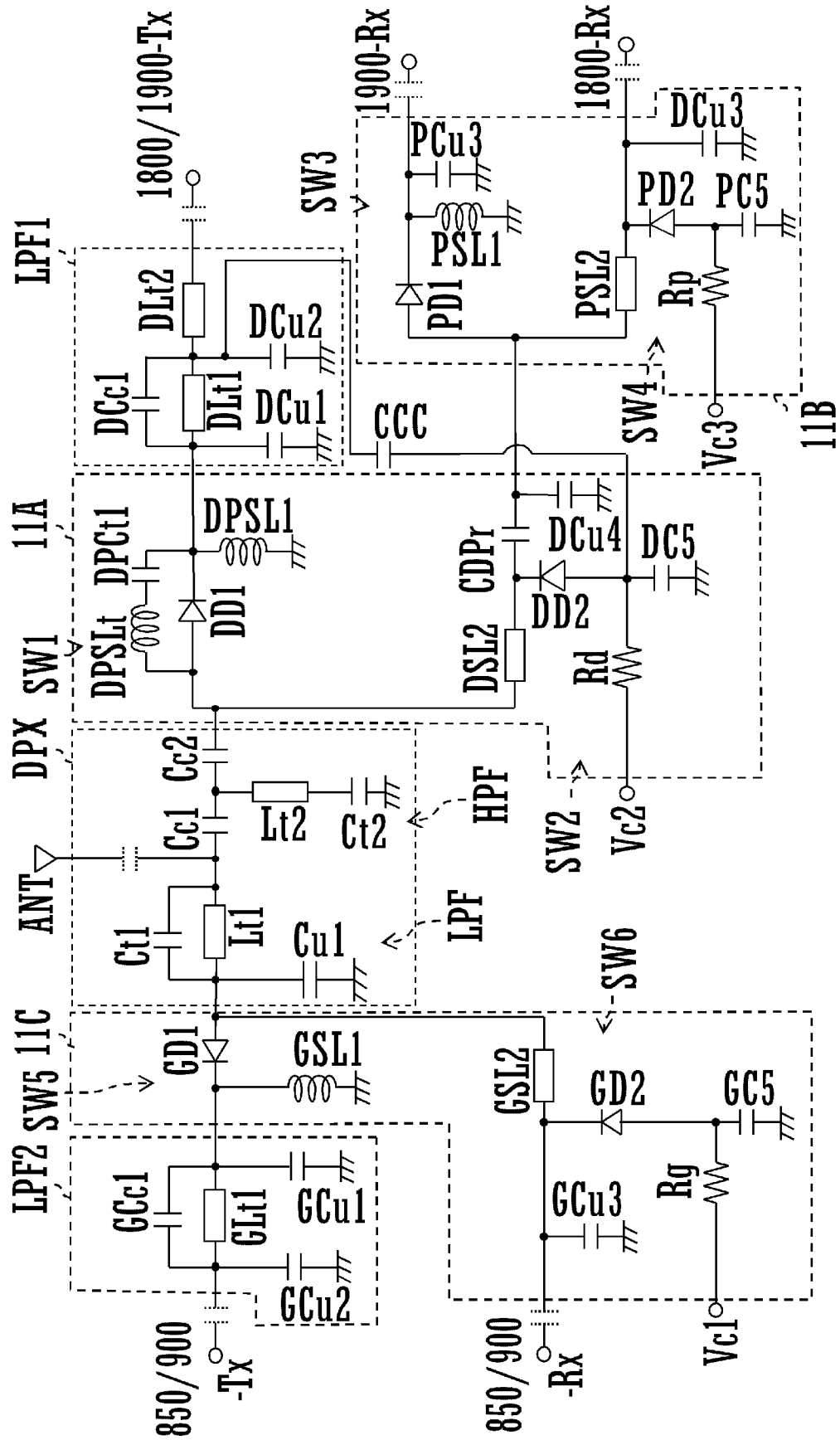
前記フィルタ調整用キャパシタは、前記第2のダイオードと前記直列共振キャパシタとの接続位置に前記第二端が接続される、請求項1～3のいずれかに記載の高周波モジュール。

[請求項5] 前記並列共振キャパシタの少なくとも一部を構成するパターン電極と、前記直列共振キャパシタの少なくとも一部を構成するパターン電極と、を多層基板の主面法線方向に対向させて前記フィルタ調整用キャパシタを構成した、請求項4に記載の高周波モジュール。

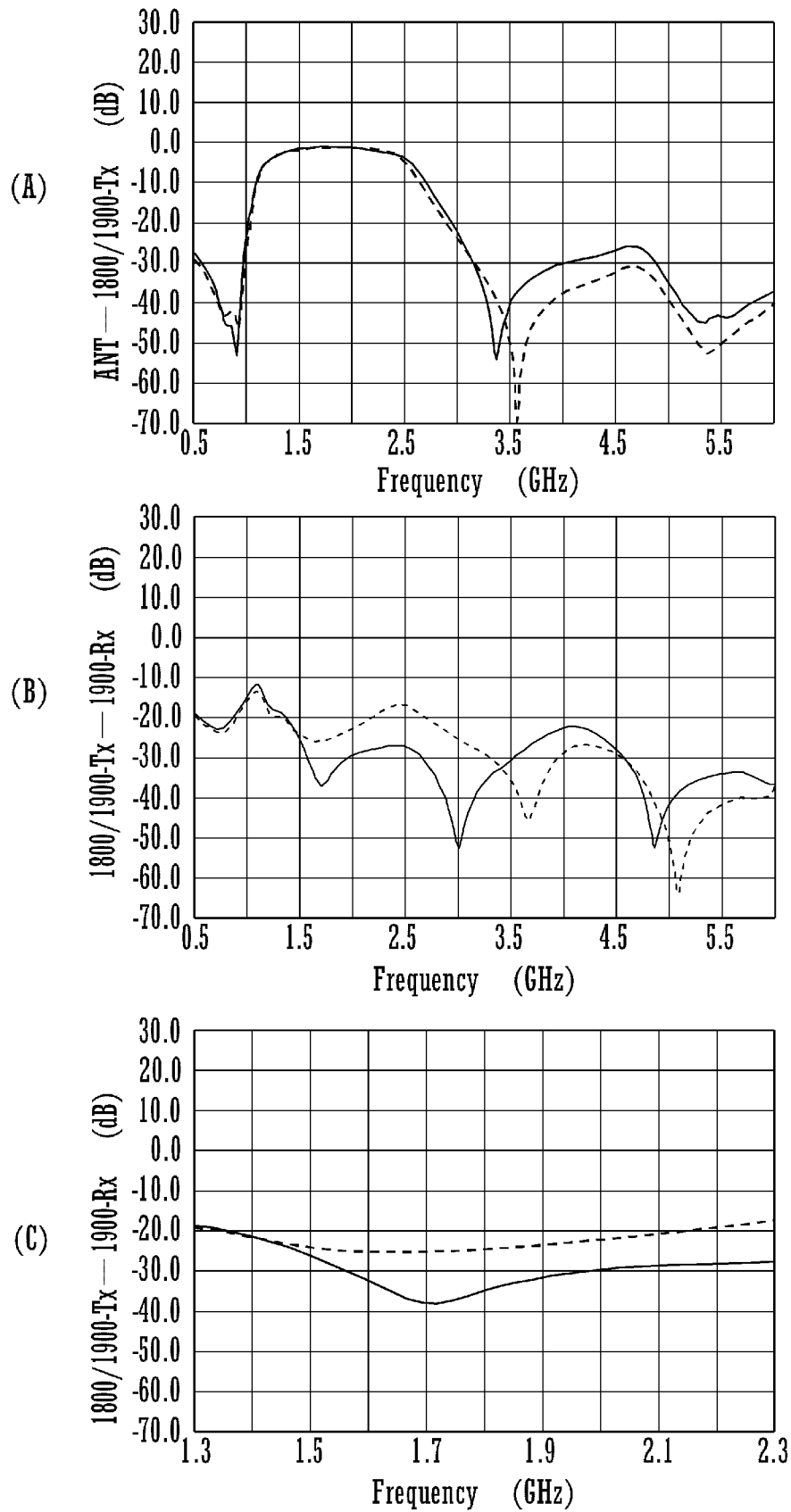
[請求項6] 前記並列共振キャパシタに接続される配線電極と、前記直列共振キャパシタに接続される配線電極と、を多層基板の主面法線方向に対向させて前記フィルタ調整用キャパシタを構成した、請求項4に記載の高周波モジュール。

[請求項7] 前記フィルタ調整用キャパシタのキャパシタンスを約0.1pF～約0.6pFとした、請求項1～6のいずれかに記載の高周波モジュール。

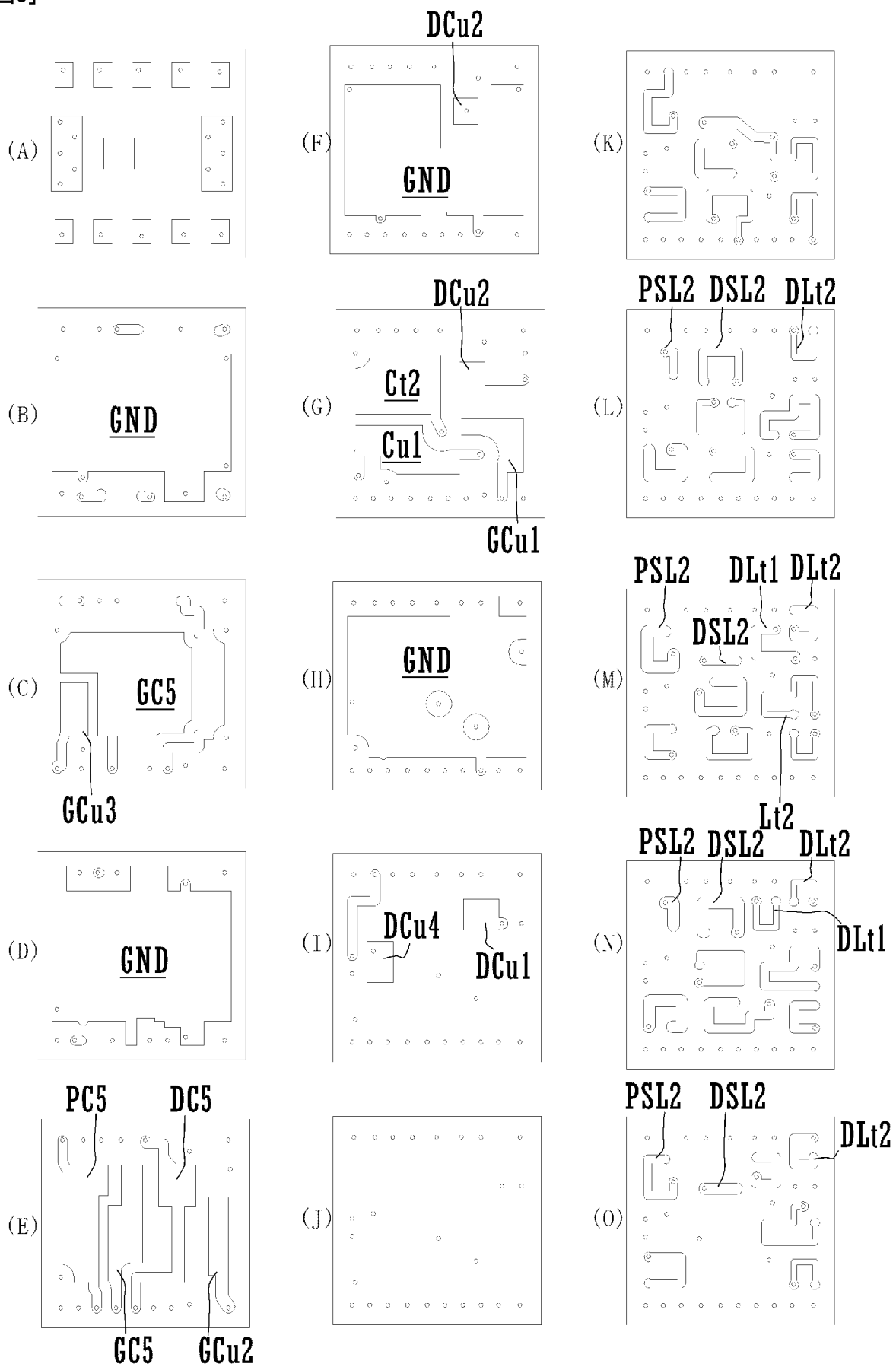
[図1]



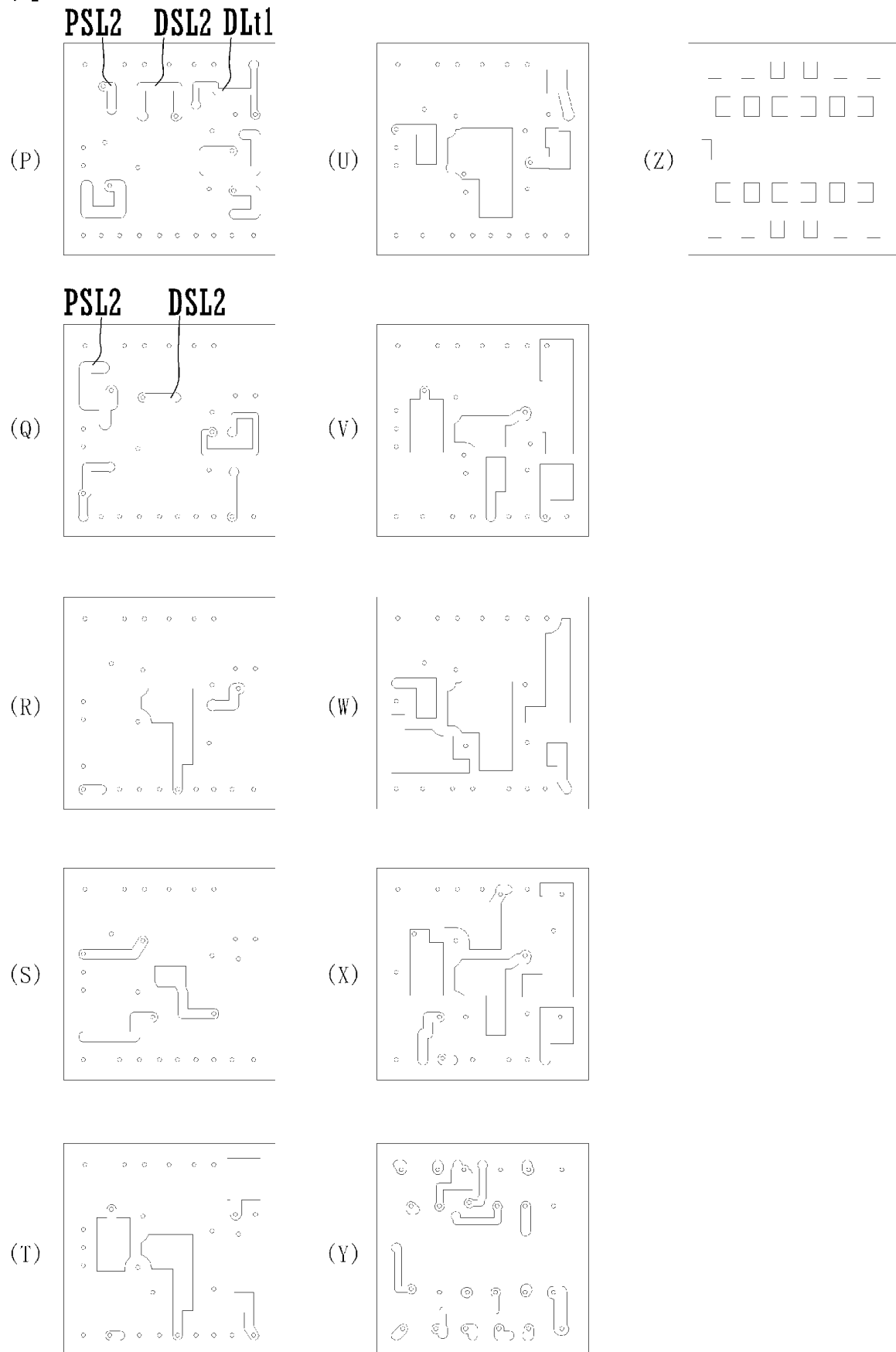
[図2]



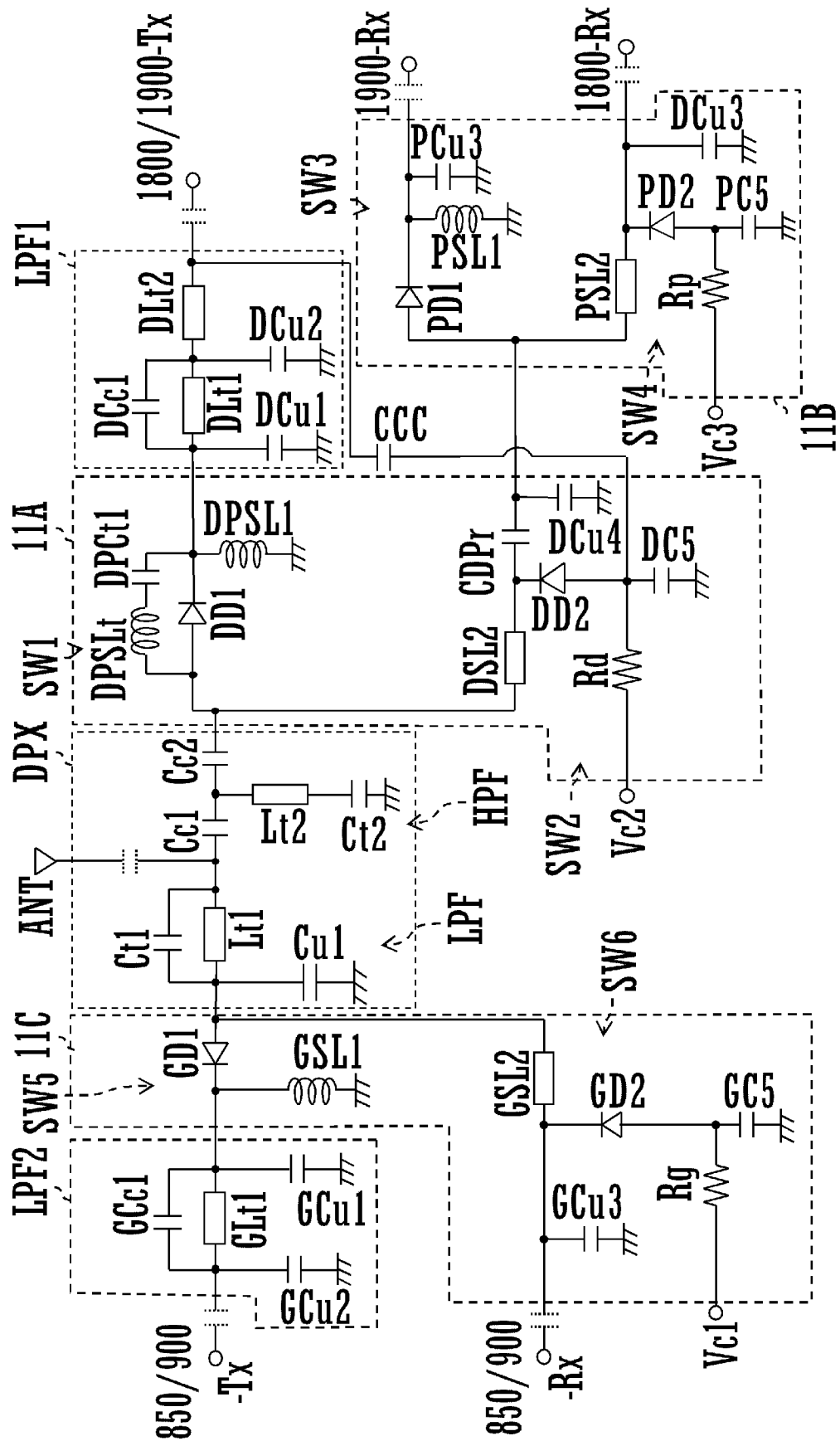
[図3]



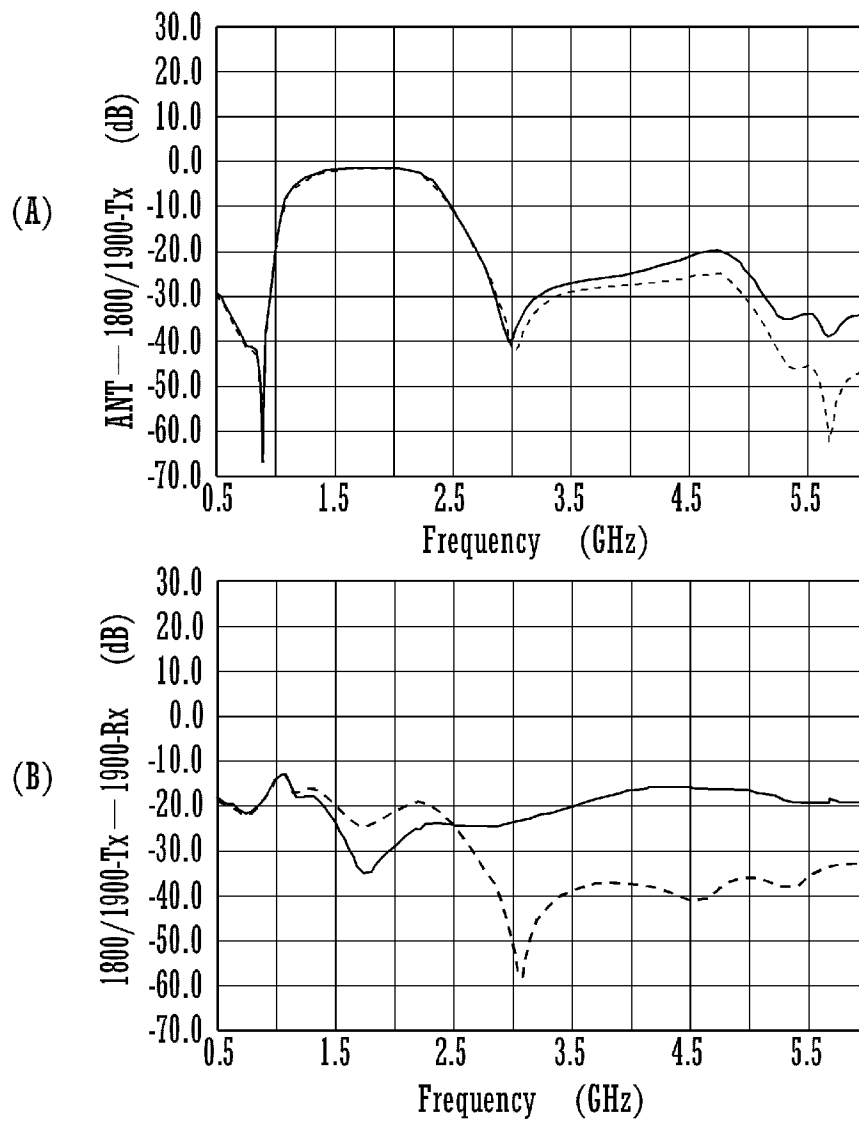
[図4]



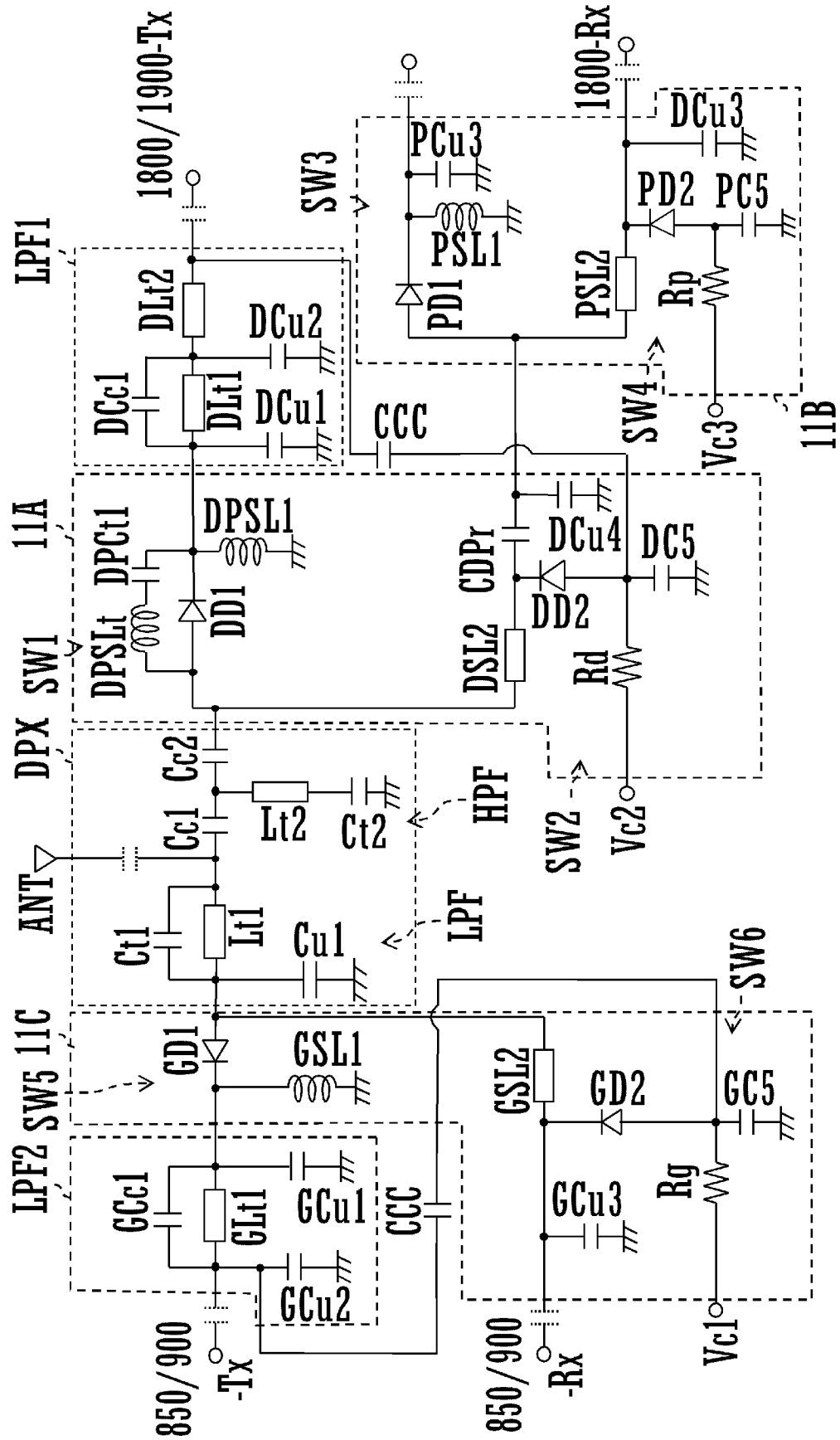
[図5]



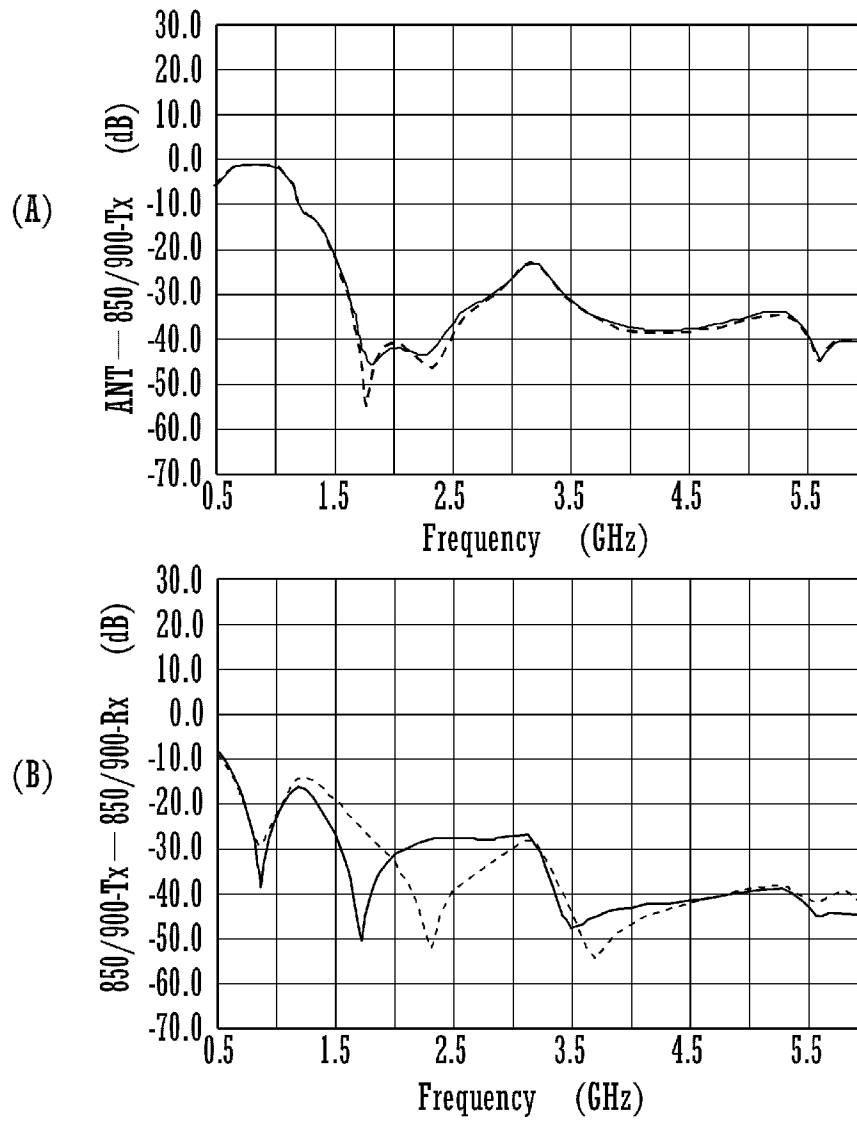
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/053284

A. CLASSIFICATION OF SUBJECT MATTER

H04B1/40 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B1/38-1/58

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/004557 A1 (Hitachi Metals, Ltd.), 10 January 2008 (10.01.2008), entire text; all drawings & EP 2040377 A1 & KR 10-2009-0035480 A & CN 101485085 A	1-7
A	JP 2002-064400 A (Hitachi Metals, Ltd.), 28 February 2002 (28.02.2002), entire text; all drawings (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
25 March, 2010 (25.03.10)

Date of mailing of the international search report
06 April, 2010 (06.04.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04B1/40(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04B1/38-1/58

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2008/004557 A1（日立金属株式会社）2008.01.10, 全文および全図 & EP 2040377 A1 & KR 10-2009-0035480 A & CN 101485085 A	1 - 7
A	JP 2002-064400 A（日立金属株式会社）2002.02.28, 全文および全図（ファミリーなし）	1 - 7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 3 . 2 0 1 0

国際調査報告の発送日

0 6 . 0 4 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

甲斐 哲雄

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 6

5 W

9 7 5 0