[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 21/3205
H01L 21/768 C23C 14/00

[12] 发明专利说明书

[21] ZL 专利号 00103663.7

[45] 授权公告日 2004 年 9 月 29 日

[11] 授权公告号 CN 1169199C

[22] 申请日 2000.3.1 [21] 申请号 00103663.7

[30] 优先权

[32] 1999. 3. 2 [33] US [31] 09/261,879

[71] 专利权人 自由度半导体公司

地址 美国得克萨斯

[72] 发明人 迪恩·J·丹宁 萨姆·S·加西亚
布拉德利·P·史密斯
丹尼尔·J·路普
格里高里·诺曼·汉米尔顿
MD·拉比欧·伊斯拉姆
布莱恩·G·安托尼

审查员 闫立刚

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

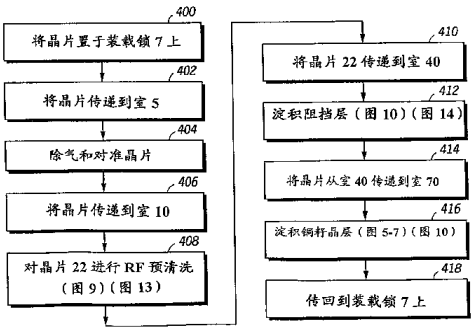
代理人 王永刚

权利要求书 1 页 说明书 19 页 附图 6 页

[54] 发明名称 用于铜互连的阻挡层的形成方法

[57] 摘要

本发明提供一种用于铜互连的阻挡层的形成方法该方法通过 RF 预清洗将镶嵌结构的角倒圆，减少了空洞形成，改善了台阶覆盖，同时不会从暴露铜互连表面显著去除铜原子。 然后，淀积钽阻挡层，该层的一部分有比另一部分大的张力。 在阻挡层上部上形成铜籽晶层。 在用改进的夹具夹紧晶片的同时形成铜层，可以减少铜剥离和晶片边缘的沾污。 然后用铜电镀和化学机械抛光工艺完成铜互连结构。



ISSN1008-4274

1. 一种在晶片（200）上形成阻挡层（220）的方法，该方法的特征在于：

将晶片（200）置于处理室（40）中；

在第一时间周期内给溅射靶（48）施加功率；

在第二时间周期内给线圈（52）施加功率，其中第二时间周期不同于第一时间周期；及

在淀积阻挡层（220）期间控制加于溅射靶（48）和线圈（52）上的功率，其中，给线圈施加功率发生在给溅射靶施加功率之前，在给溅射靶施加功率和给线圈施加功率之间的时间期间形成的阻挡层的第一部分 比在给溅射靶施加功率和给线圈施加功率之后的时间期间形成的阻挡层的第二部分具有更小张力。

2. 根据权利要求 1 的方法，进一步包括在淀积阻挡层期间给晶片施加功率。

3. 根据权利要求 1 的方法，进一步包括在淀积阻挡层期间对线圈交替地施加功率和减小功率。

4. 根据权利要求 1 的方法，其中在给线圈施加功率之前结合进阻挡层中的惰性溅射气体的第一数量与在给线圈施加功率之后结合进阻挡层中的惰性溅射气体的第二数量不同。

5. 根据权利要求 4 的方法，其中该惰性溅射气体包括氩。

6. 根据权利要求 1 的方法，其中材料被从线圈和溅射靶两者溅射而形成阻挡层。

用于铜互连的阻挡层的形成方法

技术领域

本发明一般涉及半导体制造，特别涉及用于铜互连的阻挡/籽晶层淀积工艺。

背景技术

在集成电路（IC）工业中，目前正开发用铜作为互连中铝的替代材料。由于铜的制造较便宜，所以铜互连一般优于铝互连。此外，铜互连的电阻比铝互连小，因此产生较少的热。另外，铜电阻的减小提高了IC以较高工作频率工作的能力，因而提高了性能，此外，与铝相比，铜还具有提高了的抗电迁移性。

然而，不管这些优点如何，如果要变成可靠的替代品，铜还有数个必须克服的缺点。铜的一个缺点是可能会作为移动离子沾污的源。铜离子容易通过用于制造半导体的常规介质材料扩散。如果含量不合适，铜会扩散到器件的有源区，因而影响了器件的可靠性。此外，铜容易被腐蚀。因此，需要互连形成为更复杂且需要利用化学机械抛光（CMP）工艺的镶嵌结构。另外，铜处理需要利用新材料和新工艺，如果不适当地加入这些制造工艺，会存在种种问题和复杂性。

例如，在利用铜互连时，一般需要阻挡层。阻挡层在铜周围形成，以包含之，从而防止其沾污相邻层和有源区。对铝来说一般不需要的这些阻挡层正产生必须解决的新的制造和集成问题。用于形成这些阻挡层的材料和工艺目前还未弄得很清楚。因此，形成它们的这些材料和工艺的进一步改善可能会显著提高晶片的成品率、器件的可靠性和设备正常运行能力。

在铜处理中用作阻挡层的许多材料（例如，难熔金属）也会对器件的可靠性产生不良影响。这些可靠性问题部分是由与相邻膜有关的阻挡层应力造成的。因此，阻挡层应力控制也可能提高整个IC成品

率和可靠性。

另外，目前用于淀积互连中铜的工艺和处理室从厚度和均匀性控制方面来说并不是最佳的。控制缺乏成为问题。如果所淀积铜膜的均匀性充分改变，则成品率会受相反的影响，和/或随后的工艺会因需要进行调节以补偿不均匀淀积膜而进一步复杂化。

此外，在淀积及晶片传输期间，铜和铜阻挡材料与处理室部件间的粘附性不足也会造成问题。这些材料是潜在的颗粒源。优化淀积工艺从而改善这些材料的粘附性将有利于提高成品率，减少处理室中的颗粒污染。

许多铜工艺都具有台阶覆盖问题，其中与平坦表面相比，通孔和沟槽侧壁被铜膜覆盖的程度较差。此外，如果在开口上部淀积的膜以太高的速率淀积，则还会发生铜空洞问题。这会引起在完全填充开口前在上部发生膜夹断，并会导致在开口内形成空洞。改善台阶覆盖和使空洞最小的工艺具有提高采用铜互连的器件的成品率和可靠性的潜力。

另外，由于前述的移动离子，对铝来说不成问题的预金属淀积期间材料的背溅射对铜来说成为问题。如果铝背溅射到露出的晶片表面上，已有化学试剂和工艺去除之。此外，这种铝不容易通过不同层扩散。相反，背溅射的铜不容易用化学或其它方法去除。除非其包含在阻挡层，否则容易通过相邻膜扩散，影响成品率和可靠性。因此，暴露底下的铜层的任何互连工艺都应设计成确保从露出区去除最少量铜。

发明内容

因此，该行业中需要改进的金属化处理，从而可以大规模低成本制造铜互连，并能提高成品率和可靠性。

本发明提供一种在晶片（200）上形成阻挡层（220）的方法，该方法的特征在于：将晶片（200）置于处理室（40）中；在第一时间周期内给溅射靶（48）施加功率；在第二时间周期内给线圈（52）施加功率，其中第二时间周期不同于第一时间周期；及在淀积阻挡层

·（220）期间控制加于溅射靶（48）和线圈（52）上的功率，其中，给线圈施加功率发生在给溅射靶施加功率之前，在给溅射靶施加功率和给线圈施加功率之间的时间期间形成的阻挡层的第一部分 比在给溅射靶施加功率和给线圈施加功率之后的时间期间形成的阻挡层的第二部分具有更小张力。

根据本发明的上述方法，进一步包括在淀积阻挡层期间给晶片施加功率。

根据本发明的上述方法，进一步包括在淀积阻挡层期间对线圈交替地施加功率和减小功率。

根据本发明的上述方法，其中在给线圈施加功率之前结合进阻挡层中的惰性溅射气体的第一数量与在给线圈施加功率之后结合进阻挡层中的惰性溅射气体的第二数量不同。

根据本发明的上述方法，其中该惰性溅射气体包括氩。

根据本发明的上述方法，其中材料被从线圈和溅射靶两者溅射而形成阻挡层。

附图说明

从以下结合附图的具体介绍中，可以更清楚地理解本发明的特点和优点，附图中，类似的数字表示类似和相应的部分，其中：

图 1 是顶透视图，展示了根据本说明书的多室集成电路淀积系统。

图 2 是剖面示图，展示了根据本说明书的图 1 所示射频（RF）预清洗室。

图 3 是剖面示图，展示了根据本说明书的图 1 所示阻挡层淀积室。

图 4 是剖面示图，展示了根据本说明书的图 1 所示铜籽晶层淀积室。

图 5 是剖面示图，展示了本说明书的图 4 的放大夹具部分，更详细地展示了图 4 的该特定夹具。

图 6 是顶透视图，展示了根据本说明书的图 5 的夹具。

图 7 是剖面示图，展示了利用具有不合适几何形状的夹具的不良

影响。

图 8－11 是剖面示图，展示了根据本说明书的利用图 1－6 所示系统形成铜互连的方法。

图 12 是流程图，展示了根据本说明书的形成用于铜互连的阻挡层和籽晶层的方法。

图 13 以表格的形式比较了现有技术的铝预清洗方法与用于本说明书的新的铜预清洗技术。

图 14 以 XY 曲线展示了阻挡层淀积室中的线圈、靶、和晶片的加电顺序，以便可以根据本说明书形成阻挡层。

所属领域的技术人员应理解，图中的各部分是为了简单和清晰而画，没有必要按比例画出。例如，图中的某些部分的尺寸可以相对其它部分放大，以便有助于对本发明实施例的理解。

具体实施方式

一般说，这里的图 1－14 教导了一种形成铜镶嵌互连结构的方法。一般情况下，该方法教导了镶嵌或双镶嵌结构的改进的预金属淀积处理，镶嵌结构中铜阻挡层的改进淀积处理，阻挡层上的籽晶层的改进淀积处理。

具体说，在现有技术的阻挡层淀积室内，电偏置部件一般靠近其它导电部件设置。在某些情况下，它们无意中会短路，引起所加偏置变化，导致不一致的处理。为防止这种问题在电偏置的晶片基座（支撑部件）与其它导电室部分间发生，在基座和其它导电室部件间要设置介质或陶瓷隔离环。除保护晶片不受电弧和短路影响外，隔离环还有助于保证所加偏置直接加于晶片上，而不是加到靠近晶片的处理室的其它导电部件上。从而进一步保证晶片正确有效的处理，并保持一致的结果。

在用钽（Ta）形成阻挡层时，发现它不能很好地粘附于陶瓷隔离环上。这造成了钽颗粒飞溅到陶瓷隔离环外飞到晶片上。这些颗粒会严重影响集成电路的成品率。为减少颗粒水平，引入了一种设计，在陶瓷隔离环上火焰喷涂或电弧喷涂铝涂层。发现该铝涂层可以提高钽

与隔离环的粘附性，可以显著减少颗粒数。

此外，发现现有技术中用于在铜籽晶层淀积期间固定晶片的常规夹具是不合适的。夹具的升高的阴影区设计成在晶片表面之上太高，因而在阴影区下，铜会以不好的质量淀积在晶片上。这会产生铜结节和/或还会在晶片上形成随着其向晶片的外围延伸铜厚度逐渐减小的区域（渐变铜区）。由于这些铜结节和铜渐变区易于从晶片表面脱离，所以发现在随后的镀敷和/或化学机械抛光（CMP）操作中，这些铜结节和渐变铜区会作为颗粒源，降低管芯成品率。此外，如果允许夹具在用铜溅射的区域中接触晶片，则溅射的铜会粘附于夹具表面和晶片表面上，在夹具和晶片彼此分离时，这种溅射的铜会破裂或剥落。为避免这些问题，已开发出一种改进的夹具，这里将介绍之，通过防止上述不良现象，显著提高成品率。

此外，发现，处理室维护后，在阻挡层淀积室的部件上加氮化钽（TaN）涂层，会极大地减少由于颗粒的缘故造成的处理室停机时间。在处理室不涂 TaN 时，溅射于室的内部部件上的残留钽容易飞溅在处理室内和晶片上产生颗粒。因此需要增加处理室清洗的频率，相应地增加了设备停机时间。发现，周期性的 TaN 处理室涂敷/改善钽与室内部部件的粘附性，并减少颗粒，可以减少处理室的停机时间，提高半导体器件管芯成品率。

按现有技术处理，一般不用优化通孔腐蚀和预金属淀积工艺来保证减少露出的底层铝的去除量。由于再淀积的铝不容易通过相邻层扩散，并且铝容易用随后的化学处理去除，所以一般减少铝去除量关系不大。然而，铜膜则不同。在使用它们时，由于铜可能产生移动离子沾污，有利的是开发不会去除大量露出的铜，同时能完成预定任务的腐蚀和预金属淀积工艺。因此，这里教导了一种新的通孔处理技术，预计能减少与由于背面溅射和从露出的互连区去除铜造成的与铜有关的沾污问题，因而可以提高成品率和可靠性。此外，尽管预金属淀积处理期间去除的铜的量显著减少，但仍进行开口角部的充分预清洗和倒角或磨圆，从而改善接触电阻，改善台阶覆盖，减少在随后的金

属淀积期间形成空洞。

此外，用于形成铜阻挡层的许多难熔金属的膜应力特性会相对于上层和底层导电层和介质层而显著改变。这种应力差异会引起可靠性和成品率问题。这里介绍一种方法，教导了复合钽阻挡层的淀积，其中一部分层受更大的张力，另一部分受较小的张力，因而可以减小与应力有关的复杂性。通过相对于加于阻挡层处理室的靶上的功率，改变加于阻挡层处理室的线圈上的功率循环周期，可以形成这种控制张力的复合层。此外，也可以线圈与作为溅射到晶片上的材料的源的靶结合使用，来形成复合膜（例如一种材料来自线圈，另一种材料来自靶）和/或提高整个晶片上淀积层的均匀性。

因此，上述改进整体上显著改善了用于铜互连的阻挡层和籽晶层工艺。具体结合图 1－14 可了进一步理解上述整体改进。

图 1 展示了多室集成电路淀积系统 1。系统 1 包括设计成把晶片从一点移到另一点的两个自动传递室。第一自动室是缓冲室 3，第二自动室是传递室 2。

通过置于一个装载锁 7 上，晶片进入系统 1，如图 1 所示。装载锁 7 在合适的温度、压力等条件下稳定后，缓冲室 3 将晶片从装载锁 7 移到除气对准室 5。除气对准室 5 使用形成于半导体晶片内的平面或凹口，旋转对准系统 1 内将处理的晶片。此外，在将晶片置于一个处理室中之前，除气对准室 5 给晶片加热或加能量，去除晶片上的沾污、水或其它不希望的材料。进行这种去除目的是减少这些材料沾污系统 1 内的任何处理室的可能性。

在室 5 中处理过后，晶片通过缓冲室 3 移到一个射频（RF）预清洗室 10，如图 1 所示（也可以见图 2）。RF 预清洗室 10 用于将镶嵌通孔和/或沟槽开口的角部倒圆。此外，预清洗室清洗半导体晶片的露出导电表面，以备随后的铜阻挡层和铜籽晶层形成之用。

通过室 10 处理后，晶片通过传递室 9 传递到传递室 2。传递室 2 然后将晶片置于阻挡层淀积室 40（也可以见图 3）。晶片通过传递室 2 在处理室间的传递在受控的环境中，在受控的条件下进行，以便减

少晶片传输期间晶片上的沾污。阻挡层淀积室 40 在晶片上淀积铜前，在半导体晶片上淀积铜阻挡层。阻挡层较好是钽，或某种其它难熔金属或难熔金属氮化物。或者，可利用用于形成阻挡层的其它类型的单一或复合材料形成。

形成阻挡层后，晶片传输到籽晶淀积室 70（见图 4）。在室 70 中，形成铜籽晶层，该层上可以用蒸发、无电镀敷、淀积、溅射和/或类似方法形成铜。形成铜籽晶层后，晶片通过室 9 传递到任意的冷却室（未示出），在移到缓冲室 3 之前冷却晶片。缓冲室 3 然后把晶片从室 9 传递回装载锁 7，从而从系统 1 中取出晶片。取出后，处理过的半导体晶片上具有形成于其暴露表面上的导电阻挡层和铜籽晶层，准备用于体铜的淀积和 CMP。

图 3－7 中更详细地讨论了多室淀积系统 1 内的特定室和它们的子室。系统 1 对按上述顺序传递的半导体晶片的作用将在图 8－11 中进一步展示。此外，利用图 1 的系统 1 对半导体晶片进行的步骤还将结合图 12－14 展示和讨论。因此，通过图 2－14 的讨论可以更好地理解上述讨论的工艺。

图 2 更详细地展示了图 1 所示的 RF 预清洗室 10。室 10 包括用于容纳 RF 预清洗室内的 RF 预清洗气氛的钟罩 12。一般情况下，钟罩 12 由玻珠吹制的石英构成，以促进颗粒的粘附。此外，石英是一种允许外部电场（例如以下讨论的线圈 16 产生的电场）影响预清洗处理气氛和影响晶片的处理的介质材料。因此，尽管石英是优选材料，也可以使用不禁止外部电场穿过的其它材料。

挡板 14 沿侧边和上部封闭钟罩 12，基板 18 沿下部封闭钟罩 12。部件 14 和 18 一般由能够屏蔽射频（RF）的铝或类似的金属材料构成。线圈 16 位于挡板 14 和钟罩 12 之间。线圈 16 为圆柱形，围绕石英钟罩 12。通过线圈电源 26 给线圈 16 提供低频 RF 功率。

如图 2 所示，半导体晶片 22 置于晶片基座 20 上（晶片吸盘），随后被处理。通过基座电源 24 给晶片基座 20 提供高频 RF 功率。晶片 22 可以利用真空、机械夹具、静电力等固定于基座 20 上。或者，

在某些系统中，晶片可以不固定。图 2 示出了给石英钟罩 12 所包含的室内部气氛提供气体的供气管道 28。给室内气氛供应的气体一般是惰性溅射气体，一般包括氩、氮或氙。此外，图 2 示出了去除室 10 内的反应和未反应的副产物且保持晶片处理期间的压力的排气口 30。一般来说，室 10 预处理和预清洗晶片 22，在淀积阻挡层和籽晶层之前，倒圆镶嵌开口的角，清洗开口内的露出导电表面。 下面将结合图 9 和 12 详细介绍预清洗处理。

图 3 更具体地示出了图 1 所示的阻挡层淀积室 40。图 3 的阻挡层淀积室 40 包括由铝或电弧喷涂了不锈钢的铝构成的挡板 42。在挡板 42 的上部上是顶板 44。顶板 44 含有或支撑旋转磁组件 46。旋转磁组件 46 使原子指向溅射靶 48，同时从靶 48 把阻挡层材料溅射到晶片 22 上。溅射靶 48 固定于顶板 44 的底部，较好由钽（Ta）构成。或者，阻挡层靶可由例如氮化钽（TaN）、氮化钛（TiN）、钨化钛（TiW）等其它材料构成。靶 48 一般由靶电源 50 提供直流电（DC），如图 3 所示。

外壳 42 内缘支撑线圈 52。线圈 52 连接到线圈电源 54，从而可以在晶片处理期间偏置，晶片 22 置于室 40 内晶片基座 56（晶片夹具）上。晶片可以利用真空、机械夹具、静电力等固定到晶片基座 56 上。然而，在这里所述的实施例中，晶片不固定于晶片基座 56 上。基座 56 由基座电源 58 加偏置。下面将结合图 14 介绍特定的偏置条件。

基板 60 内有开口，输入气体源 62 通过该开口提供到处理室内，如图 3 所示。输入气体源入口 62 允许各种气体例如氮、氩、和/或氙等进入处理室 40，以便更有效地进行溅射操作。此外，图 3 示出了排气口 64，排气口 64 用于在晶片 22 的溅射处理期间去除溅射操作的残留副产物，及调节处理室内的压力。

为了保证晶片 22 被基座电源 58 有效地偏置，使用图 3 所示的介质隔离环 53，以防止晶片基座与其它导电室部件接触。介质隔离环 53 较好由陶瓷材料构成。然而，已发现，从钽靶 48 自然溅射到陶瓷

隔离环 53 上的钽（Ta）不会很好地粘附，因而，钽会频繁地从陶瓷隔离环 53 上剥落下来，增加晶片 22 上的颗粒沾污。这种颗粒沾污显著降低了管芯成品率。因此，根据本发明的一个实施例，陶瓷或介质隔离环 53 的上暴露表面上涂敷一层电弧喷涂的铝或火焰喷涂的铝。在陶瓷隔离环 53 上附加该表面增强了钽淀积期间钽与隔离环 53 的粘附性，因而与现有技术的隔离环相比，显著改善了处理室内颗粒的控制。

此外，已发现，从靶 48 溅射的钽（Ta）还容易淀积在室 40 内的其它部件上。例如，钽会淀积在室 40 内的挡板 42、夹具 55 或其它部件上。一般说，一段时间后钽不适当地直接粘附到这些部件上。如果溅射的钽不能很好地粘附到这些部件上，则会产生引起颗粒量增加的剥落，对成品率产生不良影响，增加系统的停机时间。

为了避免这些问题，已发现，清洗室 40 后，在将晶片再引入室 40 之前，对室 40 进行调节步骤。该调节步骤涉及通过气体输入管道 62 向室 40 内引入氮气，同时在氮气氛下从靶 48 活性溅射 Ta。例如，在一个实施例中，通过电源 50、54 和/或 58 给靶 48 加大约 1300－1700 瓦（W）的功率，给线圈 52 加约 1300－1700W 的功率，和/或给基座 56 加电，在活性溅射淀积系统中完成该步骤，从而在室 40 的内表面及其部件的各部分上形成氮化钽膜淀积物。氮化钽膜淀积的厚度约为 0.25-0.75m 微米。调节步骤期间，金属盘置于基座上，防止溅射材料淀积于加热器上。该调节步骤用 TaN 涂敷了室内部关键的部件，因而在晶片处理期间随后淀积到室上的钽的粘附性提高。用室 40 处理了一定数量的晶片后，再进行另一次室维护清洗程序和另一次在室内部部件上淀积氮化钽（TaN）的调节操作。在另一个实施例中，可以采用复合 TaN 靶在室内部部件上淀积氮化钽层，代替在氮气氛中溅 Ta 靶形成 TaN 层。

图 4 更具体地示出了图 1 所示的阻挡层淀积室 70。与图 3 类似，室 70 包括与以上讨论部件类似的部件，包括挡板 72、顶板 74、旋转磁控组件 76、铜靶 78、靶电源 80、线圈 82、线圈电源 84、晶片基

座 86、基座电源 88、底板 90、输入气体源 92、和排气口 94。然而，图 4 的晶片支撑和夹紧结构与图 3 所示的室 40 中的结构不同。图 3 中的晶片自由立于室 40 内，而图 4 的晶片利用改进的夹具 85 夹紧于图 4 的晶片基座 86 上。

操作期间，电源 80、84、和 88 给系统加电，同时氩等惰性气体通过输入管 92 提供到室 70 内。于是从靶 78 溅射铜，并溅射到晶片 22 上。这里对工艺的改进并不太大，具体的改进是图 4 所用的夹具 85。因此，下面结合图 5－7 具体讨论夹具 85。

重新设计了图 4 所示的夹具 85，以便减少晶片外围区铜的剥离，从而减少 IC 制造期间影响成品率的颗粒问题。图 5 是图 4 所示夹具的内缘部分的放大剖面图，进一步展示了其相对于晶片 22 的位置和作用。夹具 85 的接触部分 100 用于把晶片固定到底下的晶片基座或支撑部件（未示出）上。位于夹具内径的抬高区如遮蔽部分所示。它位于区 102 上在晶片 22 的外围部分。图 5 示出了夹具 85 的遮蔽部分位于晶片 22 的表面之上的距离 104 处。图 5 所示夹具设计的一个重点是作为夹具 85 接触或靠近晶片 22 的点 105。一般说，如果不能相对于夹具的其它尺寸合适地设计点 105，则会发生不希望的溅射铜淀积。这在不夹紧晶片时也可能成为问题。在不夹紧晶片时，靠近点 105，连续形成于晶片和夹具上的铜易于从这些表面上剥离，这会产生颗粒，还会成为以后的处理期间铜膜从晶片上剥离的源头。

结合图 7 所示的现有技术的夹具 99 讨论可以更好地理解图 5 设计中的改进。在夹具 99 固定晶片 22 时，铜或铜籽晶层 108 从上面的靶上溅射。如果遮蔽部分的高度 114 太高，则铜会沿例如路径 116 等路径溅射，形成于遮蔽部分下的晶片区上。形成于这些区上的铜有渐变的厚度（从厚到薄），并会突然终止，在遮蔽部分 115 下的最外部区域形成铜结节。该遮蔽部分的位置朝向晶片 22 的外围部分。铜结节 110 和渐变的铜部分 112 的问题在于，它们在随后的铜镀敷操作期间不均匀镀敷。此外，对铜结节 110 和渐变的铜部分 112 进行铜镀敷和化学机械抛光（CMP）操作存在着在规定的时间之后严重且不

利地从晶片上剥离的可能性。因此，需要尽可能减少铜结节 110 和渐变铜区 112 的形成。

此外，如图 7 所示，现有技术的夹具有时产生不够宽的阴影区 115。如果该区 115 太窄和/或高度 114 太大，夹具 99 一般与晶片 22 接触的点 117 还存在使铜淀积于其上和其周围的可能性。最后，大量的铜形成于点 117 上，导致了在夹具与晶片分离时，点 117 处铜层剥离或剥裂。这可能在晶片 22 的边缘产生颗粒，因而会影响成品率。因此，为了开发出改进的功能夹具，以用于形成铜或铜籽晶层，必须严格设计目前存在的尺寸之外的尺寸 115 和 114。

图 5 示出了这种改进的夹具 85，尺寸 104 小于图 7 所示的高度尺寸 114。具体说，现有技术中没有给出有尺寸 114 小于 8 密耳的遮蔽部分的夹具。这种远离晶片 22 的“高”遮蔽部分至少部分与以上讨论的夹具 99 的问题有关。图 5 中，夹具 85 的尺寸 104 设计成小于 8 密耳。在优选实施例中，尺寸 104 小于 5 密耳，在某些情况下，小于 3 密耳。一般说，多数情况下，图 5 的尺寸 104 可以是约 2－5 密耳范围内的某些值。减小尺寸 104 会减小形成于遮蔽部分下形成的铜，相应会减少与遮蔽部分下的渐变铜和铜结节有关的问题。重要的是不使晶片与图 5 夹具的内缘 107 接触。这是重要的，除非这时这种铜累积和剥离发生在象图 5 所指出的点 105 一样的点 107，否则将会发生前面结合图 7 的点 117 讨论的剥离问题。因此，有很好的理由不将高度尺寸 104 降低到小于某个阈值的点，这种阈值随晶片形貌、所淀积阻挡层、籽晶层和/或铜层的厚度改变。

此外，图 5 中的尺寸 102 一般设定在 20 密耳或更大，以保证对角淀积路径 116（如图 7 所示）不在点 105 产生不良的铜材料累积。尺寸 102 与尺寸的相对长度还应保证避免或基本减少籽晶层外围的剥离。总之，改进的夹具 85 减少了图 7 所示的铜渐变 112 和铜结节 110，因而基本上减少了外围铜剥离和颗粒。此外，新设计的夹具 85 保证了不发生夹具 85 与晶片接触表面附近的铜累积，因而铜不会在铜籽晶层形成期间从晶片 22 的表面上不良剥离。

实际上，图 7 所示的问题是由于尺寸 115 和 114 限定的矩形两维形状造成的。通过距离 102 和 104 改变图 5 中限定的矩形区形状，可以改善铜籽晶层的形成。因此，代替通过前述的特定尺寸 102 和 104 描述夹具的改进，可以说，尺寸 102 或侧凸缘应至少是晶片表面上遮蔽部分尺寸 104 或高度的 2.5 倍。相应的，距离 102 应至少是距离 104 的 4.0 倍。这种几何形状关系将保证减少或避免图 7 所示的渐变 112 和结节 110 的发生，同时保证在图 5 的接触点 105 或外围点 107，铜籽晶层不从晶片上剥离。

图 6 示出了用于图 4 的室 70 中的夹具 85，该图是透视图。多数半导体晶片 22 含有一般含晶片表面激光刻划的符号的字母数字识别区 106。在图 3 的室 40 中，这些字母数字符号被加工并被 Ta 阻挡层覆盖。阻挡层很薄，而字母数字符号形成得很深，比较发现，字母数字符号会因在字母数字符号形貌内淀积的阻挡层变形、被填充或被有效擦除。然而，随后形成厚可能大于 0.4 微米的铜籽晶层会完全模糊或实质上使字母数字符号区 106 变形。因此，按图 6 中环形形状机械加工图 4 和 5 所示的夹具 85，以便夹具定位于晶片上时，夹具有覆盖字母数字符号识别区 106 的部分。通过这样做，可以在除字母数字识别区外的区域内形成铜籽晶层，因而甚至在进行了铜镀敷后，这些识别符号也是明显的。

因此，图 5－6 集中展示了用于图 4 的籽晶层淀积室 70 的改进夹具结构，以改善铜互连处理。

图 8－11 是剖面图，展示了利用先前图 1－6 所示的系统形成双镶嵌铜互连结构的方法。

图 8 示出了形成于衬底上的介质区 200。按优选的形式，衬底是硅晶片。然而，根据这里的教导，也可以采用其它衬底，例如碳化硅、锗硅、锗、砷化镓、其它 III－V 族化合物、绝缘体上的硅（SOI）衬底等半导体材料。在这种衬底上形成各种导电层和介质层，这些层包括例如金属、难熔金属、硅化物、多晶硅、氮化物、氧化物和/或类似材料等材料。衬底上的这些层形成各种有源器件、无源器件和衬底

表面上电器件间的互连区。

一种这样的互连区如图 8 中的互连 202。按优选形式，互连 202 由铜材料构成，优选为具有合适阻挡层（图 8 中未具体示出）的双镶嵌或单镶嵌结构。互连 202 的上部形成例如氮化硅、富硅氮化硅、氮氧化硅、等离子体增强氮化物和/或类似材料或复合物等腐蚀停止层 204。腐蚀停止层 204 上形成一个或多个介质层 206。介质层 206 包括一种或多种原硅酸四乙酯（TEOS）、硼磷硅玻璃（BPSG）、磷硅玻璃（PSG）、氟掺杂 TEOS、低 K 介质、氮氧化物和/或类似介质或它们的复合物。层 206 上形成第二腐蚀停止层和抗反射涂敷（ARC）层 208。用于形成层 208 的材料与用于形成 204 的材料类似。层 208 上部形成另一介质层 210，该层用与先前讨论的介质层 206 类似的材料和处理形成。

形成层 204－210 后，用光刻工艺与腐蚀工艺通过层 204－210 形成单镶嵌或双镶嵌开口，如图 8 所示。图 8 中，示出了双镶嵌开口，具有沟槽部分 212a 和通孔部分 212b。可以按“通孔在前/沟槽在后”、“沟槽在前/通孔在后”，或以任何可以产生图 8 所示所得整体结构的其它方式形成开口 212。

形成图 8 所示结构后，晶片 22 置于图 1 所示的系统 1 的装载锁 7 内。如这里所教导的那样，晶片传递到 RF 预清洗室 10 内。在 RF 预清洗室 10 内，通过在存在使被电离粒子 214 朝向晶片表面的电场的情况下，电离例如氩或氙等惰性气体，腐蚀晶片 20。如图 9 所示。电离粒子 214 撞击层 210、206 和 202 的表面，如图 9 所示。然而，电离粒子 214 被加电，以便在不充分溅射或不从暴露表面 202a 去除暴露的铜层 202 的部分的条件下，形成倒圆的角 210a 和 206a。通过利用线圈电源 26 给线圈 16 加电到高水平的 RF 功率，并利用基座电源 24 给基座加电到较低水平的 RF 功率（见图 13），进行这种基于深度的选择性去除。这种功率差异可以保证因离子轰击而沿相对于下暴露表面部分的上暴露表面部分产生较高的腐蚀率（例如由于表面 210 以比表面 206 更高的速率被腐蚀，所以角 210a 比角 206a 更圆）。

另外，暴露表面 202，底部开口经受了最少量的离子轰击，因此该部分是被去除或被溅射最少量材料的开口部分。另外，从角部 210a 和 206a 腐蚀去除的材料量大于从表面 202a 去除的材料量。角部的倒圆会改善随后淀积的阻挡层和导电膜的台阶覆盖，并通过使这些膜更均匀地淀积于开口内，有助于减少开口底部中的空洞。

现有技术中，线圈功率和晶片基座功率（晶片功率）一般设定为相同水平，例如 200W（例如见图 13）。由于铝互连中的暴露铝的去除或溅射不会负面影响集成电路的成品率和可靠性，所以采用这种相同的功率水平。然而，图 9 中，不象现有技术的铝，从表面 202a 背面溅射和去除然后又淀积在介质层 210 上的铜会负面影响成品率。层 210 和 206 上任何淀积的铜都容易通过层 210 和 206 扩散，可能引起器件沾污和成品率下降。此外，不容易象铝的情况那样通过化学处理或腐蚀去掉铜沾污。因此，有利于器件可靠性的是图 9 的工艺减小从互连 202 的表面 202a 去掉铜的比率。

总之，在图 2 的室 10 中进行的图 9 的工艺形成了倒圆的角 210a 和 206a，改善了台阶覆盖，减少了铜互连中随后空洞的形成，同时通过降低从表面 202a 溅射铜的比率，减少了铜沾污，减少了成品率降低的可能性。

进行了图 9 所示的预清洗工艺后，将晶片 22 从图 1 的室 10 中移到图 1 的阻挡层淀积室 40。注意，图 1 中的室 40 还更详细地示于图 3。图 10 示出了利用图 1 和 3 的室 40，淀积阻挡层 220，如先前图 9 所示覆盖晶片的表面。一般说，层 220 的厚度形成为约 200 埃到 750 埃之间，较好是钽（Ta）层。按优选形式，层 210 的部分递增地淀积为较低张力层，同时，层 210 的其它部分淀积成较高张力层，从而调节复合层 220 的应力。换言之，在图 10 中，至少为层 220 形成一个较高张力部分和一个较低力部分，从而形成完成的 Ta 阻挡层。这样形成的阻挡层 220 减少了 IC 制造中关系到可靠性的应力，一般可以提高 IC 成品率。下面结合图 12 和 14 更具体地介绍可用于形成复合较高张力和较低张力层 220 的特定方式。

在图 1 的室 40 中形成了阻挡层 220 后，晶片 220 从室 40 移到室 70。注意，图 4 中更详细地示出了室 70。图 4 中，采用以上讨论的图 5 和 6 所示的改进夹具，在图 10 所示的阻挡层 220 上形成改善的铜籽晶层 222。一般说，层 222 形成为铜层，一般其厚形成为 100 埃－2000 埃。有时，尤其靠近垂直通孔壁时，平坦表面的籽晶层的厚度大于侧壁表面。然而，图 9 所示的倒圆的角 210a 和 206a 可以改善这种台阶覆盖。此外，按图 10 所示工艺，采用图 5 和 6 的改进夹具，尤其是在晶片的外围，与现有技术所用硬件和工艺相比，可极大地提高成品率。

另外，发现，从室线圈和室靶溅射籽晶层和/或阻挡层，极大地提高了均匀性。此外，发现，具有小于 50 微米粒径的铜籽晶层线圈提高了铜籽晶的质量，还有益于电迁移和可靠性。一般情况下，现有技术中，相信该线圈的粒径对铜籽晶层的质量稍有影响。

此外，通过有意地从线圈和靶溅射材料，进一步控制和提高了铜籽晶层的均匀层。这不同于无意中发生从线圈溅射残余物的情况。从工艺上说，由于这种溅射没有优点，只会限制线圈的寿命，所以不希望材料从线圈溅射。然而，在任何溅射系统中，总是有些微不足道和无关紧要的来自室部件的材料溅射。这里所教导的工艺教导了来自线圈的较大规模和较慎重的溅射比率，因而所淀积层的基本部分是从线圈去掉的材料。例如，本发明的各实施例提供了至少铜籽晶层的整个材料的最少 5％源于线圈，而一般情况下，现有技术中，铜籽晶层中有不大于 1－2％的材料源于线圈。此外，线圈和靶都可以由铜、铜合金、或不一样的材料构成，从而在晶片上形成复合层。总之，有意地给线圈加电或从线圈溅射，提供了附加控制所淀积层的均匀性，这是未曾预料到的好处。

图 11 还示出了淀积铜填充材料和形成双镶嵌互连结构后图 10 的双镶嵌开口。图 11 中，用无电镀敷、电镀或 CVD 工艺，在籽晶 222 和双镶嵌开口中淀积铜膜 224。因此，基本上填充开口并已减少或没有空洞形成的铜 224 形成于籽晶层 222 上。一般情况下，铜层 224 的

厚度在 5000 埃到 1.2 微米之间。形成层 224 后，进行化学机械抛光（CMP）工艺，从而去除未含于双镶嵌开口内的那部分铜层 224、籽晶层 222 和阻挡层 220。该抛光工艺产生了双镶嵌互连结构，如图 10 所示。

图 12 按流程示出了从晶片置于图 1 的系统 1 内到从图 1 的系统 1 中取出晶片的整个工艺。第一步 400，晶片 22 置于图 1 的装载锁 7 内。步骤 402，晶片通过缓冲室 3 从装载锁 7 传递到除气室 5。在室 5 中，晶片被加热，以去除晶片表面上的有机物和湿汽，为随后在其它室中的处理做准备。此外，室 5 在空间上将晶片与晶片凹口或晶片平面对准。

在步骤 406，晶片通过缓冲室 3 从室 5 传递到室 10。室 10 用于 RF 清洗晶片 22。步骤 408 的特定预清洗条件与现有技术的预清洗条件的对比示于图 13。该工艺和其效果将在图 9 的剖面示图中进行展示。图 13 中，现有技术的预清洗工艺给线圈和晶片加电到大致相同的功率水平。这些功率的设定考虑到产率的关系。在线圈和晶片的功率设定为高功率（例如 200W）时，预清洗工艺高速从晶片所有表面上去除材料。因此，从产率方面考虑，希望高功率工艺，因而开口内大量底层暴露铝还会反过来溅射到晶片表面上。然而，由于溅射的铝可以去掉，并且铝不会有沾污问题，所以现有技术工艺的铝溅射不会成为沾污问题。

然而，图 12 中的步骤 408 是在图 9 所示的表面 202 上存在暴露铜的条件下预清洗。根据本发明的一个实施例，这种工艺的线圈功率增到 300W 或更大，同时晶片功率降到 100W 或更小，以产生功率梯度。这些功率是较保守的数字，简单说必须保持线圈功率与晶片功率大约为 2：1 的比率。这种功率梯度可以保证从层 210 的暴露上表面溅射或去除的材料大于从层 206 的暴露表面去除或溅射的材料，进而两者都大于从图 9 中开口底部的暴露铜表面 202a 溅射的材料量。因此，仍会发生图 9 中角 210a 和 206a 倒圆的有利情况（角 210a 比角 206a 稍圆一些），这种倒圆可以改善台阶覆盖，减少空洞形成。除

提供有利的圆形剖面外，功率梯度还使从图 9 的表面 202a 去除的铜量最少，因而对于铜互连来说沾污最少，这种沾污对于现有技术的铝处理从来不是什么问题。

再回到图 13－12，步骤 408 后是步骤 410。步骤 410 把晶片 22 从图 1－2 的预清洗室 10 传递到图 1 和 3 的室 40。步骤 412，图 3 的室 40 如图 10 所示淀积阻挡层 220。阻挡膜的淀积根据图 14 所示和所记载的工艺顺序进行。

图 14 中，晶片置于室 40 内并且处理室稳定后，给图 3 的靶 48 加 1000W 的功率（靶偏置）。在图 10 的阻挡层 220 的淀积期间连续加功率。尽管具体示出了靶功率为所加的 1000W 的功率，但可以根据所希望的处理结果和所用淀积设备类型，采用任何其它功率设置。在阻挡层淀积工艺期间的初始阶段，加于靶偏置的功率是 1000W，通过图 3 的基座电源 58 加于晶片 22（晶片偏置）的功率设定为小值或零 W。初始阶段后，晶片偏置从大约为零 W 变到 450W，以便从互连开口的底部背溅射阻挡材料于开口的侧壁上，改善开口内阻挡膜的整个覆盖。加于晶片偏置的波形可与图 14 所示的不同。另外，可以线性变化到除 450W 外的其它功率水平，取决于所希望的工艺结果和所用设备类型。某些系统可在阻挡层淀积工艺期间根本不给晶片加偏置。

图 14 展示了优选的靶偏置功率波形和晶片偏置功率波形，可以用三个可能的线圈功率波形 600、602 和 604 中的一个。第一线圈功率波形 600 示出了图 3 的线圈 52 在与靶 48 大致相同的时间加电。因此，波形 600 表示线圈在与靶 48 初始加电到约 1000 瓦大约相同的时间加电到约 1500 瓦。尽管波形 600 表示约 1500W，但如果需要，也可以用其它功率水平，以适应各种工艺和设备。规定的时间周期过去后，如图 14 的波形 600 所示，在阻挡层淀积和工艺结束前，撤掉或减小线圈功率。换言之，在高线圈功率处理程序，淀积图 10 的阻挡膜 220 的开始部分，在低或零线圈功率处理程序淀积膜 220 的另一部分。与在线圈上加较低量功率时形成的那些部分钽阻挡层相比，在线

圈被加电的开始阶段形成的这些部分钽阻挡层，具有不同的应力特性。在给线圈加电期间，淀积较低张力钽阻挡膜。而在撤掉或减小线圈功率时，淀积较大张力钽阻挡膜。因此，通过选择性控制阻挡层淀积期间给线圈加的功率，可以控制阻挡层的应力，使之适应上层和底层的各应力，从而提高粘附性和整个 IC 成品率。

相信以上讨论的不同阻挡层部分应力特性不同是由于引入到淀积阻挡层部分的氩（或类似惰性气体）的不同比率造成的，而这种不同比率是加于线圈上的功率增大的结果。具体说，在给线圈加电时，室中的氩较大程度地电离，会在阻挡膜内大量淀积。在不给线圈加电时，室 40 中（见图 3）较少氩电离，所以较少氩引入阻挡膜。因此，在膜深度方向上氩的不同/梯度正比于线圈的循环周期曲线（图 14 中曲线 600、602、604 中的一条）。相信，最终阻挡膜中的氩梯度有助于改善图 10 的阻挡层 220 的应力特性。

图 14 示出了另一可能的线圈功率波形 602，因而，图 3 的线圈 52 开始时关闭，同时启动靶功率。不加线圈功率的初始阻挡层淀积周期后，启动线圈功率，如图 14 的曲线 602 所示。因此，波形 602 基本上与波形 600 相反，从而波形 602 产生具有与通过曲线 600 形成的膜相反的应力分布。在利用波形 602 处理程序时，在淀积工艺的第一阶段开始淀积较大张力钽膜，而在淀积工艺的第二阶段，淀积较小张力钽膜。

图 14 还示出了第三种可能的波形 604，该波形可用于形成图 10 的阻挡层 220。波形 604 示出了给线圈 52 加脉冲功率（或者是周期性或者是非周期性），在利用图 14 所示脉冲线圈功率波形时，可以在晶片 22 上递增地淀积较小张力和较大张力钽交替层或部分。因此，已确定，在淀积工艺期间，至少一次选择性给线圈加和关电，可调节阻挡层的应力，使之适应多种不同的约束或条件。此外，尽管图 14 示出了初始台阶覆盖波形，但可用于线圈、靶、和/或晶片上的该波形在规定时间后不必是阶梯功能曲线。例如，可用三角形（锯齿形）波形、正弦波形、对数功率曲线、指数功率曲线、它们的组合、或模

拟、连续或量化波等任何其它类型的波形，使图 10 的钽（难熔金属基的）阻挡层 220 产生不同类型的应力特性。或者，这种处理方法可用于各种其它易于产生与应力有关的问题的导电膜，例如金属、难熔金属、和难熔金属氮化物。此外，尽管整个说明书中用较小张力和较大张力来描述材料的相关应力，但所属领域的技术人员知道，术语较小张力和较大压力可以互换使用。

现回到图 12，一旦如图 14 所示和如上所述完成了步骤 412，在步骤 414，晶片 22 从室 40 移到室 70。室 70 示于图 1，图 4 对其有更详细地展示。晶片 22 通过步骤 414 传递到室 70 后，用步骤 416 在晶片 22 上淀积铜籽晶层 222。这种淀积工艺采用结合图 4－6 讨论的改进夹具 85。因此，淀积铜籽晶层，并由于减少了 CMP 和/或铜镀敷操作期间随后靠近晶片外围的铜层的剥离，可以提高半导体器件的成品率。

在步骤 418，淀积了铜籽晶层 416 后，晶片 22 通过室 2 从室 70 传递到室 3，然后回到图 1 中的装载锁 7。此时，装载锁 7 稳定到大气压条件，从系统 1 中取出晶片 22。然后，将晶片传递到铜电镀、无电镀敷、或 CVD 室（这里未示出），从而淀积铜互连金属。这种金属化处理完成后，用化学机械抛光（CMP）工艺形成镶嵌或双镶嵌互连结构，如图 11 所示。

尽管结合特定的实施例介绍了本发明，但所属领域的技术人员可以做出进一步的改进和提高。因此，应理解，本发明包括如所附权利要求书所限定的不背离本发明精神和不脱离本发明范围的所有这些改进。

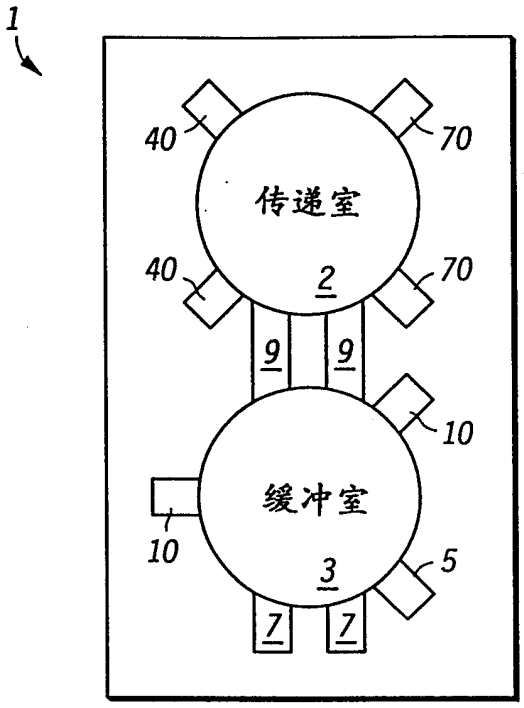

1
40
70
传递室
40
2
70
9
9
10
缓冲室
10
3
5
7
7

图 1

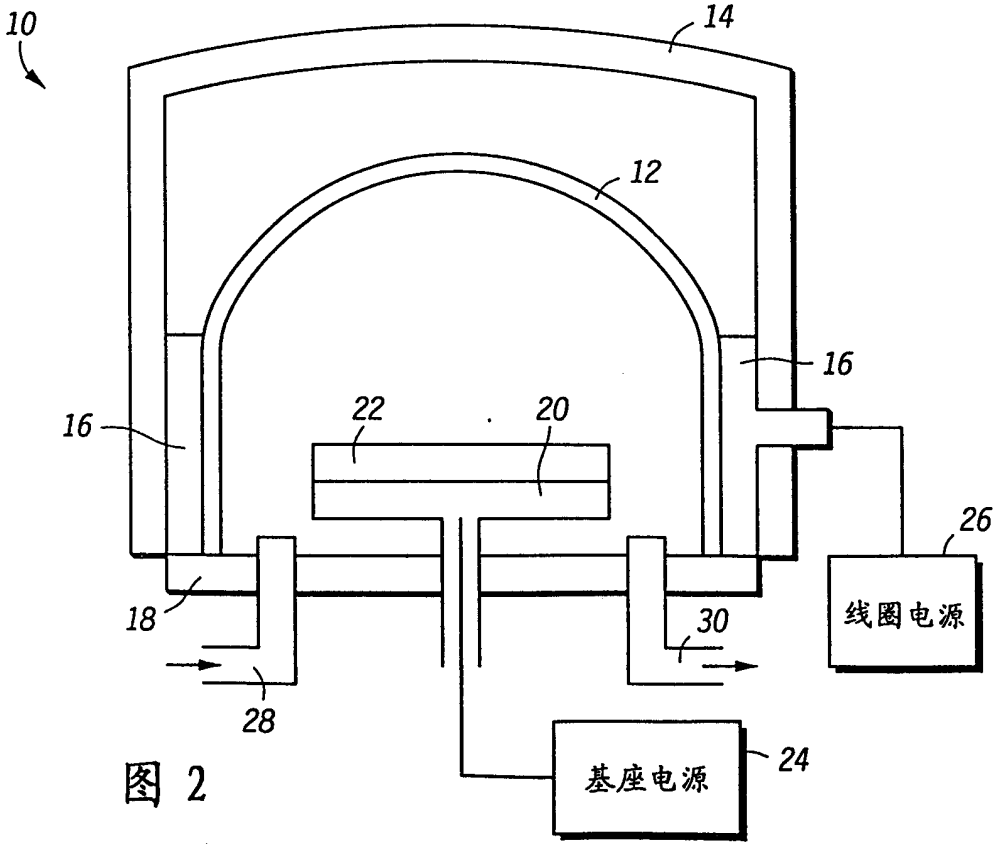

10
14
12
16
16
22
20
26
线圈电源
18
30
28
基座电源
24

图 2

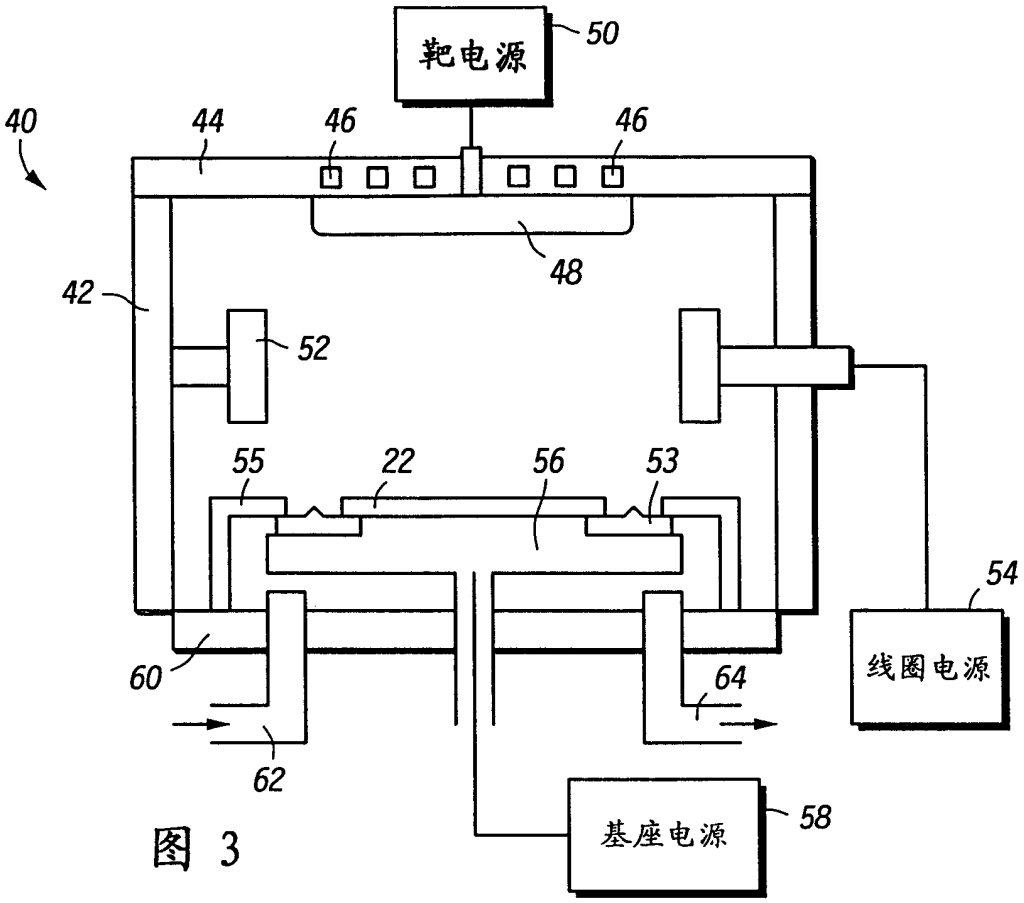

靶电源
50
40
44
46
46
48
42
52
55
22
56
53
54
线圈电源
60
64
62
基座电源
58

图 3

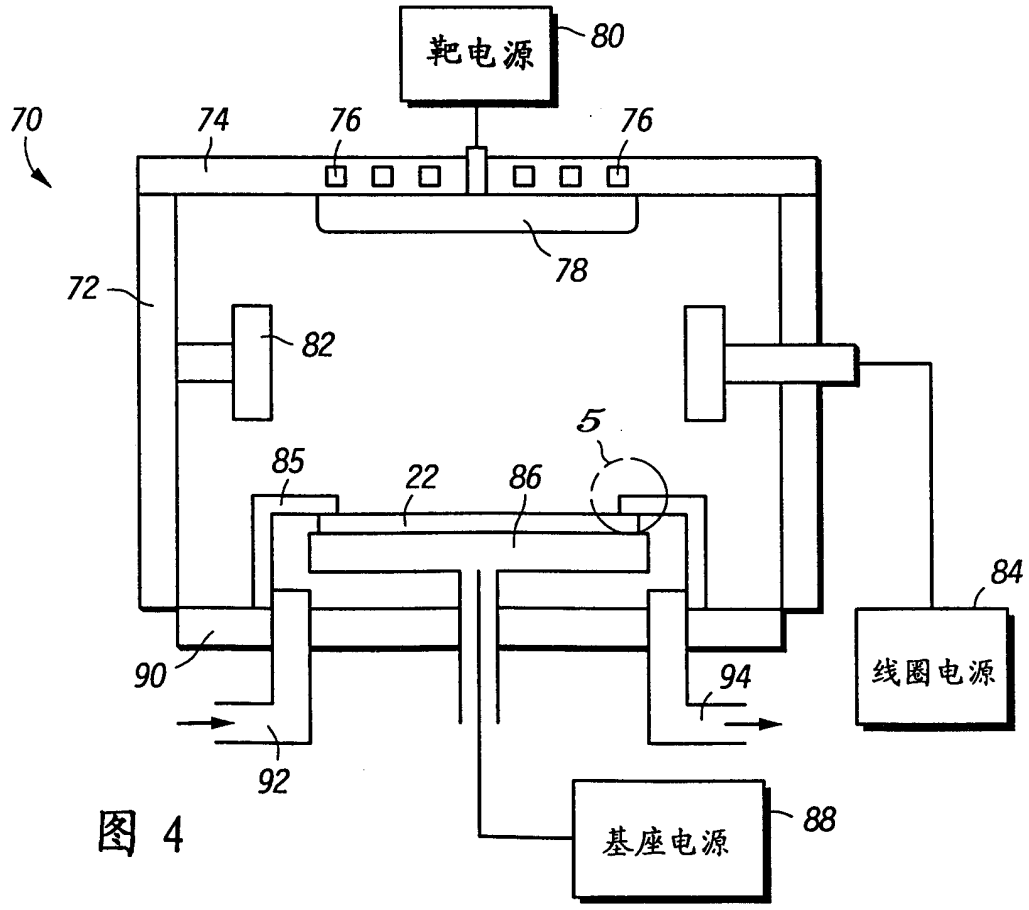

靶电源
80
70
74
76
76
78
72
82
5
85
22
86
84
线圈电源
90
94
92
基座电源
88

图 4

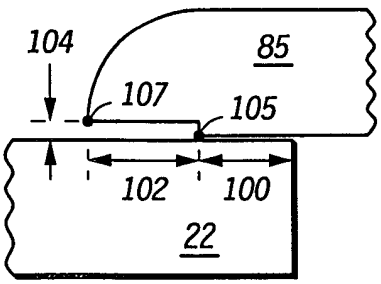

104
85
107
105
102
100
22

图 5

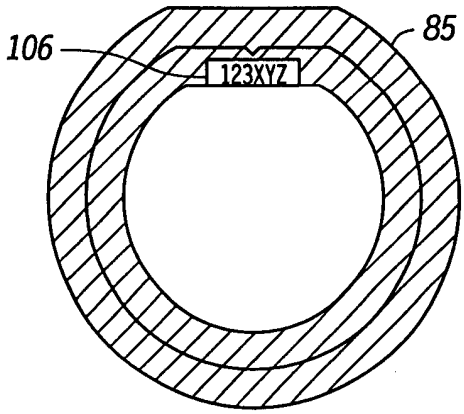

106
85
123XYZ

图 6

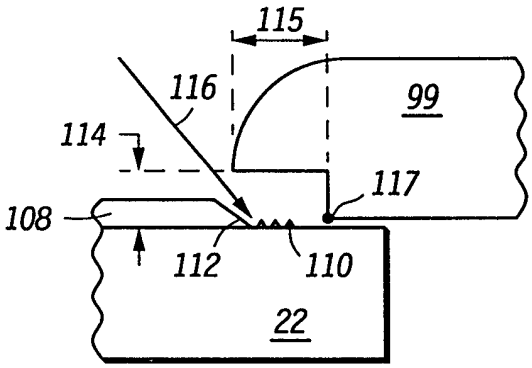

115
116
99
114
117
108
112
110
22

图 7

图 8

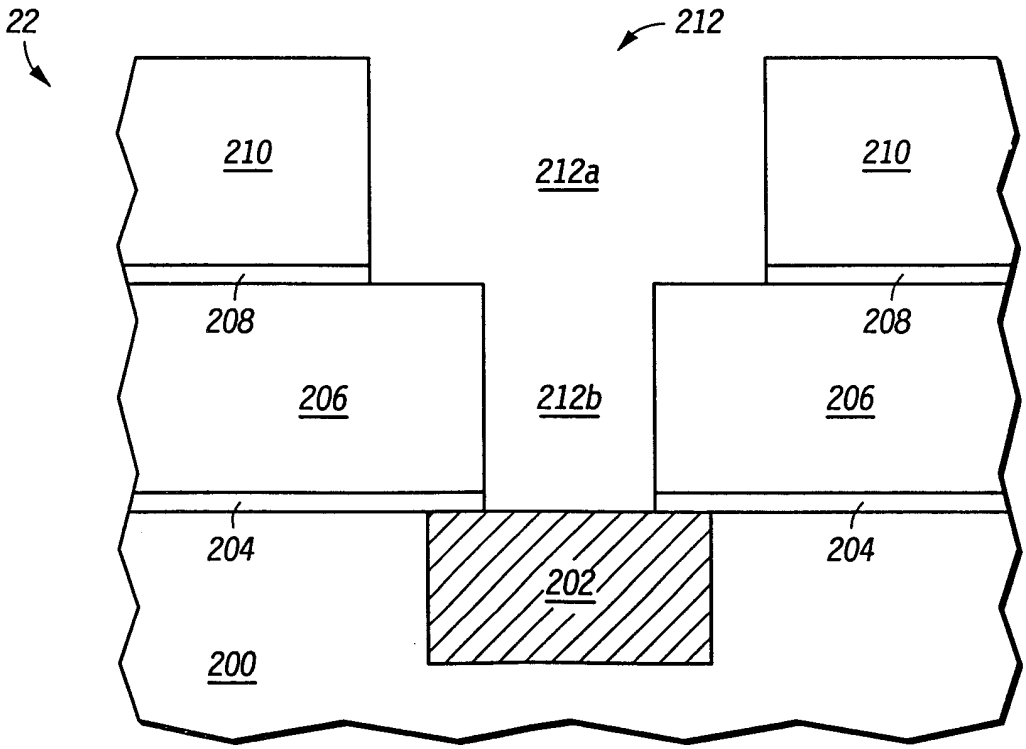

22
212
210
212a
210
208
208
206
212b
206
204
204
202
200

图 9

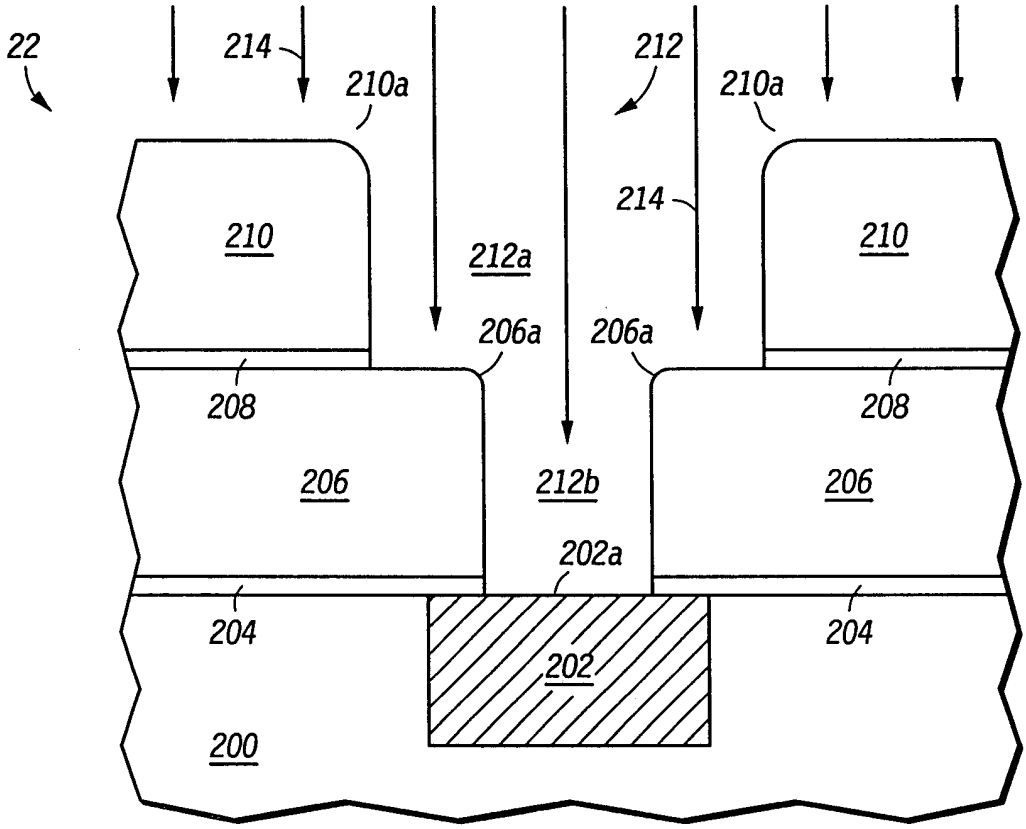

22
214
210a
212
210a
214
210
212a
210
206a
206a
208
208
206
212b
206
202a
204
204
202
200

图 10

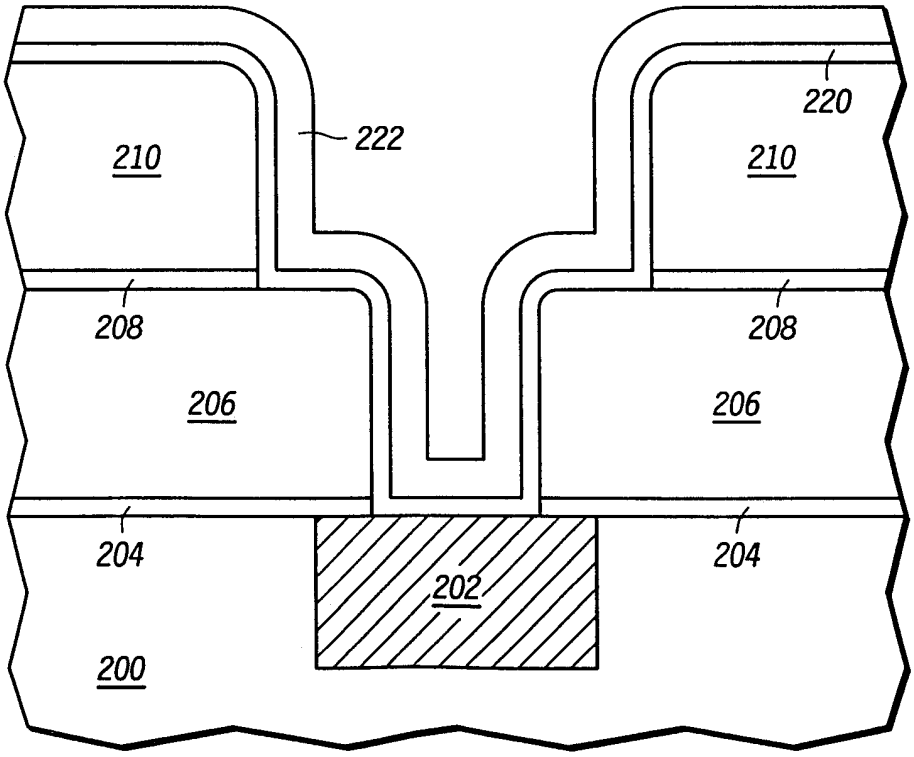

222
220
210
210
208
208
206
206
204
204
202
200

图 11

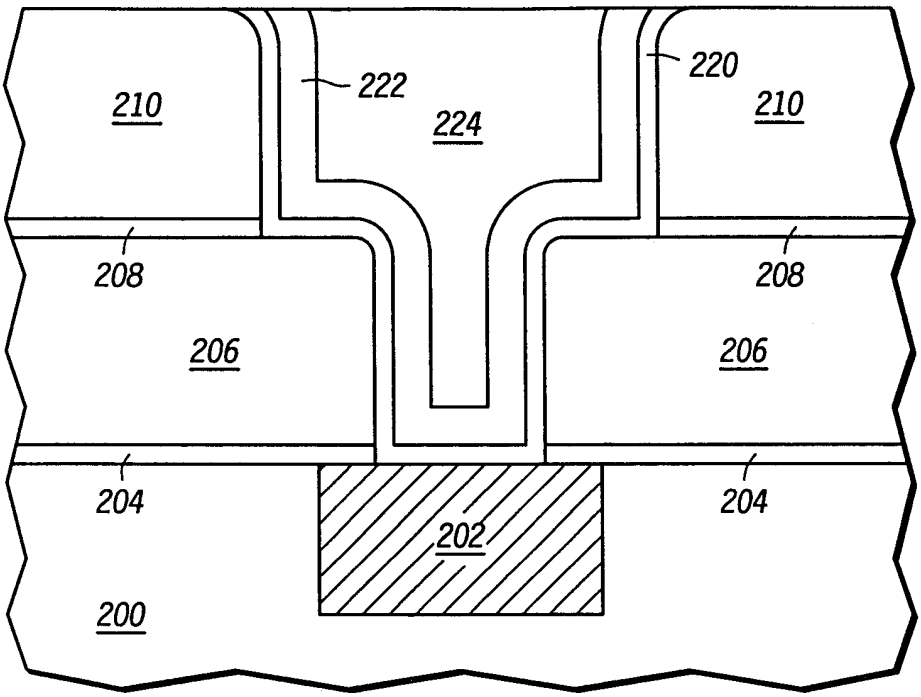
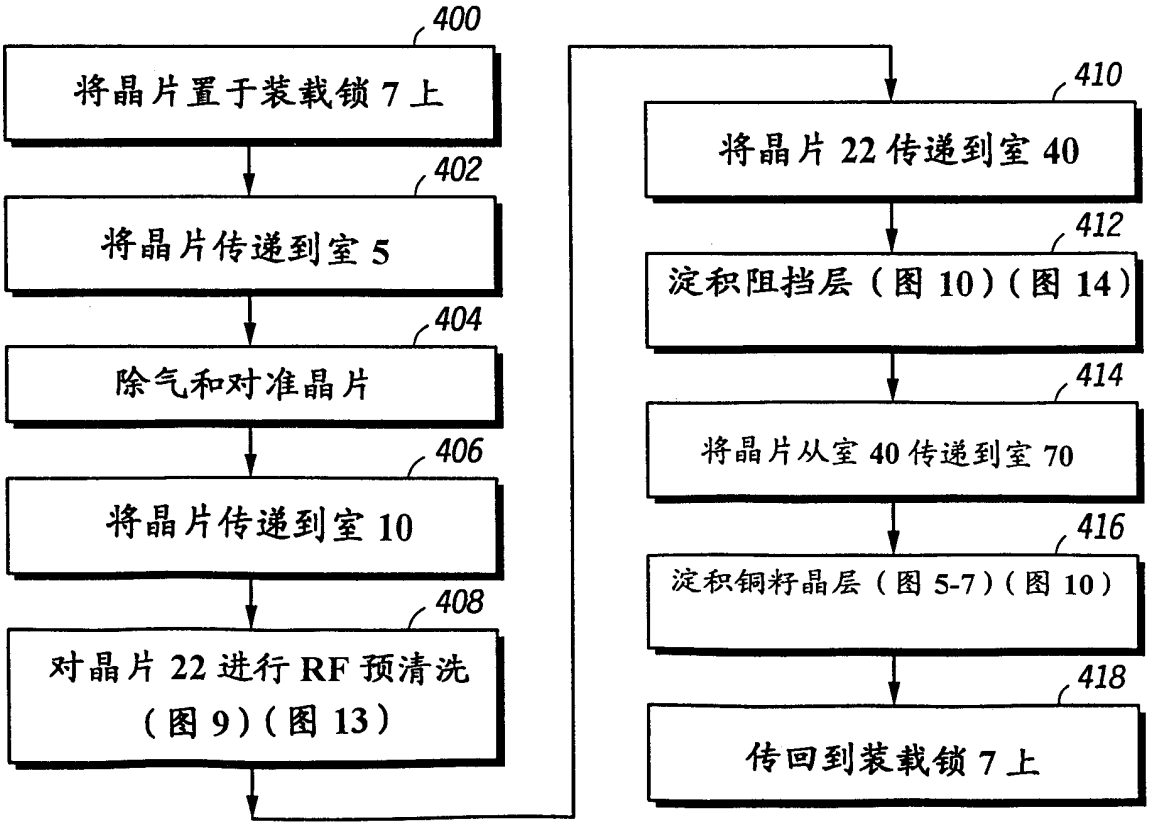

210
222
224
220
210
208
208
206
206
204
204
202
200

图 12


400
将晶片置于装载锁 7 上
402
将晶片传递到室 5
404
除气和对准晶片
406
将晶片传递到室 10
408
对晶片 22 进行 RF 预清洗
(图 9)(图 13)
410
将晶片 22 传递到室 40
412
淀积阻挡层(图 10)(图 14)
414
将晶片从室 40 传递到室 70
416
淀积铜籽晶层(图 5-7)(图 10)
418
传回到装载锁 7 上

RF 预清洗条件		
	现有技术预清洗	步骤 408 预清洗
线圈功率	200W	≥300W
晶片功率	200W	≤100W
晶片电压	250V	50V

图 13

图 14

