

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6542985号
(P6542985)

(45) 発行日 令和1年7月10日(2019.7.10)

(24) 登録日 令和1年6月21日(2019.6.21)

(51) Int.Cl.

HO3M 3/02 (2006.01)

F 1

HO3M 3/02

請求項の数 13 (全 17 頁)

(21) 出願番号 特願2018-513445 (P2018-513445)
 (86) (22) 出願日 平成28年9月6日 (2016.9.6)
 (65) 公表番号 特表2018-527839 (P2018-527839A)
 (43) 公表日 平成30年9月20日 (2018.9.20)
 (86) 國際出願番号 PCT/EP2016/070912
 (87) 國際公開番号 WO2017/045962
 (87) 國際公開日 平成29年3月23日 (2017.3.23)
 審査請求日 平成31年2月7日 (2019.2.7)
 (31) 優先権主張番号 15185239.9
 (32) 優先日 平成27年9月15日 (2015.9.15)
 (33) 優先権主張国 歐州特許庁 (EP)

早期審査対象出願

(73) 特許権者 590000248
 コーニンクレッカ フィリップス エヌ
 ヴェ
 KONINKLIJKE PHILIPS
 N. V.
 オランダ国 5656 アーネー アイン
 ドーフェン ハイテック キャンパス 5
 High Tech Campus 5,
 NL-5656 AE Eindhoven
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦

最終頁に続く

(54) 【発明の名称】アナログ-デジタル変換を実行する方法

(57) 【特許請求の範囲】

【請求項 1】

フィードバックデジタル - アナログ変換器を含むシグマ - デルタ変調器を使用して、1つのレンジの中で入力信号についてアナログ - デジタル変換を実行する方法であって、前記方法は、N回の反復を伴う反復方法を含み、Nは少なくとも3であり、かつ、少なくとも2回目から(N-1)回目までの前記反復は、

前記反復について定められたレンジにおける前記入力信号の振幅推定値を獲得するステップと、

前記反復について定められたレンジをM個のサブレンジへと分割するステップであり、Mは少なくとも2である、ステップと、

前記M個のサブレンジのうち前記振幅推定値を含むサブレンジを、次の反復のためのレンジとして定める、ステップと、

前記次の反復のために定められた前記レンジを設定するために、前記フィードバックデジタル - アナログ変換器の動作パラメータを調整するステップと、

を含む、

方法。

【請求項 2】

1回目の反復について前記振幅推定値は、最大で5のオーバーサンプリング比において獲得される、

請求項1に記載の方法。

10

20

【請求項 3】

N回目の反復について前記振幅推定値は、少なくとも50のオーバーサンプリング比において獲得される、

請求項1に記載の方法。

【請求項 4】

前記フィードバックデジタル-アナログ変換器は、非対称に動作されるデジタル-アナログ変換器を含み、かつ、

前記フィードバックデジタル-アナログ変換器の動作パラメータを調整する前記ステップは、前記デジタル-アナログ変換器のゲイン及び/又はオフセットを調整することを含む、

10

請求項1に記載の方法。

【請求項 5】

アナログ-デジタル変換器のシグマ-デルタ変調器であって、

アクティブループフィルタおよび1つの入力レンジの中で入力信号の振幅推定値を獲得するための量子化器、を含むフォワードパスと、

デジタル-アナログ変換器およびレンジ調整手段を含むフィードバック装置であり、前記レンジ調整手段は、

前記入力レンジのサブレンジについて前記シグマ-デルタ変調器のダイナミックレンジを調整するように構成されており、前記サブレンジは、中間点によって定められ、かつ、前記振幅推定値を含み、前記調整されたダイナミックレンジの前記中間点は、前記サブレンジを定めている前記中間点とは独立しており、かつ、

20

前記調整されたダイナミックレンジに応じて、フィードバックデジタル-アナログ変換器の動作パラメータを調整するように構成されており、

前記レンジ調整手段による調整が複数回にわたり反復される、フィードバック装置と、

を含む、シグマ-デルタ変調器。

【請求項 6】

前記デジタル-アナログ変換器は、切替えキャパシタバンクとして具現化されている、

請求項5に記載のシグマ-デルタ変調器。

【請求項 7】

少なくとも15の有効ビット数を有する、

30

請求項5に記載のシグマ-デルタ変調器。

【請求項 8】

前記フォワードパスは、少なくとも2次フィルタを含み、

前記変調器は、最大で20のオーバーサンプリング比において最終でない推定値を獲得し、かつ、少なくとも150のオーバーサンプリング比において最終推定値を獲得する、ように構成されている、

請求項5に記載のシグマ-デルタ変調器。

【請求項 9】

インクリメンタルシグマ-デルタ変調器として具現化されている、

請求項5に記載のシグマ-デルタ変調器。

40

【請求項 10】

入力信号についてアナログ-デジタル変換を実行するためのアナログ-デジタル変換器であって、

請求項5に記載のシグマ-デルタ変調器、を含む、

アナログ-デジタル変換器。

【請求項 11】

請求項5に記載のシグマ-デルタ変調器を含むアナログ-デジタル変換器を用いて、入力信号についてアナログ-デジタル変換を実行するための装置。

【請求項 12】

最終でない推定値は、最大で5のオーバーサンプリング比において獲得される、

50

請求項 5 に記載のシグマ - デルタ変調器。

【請求項 1 3】

前記振幅推定値は、最終でない推定値および最終推定値を含み、かつ、前記最終推定値は、最大で 200 のオーバーサンプリング比において獲得される。

請求項 5 に記載のシグマ - デルタ変調器。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、アナログ - デジタル変換を実行する方法に関する。本発明は、さらに、シグマ - デルタ変調器、アナログ - デジタル変換器、および、アナログ - デジタル変換を実行するためのデバイスに関する。 10

【背景技術】

【0 0 0 2】

アナログ - デジタル変換器 (ADC) のダイナミックレンジは、検出可能な最小値に対する入力において印加される最大信号の比率である。ADCの分解能 (resolution) は、最小の分解可能な入力ステップまたは最小の検出可能な値を参照する。この値は、量子化ノイズ (quantization noise) によって決定されるものである。大きなダイナミックレンジにわたる高い分解能は、高価である。大きな有効ビット数 (ENOB) を有するADCを必要とするためである。例えば、入力電圧信号についてアナログ - デジタル変換を実行する場合には、10 ミリボルト (mV) の範囲内で 15.0 マイクロボルト (μ V) の電圧を分解するためには 9 ビットのADCが十分であろう。しかしながら、1 ボルトの範囲内で同じ分解能を得るためにには、16 ビットのADCが必要であろう。ADCの各追加ビットは、全体的なコストと消費電力を増やし、そして、変換速度を低下させてしまう。 20

【0 0 0 3】

いくらかの種類のADCは、デルタ - シグマ (ΔΣ) またはシグ - マデルタ (ΣΔ) 変調器 (SDM) を使用して、アナログ入力をサンプリングし、そして、サンプルをデジタルビットストリーム出力へと変換する。次いで、例えば、デシメーションフィルタ (decimation filter) によって、デジタル出力値を獲得するために処理され得る。様々な種類のADCアーキテクチャが以下の論文に提案されている。タイトル「A SAR-based[Sigma][Delta] modulator using shared AC」 (Reyhani、Hashemipour共著、Analog Integrated Circuits and Signal Processing、Springer New York LLC、vol.79、no.2、2014年2月1日)、タイトル「90-MS/s 11-MHz-Bandwidth 62-dB SNDR Noise-Shaping SAR ADC」 (Fredenburg、Flynn共著、IEEE Journal of Solid State Circuits、vol.47、no.12、2012年12月1日)、および、タイトル「A multibit continuous time sigma delta modulator with successive-approximation quantizer」 (Samid、Manoli共著、2006 IEEE International Symposium on Circuits and Systems Symposium on 2006年5月21日)、である。シグマ - デルタADCは、出力ビットストリームについてデジタル - アナログ変換を実行し、かつ、アナログ入力信号からアナログフィードバック信号を引き算するデジタル - アナログ変換器 (DAC) を用いたフィードバックループを組み込んでいる。SDMは、入力と出力の差異を最小化するように効果的に動作する。そのフォワードパス (forward path) において、SDMは、要求される入力感度と信号雑音比 (signal-to-noise ratio) を提供するアクティブループフィルタを使用し、そして、要求される信号帯 (signal band) から簡単なコンパレータ (しばしば単なる1ビットのコンパレータ) の量子化ノイズを形成する。SDMは、良好に高い分解能と精度、および比較的に低いコストのために、計装 (instrumentation) および低周波検出またはDC (直流) 検出について非常に適している。SDMを使用するアプリケーションは、医療用センシングおよびイメージングにおいて要求されるタイプのアナログおよびミックスシグナルフロントエンドであってよい。例えば、アンペロメトリ (amperometry) およびラボオンチップ (lab-on-a-chip) 実装におけるものであり、関心あるアナログ信号が、主としてDCであり、または、非常にゆっくり変化している。ラボオンチップ (LOC) またはマイクロトータル 40

分析システム (μTAS) は、1つまたはそれ以上のラボ機能 (laboratory functions) が具現化される集積回路を含むデバイスである。一般的に、センサは、デバイスに対してアナログ信号入力を提供する。デバイスは、情報を処理することができるようアナログ - デジタル変換を最初に行わなければならない。正確な分析を実行するためには正確な変換が必要である。

【0004】

SDMは、有限個のクロックサンプルを超える入力を観察した後で、入力信号の振幅 (amplitude) を出力ビットストリームへとエンコードする。サンプルの数量、しばしば観測インターバルとして参照されるものは、各アナログ - デジタル変換ステップの持続時間 (time duration) を決定し、そして、各変換インスタンスに係る所要時間と消費電力へ変換する。関連するデザイン態様は、オーバーサンプリング比 (OSR)、すなわち、サンプリング周波数に対する入力信号周波数の比率である。高いOSRは、より高い、そして、従つてより好ましい信号対量子化雑音比と関連付けられる。しかしながら、固定されたフィルタ次数 (filter order)、クロックレート、および量子化器分解能を有するSDM ADCについて、量子化ノイズは、分解可能な最小の入力信号を直接的に決定する。すなわち、大きな入力信号レンジは、フィードバックループにおける比較的に高いレベルの量子化ノイズと関連付けられる。従つて、所定の分解能を維持するように、入力信号レンジを増すことは、ADCの分解能を高めることを必要とする。例えば、特定の有効ビット数 (ENOB) によって、ADCの分解能が固定されている場合には、より広い入力信号レンジは、より低い変換精度を結果として生じてしまう。

10

20

【0005】

観測インターバルを拡張すること、すなわち、クロックサイクルの数量を増やすことによって、既知のタイプのSDM ADCにおけるエンコードの精度 - 量子化ノイズによって精度が大部分決定されるもの - を改善することができる。代替的に、より高次のアナログフィルタがSDMにおいて実装されてよく、観測インターバルを短くすることができる。フィルタ次数を上げることで、所望の精度を達成するために捉えられる必要のあるサンプルの数量を減少させる。しかし、より高次のフィルタは、最大安定振幅がより低く、そして、また、オペアンプ (operational amplifiers) の数量が増えるため、より多くの電力も消費する。改善における他の試みは、2ステップアプローチを使用することが知られている。逐次近似ステージ (successive-approximation stage) を使用する第1の粗い変換ステップ、および、インクリメンタルSDMステージを使用する第2の細かい変換ステップを用いるものである。しかしながら、そうしたADCは、構築するのが高価であり、そして、また、好ましくない高いエネルギー消費も有している。

30

【0006】

従つて、本発明の目的は、上に概説した問題を克服する、改善されたインクリメンタルシグマ - デルタ変調器を提供することである。

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の目的は、アナログ - デジタル変換の実行に係る請求項1の方法により、請求項9のシグマ - デルタ変調器により、請求項14のアナログ - デジタル変換器により、および、請求項15のモニタリング装置により達成される。

40

【0008】

本発明に従つて、シグマ - デルタ変調器を使用して - 1つの入力信号レンジの中で入力信号についてアナログ - デジタル変換を実行する方法は、アナログ入力信号のデジタル振幅推定値を獲得するステップ、次いで、振幅推定値に基づいてより狭いサブレンジを定めることによってSDMのダイナミックレンジを調整するステップ、および、定められたサブレンジに基づいてSDMフィードバックデジタル - アナログ変換器の動作パラメータを調整するステップを含む。本方法のステップは、既定の反復回数だけ繰り返される。最後または最終振幅推定値は、その後で、非常に正確なデジタル出力に変換され得る。好ましく

50

は、最初に粗い推定値が獲得され、最終の正確な推定値を獲得する以前に少なくとも1つのさらに精緻化された（しかし、未だに比較的粗い）推定値が後に続くように、少なくとも3回の反復が実行される。獲得される粗い推定値の総数は、アプリケーションによるものであってよい。一般的には、より高い変換精度が望まれる場合に、より多い数の粗い推定値が適切であり得る。

【0009】

ここで、入力信号は、デジタルビットストリームに変換される一時的な（momentary）アナログ信号である。好ましくは、アナログ入力信号は、観測された量の尺度として電流（アンペア）または電荷（クーロン）を出力する検出装置から生じている。「入力信号レンジ（"input signal range"）」は、初期下限と初期上限との間の入力における過負荷でない振幅の範囲であると理解することができる。サンプリングクロックレート、フィルタの順番、等といった、特定の要因に応じて、SDMは、数ミリ秒又はさらには数マイクロ秒以内にアナログ入力信号をデジタルビットストリームへ変換することができる。本発明の方法は、アナログ入力の初期の粗い推定値を確立し、そして、推定値の近傍へと「ズームイン（"zoom in"）」するようにフィードバックDACの動作パラメータを徐々に調整または構成することによって、推定値を反復的に精密化する。このことは、本発明に従った方法においては、SDMのダイナミックレンジを適合させることによって達成される。各反復において、SDMは、最新の推定値に基づいて構成される以前に効果的にリセットされる。本発明に従った方法において、サブレンジの上限および下限は、以前のレンジの境界とは本質的に独立している。すなわち、サブレンジの中間点が以前のレンジの中間点と一致する必要はない。各反復において特定されたサブレンジに基づいてフィードバックDACの動作パラメータを調整するステップは、以下において、アダプティブダイナミックレンジスケーリングまたは「ダイナミックレンジ調整（"dynamic range adjustment"）」として参照される。本発明の方法における反復ステップの最中、「入力信号レンジ（"input signal range"）」は、従って、一時的または現在のダイナミックレンジにおける過負荷でない振幅の範囲であると理解することができる。

10

20

【0010】

本発明に従った方法の利点は、より高次の入力フィルタ又はより高いクロックレートにおいて余分なエネルギーを消費する必要なく、良好に高い変換精度が具現化されることである。すなわち、変換時間またはエネルギー要求を増大させることなく、より良い精度が達成される。本発明に従った方法は、主としてDCであり又はゆっくりとだけ変動するアナログ信号の変換について特に適しており、そして、AC信号を測定するために同様に良好に使用することができる。本発明に従った方法の別の利点は、入力値の近傍に対するダイナミックレンジを調整することによって、良好に低量子化雑音フロアが達成できることである。

30

【0011】

本発明に従って、シグマ-デルタ変調器は、アクティブループフィルタおよび1つの入力レンジの中で入力信号の振幅推定値を獲得するための量子化器を含むフォワードパス、および、デジタル-アナログ変換器およびレンジ調整手段を含むフィードバック装置であり、レンジ調整手段は振幅推定値に基づいてシグマ-デルタ変調器のダイナミックレンジを調整するように具現化されているフィードバック装置、を含んでいる。

40

【0012】

本発明のシグマ-デルタ変調器において、フィードバックデジタル-アナログ変換器は、本質的に、特定のレンジ（range）にわたりデジタル-アナログ変換を実行するように設定することができるプログラマブルDACであり、そして、このレンジは、各反復により見積もりが精密化されるように、推定されたアナログ入力について「ズームイン」するような方法で新たに定められる。フィードバックDACへの入力は以前に獲得された推定値であり、そして、フィードバックDACの出力がアナログ入力信号から引き算される。SDMの目的は、この差異を最小化することである。本発明のSDMの利点は、比較的に大きな入力レンジにわたり良好に高い有効分解能を達成できること、そして、これを良好に

50

経済的な低次のフィルタと比較的に低いサンプリングクロックレートを用いて行えることである。すなわち、高分解能または正確な最終推定値が、良好に短い時間で獲得される。

【0013】

本発明に従って、入力信号についてアナログ - デジタル変換を実行するためのアナログ - デジタル変換器は、そうしたシグマ - デルタ変調器を含んでいる。

【0014】

従って、本発明のADCは、非常に電力効率の良い方法で具現化することができ、そして、比較可能な従来のシグマ - デルタ変調器を実装する従来技術のADCよりも高い有効分解能及び / 又はより速い変換速度 (conversion rate) を達成することができる。本発明のADCの「変換レンジ ("conversion range")」 - すなわち、入力信号振幅の可能な範囲 - は、そのSDMによって実施されるアダプティブダイナミックレンジスケーリングのおかげで良好に大きくなり得る。

10

【0015】

本発明に従って、アナログ入力信号についてアナログ - デジタル変換を実行するための装置は、本発明に従ったシグマ - デルタ変調器を実施するADCを利用する。この装置は、モニタリングアプリケーション、イメージングアプリケーション、または、アナログ入力信号がモニタかつ / あるいはイメージングされる他のあらゆる種類のアプリケーションにおける使用のために具現化することができる。

【0016】

本発明に従ったモニタリング装置の利点は、非常に正確なデジタル出力を備えていることであり、要望通りに、次いで、使用され得る。例えば、モニタリング装置は、心電図 (ECG)、脳波 (EEG)、または、超音波トランスデューサといった医療用イメージング装置、等であってよい。別の可能な実施において、モニタリング装置は、アンペロメトリアアプリケーション、ラボオンチップ (lab-on-a-chip) アプリケーション、等において使用され得る。本発明に従ったモニタリング装置は、関心あるアナログ信号が主にDCであり又はゆっくりとだけ変動するアプリケーションにおける使用に特に適している。さらに、本発明のシグマ - デルタ変調器は、低消費電力で高精度を提供するように具現化できるので、本発明に従ったモニタリング装置は、低消費電力であることを要するバッテリ駆動のウェアラブルデバイスとしての具現化に特に適している。例えば、バッテリ駆動のポータブルEEGである。

20

【0017】

従属請求項および以下の説明は、本発明の特に有利な実施形態および機能を開示している。実施形態の機能は、適切に組み合わされてよい。一つのクレームカテゴリーのコンテクストにおいて説明される機能は、別のクレームカテゴリーに対しても等しく適用され得るものである。

【0018】

上述のように、入力信号は、好ましくは、電流出力を伝える検出装置、例えば、医療用検出装置、トランスデューサ、アンペロメトリ装置、等に由来する。医療用センサは、身体の脳、心臓、および筋肉における電気的活動のトラッキングにおいて使用され得る。トランスデューサは、例えば、音圧を電流に変換するなど、さまざまな目的で使用される。電流測定装置は、様々な目的のために使用される。例えば、音圧を電流へと変換するためである。アンペロメトリ装置は、多種多様なアプリケーションにおいて使用され得る。例えば、シリコンナノ細孔 (silicon nanopores) におけるタンパク質捕捉 (protein capture) による電荷変動をトラックするためである。以下において、本発明を何ら限定するものではないが、入力信号は電流であると仮定することができる。用語「入力電流 ("input current")」および「入力信号 ("input signal")」は、互換的に使用されてよい。測定またはモニタされる入力信号のレンジをカバーするようにデザインされたADCにおいてSDMが使用されることも、また、仮定されてよい。用語「デルタ - シグマ変調器 ("delta-sigma modulator")」および「シグマ - デルタ変調器 ("sigma-delta modulator")」は、以下において互換的に使用されてよい。

30

40

50

【0019】

本発明のコンテクストにおいて、従って、初期レンジとは、本質的に、それが使用されるアプリケーションのためのADCのレンジである。例えば、-10.0 mAと+10.0 mAの間のレンジ、等である。アナログ - デジタル変換の各反復においては、以前のレンジの中でサブレンジ又はより狭いレンジが特定される。別の言葉で言えば、反復の最中に特定されるサブレンジは、先行する反復のレンジよりも狭く、これにより、新しいサブレンジの中間点は、以前のレンジの中間点とは独立している。別の言葉で言えば、フィードバックDACは「非対称 ("asymmetric")」であり、そして、異なる大きさ及び方向のフィードバックステップを行うように構成または制御することができる。好ましくは、フィードバックDACは、出力ビットストリームの値に応じて非対称フィードバックを生成する单一ビットのDACである。別の言葉で言えば、新しいサブレンジが以前のレンジの中で下方または上方にシフトされるように、かつ、新しいサブレンジのサイズが以前のサブレンジのサイズとは独立しているように、DACは任意の1つの反復において制御することができる。この種の実施の利点は、フィルタ次数、クロックレート、および量子化器ビットによって決定される分解能誤差の中にとどまりながら、SDMが入力推定値に向かってズームインできることである。本発明の好ましい実施形態において、本方法のステップは、少なくとも2回、より好ましくは少なくとも3回反復され、そして、アナログ - デジタル変換は最終推定値の出力ビットストリームで終了する。これは、デジタル信号処理アプリケーションにおける次のステージ、例えば、デシメーションフィルタへ、転送され得る。

【0020】

上述のように、従来のSDMのOSRは、デジタル - アナログ変換の精度を決定する。インクリメンタルSDMについて、用語OSRは、各リセット間におけるクロックサンプルの数量として理解されるものである。これは、しばしば、「観測インターバル ("observation interval")」または「積分期間 ("integration period")」として参照される。純粋にDC入力については、同じ意味を伝えるためにサンプルの数量 (number of samples) が代わりに使用される。本発明に従った方法は、現在のレンジの中での位置を決定し、かつ、少なくとも最初の数回の反復について、次のレンジとして使用されるインターバルを特定するためには、入力値の粗い推定だけでさえ十分であるという洞察に基づいている。従って、本発明の特に好ましい実施形態において、入力信号の推定値は、方法ステップの最終でない反復において低い精度レベルで獲得される。このことは、好ましくは、できる限り低いオーバーサンプリング比を適用することによって達成され、それにより、適用可能なオーバーサンプリング比が、ある程度はSDMフィルタ次数によって決定される。本発明に従った方法においては、入力信号の近傍にズームインするときに、粗い推定値だけを最初に獲得するために低いOSRを使用することによって、より速い変換が達成される。このことは、早期の見積もりについて変換時間における著しい削減を達成し、それにより、ADC変換時間全体を著しく削減している。従って、本発明の好ましい実施形態において、最終でない推定値は、変調器のフィードフォワードアナログフィルタのフィルタ次数に対して低いオーバーサンプリング比で獲得される。例えば、2次または3次フィルタについて、方法ステップの最終でない反復において、最大30、より好ましくは最大20、より好ましくは最大5のオーバーサンプリング比が適用されてよい。このようにして、最終でない反復は、変換のこの部分が好ましくは少ない量の電力だけを消費するように、より少ないサンプルを捉えることによって実行することができ、そして、それにより、変換時間を削減している。

【0021】

未知の入力信号は、できる限り高い精度（分解能）に対して推定されることが好ましい。従って、本発明のさらに好ましい実施形態において、方法ステップの最終反復は、高精度レベルにおいて実行される。このことは、多くの方法で達成することができる。一つのアプローチにおいて、最終変換に係る所望のより高い精度は、1ビットからマルチビットオペレーションへ切替えることによって具現化され得る。すなわち、最終でない反復について1ビット変換器を使用し、かつ、最終段階についてマルチビット変換器を使用するこ

10

20

30

40

50

とによるものであり、その逆も同様である。別のアプローチにおいては、最終でない反復について低次のフィルタを使用することができ、そして、より高次のフィルタを最終変換ステップについて使用することができる。しかしながら、これらのアプローチは、最終変換ステップのための追加の回路を必要とする。従って、本発明の特に好ましい実施形態においては、より高いオーバーサンプリング比を使用することによって、または、より多くの出力サンプルを考慮することによって、より高い精度が達成される。上述の2次フィルタの例を使用して、少なくとも50、より好ましくは少なくとも100、最も好ましくは少なくとも200のオーバーサンプリング比を、最終変換ステップにおいて適用することができる。このようにして、電力および変換時間に関して利用可能なリソースを完全に利用することだけが、方法ステップの最終反復において獲得される推定値の変換の最中に必要とされる。本発明のマルチステップアプローチでは、最終でない反復においては低次フィルタと低オーバーサンプリング比だけを必要とする一方で、比較的に大きな入力信号レンジにわたり高い有効分解能を達成することが観察される。

【0022】

従来のSDMにおいて、ダイナミックレンジは固定されており、すなわち、変化しない。本発明に従った方法においては、本方法が各ステップで検出可能な最小値を効果的に「減少させる ("decreases")」ので、ダイナミックレンジは各反復において増加する。好ましくは、フィードバックDACを構成するステップ - すなわち、その動作パラメータを調整するステップ - は、そのゲイン及び / 又はオフセットを調整することを含んでいる。このことは、フィードバックDACが調整可能なゲイン及び / 又はオフセットを有するように具現化することによって達成され得る。好ましくは、レンジ調整手段は、出力ビットストリームを処理し、適切なサブレンジを特定し、かつ、非対称に制御可能なフィードバックDACのゲイン及び / 又はオフセットを統一して調整するための適切なロジックを含んでいる。例えば、出力ビットストリームからの新しいサブレンジの特定は、出力を粗い推定値へ平均する比較的に簡単なデジタルロジックを使用して実施することができる。

【0023】

回路レベルにおいて、サブレンジの特定は種々の方法で実施され得る。例えば、本発明のSDMのフィードバックDACは、適切にスケーリングされた構成可能な切替えキャパシタバンク (switched capacitor bank) を含んでよく、良好にコンパクトな実装を可能にしている。DACのゲインを各反復において非常に正確に設定できるように、集積キャパシタの非常に正確なマッチングが可能である。こうした実施形態においては、DAC基準電圧を適切に制御すること及び / 又はコンデンサバンク値を適切に切替えることによって、反復の最中にサブレンジを設定することができる。代替的に、可変電荷再分配 (variable charge redistribution) アーキテクチャが使用され得るだろう。

【0024】

従来のソリューションにおいて使用されるような対称SDMにおいて、フィードバックDAC (キャパシタバンクとして実装されているもの) は、同じ大きさであるが反対の極性の電荷 (charge) を生成する。これは、DACに対して印加される電圧の極性がコンパレータの出力 (論理 1 または 0) によって決定され、そして、フィードバックDACのキャパシタの値が静的であるためである。従来のSDMのDACに対する入力における論理「1」は、第1極性を伴うキャパシタを切替え、一方で、DACに対する入力における論理「0」は、同じサイズであるが逆の極性を伴うキャパシタを切替える。このことは、固定された大きさ及びコンパレータによって決定された極性を伴うDAC出力を結果として生じ、そして、こうした従来のSDMのダイナミックレンジの中間点は常に規定のバイアス電圧 (例えば、0 V) にある。本発明の非対称動作モードにおいて、フィードバックDACは同じ極性であるが異なる大きさの電荷を供給する。このことを達成するために、DACに対して印加される電圧は静的に保たれ、一方で、DACのキャパシタンスは動的である - すなわち、切替えキャパシタバンクのキャパシタはコンパレータの決定に応じて動的に制御される。DC入力を伴う1ビットSDMについて、DACに対する入力における論理「1」は1つの値を用いてコンデンサを切替え、一方で、DACに対する入力における論理「0」は異なる値 (しかし、同じ極

10

20

30

40

50

性)を用いてコンデンサを切替える。例えば、切替えキャパシタバンクは、キャパシタペア(capacitor pair)のバンクを含むことができる。DAC出力に対して転送される電荷が、同じ極性に留まるが、コンパレータの決定に応じて大きさが変化するように、コンパレータ出力が「1」であるか「0」であるかに従って、各ペアのうちの1つを選択することができる。DACは、上記の技法を使用して非対称電荷を生成することによって、フィードバックバスにおいてゲインおよびオフセットを適用する。ゲインは、変換の連続ステップを用いてダイナミックレンジを拡大するように動作し(実際のレンジを関心ある領域へとズームインするように「縮小する」ことによる)、一方で、オフセットは、ダイナミックレンジを特定の方向にシフトするように働く。

【0025】

10

本発明に従ったSDMによって適用されるN-ステップ(N-step)「ズーム("zooming")」技術-初期推定のためにより低いIOS及び最終推定のためはより高いIOSRを使用するもの-は、同じ面積及び同じ消費電力を伴う同等な従来技術のSDMよりも高いADC分解能を達成することができる。特に、より低いIOSRの使用は、ADC変換時間を著しく削減することができる。すなわち、アナログ-デジタル変換を実行するために必要とされる時間である。DACは、新しいサブレンジを特定するステップが良好に高速であるように、高周波数サンプリングクロックで動作し、そして、1クロックサイクルの中で再プログラムすることができる。

【0026】

20

好ましくは、サブレンジを定義する又は特定するステップは、先行するレンジをM個のサブレンジへと分割すること、および、最新、すなわち最も最近の、振幅推定値を含むサブレンジを特定する又は選択することを含んでいる。サブレンジの数量はスケーリングファクタとして参照されてよく、スケーリングファクタMを用いるダイナミックレンジスケーリングスキームは、以前のレンジの1M番(1M-th)に対応する近傍またはサブレンジへと効果的にズームする。以前に獲得された推定値に基づいて、SDMは、入力レンジが各反復で動的に更新または調整されるように、現在のサブレンジの中にある信号だけを変換するように構成または設定されている。

【0027】

30

本発明に従った方法において、SDMコンフィグレーションは、初期の粗い推定ステップ及びその後のより細かい推定ステップとの間で動的に調整され得る。例えば、フィードバックDACの次数、及び/又は、ビット数、及び/又は、サンプリングレートといった構成パラメータを変更することができる。これらの調整は、各反復の後(変換の最中)、及び/又は、リセットの後(変換の完了の際)に行うことができる。SDMパフォーマンスに関する調整は、DACに関連するあらゆる調整と同時に行うことができる。

【0028】

40

上述のように、ADCの分解能は最小の分解可能な入力ステップを定めている。比較的大きな信号レンジにわたり高分解能を維持することは高価である。大きな実効ビット数(ENOB)を伴うADCを必要とするからである。精度または有効解像度は、本発明の方法によって改善することができる。適切に大きな数の反復Nおよび適切なスケーリングファクタMを選択することによるものである。本発明に従った、Mアリー(M-ary)、Nステップ法の有効解像度は、以下のように表わすことができる:

【数1】

$$\text{Resolution}_{\text{eff}} = \log_2 \frac{\text{DR}}{M^{N-1} 2^{\text{ENOB}}} \quad (1)$$

ここで、DRは、SDMについて初期の信号レンジまたは「変換レンジ("conversion range")」であり、Mは、スケーリングファクタであって、そして、Nは反復回数である。有効解像度は、フィルタの次数、量子化器の分解能、クロックレートの組み合わせによって決定される。あらゆる所与の組み合わせについて、実効ビット数ENOBによって表される、達成可能な最大解像度が存在する。例えば、2次の1ビットSDMは、10ビットのENOB

50

を達成するために概ね 100 サンプルの観測インターバルを必要とする。この場合に、等式(1)を適用すると、ENOBは 10 であり、かつ、OSRは 100 であることが仮定される。有効ビット数は、完全または最大の可能なオーバーサンプリング比を使用して単一ステップにおいて達成され得る精度である。本発明の好ましい実施形態において、先行するレンジは、少なくとも 2 つのサブレンジへと分割されている。すなわち、スケーリングファクタ M が少なくとも 2 である。より好ましくは、スケーリングファクタが少なくとも 3 である。以前のレンジは M 個のサブレンジへと分割され、そこから 1 つのサブレンジ - 入力見積もりを含んでいるもの - が特定され、次の変換および後続の反復のためのSDMレンジになる。別の言葉で言えば、SDMダイナミックレンジが「調整 ("adjusted")」されてきた。変換のために必要な出力ビット数はスケーリングファクタに依存している。2要素分裂 (binary division) ($M = 2$) については、入力信号が入力レンジの中点よりも下であるか、上であるかを特定することだけが必要なので、粗い推定値の指示 (sign) で十分である。4要素分裂 (binary division) ($M = 4$) については、正確なサブレンジの特定を確保するために、粗い推定値は 2 ビット以内で正確でなければならない。その結果、各反復において必要とされるサンプル数は、スケーリングファクタ M に比例して増加する。
。

【0029】

本発明に従ったSDMは、印加された入力信号の近傍へ連続的にズームインする。より狭い振幅レンジにわたり固有の変換精度を適用することによって、SDMは、より高い有効分解能を達成し、そして、従って、より高いENOBを達成する。本発明の好ましい実施形態において、SDMは、少なくとも 10 ビット、より好ましくは少なくとも 15 ビット、さらに好ましくは少なくとも 20 ビットの有効解像度またはENOBを達成するように構成されている。本発明のSDMについて実行可能な方法で達成され得るステップの総数は、選択されたDACアーキテクチャに、および、ノイズといった他の回路考査 (circuit considerations) にも、また、ある程度依存している。最終の変換ステップは、デジタル信号プロセッサといった後続のユニットに対して正確な出力を提供するために、より正確なデシメーションフィルタを使用してよい。

【0030】

シグマ - デルタ変調においては、入力信号値が入力レンジの上限の近くにある場合に量子化誤差が増加する。なぜなら、入力信号が境界に近づくにつれて、より高次の変調器は過負荷 (overload) になる (線形性が低下する) からである。例えば、入力信号が現在のレンジの上位 20 % の中にある場合に、2 次のSDMで過負荷が始まる。SDMが過負荷であるとき、変換精度が著しく低減され得る。このため、いくつかの従来技術のアプローチは、過負荷にわざわざしない 1 次のSDMだけを使用する。しかしながら、1 次のSDMだけを使用することの欠点は、達成することができる分解能が非常に限定され、より長い獲得時間を必要とし、そして、非線形性および擬似振舞い (spurious behavior) に悩まされることである。本発明に従った方法によって行われる非対称アプローチにおいては、レンジ境界が、過負荷なしに現在のダイナミックレンジにおいてSDMが対応できる最大の正および負の信号と一致し得る。この目的のために、本発明のさらに好ましい実施形態において、特定されたサブレンジは、現在のレンジの M 個のサブレンジが、過負荷の領域を越えて効果的に広がるために、その境界でオーバーラップするように、先行するレンジの少なくとも半分を含んでいる。この場合に、有効解像度は、以下のように表すことができる。

10

20

30

40

【数2】

$$\text{Resolution}_{\text{eff}} = \log_2 \left[\frac{\text{DR}_1}{\prod_{i=1}^{N_{\text{step}}-1} \left[\frac{\text{DR}_i}{\frac{\text{DR}_i}{M} + 2 \cdot OV \cdot DR_i} \right] 2^{\text{ENOB}}} \right] \quad N_{\text{step}} > 1 \quad (2)$$

10

$$DR_{i+1} = \frac{DR_i}{M} + 2 \cdot OV \cdot DR_i$$

【0031】

ここで、OVは、オーバーラップのパーセンテージであり、DR_iは、i番目の反復に対するレンジである。レンジオーバーラッピングは、入力信号値がレンジ境界に近いときの誤差を低減し、そして、有効分解能をわずかに低下させる。好ましくは、レンジ調整手段は、以前の推定値が境界に対してあまりに近いか否かを判断し、そして、それに応じてそうしたオーバーラップするサブレンジを実施するように具現化することができる。

【0032】

20

本発明のさらに好ましい実施形態において、モニタリング装置は、ユーザ入力をSDMに対する適切な制御信号へと変換するために、ユーザ入力を受け入れるように具現化されたインターフェースを含んでいる。例えば、変換精度を所望のレベルに調整することによりユーザ入力を使用することができる。例えば、最終変換ステップ等で使用されるオーバーサンプリング比を設定するためである。

【0033】

本発明の他の目的および特徴が、添付の図面と併せて考慮される以下の詳細な説明から明らかになるであろう。しかしながら、図面は説明の目的のためだけにデザインされたものであって、本発明の範囲を定義するものではないことが理解されるべきである。

【図面の簡単な説明】

30

【0034】

【図1】図1は、本発明の第1実施形態に従って、シグマ-デルタ変調器を示している。

【図2】図2は、本発明に従って、本方法の最中のダイナミックレンジ調整を説明している。

【図3】図3は、本発明に従って、本方法の最中のダイナミックレンジ調整を説明している。

【図4】図4は、本発明に従って、本方法の最中に適用される2つの代替的なMアリー(M-ary)分割を示している。

【図5】図5は、本発明の一つの実施形態に従って、ウェアラブルな生命兆候(vital signs)モニタリング装置を示している。

40

【図6】図6は、生命兆候モニタリング装置からの入力信号を示している。

【図7】図7は、ADCにおける使用のための従来技術のシグマ-デルタ変調器を示している。

【0035】

図面において、類似の番号は全体を通して類似のオブジェクトを参照している。図におけるオブジェクトは、必ずしも縮尺通りに描かれることを要しない。

【発明を実施するための形態】

【0036】

図1は、ADCにおいて使用するための本発明の一つの実施形態に従ったシグマ-デルタ変調器(sigma-delta modulator)1を示している。この実施形態において、SDM 1に対

50

する入力 P_{in} はアナログ信号であり、そして、SDM出力 D_{bit} はビットストリームであって、デジタル出力ワード D_{word} の計算のために適切な出力ステージ15に対して供給され得る。SDM 1は、所望の入力感度およびSNRを達成するためのアクティブループファイルタ10と、サンプリングクロック F_s によって特定されるサンプリング周波数で入力をサンプリングする量子化器11と、サンプルをビットストリーム D_{bit} へ変換するためのコンパレータとを含む。この目的のために、単純な1ビットコンパレータを使用することができ、そして、SDM出力は論理1と論理0との間をトグル(toggle)する1ビットのビットストリーム D_{bit} となる(実際には、論理1および論理0は特定の電圧レベルに対応するものである)。入力値のアナログ-デジタル変換の最中に、SDM 1は、数クロックサイクル(観測インターバル)にわたり入力信号を観測し、そして、多数の反復を実行する。反復では、ビットストリーム D_{bit} が、デジタル-アナログ変換を受けるフィードバックパス(feedback path)を介してフィードバックされる。アナログ入力 P_{in} からアナログフィードバック信号 P_{fb} が引き算される。差異 P_{diff} が一旦サンプリングされると、それによって推定値を精密化し、そして、新たな推定値が出力ビットストリーム D_{bit} へ変換される。本質的に、SDMの動作原理は、入力 P_{in} とフィードバック P_{fb} との間の差異を最小化することである。SDM 1がインクリメンタルSDMとして具現化される場合に、変換ステップ(例えば、サンプルアンドホールド)の最中に入力は一定のままであり、そして、SDMは各反復の後でリセットされる。

【0037】

本発明のSDM 1において、フィードバックパスは、非対称プログラマブルステップDAC 12と、SDM 1のダイナミックレンジを効果的に調整するために最新の推定値に基づいてDAC 12をプログラムするコンフィグレーション論理ユニットまたはレンジ調整モジュール120と、を含む。ダイナミックレンジを調整する効果が図2に示されており、4ステップ実現(realization)($N = 4$)におけるバイナリダイナミックレンジスケーリング($M = 2$)を説明している。明確にするために、最初の入力信号レンジ R_1 は ± 1 に正規化されている。図の右側には、各反復において適用できるレンジ(R_1 から R_4 まで)の表示と共に、反復回数(1から4まで)が示されている。初期レンジ R_1 は、2つのインターバル(interval)またはサブレンジ(subrange)に分割されている。すなわち、-1.0から0.0まで延びる第1サブレンジ $M_{1,1}$ および0.0から+1.0まで延びる第2サブレンジ $M_{1,2}$ である。この例においては、アナログ信号の振幅が、第2サブレンジ $M_{1,2}$ の中にあると推定されている。入力値の初期推定 E_1 が一旦なされると、変調器1は、その狭い第2サブレンジ R_2 の中に入る信号だけを変換するように効果的に設定される。後に続く反復においては、入力値のより良い推定 E_2 がなされ、そして、レンジ R_2 が、再び2つのサブレンジに分割される。この場合には、0.0から0.5まで延びる第1サブレンジ $M_{2,1}$ および0.5から+1.0に延びる第2サブレンジ $M_{2,2}$ である。ここで、変調器1は、改善された推定値 E_2 がサブレンジ $M_{2,2}$ の中にあるので、レンジ R_2 の中に入る信号だけを変換するように設定されている。後に続く反復において、入力値の推定値は、関心ある範囲に変調器1が「ズーム("zoom")」するのでさらに改善される。第3レンジ R_3 に係る連続したサブレンジ $M_{3,1}$ (0.0から0.25まで)および $M_{3,2}$ (0.25から0.5まで)を伴い、第4レンジ R_4 に係るサブレンジ $M_{4,1}$ (0.25から0.375まで)および $M_{4,2}$ (0.375から0.5まで)が後に続くものである。本発明の変調器1は、あらゆる後続の推定値は先行する推定値から著しく逸脱することはないという事実を利用している。反復が多い(すなわち、 N の値がより大きい)ほど、本発明のSDM 1を含むADCの分解能がより高くなる。粗い推定値を取得することは、入力信号を含む現在レンジのインターバルを特定することを単に含むことができる。例えば、 $M = 2$ の場合、入力が現在のレンジの上半分の中または下半分の中のいずれにあるかを特定することで十分である。最終推定値の精度を向上させること-すなわち分解能を高めること-は、例えば、サンプル数を増やすこと、及び/又は、サンプリングインターバルを延長することによって達成され得る。

【0038】

10

20

30

40

50

図3は、図2のバイナリスケーリングスキーム (binary scaling scheme) を代替的な方法において説明している。ここで、本発明の変調器1を実施するADCによって変換される入力信号 P_{in} は、最小値 P_1 と最大値 P_{hi} との間のどの値を有してもよい。変調器1は、初期レンジ R_1 と最小検出可能値との間の比率によって最初に定められるダイナミックレンジを有している。各アナログ - デジタル変換の動作について、初期推定値 E_1 が獲得され、そして、変調器1は、次いで、第2レンジ R_2 における推定値 E_2 、第3レンジ R_3 における推定値 E_3 、および、第4レンジ R_4 における最終の非常に正確な推定値 E_4 を特定することによって推定値を反復的に改善する。各ステージまたは反復において、本発明の変調器1は、アクティブループフィルタ10および量子化器11が徐々により優れた推定を行うことができるよう、それぞれのサブレンジの中に入る信号だけを変換する。好適な反復回数 N を選択することによって、所望の変換分解能を獲得することができる。本発明のSDMによって実行される反復回数 N は、デザイン段階においてハード配線 (hard-wired) され得る。代替的に、反復カウント N のオンザフライ (on-the-fly) 調整を可能にするために、適切なコントローラまたはロジックが実装され得る。

【0039】

本図は、(誇張されたやり方で) 初期推定値 E_1 を相対的に不正確な値として、そして、逐次的な推定値 $E_2 - E_4$ を徐々により優れた値として示している。初期推定値 E_1 および多数のさらなる推定値 (この場合には E_2 と E_3) については、比較的に粗い推定値が許容可能である。従って、SDM 1のフォワードパス (forward path) におけるサンプリングクロック F_s は、低いOSRを結果として生じるように選択することができる。例えば、たった 20 のOSRである。最終推定値 E_4 は、より正確な出力値を与えるように、より高いOSRにおいて獲得される。例えば、200 のOSRである。

【0040】

Mアリー (M-ary) ダイナミックレンジスケーリングスキームは、スケーリングファクタ M を有している。Mアリースケーリングスキームを用いて、本発明のSDMは、現在のダイナミックレンジの $1/M$ である近傍へ効果的に「ズームイン ("zoom in")」する。このことは、バイナリスケーリングスキーム ($M = 2$) について図2および図3に示されている。入力信号値の粗い推定値 E_1 、 E_2 、 E_3 は、現在のサブレンジの範囲内にあるものに関して入力値の正確な推定を確保するために十分であるため、最初の数回の反復は高精度を必要としない。最初の数回の反復は、従って、上述のように、より少ない数の出力ビットと、より低いオーバーサンプリング比とを用いて実行することができ、それによって、より少ない電力とより少ない時間とが必要とされる。電力と変換時間に関して利用可能なリソースを完全に利用することは、所望の変換精度を伴う出力信号を供給するための最後の反復についてだけ必要とされる。本発明のSDM変調器1の実効分解能は、上記の等式 (1) によって与えられる。

【0041】

本発明の「ズームSDM ("zoom SDM")」は、印加される入力信号 P_{in} の近傍においてダイナミックレンジを連続的に狭くすることによってアナログ - デジタル変換を達成する。アダプティブダイナミックレンジスケーリングは、フィードバックDACによって転送されるチャージ (charge) を制御することによって達成される。フィードバックDACは、所定のゲインおよび所定のオフセットをフィードバックパスに対して適用することによってこれを行う。変換の各連続ステップにおいて、DACは、以前のステップにおいて獲得されたより粗い推定値に基づいて、ゲインおよびオフセットを適合させる。変換の最終段階においてDAC 12によって適用されたゲイン 12_{gain} およびオフセット 12_{off}_{set} の値を使用して、最終デジタルワード D_{WORD} が、次いで、出力ステージ13において生成される。最終デジタルワード D_{WORD} 対する式は、 $Final_Digital_Word = ((Decoded_Value) - Offset_Final_Step) \times Gain_Final_Step$ 、として表すことができる。ここで、「Decoded_Value」は、ビットストリーム D_{bit} をハニングウィンドウ (Hann window) といった適切な窓関数を用いてフィルタリングすることによって最終ステップにおいて獲得されるデジタルワードであり、そして、「Offset_Final_Step」および「Gain_Final_Step」

10

20

30

40

50

`n_Final_Step` は、それぞれ最終変換ステップにおいて DAC 12 によって適用されるオフセット $12_{\text{off set}}$ およびゲイン 12_{gain} の値である。出力ステージ 13 の後に、さらに、サンプリングレートを低減し、かつ、出力の分解能を高めるためのコントローラ (図示なし) といった、適切な処理ステージを続けることができる。

【0042】

図 4 は、M アリー (M-ary) ダイナミックレンジスケーリングを実行する異なる方法を示している。ここで、スケーリングファクタ M は 3 である。N ステップ変調のステップ x の最中のレンジ R_x は、3 つの等しいサブレンジ M 3 へと分割することができる。しかしながら、入力信号が変調器のダイナミックレンジの下限または上限に近づくにつれて、高次の変調器は、過負荷になる (線形性が低下する)。影響される領域 40 が、サブレンジ M 3 のそれぞれについて図に示されている。これらのサブレンジのいずれも後に続く反復のダイナミックレンジを定め得るからである。そうした領域 40 の内側にある入力信号の推定の精度は、かなり不正確であり得る。このことは、図の下部に示されるように、サブレンジがオーバーラップできるようにすることによって対処することができる。ここで、サブレンジ M 3 の外側部分は、所々でオーバーラップしており、それによって、そうでなければ隣接するサブレンジ間の境界の近くにある信号の誤差を最小化している。

【0043】

図 5 は、本発明の一つの実施形態に従った、モニタリング装置 5 を示している。この例示的な実施形態において、モニタリング装置 5 は、EEG または ECG 信号をモニタするための医療用生命徵候モニタ 5 であり、そして、ウェアラブル装置 5 として具現化することができる。1 つまたはそれ以上のアナログ入力信号 P_{in} が、観察目的のためにモニタされ得る。入力信号 P_{in} (図 6 に示されている) は、患者の皮膚に取り付けられた ECG 電極、リード 51 によって装置 5 に接続された、EEG 頭皮 (scalp) 電極、硬膜下 (subdural) 電極、等から生じ得るものである。そうした信号は、一般的に小さい振幅 (low-amplitude) の信号であり、そして、DC に近くなり得る。これらのタイプの信号は、一般的に非常にゆっくりと変化する。入力信号のアナログ - デジタル変換は、本発明に従った SDM 1 を含む ADC 50 によって実行される。他の DSP 機能は、通常の方法で実施され得る。例えば、出力におけるデシメーション (decimation) フィルタ、等である。デジタル出力信号 - すなわち SDM 1 によって提供される一連のデジタルワード - は、適切に処理され得る。例えば、ディスプレイ上にトレースを示すこと、リモートユニットへの送信のためにエンコード化されること、等である。ユーザインターフェース (図示なし) を用いて、患者、医者、介護者、または他のユーザは、信号変換の感度または精度、及び / 又は、関心ある入力信号レンジを調整することができる。所望の設定は、適切に変換され、かつ、例えば、アナログ - デジタル変換の精度を調整するように変調器 1 を構成するために使用される。

【0044】

図 7 は、アナログ - デジタル変換アプリケーションにおいて使用するための従来技術のシグマ - デルタ変調器 7 を示している。図 1 と同様に、SDM 7 に対する入力 $i(t)$ はアナログ信号であり、そして、出力 $o[T_s]$ は 1 ビットのビットストリームである。アナログ入力のデジタル出力への変換の最中に、SDM 7 は、観測インターバルにわたり入力を観測し、多数の反復を実行する。反復では、ビットストリーム $o[T_s]$ が、DAC 72 を含むフィードバックパスを通じてフィードバックされる。フィードバック DAC 72 は、完全に対称であり、そして、ビットストリーム $o[T_s]$ の 1 と 0 を、アナログ入力 $i(t)$ から引き算されたフィードバック信号 $f_b(t)$ へ変換する。従来技術の具現化においては、フィルタ次数、クロックレート、および量子化器の分解能によって変換の精度が決定されるように、SDM 7 のダイナミックレンジは固定されている。そうした SDM 7 の性能を改善するために、観測インターバルが延長され得る。しかしながら、より低い変換レート、より高い電力消費、およびより大きいチップ面積という代償を払って、より高い精度が生じる。代替的なアプローチは、必要とされる観測インターバルを短くするより高次の IS DM を使用することである。しかし、より高次のフィルタは、最大安定振幅 (MSA) がより低く、そして、また、より多い数量のオペアンプのせいでより多くの電力も消費する。別

10

20

30

40

50

のアプローチは、最初の変換後に残っている残渣 (residue) を変換することを含む、2ステップ技法を使用することである。別個のADCが必要とされ、従って、全体的なコストと消費電力が追加される。一般的に、既知の代替物は、より遅い変換、及び／又は、より高いコスト、及び／又は、より高い消費電力によって特徴付けられる。

【0045】

本発明が、好ましい実施形態およびその変形の形式において開示されてきたが、本発明の範囲から逸脱することなく、多数の追加的な変更および変形がなされ得ることが理解されるだろう。例えば、SDMは、各ステップにおいてループフィルタのハードリセットが必要としないように具現化され、従って、さらに、変換速度を増し、かつ、リセットアーチファクトを回避することができる。変換の各反復の後では、一旦入力値が評価されると、リセットなしでDACを再プログラムすることができる。本発明のSDMは、非対称に制御可能なフィードバックDACについて最適なダイナミックレンジのスケーリングアルゴリズムを決定するために、製造段階において（意図されたアプリケーションの）入力信号統計値に係る先駆的な知識を適用する、DACプログラム可能アルゴリズムに従って具現化され得る。

10

【0046】

明確化目的のために、本出願の全体を通して「1つの（"a"または"an"）」の使用は複数を排除するものではなく、そして、「含む（"comprising"）」は他のステップまたはエレメントを除外するものではないことが理解されるべきである。「ユニット（"unit"）」または「モジュール（"module"）」に係る言及は、1つ以上のユニットまたはモジュールの使用を排除するものではない。

20

【図1】

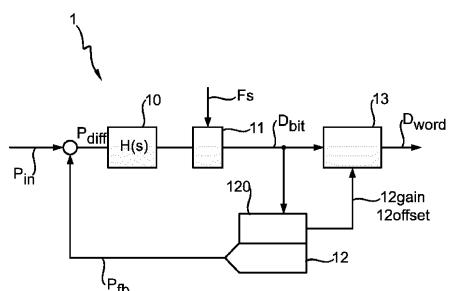


FIG. 1

【図3】

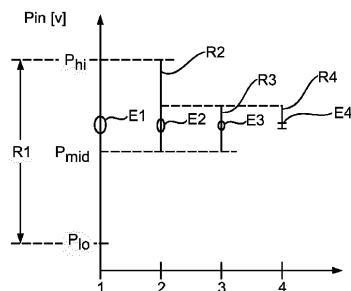


FIG. 3

【図2】

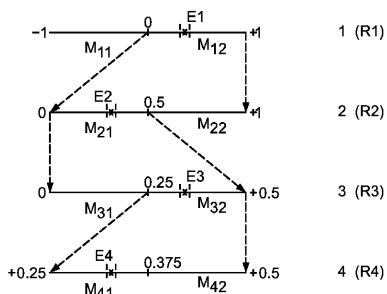


FIG. 2

【図4】

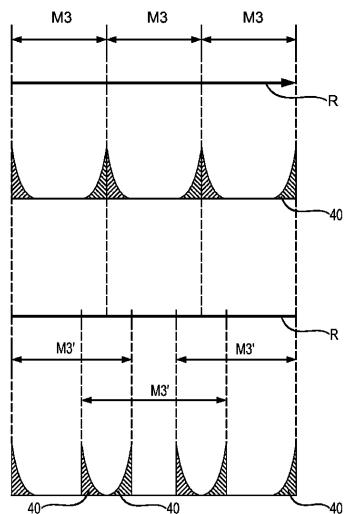


FIG. 4

【図5】

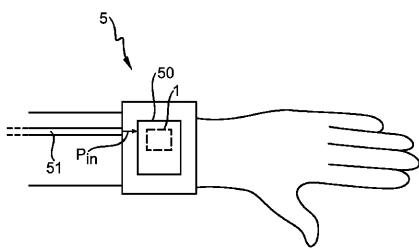


FIG. 5

【図6】

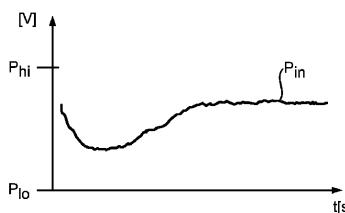


FIG. 6

【図7】

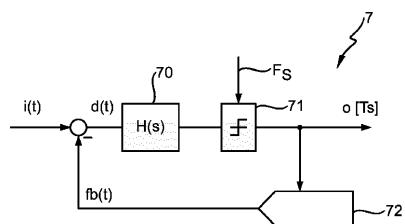


FIG. 7

フロントページの続き

(74)代理人 100091214

弁理士 大貫 進介

(72)発明者 オウゾウノフ, ソティー フィリポフ

オランダ国 5656 アーエー アンドーフェン ハイテック キャンパス 5, フィリップス インターナショナル ビーヴィ, インテレクチュアル プロパティ アンド スタンダーズ内

(72)発明者 ポル, ケタン

オランダ国 5656 アーエー アンドーフェン ハイテック キャンパス 5, フィリップス インターナショナル ビーヴィ, インテレクチュアル プロパティ アンド スタンダーズ内

審査官 北村 智彦

(56)参考文献 特開2006-140600 (JP, A)

特表2009-543242 (JP, A)

特開2015-103820 (JP, A)

特開2011-259219 (JP, A)

S.Z.Reyhani, O. hashemipour, SAR-based delta-sigma modulator using single-bit shared-D AC, ELECTRONICS LETTERS, 2014年 1月30日, VOL.50,NO.3, pp.156-158

(58)調査した分野(Int.Cl., DB名)

H03M 3/00 - 9/00

IEEE Xplore