

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本、2007年07月27日、2007-196767

2. 日本、2007年12月18日、2007-325604

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於層積具有半導體元件之層積型半導體裝置。其中，本申請係與下述日本專利申請案相關。對於依據參照文獻所編入的指定國，係將下述申請案所記載的內容編入本申請案，而成為本申請案的一部分。

日本專利特願 2007-196767、申請日 2007 年 07 月 27 日

日本專利特願 2007-325604、申請日 2007 年 12 月 18 日

### 【先前技術】

近年來，行動電話、個人電腦等電子機器係朝小型化、薄型化及輕量化發展，隨之，電子零件的小型化、高性能化或多功能化的需求亦與日俱增。在如上所示的趨勢之中，在半導體裝置中，半導體裝置的小型化、小設置面積、高性能化或多功能化亦不斷在發展。尤其在記憶體 IC 中，大記錄容量化、小型輕量化及低成本化的需求日增，而各種記憶體 IC 的封裝體構造、安裝構造正在研發中。

例如專利文獻 1 所示，搭載有記憶體 IC 的封裝體以增大容量化為目的，而使三次元層積具有記憶體功能之晶片的半導體封裝體的製品化不斷進展。

此外，如專利文獻 2 所示，目前，另外使得在一個封裝體具有記憶體功能與邏輯功能的半導體裝置封裝體的需求與日俱增。有一種方法係以在一個封裝體具有記憶體功能與邏輯功能為目的，將分別在薄型的配線基板覆晶安裝有記憶體 IC 與邏輯 IC 的封裝體層積在基座

基板而實現多功能化。

由於採用將個別安裝有記憶體 IC 與邏輯 IC 的封裝體予以層積的構造，因此具有使用者間的需求功能不同，亦可依所層積之記憶體 IC 及邏輯 IC 之品種的變更而容易對應，而且半導體封裝體的開發期間較短的優點。因此，今後預測混載有記憶體功能與邏輯功能的半導體封裝體的開發係以具有記憶體功能的 IC 與具有邏輯功能的 IC 層積的構造而不斷進展。

(專利文獻 1) 美國專利第 7115967 號公報

(專利文獻 2) 日本專利特開 2006-032379 公報

#### 【發明內容】

若為上述之層積型半導體裝置，會有以下之問題。亦即，將記憶體 IC 層積好幾層而予以大記錄容量化的封裝體係會有記憶體電路的發熱逸散處變少的熱對策的問題。此外，當以三次元層積構造實現混載有記憶體功能與邏輯功能的半導體封裝體時，因當比記憶體 IC 具有一位數以上之發熱的邏輯 IC 進行動作時所發生的熱，會造成半導體元件高溫化的情形。

當半導體封裝體的散熱不充分時，在運算處理會產生時間差，而會有導致半導體封裝體發生錯誤動作之虞。此外，因構成半導體封裝體的矽 (Si) 及絕緣體等之材料的熱膨脹的不同，即使為均等的溫度上升，半導體封裝體內亦會發生熱應力，但是在發熱區域產生溫度不均時，熱應力會更加變大而亦會有熱變形或封裝體內之 IC 元件因熱應力而遭受破壞之虞的問題。

此外，以半導體封裝體之溫度狀態監視的方法而言，一般係進行根據來自裝設在半導體封裝體附近的溫

度感測器的溫度資訊來進行散熱風扇之旋轉控制的方法。在該方法中，並無法進行連三次元層積構造內部的溫度分布均考慮在內的細緻的熱控制。因此今後日益受到重視的熱的問題，即三次元層積型半導體封裝體的溫度管理係非常重要的。

因此，本發明的目的在提供一種即使為以三次元層積半導體元件的層積型半導體裝置，亦可提升熱分散，更提升散熱效率的層積型半導體裝置。

為了解決上述課題，以達成目的，本發明之層積型半導體裝置係構成如下所示。

第一觀點之層積型半導體裝置，係層積複數個半導體晶片，該半導體晶片的各個具有至少一個電路區域的層積型半導體裝置，其中，以隨著前述電路區域的驅動，由前述電路區域所發出的熱分散的方式，配置有前述電路區域。

藉由該構成，可抑制因層積型半導體裝置的發熱所造成之內部的溫度上升，並且可將熱分布的偏差抑制為較低，因此可防止錯誤動作或防止半導體裝置本身的熱變形或元件的破壞等。

第二觀點之層積型半導體裝置，係層積複數個半導體晶片，該半導體晶片的各個具有至少一個電路區域的層積型半導體裝置，其中，在複數個前述半導體晶片之至少一個具備有在時間上重複予以驅動的複數個前述電路區域，該複數個電路區域係彼此分開予以配置。

在該構成中，亦可抑制因層積型半導體裝置的發熱所造成之內部的溫度上升，並且可將熱分布的偏差抑制為較低，因此可防止錯誤動作或防止半導體裝置本身的

熱變形或元件的破壞等。

第三觀點之層積型半導體裝置，係層積複數個半導體晶片，該半導體晶片的各個具有至少一個電路區域的層積型半導體裝置，其中，在複數個前述半導體晶片之至少一個，彼此相接配置有在時間上重複予以驅動的複數個前述電路區域，該複數個電路區域係以至少一部分沿著彼此的界面彼此偏離的方式予以配置。

在該構成中，亦可抑制因層積型半導體裝置的發熱所造成之內部的溫度上升，並且可將熱分布的偏差抑制為較低，因此可防止錯誤動作或防止半導體裝置本身的熱變形或元件的破壞等。

第四觀點之層積型半導體裝置，係層積複數個半導體晶片，該半導體晶片的各個具有至少一個電路區域的層積型半導體裝置，其中，屬於複數個前述半導體晶片中之第一半導體晶片係具備予以驅動的第一電路區域，屬於複數個前述半導體晶片中之且與前述第一半導體晶片相接配置的第二半導體晶片係具備與前述第一電路區域在時間上重複予以驅動的電路區域，前述第一電路區域與前述第二電路區域係彼此分開予以配置。

在該構成中，亦可抑制因層積型半導體裝置的發熱所造成之內部的溫度上升，並且可將熱分布的偏差抑制為較低，因此可防止錯誤動作或防止半導體裝置本身的熱變形或元件的破壞等。

第五觀點之層積型半導體裝置，係層積複數個半導體晶片，該半導體晶片的各個具有至少一個電路區域的層積型半導體裝置，其中，屬於複數個前述半導體晶片

中之一的第一半導體晶片係具備予以驅動的第一電路區域，屬於複數個前述半導體晶片中之一且與前述第一半導體晶片相接配置的 second 半導體晶片係具備與前述第一電路區域在時間上重複予以驅動的 second 電路區域，前述第一電路區域及前述 second 電路區域係以至少一部分沿著彼此的界面而彼此偏離的方式予以配置。

在該構成中，亦可抑制因層積型半導體裝置的發熱所造成之內部的溫度上升，並且可將熱分布的偏差抑制為較低，因此可防止錯誤動作或防止半導體裝置本身的熱變形或元件的破壞等。

第六觀點之層積型半導體裝置，係層積複數個半導體晶片，該半導體晶片的各個具有至少一個電路區域的層積型半導體裝置，其中，屬於複數個前述半導體晶片中之一的第一半導體晶片係具備予以驅動的第一電路區域，屬於複數個前述半導體晶片中之一的 second 半導體晶片係具備前述第一電路區域、及在晶片層積方向重疊配置且與前述第一電路區域在時間上重複予以驅動的 second 電路區域，且具備：配置在前述第一電路區域與前述 second 電路區域之間的非發熱區域。

在該構成中，亦可抑制因層積型半導體裝置的發熱所造成之內部的溫度上升，並且可將熱分布的偏差抑制為較低，因此可防止錯誤動作或防止半導體裝置本身的熱變形或元件的破壞等。

第七觀點之層積型半導體裝置，係層積複數個半導體晶片，該半導體晶片的各個具有至少一個電路區域的層積型半導體裝置，其中，以隨著前述電路區域的驅動，由前述電路區域所發出的熱分散的方式，具備用以

控制前述電路區域之驅動的控制電路。

藉由該構成，控制電路以隨著電路區域的驅動，由電路區域所發出的熱分散的方式來進行控制，因此可將因層積型半導體裝置之發熱所造成之層積構造內部的熱分布抑制為較低。因此可防止錯誤動作或防止半導體裝置本身的熱變形或元件的破壞等。

第八觀點之層積型半導體裝置之控制方法，係層積複數個半導體晶片，該半導體晶片的各個具有至少一個電路區域的層積型半導體裝置之控制方法，其中，以隨著前述電路區域的驅動，由前述電路區域所發出的熱分散的方式，控制前述電路區域的驅動。

根據第八觀點，層積型半導體裝置之控制方法係將因層積型半導體裝置的發熱所產生之內部的熱分布抑制為較低，因此可防止錯誤動作或防止半導體裝置本身的熱變形或元件的破壞等。

根據本發明之層積型半導體裝置，由於由所層積之複數個半導體晶片的電路區域所發出的熱分散，因此導致錯誤動作之虞較少，而且熱應力變大而使層積型半導體裝置的電路遭到破壞之虞變少。

#### 【實施方式】

第一 a 圖係表示本發明第一實施形態之具有晶片 20 之多段層積構造體之半導體裝置 100 的縱剖視圖。

如第一 a 圖所示，半導體裝置 100 係積層八層具有複數個電路區域 22 之二次元矩陣排列的晶片 20。半導體裝置 100 係例如一邊 L1 為 12mm 的正方形形狀，厚度 L2 為 0.66mm 左右的大小。在半導體裝置 100 的底面係配置有作為形成連接配線之中繼用基板的中介板

(interposer) 10。在該中介板 10 上層積有八層晶片 20。

中介板 10 係具有複數個貫穿電極 15。中介板 10 的複數個第二貫穿電極 15 的配置間距係大於層積構造體之貫穿電極 25 的配置間距。在中介板 10 的下面連接有與第二貫穿電極 15 作電性連接的焊球 19。其中，以中介板 10 在與外部基板之間變更配線尺寸之一例而言，在上述形態中是以變更配線的間距，但以其他例而言，亦可變更配線長度、配線寬度等。

層積在中介板 10 上的八層晶片 20 (20-1 至 20-8) 係利用作為絕緣材的封裝樹脂 40 予以封裝。中介板 10 例如可由玻璃環氧樹脂、聚醯亞胺樹脂、矽樹脂所構成。封裝樹脂 40 係為了確保較高的可靠性而使用填料 (filler) 含量較多的熱硬化性樹脂。例如可使用填料含量較多的熱可塑性環氧樹脂作為封裝樹脂 40。此外，亦可以絕緣性陶瓷取代封裝樹脂 40 來進行封裝。在此，中介板 10 最好係以熱傳導率高於封裝樹脂 40 的材料所形成。藉此可有效地朝外部散熱。

第一實施形態之半導體裝置 100 係在封裝樹脂 40 的上面具有將熱散熱的散熱構件 50。散熱構件 50 例如可使用鋁製，具有複數個風扇，且增加與外氣接觸的面積者。

第一 b 圖係由電路區域 22 側觀看一個晶片 20 的俯視圖。如第一 b 圖所示，一個晶片 20 係例如邊 L3 及邊 L4 為 10mm 的正方形形狀，厚度為 30 至 80 $\mu$ m 的大小。在本實施形態中，一片晶片 20 係具有八個電路區域 22。複數個電路區域 22 的各個係具有大致矩形平面形狀的三次元區域。複數個電路區域 22 的各個係另外具有複



數個貫穿電極 25 與複數個凸塊 27 (參照第二圖)。複數個凸塊 27 係設在第一面側的複數個貫穿電極 25 的表面上。

在第一 b 圖中，在八個電路區域 22 分別記載 A1、A2、B1、B2、C1、C2、D1 及 D2。表示該電路區域 A1 與電路區域 A2 係具有大致同等的功能，且表示該電路區域 A1、A2 與電路區域 B1、B2 具有不同的功能。例如，電路區域 A1、A2 係記憶體電路區域，電路區域 B1、B2 係邏輯電路區域。當然此僅為一例，亦可一個晶片 20 的複數個電路區域 22 均為記憶體電路區域，其他一個晶片 20 的複數個電路區域 22 均為邏輯電路區域。在各電路區域 22 的周圍形成有貫穿電極 25。此外，在本實施形態中，一片晶片 20 具有八個電路區域 A1、A2、B1、B2、C1、C2、D1 及 D2，但是一片晶片 20 只要至少具有一個電路區域即可。

第二 a 圖係第一 a 圖所示之半導體裝置 100 的局部放大圖，第二 b 圖係其局部放大圖。如第二 a 圖及第二 b 圖所示，在具有經二次元矩陣排列的複數個電路區域 22 的第一層晶片 20-1 層積具有經二次元矩陣排列的複數個電路區域 22 的第二層晶片 20-2。第二層晶片 20-2 的複數個貫穿電極 25、與第一層晶片 20-1 的複數個貫穿電極 25 係設在水平方向中彼此相對應的位置，因此晶片 20 的複數個貫穿電極 25、與晶片 20 的複數個貫穿電極 25 係經由凸塊 27 而彼此作電性連接。在本實施形態中，第一層晶片 20-1 的電路區域 22 與第二層晶片 20-2 的電路區域 22 係關於水平方向的位置而完全重疊。

第一層晶片 20-1 與第二層晶片 20-2 係指在矽 (Si)

材料以曝光裝置形成多層的電路圖案者。貫穿電極 25 例如可利用 Au、Ag、Cu、Ni、W、SnAg、Poly-Si 等各種導電體所構成。凸塊 27 例如可利用 Sn/Pn、Au、Cu、Cu+SnAg 等各種導電體所構成。在本實施形態中，將貫穿電極 25 使用 Poly-Si、在凸塊 27 使用 Cu。此外，貫穿電極 25 與凸塊 27 的剖面係形成為  $20\mu\text{m}\times 20\mu\text{m}$  左右。

在本實施形態中，第一層晶片 20-1 與第二層晶片 20-2 之間的導通，亦即各層間之電路區域 22 彼此的電性連接係可使用各種已知的方法予以實施。例如，亦可藉由加重加熱來進行晶片間的連接。此外，亦可僅藉由以常溫施加加重來進行晶片間的連接。亦可僅藉由加熱來進行晶片間的連接。此外，亦可僅藉由施加超音波來進行晶片間的連接。此外，亦可藉由加重、加熱及超音波的組合來進行晶片間的連接。以具體例而言，亦可利用在本申請人所申請之日本專利特開 2005-251972 等所揭示之晶圓疊合方法來連接。

如第二 a 圖及第二 b 圖所示，在第一層晶片 20-1 與第二層晶片 20-2 之間係供給有底填料 30。在此，使所供給的底填料 30 與晶片 20 的側面接觸。底填料 30 係利用黏性較高且發揮作為液體的性質的絕緣性樹脂所構成。具有作為液體之性質的底填料 30 係藉由所謂毛細管現象，從第一層晶片 20-1 與第二層晶片 20-2 之間隙浸入至各晶片 20 的中心為止。因此，第一層晶片 20-1 與第二層晶片 20-2 之間隙係藉由具有作為液體之性質的底填料 30 而完全被填充。其中，底填料 30 係可使用針形配量器 (needle dispenser) 來供給。

當以熱硬化性樹脂構成底填料 30 時，可藉由對熱

硬化性底填料 30 加熱而進行熱硬化。以熱硬化性樹脂之典型例而言，可列舉熱硬化性環氧樹脂。僅藉由加重加熱來連接第一層晶片 20-1 與第二層晶片 20-2 的凸塊 Cu 而施加有撞擊負載等時，會對晶片 20 施加較大的力，但是當底填料 30 硬化時，第一層晶片 20-1 與第二層晶片 20-2 會密接地相連接而變為較為強固。其中，第一層晶片 20-1 與第二層晶片 20-2 之間隙 L5 係以形成為  $10\mu\text{m}$  至  $30\mu\text{m}$  為佳。

其中，在以上之說明中，主要係就第一層晶片 20-1 與第二層晶片 20-2 加以說明，但是第一實施形態之半導體裝置 100 係層積有第一層晶片 20-1 至第八層晶片 20-8。關於未加以說明的第 3 層晶片 20-3 至第八層晶片 20-8，亦與第一層晶片 20-1 與第二層晶片 20-2 的連接為相同的構成。

由控制裝置所連接之電路區域 22 進出 (access) 時，該電路區域 22 會發熱。當電路區域 22 尤其為 MPU、高速通訊用元件等時，由於頻繁進行訊號的切換，因此在動作中容易自己發熱。

如第二 b 圖所示，會在電路區域 22 的表面，亦即形成有電路圖案的面發生發熱區域 HC。

此外，在一層晶片 20 形成有八個電路區域 22。該等電路區域 22 亦會有在一層晶片 20 內亦彼此相連接，或第一層晶片 20-1 的電路區域 22 與第八層晶片 20-8 的電路區域 22 相連接的情形。

#### < 半導體裝置的發熱 >

第三 a 圖係表示第一實施形態之半導體裝置 100 之各層晶片 20 與底填料 (Underfill) 30 的概念圖。而第

三 b 圖係表示在八個電路區域 22 之內，電路區域 B1、B2 發熱的狀態。例如，將第一層晶片 20-1 的電路區域 B1、B2 發熱的狀態表示於第三 b 圖的下段圖，將第四層晶片 20-4 的電路區域 B1、B2 發熱的狀態表示於第三 b 圖的中段圖，第八層晶片 20-8 的電路區域 B1、B2 發熱的狀態表示於第三 b 圖的上段圖。以下表示具有八個電路區域 22 之八層晶片 20 發熱時的熱解析結果。

<<每一晶片層的最高溫度及最大溫度差>>

第四圖係表示每一晶片層的熱解析結果。在該熱解析中，係將半導體裝置 100 的環境溫度設為  $45^{\circ}\text{C}$ 。此外，如第四 a 圖所示，在電路區域 B1、電路區域 C1、電路區域 D2 及電路區域 A2 分別產生  $0.05\text{W}$  的發熱量，而使其產生合計  $0.2\text{W}$  的發熱量。此外，如第一 a 圖及第二 a 圖所示，在半導體裝置 100 的上部有散熱構件 50，僅在該部分產生散熱，在側面及底面並不會散熱而形成為隔熱狀態。其中，將矽 (Si) 的熱傳導率設為  $148 (\text{W}/\text{m}^{\circ}\text{C})$ ，比熱設為  $750 (\text{J}/\text{kg}^{\circ}\text{C})$  及密度設為  $2330\text{kg}/\text{m}^3$ 。

第四 b 圖所示之曲線圖係表示在縱軸表示溫度之依晶片層的不同所造成的溫度狀態。曲線圖的左側係表示第一層晶片 20-1 的電路區域 B1、電路區域 C1、電路區域 D2 及電路區域 A2 發熱的情形。在半導體裝置 100 內，最大溫度變為  $96.39^{\circ}\text{C}$ ，最低溫度變為  $93.41^{\circ}\text{C}$ 。因此，半導體裝置 100 內的最大溫度差  $\Delta T$  為  $2.98^{\circ}\text{C}$ 。

曲線圖的中央係表示第四層晶片 20-4 的電路區域 B1、電路區域 C1、電路區域 D2 及電路區域 A2 發熱的情形。在半導體裝置 100 內，最大溫度變為  $96.22^{\circ}\text{C}$ ，

最低溫度變為  $93.39^{\circ}\text{C}$ 。因此，半導體裝置 100 內的溫度的最大溫度差  $\Delta T$  為  $2.83^{\circ}\text{C}$ 。

曲線圖的右側係表示第八層晶片 20-8 的電路區域 B1、電路區域 C1、電路區域 D2 及電路區域 A2 發熱的情形。在半導體裝置 100 內，最大溫度變為  $96.17^{\circ}\text{C}$ ，最低溫度變為  $93.31^{\circ}\text{C}$ 。因此，半導體裝置 100 內的最大溫度差  $\Delta T$  為  $2.86^{\circ}\text{C}$ 。

當遠離散熱構件 50 的第一層集中發熱時，最高溫度、最大溫度差  $\Delta T$  會較大。相反地，最接近散熱構件 50 的第八層集中發熱時，最高溫度係比第一層的情形較受到抑制。其中，在本熱解析中，係假想 DRAM 而在電路區域 B1 提供  $0.0225\text{W}$  的發熱能量，但是若為邏輯 LSI 的情形，則會產生差異很大的發熱能量，因此因發熱場所的不同而造成的最高溫度、最大溫度差  $\Delta T$  比本結果更為擴大。

如以上所示，在 DRAM 及邏輯 LSI 等之層積構造的二維半導體裝置 100 中進出集中的電路區域係以配置在接近散熱構件 50 的第八層等較佳。換言之，建議在功能上驅動時間較短，亦即進出頻率較低的電路區域 22 係配置在遠離散熱構件 50 的位置，而驅動時間較長，亦即進出頻率較高的電路區域 22 係配置在接近冷卻散熱構件 50 的位置。藉由本手法，可接近於抑制整體的熱的最大溫度差，且熱應變較少之均等熱分布狀態。

其中，在本實施形態中，覆蓋複數個晶片 20，與散熱構件 50 相接的封裝樹脂 40 係由單一材料所形成，因此在電路區域 22 與散熱構件 50 之間的熱傳導率為均一。因此，複數個電路區域 22 中每單位面積的發熱量

愈多者，愈配置在散熱構件 50 的較近處，藉此使複數個電路區域 22 中每單位面積的發熱量愈多者，與散熱構件 50 之間的熱阻抗愈小。取而代之，亦可例如相較於被充填在每單位面積的發熱量較少的電路區域 22 與散熱構件 50 之間的材料，將被充填在每單位面積的發熱量較多的電路區域 22 與散熱構件 50 之間的材料形成為熱傳導率較高的材料等，藉此減小每單位面積的發熱量較多的電路區域 22 與散熱構件 50 之間的熱阻抗。

此外，作為記憶體功能的 DRAM 與作為運算功能的邏輯 LSI 的積體度、功能完全不同。一般而言，與每單位面積（體積）的發熱量較小的 DRAM 相比較，邏輯 LSI 的每單位面積的發熱量係差異極大。因此，即使進出頻率為相同程度，當層積邏輯 LSI 時，以將邏輯 LSI 配置在接近散熱構件 50 的第八層等為宜。換言之，建議每單位面積的發熱量較大的電路區域 22 或晶片 20 配置在接近散熱構件 50 的位置。

<< 同一層內的最高溫度及最大溫度差 >>

第五圖係表示同一晶片層內的熱解析結果。在該熱解析中，係將半導體裝置 100 的環境溫度設為 45°C。此外，如第一 a 圖及第二 a 圖所示，在半導體裝置 100 的上部有散熱構件 50，僅在該部分產生散熱，在側面及底面並不會散熱而形成為隔熱狀態。

如第五 a 圖所示，將第一層晶片 20-1 內的電路區域 22，在中央配置電路區域 B1 至電路區域 B4，在其中一方的周邊配置電路區域 A1 及電路區域 A3，在另一方的周邊配置電路區域 A2 及電路區域 A4。

在第五 a-1 圖中，對於第一層晶片 20-1 內的電路區

域 A1 至電路區域 A4 以及電路區域 B1 至電路區域 B4，均一地產生 0.025W 的發熱量。以第一層晶片 20-1 整體而言，使其產生 0.2W 的發熱量。將此時的溫度狀況表示於第五 b 圖之曲線圖的左側。在半導體裝置 100 中，最大溫度為 96.21°C，最低溫度為 93.52°C。因此，半導體裝置 100 內的最大溫度差  $\Delta T$  為 2.69°C。

在第五 a-2 圖中，對於第一層晶片 20-1 內的電路區域 A1 至電路區域 A4，使其產生 0.05W 的發熱量。以第一層晶片 20-1 整體而言，使其產生 0.2W 的發熱量，第一層晶片 20-1 之合計係形成為與第五 a-1 圖同等的發熱量。將此時的溫度狀況表示於第五 b 圖之曲線圖的中央。在半導體裝置 100 中，最大溫度為 96.31°C，最低溫度為 93.54°C。因此，半導體裝置 100 內的最大溫度差  $\Delta T$  為 2.77°C。

在第五 a-3 圖中，對於第一層晶片 20-1 內的電路區域 B1 至電路區域 B4，使其產生 0.05W 的發熱量。以第一層晶片 20-1 整體而言，使其產生 0.5W 的發熱量，第一層晶片 20-1 之合計係形成為與第五 a-1 圖同等的發熱量。將此時的溫度狀況表示於第五 b 圖之曲線圖的右側。在半導體裝置 100 中，最大溫度為 96.39°C，最低溫度為 93.41°C。因此，半導體裝置 100 內的最大溫度差  $\Delta T$  為 2.98°C。

如以上所示，當在一層晶片 20 存在有複數個電路區域 22 時，如第五 a-1 圖所示，可知均等發熱者可減小最大溫度差  $\Delta T$ 。此外可知當複數個電路區域 22 之中的一部分電路區域 22 發熱時，相較於將在周邊發熱的電路區域 22 配置在中央，配置在周邊者可減小最大溫度

差  $\Delta T$ 。

亦即，在 DRAM 及邏輯 LSI 等層積構造的半導體裝置 100 中，一部分電路區域 22 發熱時，相較於將進出集中的電路區域 22 配置在中央，以配置在周邊為宜。換言之，驅動時間較長，亦即進出頻率較高的電路區域 22 係被建議在 1 層晶片 20 內配置在周邊。此外，即使進出頻率為相同程度，當在晶片 20 內混在有邏輯 LSI 及 DRAM 時，以將邏輯 LSI 配置在周邊為宜。換言之，每單位時間的發熱量較大的電路區域 22 係被建議在晶片 20 內配置在周邊。

#### <<熱分布的監視>>

電路區域 22 係依其功能的不同，進出頻率、驅動周期時間、每單位時間的發熱量等會不同。此外，電路區域 22 係與散熱構件 50 的相對距離關係亦分別不同。考慮到該等情形，在上述實施形態中針對晶片 20 或電路區域 22 的配置，加以說明對於散熱的最適配置。在本實施形態中，更進一步以將作為半導體裝置 100 整體的熱分散最適化為目的，而在掌握所有狀態之後再進行熱控制。

第六 a 圖係與第一 a 圖所示之半導體裝置 100 大致同等的構造，但是在第一層晶片 20-1 內具有熱控制的熱控制電路區域 21。熱控制電路區域 21 由於係對所有八層晶片 20 的電路區域 22 進行控制，因此以配置在容易監視進出頻率及驅動周期時間的第一層為佳。

第六 b 圖係關於熱控制電路區域 21 所進行之控制的流程圖。

在步驟 S11 中，熱控制電路區域 21 係監視各電路



區域 22 的進出頻率及驅動周期。

在步驟 S15 中，熱控制電路區域 21 係根據監視資訊來推定各電路區域 22 的發熱量。由於熱控制電路區域 21 已經記憶有各電路區域 22 的每次進出及每一驅動周期的發熱量，因此可藉由監視進出頻率及驅動周期來推定發熱量或溫度。

在步驟 S15 中，熱控制電路區域 21 係根據所推定之各電路區域 22 的發熱量，來推定在半導體裝置 100 所發生的最高溫度及最大溫度差  $\Delta T$ 。在本實施形態中，係考慮到由八層晶片 20 所構成、及散熱構件 50 的位置等，來推定半導體裝置 100 的最高溫度及最大溫度差  $\Delta T$ 。

在步驟 S17 中，熱控制電路區域 21 係進行判斷半導體裝置 100 的最大溫度差  $\Delta T$  及最高溫度是否在容許範圍內。若在容許範圍內，即進至步驟 S11，且直接繼續監視，若在容許範圍外，則進至步驟 S19。

在步驟 S19 中，熱控制電路區域 21 係以將半導體裝置 100 的發熱分散化的方式進行控制。

其中，在本實施形態中，係將最高溫度及最大溫度差  $\Delta T$  作為參數，但是除此之外，亦可加上每單位距離的熱斜率等作為參數。

步驟 S19 中以將發熱分散化的方式進行控制的方法係有以下所示的方法。亦即，將具有同等功能的電路區域 22 在複數個部位且預先在設計階段分散配置在半導體裝置 100。接著熱控制電路區域 21 係進行以下控制：減少對遠離散熱構件 50 之位置的電路區域 22 的進出頻率、時間，或增加對接近散熱構件 50 之位置的電路區

域 22 的進出頻率、時間。藉由進行如上所示之控制，熱控制電路區域 21 係將半導體裝置 100 的最大溫度差  $\Delta T$  及最高溫度導入容許範圍內。

其中，以在晶片 20 將具有同等功能的電路區域 22 設置在複數個部位之一例而言，列舉使其為解救製造時的缺陷等的冗長性 (redundancy)。亦即，除了預定使用的電路區域 22 以外，會有設置作為具有與該電路區域 22 同等功能的冗長電路的電路區域 22 的情形。此時，係對預定使用的電路區域 22 及與其相對應的冗長電路的電路區域 22 進行上述控制。

第七圖及第八圖係表示使半導體裝置 100 的最高溫度降低之具體例圖。如第七 a 圖所示，當第一層晶片 20-1 內的電路區域 B1 及電路區域 B2 的 2 部位持續發熱時，可獲得第七 b 圖所示之時間上的溫度解析。

此時，在穩定時第一層的最高溫度係在電路區域 B2 中為  $96.81^{\circ}\text{C}$ ，最低溫度在電路區域 C2 中為  $95.5^{\circ}\text{C}$ 。接著，電路區域 B1 為  $96.53^{\circ}\text{C}$ 。順帶一提，電路區域 B1 的最高溫度之所以低於電路區域 B2 的最高溫度係因為電路區域 B1 係三方向被熱傳導率佳的矽 (Si) 的電路區域 A1、電路區域 C1 及電路區域 D2 所包圍所致。

基於該結果，為了使第一層的最高溫度低於  $96.81^{\circ}\text{C}$ ，在第一層的最高溫度達到  $96.81^{\circ}\text{C}$  之前，在具有相同功能之極力不相鄰的遠方的電路區域 22 切換進出。如上所示將依序發熱部位在該電路區域 22 到達最高溫度之前進行切換，藉此可將最高溫度本身抑制為較低。具體如以下所示。

第八圖係表示將電路區域 B2 與電路區域 B1 進行切

換後的溫度上升。當在最初僅在電路區域 B2 輸入電氣而使其活性化時，溫度會慢慢上升。當保持原樣而不進行切換時，如以虛線所示，係到達  $96.81^{\circ}\text{C}$ 。因此，在時刻 T1 中切換成具有同樣功能的電路區域 B1。電路區域 B1 亦受到周圍溫度上升的影響而已經溫度上升，但是當在電路區域 B1 輸入電氣而使其活性化時，溫度會上升。另一方面，電路區域 B2 的溫度會下降。

為了限制電路區域 B1 的溫度上升，在時刻 T2 停止對電路區域 B1 輸入電氣而再次切換成電路區域 B2。電路區域 B2 的溫度係下降某程度，電路區域 B2 的溫度係從該溫度上升。此外，為了限制電路區域 B2 的溫度上升，在時刻 T3 中停止對電路區域 B2 輸入電氣，而再次切換成電路區域 B1。將其依序反覆進行。輸入能量為相同，因此發熱部位的偏在化受到緩和而使半導體裝置 100 整體予以平均化。接著，可以比最高溫度  $96.81^{\circ}\text{C}$  低  $\Delta t$  的預定溫度來驅動半導體裝置 100 整體。

其中，在由一個電路區域切換成其他電路區域的情形下，當所切換之候補的電路區域的溫度亦較高時，將另外其他的電路區域設為切換的候補。將其依序反覆進行。此外，當成為候補的電路區域有複數個時，亦可由距離至此所被驅動的電路區域較遠者來進行切換。

<<藉由虛擬 (dummy) 驅動進行熱分散>>

原本亦在使用不驅動亦可的停止中的電路區域 22 輸入電氣而使其活性化，以進行意圖性使其發熱的虛擬驅動。藉此，可避免熱應變僅在局部發熱的電路區域 22 周邊集中。該手法尤其比在穩定時，在電路起動時等發熱區域與非發熱區域的溫度差容易變大的過渡狀態之

時較具有效果。其中，可由例如相對於發熱的電路區域 22 接近上下左右對稱位置的區域中選擇進行虛擬驅動的電路區域 22，且可將作為半導體裝置 100 整體的熱變形由非對稱接近為對稱形，亦可避免半導體裝置 100 的熱變形。

其中，進行虛擬驅動的電路區域 22 並非經常進行虛擬驅動，若該電路區域 22 必須進行所需動作，即進行原本的驅動。

第九圖係表示關於在同一晶片層內所發熱之電路區域的配置的比較。在第九 a 圖中，係表示電路區域 B1 及電路區域 B4 發熱的情形。電路區域 B1 與電路區域 B4 係以沿著彼此的界面彼此偏移的方式予以配置，在本實施例中，係僅在各個角部相接觸，而沒有一邊整體相接觸的情形。另一方面，在第九 b 圖中，電路區域 B1 與電路區域 B2 雖然發熱，但是在電路區域 B1 與電路區域 B2 係將一邊相接（共有）而發熱。熱應該係由發熱區域流向非發熱區域，因此依發熱的電路區域與未發熱的電路區域以多少程度的面積相接，來決定某一程度的電路區域的溫度。因此，若求出發熱的電路區域與未發熱的電路區域相接的面積即可，但是此可將各電路區域的大小，以作為短邊 a、長邊 b、厚度 t 而言，藉由計算在同一晶片層內發熱的電路區域與未發熱的電路區域彼此所共同的界面面積即可簡單地計算。順帶一提，各電路區域之平面面積 S 係表示為  $S = a \times b$ 。

在第九 a 圖的情形下，電路區域 B1 及電路區域 B4 係 3 邊與未發熱的電路區域相接，但在第九 b 圖的情形下，發熱的電路區域 B1 及電路區域 B2 分別共有一邊，

以 2 邊與未發熱的電路區域相接。因此，相較於第九 a 圖，第九 b 圖中與未發熱的電路區域相接的發熱的電路區域的面積總計變少  $S=2 \times b \times t$ 。若由發熱的電路區域觀看，未發熱的電路區域係低溫的熱吸收體，因此在發熱的電路區域的周圍與未發熱的電路區域大部分接觸者會具有較多的冷卻路徑。當發熱的電路區域 B1、電路區域 B2 及電路區域 B4 的發熱量為相同時，發熱的電路區域的配置係以第九 a 圖所示的情形具有較多的冷卻路徑，導致在同一晶片層內之最高溫度的降低及溫度差（最高溫度與最低溫度的差）的減低。此亦藉由前述的熱解析方法予以確認。

雖未在第九圖中表示，但亦可考慮發熱的電路區域與未發熱的電路區域彼此分開而完全未相接的配置。例如，雖考慮到僅有電路區域 B1 與電路區域 A4 發熱的情形，但是即使形成為如上所示的配置，由於大部分與未發熱的電路區域相接觸，因此可期待在同一晶片層內之最高溫度的降低及溫度差（最高溫度與最低溫度的差）的減低。此外，在第九圖中係將一個晶片層內予以八等分，但是並非限定為八等分。可為少於八的分割數，亦可為多於八的分割數。此外，分割亦沒有必要以等分分割。在分割成不同大小的情形下，若以不會實質上產生發熱的電路區域彼此共有的界面面積的方式予以離散配置，亦可期待完全相同的效果。此外，在本實施例中係分割成長方形，但是亦非限定於該形狀。此外，在第九圖中係處理在八個電路區域之內有二個電路區域發熱的情形，但是並非限定為僅有二個電路區域發熱。在三個以上的電路區域發熱的情形下，若以不會實質上產

生彼此共有的界面面積的方式予以離散配置，即可達成在同一晶片層內之最高溫度的降低及溫度差（最高溫度與最低溫度的差）的減低。此亦藉由前述熱解析方法予以確認。

若將第九 a 圖與第九 b 圖的不同一般而論，第九 b 圖的情形係具有在同一晶片層內鄰接的二個發熱的電路區域 B1 及 B2 所共有的界面面積，亦即，此時形成為面積  $S=b \times t$  所共有的界面面積，而具有該面積的配置。另一方面，若在第九 a 圖的情形下，發熱的電路區域 B1 及 B4 係予以離散配置，僅在角部分別相接觸。此時並沒有所共有之界面面積。未發熱的電路區域若由發熱的電路區域來看乃為「低溫的吸熱體（=冷卻源）」，因此第九 a 圖的構成與第九 b 圖的構成相比較，僅有  $2 \times b \times t$  的面積份具有較多的冷卻路徑，結果可達成最高溫度的降低、 $\Delta T$  的減低。如上所示，藉由電路的驅動而同時發熱的電路區域彼此的界面必須未予以共有。亦即，在複數個電路區域之中，藉由電路的驅動同時發熱的第一電路區域與第二電路區域以不會實質上產生彼此共有之界面面積的方式予以離散配置乃較為有效。

第十圖係表示在同一晶片內所重複的時間帶所被驅動的電路區域 B3 與電路區域 B4 的配置例。如該圖所示，電路區域 B3 與電路區域 B4 係以沿著彼此的界面而彼此偏移的方式予以配置。在此，電路區域 B3 與電路區域 B4 係一部分沿著界面而彼此偏移，但是殘留的部分若由與界面呈正交的方向觀看則相重疊。在適用本配置例的晶片中，與第九 b 圖所示的情形相比較，係可減小電路區域 B3 與電路區域 B4 所共有的界面面積（ $S=$

c×t)，且可擴大冷卻路徑。

第十一圖係表示將第一 b 圖之俯視圖所示之具有八個電路區域 A1、A2、B1、B2、C1、C2、D1、D3 的半導體晶片 20(20-1 至 20-5) 層積為 5 層之半導體裝置的剖視圖，表示與在不同晶片層之二個發熱的電路區域的配置相關的比較。嚴謹而言，係配置有第二圖所示之底填料 30 或封裝樹脂 40，但在第十一圖中係省略。

在第十一 a 圖中係表示第二層的電路區域 A2 與第四層的電路區域 B1、或第二層的電路區域 C1 與第四層的電路區域 D2 發熱的情形。此時，發熱的電路區域係彼此分開，隔著以未發熱的電路區域所佔有的層予以配置，因此發熱的電路區域係形成為其所接觸之周圍的四面正在發熱的電路區域。

另一方面，在第十一 b 圖中係表示第 3 層的電路區域 B1 與第四層的電路區域 B1 發熱的情形。第二層的電路區域 B1 與第三層的電路區域 B1 係相鄰接。因此，若計算二個發熱的電路區域 B1 (第三層與第四層的 B1) 相對於未發熱的電路區域的面積，則第十一 b 圖會變少  $S=2 \times a \times b$ 。若由發熱的電路區域觀之，由於未發熱的電路區域為低溫的熱吸收體，因此在未發熱的電路區域 B1 的周圍與未發熱的電路區域大部分接觸者會具有較多的冷卻路徑。當然第十一 b 圖的配置並非僅侷限於第三層的電路區域 B1 與第四層的電路區域 B1 發熱的情形。在鄰接的任意的半導體晶片層間亦可。此外，若在第十一 b 圖的情形下，第二層的電路區域 B1 與第三層的電路區域 B1 係由圖的上下方向 (第十一圖係橫斷面方向) 觀之為完全相重疊的情形，但是亦會有依電路區域的大

小而完全不重疊的情形。此時亦在鄰接的晶片間具有發熱的電路區域所共有的界面面積。

若將第十一 a 圖與第十一 b 圖的不同一般而論，第十一 b 圖的情形係在鄰接的晶片間具有發熱的電路區域所共有的界面面積，亦即，此時形成為面積  $S = a \times b$  所共有的界面面積，而成為具有該面積的配置。另一方面，若為第十一 a 圖的情形，該未發熱的電路區域係予以離散配置，此時並沒有所共有的界面面積，所共有的界面面積為零。換言之，在第十一 a 圖的構成中，二個發熱的電路區域在高度方向並未相鄰接，但是在第十一 b 圖的構成中係相鄰接（鄰層，同區段（section）），結果，與第十一 a 圖的構成相比較，未發熱的電路區域的冷卻路徑係少面積  $2 \times S$ ，因此，作為層積型半導體裝置之最高溫度的降低或因熱分布的偏差所造成的最大溫度差  $\Delta T$  的減低乃為可能。其中，嚴謹而言，在所層積之半導體晶片的各層間係介在有底填料 30（參照第二圖），但是該底填料 30 較薄，由發熱的電路區域觀之，幾乎無法期待因吸熱所造成的冷卻效果。

如上所示，係使複數個半導體晶片 20 層積的層積型半導體裝置，必須在彼此鄰接的第一半導體晶片與第二半導體晶片中，在具有藉由電路的驅動而發熱的第一電路區域的第一半導體晶片、與具有藉由電路的驅動而與第一電路區域同時發熱的第二電路區域的第二半導體晶片之間，以實質上不會發生在第一電路區域與前述第二電路區域彼此所共有的界面面積的方式離散配置第一及第二電路區域 22。

亦即，第一電路區域與第二電路區域係以沿著彼此



的界面而彼此偏離的方式予以配置，必須使其不會接觸界面整體。此時，將第一電路區域與第二電路區域的整體挪移，藉由僅邊與邊相接，或僅角部與角部相接，可有效提高散熱效果。但是，如第十二 a 圖、第十二 b 圖所示，在將第一電路區域與第二電路區域在晶片層積方向觀之而一部分係呈偏離，殘留部分則以重疊的方式予以配置的情形下，與第十一 b 圖所示情形相比較，可更加減小第一電路區域與第二電路區域所共有的界面面積，且可擴大冷卻路徑。

此外，在第十三圖係表示有電路區域 B1 的配置例。如該圖所示，在本配置例中，當在重複的時間帶予以驅動的複數個電路區域 B1 於晶片層積方向相接配置時，在晶片層積方向排列的電路區域 B1 的列中，配置為至少一層之非驅動且未發熱的非發熱區域。藉此可確保對於晶片層積方向的散熱路徑。

其中，可知第一電路區域及前述第二電路區域與其他電路區域相比較乃為進出時間較多的電路區域。此外，當第一電路區域及第二電路區域係邏輯電路區域時，與其他電路區域相比較乃發熱量較大，且本實施形態的構成較為有效。此外，如第六圖所示，亦可在第一層的晶片 20-1 內具有熱控制的熱控制電路區域 21，俾以對於八層晶片 20 的所有電路區域 22 進行控制。

#### <半導體裝置的發熱>

接著，將在第九圖至第十三圖中所說明之發熱的電路區域更為具體地將熱分布進行熱解析。

第十四圖至第十七圖係依電路區域彼此所共有之界面的大小，對於成為什麼樣的熱分布進行熱解析後的

結果。

第十四圖的左圖係表示第三 a 圖所示之第一實施形態的半導體裝置 100 的各層晶片 20 與底填料 30 的概念圖。接著，在案例一中係表示，在八個電路區域 22 之內第一層晶片 20-1 的電路區域 A1 發熱、第二層晶片 20-2 的電路區域 A1 發熱、第三層晶片 20-3 的電路區域 A1 發熱的狀態。在案例二中係表示在八個電路區域 22 之內第一層晶片 20-1 的電路區域 A1 發熱、第二層晶片 20-2 的電路區域 B2 發熱、第三層晶片 20-3 的電路區域 D1 發熱的狀態。亦即，案例一的電路區域係彼此所共有的界面較大，案例二的電路區域係彼此所共有的界面較小。案例一及案例二中，發熱的三個電路區域的合計熱量均設為 0.2W，對於外面環境的散熱條件亦為相等。

第十五圖係表示半導體裝置 100 之熱解析結果者，上段為案例一的熱解析結果，下段為案例二的熱解析結果。在該等圖示中，為了說明起見，案例一及案例二均將底填料 30 去除而進行描繪。在第十五圖的熱解析中，顏色較淺者（白色）係表示較高的溫度，顏色較深（黑色）者係表示較低的溫度。

上段所示之案例一的左圖係由第十四圖的上面觀看到的熱解析分布，且係第八層晶片 20-8 的熱分布。由第八層晶片 20-8 的電路區域 A1 至電路區域 B2，溫度慢慢變低。此外，案例一的右圖係由第十四圖的下方觀看到的熱解析分布，且為第一層晶片 20-1 的熱分布。可知在第一層晶片 20-1 的電路區域 A1，溫度變得非常高，且溫度由電路區域 A1 至電路區域 B2 慢慢變低。可知即使僅在第一層晶片 20-1，亦會產生溫度差約 2.4°C 以上。

下段所示之案例二的左圖係由第十四圖的上面所觀看到的熱解析分布，且為第八層晶片 20-8 的熱分布。溫度由第八層晶片 20-8 的電路區域 D1 至電路區域 C2 慢慢變低。第八層晶片 20-8 的各電路區域的溫度差約為  $0.6^{\circ}\text{C}$  以下，且溫度差非常小。此外，案例一的右圖係由第十四圖的下方所觀看到的熱解析分布，且為第一層晶片 20-1 的熱分布。在第一層晶片 20-1 的電路區域 A1、電路區域 B2 及電路區域 D1，溫度會變高，而電路區域 BC 的溫度較低。可理解第一層晶片 20-1 的電路區域 A1 雖在發熱，但熱在其他電路區域擴散，並且藉由第二層晶片 20-2 的電路區域 B2 及第三層晶片 20-3 的電路區域 D1 的發熱，第一層晶片 20-1 的電路區域 B2 及電路區域 D1 亦吸收熱。

<< 半導體裝置的最高溫度、最低溫度及最大溫度差 >>

第十五圖係表示案例 1 及案例 2 中之半導體裝置之熱解析結果的曲線圖。第十六 a 圖所示之曲線圖係表示在縱軸表示溫度之發熱的電路區域的分散效果的比較 1。曲線圖的左側係表示案例 1 及案例 2 中之半導體裝置 100 之電路區域的最高溫度，曲線圖的右側係表示案例 1 及案例 2 中之半導體裝置 100 之電路區域的最低溫度。

在案例 1 中，如第十六 a 圖所示，在半導體裝置 100 內，最大溫度為  $97.76^{\circ}\text{C}$ ，最低溫度為  $95.25^{\circ}\text{C}$ 。因此，如第十六 b 圖所示，半導體裝置 100 內的最大溫度差  $\Delta T$  為  $2.51^{\circ}\text{C}$ 。

在案例 2 中，在第十六 a 圖所示之半導體裝置 100

內，最大溫度為  $96.44^{\circ}\text{C}$ ，最低溫度為  $95.47^{\circ}\text{C}$ 。因此，如第十六 b 圖所示，半導體裝置 100 內的最大溫度差  $\Delta T$  為  $0.97^{\circ}\text{C}$ 。若減小所發熱之電路區域彼此所共有的界面，即可減小二倍以上溫度差。

<<內建有 DRAM 八個與控制器 LSI 的半導體裝置>>

第十七圖係表示八層半導體晶片 20 (20-1 至 20-8)，具體而言係使八個 512M 位元 DRAM、與一個邏輯 LSI (控制器 LSI) 29 層積在單一的封裝體內的半導體裝置 200。其中，對於與第一圖相同的構件係標註相同的元件符號。

在第十四圖中係表示在第一層晶片 20-1 與第二層晶片 20-2 之間形成有底填料 30 之例，但如第十七圖所示，在半導體裝置 200 的底面係配置有作為形成連接配線的中繼用基板的中介板 10，在其下配置有邏輯 LSI 29。並非底填料 30 而係配置中介板 10 時亦以減小電路區域彼此所共有的界面為佳。邏輯 LSI 29 係其整體會發熱，因此為了減小八層半導體晶片 20 的電路區域彼此所共有的界面，儘可能以不使用第一層電路區域為佳。

<散熱構件的配置>

在上述之複數個實施形態中，如第一圖所示，半導體裝置 100 係可在封裝樹脂 40 的上面具有將熱散熱的散熱構件 50，但如第十八圖所示，具有各種冷卻方法。

第十八圖係在半導體裝置改變散熱構件 50 的配置、或配置冷媒管 52 的圖。第十八 a 圖所示之第二半導體裝置 110 係與第一 a 圖的第一半導體裝置 100 不同，並非為在封裝樹脂 40 的上面具備散熱構件 50 的構成，

而係在封裝樹脂 40 側面具備散熱構件 50。在第二半導體裝置 110 中，熱並非容易由第八層晶片 20-8 逸散，而是容易由所有晶片 20 的周邊側逸散。

第十八 b 圖所示之第三半導體裝置 120 係與第十八 a 圖之第二半導體裝置 110 不同，並非為具備散熱構件 50 的構成，而係具備冷媒管 52 的構成。並非為採用散熱構件 50 的空冷，而係在冷媒管 52 藉由流通冷媒（例如水），以更為強力且強制性地達成冷卻之故。此時熱亦容易由所有晶片 20 的周邊側逸散。

第十八 c 圖所示之第四半導體裝置 130 係除了第一 a 圖的第一半導體裝置 110 的構成以外，另外具備冷媒管 52 的構成。以採用散熱構件 50 的空冷而使熱由上面逸散，並且亦由側面強力地使熱逸散的構成。

第十八 d 圖係第五半導體裝置的局部放大圖。該第 5 半導體裝置係在晶片 20 與晶片 20 之間的底填料 30 配置有微排管 54 之例。除了該第一半導體裝置 100 的構成以外，另外具備冷媒管 52 的構成。藉由在微排管 54 流通冷媒（例如水），可更為直接地將晶片冷卻。可為微排管 54 單獨冷卻，亦可使用微排管 54 與散熱構件 50 進行冷卻。

對於該等第二半導體裝置 110、第三半導體裝置 120、第 4 半導體裝置 130 及第 5 半導體裝置，亦可適用上述之實施形態。

在以上說明中，使用由距離散熱構件 50 之遠或近的用語對於本實施形態進行說明，但是係以作為絕緣材的封裝樹脂 40 為均一的熱傳導率為前提。若散熱構件 50 與發熱源之間為相同的熱傳導率，若距離散熱構件

50 愈遠，熱愈難以逸散，若距離散熱構件 50 愈近，熱愈容易逸散。另一方面，當在散熱構件 50 與發熱源之間有熱傳導率高的構件時等，即使距離較遠，熱亦容易逸散。因此，當將其一般化而考慮時，所謂熱難以逸散的狀態係以熱阻抗較大的狀態（或熱傳導較小的狀態），熱容易逸散的狀態係以熱阻抗較小的狀態（或熱傳導較大的狀態）的概念來表示。

在上述實施形態中，在第一層晶片 20-1 內配置有熱控制的熱控制電路區域 21，但亦可配置在第二層晶片 20-2。此外，無須在半導體裝置 100 內設置熱控制電路區域 21，可藉由來自其他半導體裝置的控制來控制半導體裝置 100 的熱分布。此外，以將晶片 20 分割為八個的電路區域 22 加以說明，但在電路區域 22 內另外設置有被分割為複數個的適於特殊用途的電路區域的情形亦為相同。

此外，在上述實施形態中，係在半導體裝置 100 設置散熱構件 50 或冷媒管 52，但是亦可無須積極地設置散熱構件 50 或冷媒管 52，藉由將封裝樹脂 40 形成為熱傳導率佳的材料，而由整體散熱。

**【圖式簡單說明】**

第一 a 圖係表示本發明第一實施形態之具有晶片 20 之多段層積構造體之半導體裝置 100 的縱剖視圖，第一 b 圖係由電路區域 22 側觀看一個晶片 20 的俯視圖。

第二 a 圖係第一 a 圖所示之半導體裝置 100 的局部放大圖，第二 b 圖係其局部放大圖。

第三 a 圖係表示第一實施形態之半導體裝置 100 之各層晶片 20 與底填料 30 的概念圖，第三 b 圖係在八個電路區域 22 之內，電路區域 B1、B2 發熱的狀態。

第四圖係表示每一晶片層之熱解析結果。

第五圖係表示同一晶片層內的熱解析結果。

第六 a 圖係表示與第一 a 圖所示之半導體裝置 100 大致同等的構造，但是在第一層的晶片 20-1 內具有熱控制的熱控制電路區域 21，第六 b 圖係關於熱控制電路區域 21 所進行的控制的流程圖。

第七圖係表示使半導體裝置 100 之最高溫度降低之具體例圖。

第八圖係表示使半導體裝置 100 之最高溫度降低之具體例圖。

第九圖係所層積之半導體晶片之中的一個的俯視圖，表示同時發熱之二個部位之電路區域的位置。

第十圖係所層積之半導體晶片之中的一個的俯視圖，表示同時發熱之二個部位之電路區域的位置。

第十一圖係所層積之五層半導體晶片的剖視圖，表示同時發熱之二個部位之電路區域的位置。

第十二圖係所層積之半導體晶片之中之二個的俯視圖，表示同時發熱之二個部位之電路區域的位置。

第十三圖係所層積之五層半導體晶片的剖視圖，表示同時發熱之二個部位之電路區域的位置。

第十四圖係表示關於已改變所發熱之電路區域的案例一及案例二的半導體裝置 100 之各層的晶片 20 與底填料 30 的概念圖。

第十五圖上段為案例 1 的熱解析結果，下段為案例 2 的熱解析結果。

第十六圖係表示案例 1 及案例 2 中之半導體裝置的熱解析結果的曲線圖。

第十七圖係內建有 DRAM 八個與控制器 LSI 之半導體裝置的構成圖。

第十八圖係在半導體裝置 100 改變散熱構件 50 的配置或配置冷媒管 52、或配置微排管 54 的圖。

#### 【主要元件符號說明】

- 10 中介板
- 15 貫穿電極
- 19 焊球
- 20 晶片
- 21 熱控制電路區域
- 22 電路區域
- 25 貫穿電極
- 27 凸塊
- 29 邏輯 LSI (控制器 LSI)
- 30 底填料
- 40 封裝樹脂
- 50 散熱構件



- 52 冷媒管
- 54 微排管
- 100 半導體裝置
- 110 半導體裝置
- 120 半導體裝置
- 130 半導體裝置
- 200 半導體裝置
- A1 至 A4 電路區域
- B1 至 B4 電路區域
- C1、C2 電路區域
- D1、D2 電路區域
- HC 發熱區域

## 五、中文發明摘要：

本發明係提供一種可提升熱分散，更加提升散熱效率的層積型半導體裝置。層積複數個半導體晶片(20-1、20-2)，且該半導體晶片的各個具有至少一個電路區域的層積型半導體裝置(100)，隨著電路區域的驅動，由電路區域所發出的熱分散的方式，配置電路區域。在上述層積型半導體裝置(100)中，亦可另外具備由電路區域所發出的熱散熱的散熱部(50)，以複數個電路區域中每單位面積的發熱量愈多，即與散熱部之間的熱阻抗變得愈小的方式，配置電路區域。

## 六、英文發明摘要：









































**七、指定代表圖：**

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

10 中介板

15 貫穿電極

19 焊球

20 晶片

22 電路區域

25 貫穿電極

40 封裝樹脂

50 散熱構件

100 半導體裝置

A1、A2、B1、B2、C1、C2、D1、D2 電路區域

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

無

公告本
-----

1007125  
頁

## 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97128177

※申請日期：97.7.24

※IPC 分類：H01L 29/00

一、發明名稱：(中文/英文)

H01L 23/34

層積型半導體裝置

二、申請人：(共1人)

姓名或名稱：(中文/英文)

尼康股份有限公司/NIKON CORPORATION

指定 為應受送達人

代表人：(中文/英文)(簽章) 菊谷道郎

住居所或營業所地址：(中文/英文)

日本國東京都千代田區有樂町一丁目12番1號/12-1,

Yurakucho 1-chome, Chiyoda-ku, Tokyo 100-8331, Japan

國籍：(中文/英文) 日本/JAPAN

三、發明人：(共2人)

姓名：(中文/英文)

1. 菅谷功/SUGAYA, ISAO

2. 岡本和也/OKAMOTO, KAZUYA

國籍：(中文/英文)

1.2. 日本/JAPAN

## 十、申請專利範圍：

1. 一種層積型半導體裝置，具備：第一半導體晶片，具有以驅動來發熱的第一電路區域；第二半導體晶片，具備與前述第一電路區域相同的功能，具有以驅動來發熱的第二電路區域；以及散熱部，將前述第一電路區域以及前述第二電路區域的熱散熱，其特徵為：

前述第二電路區域比前述第一電路區域的每單位面積的發熱量更多，前述第一與第二半導體晶片被層積成前述第二電路區域比第一電路區域更靠近前述散熱部；

前述第一半導體晶片以及前述第二半導體晶片之任一者係在與外部基板之間與轉換配線尺寸的薄型配線基板相連接。

2. 一種層積型半導體裝置，，具備：第一半導體晶片，具有以驅動來發熱的第一電路區域；第二半導體晶片，被層積於前述第一半導體晶片，比前述第一電路區域的每單位面積的發熱量多，且具有與前述第一電路區域相同的功能的第二電路區域；以及散熱部，將前述第一電路區域以及前述第二電路區域的熱散熱，其特徵為：前述第二半導體晶片，被配置成在前述第二電路區域與前述散熱部之間的熱阻抗變得比前述第一電路區域與前述散熱部之間的熱阻抗更小。
3. 一種層積型半導體裝置，係層積複數個半導體晶片，該半導體晶片的各個具有至少一個電路區域的層積型半導體裝置，其特徵為：

以隨著前述電路區域的驅動，由前述電路區域所發出的熱分散的方式，具備用以控制前述電路區域之

驅動的 control 電路。

4. 如申請專利範圍第 3 項之層積型半導體裝置，其特徵為：前述電路區域係用以推定被驅動的前述電路區域的發熱量或溫度，來控制前述電路區域的驅動。
5. 如申請專利範圍第 4 項之層積型半導體裝置，其特徵為：前述控制電路係監視前述電路區域的驅動時間或驅動周期，由該驅動時間或該驅動周期來推定前述電路區域的發熱量或溫度。
6. 如申請專利範圍第 4 項之層積型半導體裝置，其特徵為：具備有具有同功能的複數個前述電路區域，前述控制電路係當具有同功能之複數個前述電路區域中所被驅動的前述電路區域的發熱量或溫度超過臨限值時，在該電路區域與具有同功能的其他前述電路區域切換驅動。
7. 如申請專利範圍第 3 項之層積型半導體裝置，其特徵為：具備將由前述電路區域所發出的熱散熱的散熱部，並且具備具有同功能的複數個前述電路區域，前述控制電路係在具有同功能的複數個前述電路區域中與前述散熱部之間的熱阻抗愈小則愈增多驅動時間。
8. 如申請專利範圍第 3 項之層積型半導體裝置，其特徵為：複數個前述電路區域中之至少一個亦可作為供發生熱之用的虛擬電路區域來使用。
9. 一種層積型半導體裝置，係層積複數個半導體晶片，該半導體晶片的各個具有至少一個電路區域的層積型半導體裝置，其特徵為：

在複數個前述半導體晶片的至少一個具備有在



時間上重複予以驅動的複數個前述電路區域，該複數個電路區域係彼此分開配置。

10. 如申請專利範圍第 9 項之層積型半導體裝置，其特徵為：複數個前述電路區域中以每單位面積的發熱量最多者為邏輯電路區域。
11. 如申請專利範圍第 9 項之層積型半導體裝置，其特徵為：複數個前述電路區域中進出時間愈多，則每單位面積的發熱量愈多。
12. 如申請專利範圍第 9 項之層積型半導體裝置，其特徵為：在複數個前述半導體晶片之間配置有：用以補強前述半導體晶片彼此之結合的補強材，或用以將前述半導體彼此作電性連接的中繼基板。
13. 一種層積型半導體裝置，係層積複數個半導體晶片，該半導體晶片的各個具有至少一個電路區域的層積型半導體裝置，其特徵為：

在複數個前述半導體晶片的至少一個，將在時間上重複予以驅動的複數個前述電路區域彼此相接配置，該複數個電路區域係以至少一部分沿著彼此的界面而彼此偏離的方式配置。
14. 如申請專利範圍第 13 項之層積型半導體裝置，其特徵為：複數個前述電路區域中以每單位面積的發熱量最多者為邏輯電路區域。
15. 如申請專利範圍第 13 項之層積型半導體裝置，其特徵為：複數個前述電路區域中進出時間愈多，則每單位面積的發熱量愈多。
16. 如申請專利範圍第 13 項之層積型半導體裝置，其特徵為：在複數個前述半導體晶片之間配置有：用以補

強前述半導體晶片彼此之結合的補強材，或用以將前述半導體彼此作電性連接的中繼基板。

17. 如申請專利範圍第 13 項之層積型半導體裝置，其特徵為：該複數個電路區域係具有角部，以在前述角部中彼此相接觸的方式配置。
18. 一種層積型半導體裝置，具備：第一電路區域；第一半導體晶片，具有第二電路區域，該第二電路區域比前述第一電路區域的每單位面積的發熱量多，且與前述第一電路區域的功能不同；第三電路區域；以及第二半導體晶片，被層積於前述第一半導體晶片，具有第四電路區域，該第四電路區域比前述第三電路區域的每單位面積的發熱量多，且與前述第三電路區域的功能不同，其特徵為：

前述第二電路區域係在前述第一半導體晶片以及前述第二半導體晶片的層積方向，具有不重疊於前述第四電路區域的區域。
19. 如申請專利範圍第 18 項之層積型半導體裝置，其特徵為：一者之前述電路區域具有記憶體功能，其他電路區域中之一者的前述電路區域具有演算功能。
20. 如申請專利範圍第 18 項之層積型半導體裝置，其特徵為：複數個前述電路區域中每單位面積的發熱量最多者為邏輯電路區域。
21. 如申請專利範圍第 18 項之層積型半導體裝置，其特徵為：複數個前述電路區域中進出時間愈多則每單位面積的發熱量愈多。
22. 如申請專利範圍第 18 項之層積型半導體裝置，其特徵為：在複數個前述半導體晶片之間配置有：補強前

述半導體晶片彼此之結合的補強材，或將前述半導體彼此作電性連接的中繼基板。

23. 一種層積型半導體裝置，係層積複數個半導體晶片，該半導體晶片的各個具有至少一個電路區域的層積型半導體裝置，其特徵為：

屬於複數個前述半導體晶片中之一的第一半導體晶片係具備予以驅動的第一電路區域，屬於複數個前述半導體晶片中之且與前述第一半導體晶片相接配置的第二半導體晶片係具備與前述第一電路區域在時間上重複驅動的第三電路區域，前述第一電路區域及前述第二電路區域係以至少一部分沿著彼此的界面而彼此偏離的方式配置。

24. 如申請專利範圍第 23 項之層積型半導體裝置，其特徵為：複數個前述電路區域中每單位面積的發熱量最多者為邏輯電路區域。

25. 如申請專利範圍第 23 項之層積型半導體裝置，其特徵為：複數個前述電路區域中進出時間愈多則每單位面積的發熱量愈多。

26. 如申請專利範圍第 23 項之層積型半導體裝置，其特徵為：在複數個前述半導體晶片之間配置有：用以補強前述半導體晶片彼此之結合的補強材，或用以將前述半導體彼此作電性連接的中繼基板。

27. 如申請專利範圍第 23 項之層積型半導體裝置，其特徵為：前述第一電路區域及前述第二電路區域係具有角部，以在前述角部中彼此相接觸的方式配置。

28. 一種層積型半導體裝置，係層積複數個半導體晶片，該半導體晶片的各個具有至少一個電路區域的層積

型半導體裝置，其特徵為：

屬於複數個前述半導體晶片中之一的第一半導體晶片係具備驅動的第一電路區域，屬於複數個前述半導體晶片中之一的第二半導體晶片係具備前述第一電路區域、及在晶片層積方向重疊配置且與前述第一電路區域在時間上重複驅動的第二電路區域，且具備配置在前述第一電路區域與前述第二電路區域之間的非發熱區域。

29. 如申請專利範圍第 28 項之層積型半導體裝置，其特徵為：具備：配置在前述第一半導體晶片與前述第二半導體晶片之間，且用以補強前述第一半導體晶片與前述第二半導體晶片之結合的補強材，前述非發熱區域係被配置在前述補強材。
30. 如申請專利範圍第 28 項之層積型半導體裝置，其特徵為：具備：配置在前述第一半導體晶片與前述第二半導體晶片之間，且將前述第一半導體晶片與前述第二半導體晶片作電性連接的中繼基板，前述非發熱區域係被配置在前述中繼基板。
31. 如申請專利範圍第 28 項之層積型半導體裝置，其特徵為：複數個前述電路區域中以每單位面積的發熱量最多者為邏輯電路區域。
32. 如申請專利範圍第 28 項之層積型半導體裝置，其特徵為：複數個前述電路區域中進出時間愈多者，則每單位面積的發熱量愈多。
33. 如申請專利範圍第 28 項之層積型半導體裝置，其特徵為具備：驅動電路區域，係在前述第一電路區域與前述第二電路區域之至少一者，在晶片層積方向重疊

配置並驅動。

34. 一種層積型半導體裝置之控制方法，係層積複數個半導體晶片，該半導體晶片的各個具有至少一個電路區域的層積型半導體裝置之控制方法，其特徵為：  
以隨著前述電路區域的驅動，由前述電路區域所發出的熱分散的方式，來控制前述電路區域的驅動。
35. 如申請專利範圍第 34 項之層積型半導體裝置之控制方法，其特徵為：推定所被驅動的前述電路區域的發熱量或溫度，來控制前述電路區域的驅動。
36. 如申請專利範圍第 35 項之層積型半導體裝置之控制方法，其特徵為：監視前述電路區域的驅動時間或驅動周期，由該驅動時間或該驅動周期來推定前述電路區域的發熱量或溫度。
37. 如申請專利範圍第 35 項之層積型半導體裝置之控制方法，其特徵為：當具備具有同功能的複數個前述電路區域時，若具有同功能之複數個前述電路區域中所被驅動的前述電路區域的發熱量或溫度超過臨限值時，在該電路區域具有同功能的其他前述電路區域切換驅動。
38. 如申請專利範圍第 34 項之層積型半導體裝置之控制方法，其特徵為：當具備有將由前述電路區域所發出的熱散熱的散熱部，並且具備有具有同功能的複數個前述電路區域時，在具有同功能的複數個前述電路區域中與前述散熱部之間的熱阻抗愈小者則愈增多驅動時間。
39. 如申請專利範圍第 34 項之層積型半導體裝置之控制方法，其特徵為：亦可將複數個前述電路區域中之至

少一個作為供發生熱之用的虛擬電路區域來使用。

40. 一種層積型半導體裝置，具備：第一半導體晶片，具有以驅動來發熱的第一發熱位置；第二半導體晶片，被層積於前述第一半導體晶片，比前述第一發熱位置的每單位面積的發熱量多，且具有與前述第一發熱位置相同的功能的第二發熱位置；以及散熱部，將前述第一發熱位置以及前述第二發熱位置的熱散熱，其特徵為：前述第二半導體晶片，被配置成在前述第二發熱位置與前述散熱部之間的熱阻抗變得比前述第一發熱位置與前述散熱部之間的熱阻抗更小。
41. 一種層積型半導體裝置，具備：第一半導體晶片，具有以驅動來發熱的第一電路；第二半導體晶片，被層積於前述第一半導體晶片，比前述第一電路的每單位面積的發熱量多，且具有與前述第一電路相同的功能的第二電路；以及散熱部，將前述第一電路以及前述第二電路的熱散熱，其特徵為：前述第二半導體晶片，被配置成在前述第二電路與前述散熱部之間的熱阻抗變得比前述第一電路與前述散熱部之間的熱阻抗更小。
42. 一種層積型半導體裝置，具備：第一半導體晶片，具有第一電路區域，該第一電路區域形成以驅動來發熱的電路；第二半導體晶片，被層積於前述第一半導體晶片，比前述電路的每單位面積的發熱量多，且具有第二電路區域，該第二電路區域形成與前述電路相同的功能的電路；以及散熱部，將前述第一電路區域以及前述第二電路區域的熱散熱，其特徵為：前述第二半導體晶片，被配置成在前述第二電路區域與前述

散熱部之間的熱阻抗變得比前述第一電路區域與前述散熱部之間的熱阻抗更小。