

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3668128号

(P3668128)

(45) 発行日 平成17年7月6日(2005.7.6)

(24) 登録日 平成17年4月15日(2005.4.15)

(51) Int.Cl.⁷

H03H 11/04

F I

H03H 11/04

A

請求項の数 8 (全 12 頁)

(21) 出願番号	特願2000-387283 (P2000-387283)	(73) 特許権者	000005108
(22) 出願日	平成12年12月20日(2000.12.20)		株式会社日立製作所
(65) 公開番号	特開2002-190720 (P2002-190720A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成14年7月5日(2002.7.5)	(73) 特許権者	000233273
審査請求日	平成15年8月19日(2003.8.19)		日立原町電子工業株式会社
			茨城県日立市弁天町3丁目10番2号
		(74) 代理人	100068504
			弁理士 小川 勝男
		(74) 代理人	100086656
			弁理士 田中 恭助
		(72) 発明者	桜井 健司
			茨城県日立市幸町三丁目1番1号 株式会
			社日立製作所 日立事業所内

最終頁に続く

(54) 【発明の名称】 フィルタ回路

(57) 【特許請求の範囲】

【請求項1】

充放電用コンデンサと、前記コンデンサに接続されて出力電圧 V_{out} を出力するRCフィルタと、入力電圧 V_{in} が前記コンデンサの端子電圧 V_A より高いときに前記コンデンサを充電する充電回路と、入力電圧 V_{in} が前記コンデンサの端子電圧 V_A より低いときに前記コンデンサを放電する放電回路を設けたことを特徴とするフィルタ回路。

【請求項2】

請求項1において、制御電圧に応答した一定電流を出力する定電流回路を設け、この一定電流により前記充電回路及び放電回路の充放電を行なうことを特徴とするフィルタ回路。

【請求項3】

制御電圧に応答した一定の電流を出力する定電流回路と、充放電用コンデンサと、入力電圧に応答して前記定電流回路により出力された一定の電流によって前記充放電用コンデンサを充電する定電流充電回路と、入力電圧に応答して前記定電流回路により出力された一定の電流によって前記充放電用コンデンサを放電する定電流放電回路と、前記充放電用コンデンサに抵抗と容量を直列接続したフィルタ回路を備えたことを特徴とするフィルタ回路。

【請求項4】

請求項3において、前記定電流回路を抵抗と第1のNPNトランジスタで構成し、前記定電流充電回路を第1のPNPトランジスタで構成し、前記定電流放電回路を第2のNPNトラン

ジスタで構成し、前記定電流回路により出力された一定の電流を前記定電流充電回路に伝えるために、第3のNPNトランジスタと第2のPNPトランジスタを備え、前記第1のNPNトランジスタと前記第3のNPNトランジスタはカレントミラー回路を構成し、前記第3のNPNトランジスタと前記第2のPNPトランジスタは直列に接続し、前記第2のPNPトランジスタと前記第1のPNPトランジスタはカレントミラー回路を構成し、前記定電流回路により出力された一定の電流を前記定電流放電回路に伝えるために、第4のNPNトランジスタと第5のNPNトランジスタと第3のPNPトランジスタと第4のPNPトランジスタを備え、前記第1のNPNトランジスタと前記第4のNPNトランジスタはカレントミラー回路を構成し、前記第4のNPNトランジスタと前記第3のPNPトランジスタは直列に接続し、前記第3のPNPトランジスタと前記第4のPNPトランジスタはカレントミラー回路を構成し、前記第4のPNPトランジスタと前記第5のNPNトランジスタは直列に接続し、前記第5のNPNトランジスタと前記第2のNPNトランジスタはカレントミラー回路を構成していることを特徴とするフィルタ回路。

10

【請求項5】

請求項4において、第5のPNPトランジスタと第6のNPNトランジスタを備え、前記第5のPNPトランジスタのエミッタは前記第1のPNPトランジスタのコレクタに接続し、前記第5のPNPトランジスタのベース及びコレクタは前記第1のPNPトランジスタのベースに接続し、前記第6のNPNトランジスタのエミッタは前記第2のNPNトランジスタのコレクタに接続し、前記第6のNPNトランジスタのベース及びコレクタは前記第2のNPNトランジスタのベースに接続していることを特徴とするフィルタ回路。

20

【請求項6】

請求項4において、第1のダイオードと第2のダイオードを備え、前記第1のダイオードのアノードは前記第1のPNPトランジスタのコレクタに接続し、前記第1のダイオードのカソードは前記第1のPNPトランジスタのベースに接続し、前記第2のダイオードのアノードは前記第2のNPNトランジスタのベースに接続し、前記第2のダイオードのカソードは前記第2のNPNトランジスタのコレクタに接続していることを特徴とするフィルタ回路。

【請求項7】

請求項3において、前記定電流回路を抵抗と第1のNMOSで構成し、前記定電流充電回路を第1のPMOSで構成し、前記定電流放電回路を第2のNMOSで構成し、前記定電流回路により出力された一定の電流を前記定電流充電回路に伝えるために、第3のNMOSと第2のPMOSを備え、前記第1のNMOSと前記第3のNMOSはカレントミラー回路を構成し、前記第3のNMOSと前記第2のPMOSは直列に接続し、前記第2のPMOSと前記第1のPMOSはカレントミラー回路を構成し、前記定電流回路により出力された一定の電流を前記定電流放電回路に伝えるために、第4のNMOSと第5のNMOSと第3のPMOSと第4のPMOSを備え、前記第1のNMOSと前記第4のNMOSはカレントミラー回路を構成し、前記第4のNMOSと前記第3のPMOSは直列に接続し、前記第3のPMOSと前記第4のPMOSはカレントミラー回路を構成し、前記第4のPMOSと前記第5のNMOSは直列に接続し、前記第5のNMOSと前記第2のNMOSはカレントミラー回路を構成していることを特徴とするフィルタ回路。

30

【請求項8】

請求項7において、入力電圧 V_{in} が前記充放電コンデンサの端子電圧 V_A より高いときはオン、入力電圧 V_{in} が前記充放電コンデンサの端子電圧 V_A より低いときはオフするように制御される第6のNMOSと、入力電圧 V_{in} が前記充放電コンデンサの端子電圧 V_A より高いときはオフ、入力電圧 V_{in} が前記充放電コンデンサの端子電圧 V_A より低いときはオンするように制御される第5のPMOSを備え、前記第6のNMOSは前記第3のNMOSと前記第2のPMOSの間に直列に接続し、前記第5のPMOSは前記第4のPMOSと前記第5のNMOSの間に直列に接続していることを特徴とするフィルタ回路。

40

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

50

本発明は、電圧波形を整形するために使用するフィルタ回路に関する。

【0002】

【従来の技術】

従来、電圧波形の整形に使用するフィルタ回路としては、抵抗とコンデンサを直列接続したフィルタ回路（以下CRフィルタ回路と略す）が一般的である。CRフィルタ回路の回路図を図12に、タイミングチャートを図13に示す。図13に示すように入力電圧 V_{in} を滑らかにした波形が V_{out} に出力される。

【0003】

図13と同じ抵抗値、同じ容量で、入力電圧 V_{in} の周波数が図13より減少したときのタイミングチャートを図14に示す。図14での時定数は図13での時定数と同じである。そのため、フィルタの効果は弱く、 V_{out} はあまり滑らかにならない。このようなCRフィルタ回路は例えば「ハンディブック電子（藤井信生監修；オーム社）」に記載がある。

10

【0004】

【発明が解決しようとする課題】

CRフィルタ回路の時定数は抵抗値とコンデンサの容量の積で決まるため、抵抗値もしくはコンデンサの容量を変更しない限り、時定数を変更することが出来なかった。そのため、入力電圧 V_{in} の周波数の変化に対応することが出来なかった。抵抗値または容量を変えずに時定数を調整するものとして、特開昭62-171312号や特開昭62-230209号があり、前者は長時定数を持たせる積分回路、後者はフィルタ時定数の微調整用である。また、入力波形の振幅を制御することは出来なかった。

20

【0005】

本発明の目的は、コンデンサもしくは抵抗を変更することなく、時定数及び入力波形の振幅を制御可能なフィルタ回路を提供することである。

【0006】

【課題を解決するための手段】

本発明のフィルタ回路は、制御電圧に応答した一定の電流を出力する定電流回路と、前記定電流回路により出力された一定の電流にて充電を行う定電流充電回路と、前記定電流回路にて出力された一定の電流にて放電を行う定電流放電回路と、前記定電流充電回路と前記定電流放電回路により充電及び放電が行われる充放電コンデンサと、前記充放電コンデンサの出力電圧を滑らかにするCRフィルタ回路を備えている。

30

【0007】

【発明の実施の形態】

図11は本発明によるフィルタ回路の基本構成を示すブロック図で、その動作原理を説明する。電流制御電圧 V_I が定電流回路に入力されると、定電流回路は電流制御電圧 V_I に
応答した一定の電流 I_1 を出力し、その電流 I_1 は定電流充電回路と定電流放電回路に伝
えられる。また、入力電圧 V_{in} は定電流充電回路と定電流放電回路に入力される。充放
電コンデンサは、入力電圧に
応答して定電流充電回路により一定の電流 I_1 にて充電されるか、もしくは定電流放電回路により一定の電流 I_1 にて放電される。充放電コンデンサの電圧はCRフィルタ回路により滑らかにされ出力電圧として出力される。以下、本発明によるフィルタ回路の具体例を説明する。

40

【0008】

（実施例1）

図1は、本発明の一実施例を示し、バイポーラトランジスタで構成されたフィルタ回路である。定電流回路10は、電流制御電圧 V_I に
応答した一定の電流を出力する回路であり、抵抗 R_1 とNPNトランジスタ T_1 により構成されている。 R_1 の一方は電流制御電圧 V_I に接続されており、他方はNPNトランジスタ T_1 のコレクタとベースが接続されると共に、NPNトランジスタ T_2 のベース、NPNトランジスタ T_5 のベースに接続されている。NPNトランジスタ T_1 、 T_2 、 T_5 のエミッタは接地電位GNDに接続されている。NPNトランジスタ T_1 、 T_2 、 T_5 はミラー係数1：1：1のカレントミラー回路を構成している。

【0009】

50

NPNトランジスタT2のコレクタはPNPトランジスタT3のコレクタ及びベース、PNPトランジスタT4のベース、PNPトランジスタT10のコレクタ及びベースに接続されている。PNPトランジスタT3のエミッタとPNPトランジスタT4のエミッタは入力電圧 V_{in} に接続されている。PNPトランジスタT4のコレクタはPNPトランジスタT10のエミッタ、接続点Aに接続している。PNPトランジスタT3、T4はミラー係数1:1のカレントミラー回路を構成している。定電流充電回路20は、定電流にて充放電コンデンサC1を充電するための回路であり、PNPトランジスタT4とPNPトランジスタT10により構成されている。

【0010】

NPNトランジスタT5のコレクタはPNPトランジスタT6のベースとコレクタ、PNPトランジスタT7のベースに接続されている。PNPトランジスタT6、T7のエミッタは電源電圧 V_{cc} に接続されている。PNPトランジスタT6、T7はミラー係数1:1のカレントミラー回路を構成している。PNPトランジスタT7のコレクタはNPNトランジスタT8のベース及びコレクタ、NPNトランジスタT11のベース及びコレクタ、NPNトランジスタT9のベースに接続されている。NPNトランジスタT8、T9のエミッタは入力電圧 V_{in} に接続されている。NPNトランジスタT9のコレクタはNPNトランジスタT11のエミッタ、接続点Aに接続されている。NPNトランジスタT8、T9はミラー係数1:1のカレントミラー回路を構成している。定電流放電回路30は定電流にて充放電コンデンサC1を放電するための回路であり、NPNトランジスタT9とNPNトランジスタT11により構成されている。

10

【0011】

充放電コンデンサC1は接続点Aと接地電位GNDとに接続されている。抵抗R2は接続点Aと出力電圧 V_{out} に接続されており、コンデンサC2は出力電圧 V_{out} と接地電位GNDに接続されている。CRフィルタ回路は、コンデンサC2と抵抗R2により構成されている。

20

【0012】

このような構成において、電流制御電圧 V_I が入力されると、抵抗R1とNPNトランジスタT1には一定の電流 $I_1 = (V_I - V_{T1}) / R$ が流れる。ここで V_{T1} はNPNトランジスタT1のベース・エミッタ間の電圧を、Rは抵抗R1の抵抗値を示す。接続点Aの電圧を V_A とする。

【0013】

$V_{in} > V_A$ の状態を考える。NPNトランジスタT1はNPNトランジスタT2とカレントミラー回路を構成しているので、T2には電流 I_1 が流れる。PNPトランジスタT3とNPNトランジスタT2は直列接続されているので、PNPトランジスタT3に電流 I_1 が流れる。PNPトランジスタT3、T4はカレントミラー回路を構成しているので、PNPトランジスタT4に電流 I_1 が流れる。PNPトランジスタT10はベース・コレクタ間が短絡されているため、ダイオードとして働くが、エミッタ・ベース間のPN接合は逆バイアスされているため電流は流れない。また、NPNトランジスタT11もPNPトランジスタT10と同様にベース・コレクタ間が短絡されているためダイオードとして働く。NPNトランジスタT9はベースの電位がNPNトランジスタT11によりコレクタの電位にクランプされているため電流は流れない。よって、充放電コンデンサC1は一定の電流 I_1 で充電される。充放電コンデンサC1の充電は $V_{in} = V_A$ となるまで続く。

30

【0014】

次に、 $V_{in} < V_A$ の状態を考える。NPNトランジスタT1、T5はカレントミラー回路を構成しているため、NPNトランジスタT5には電流 I_1 が流れる。PNPトランジスタT6はNPNトランジスタT5と直列接続されているため、PNPトランジスタT6にも電流 I_1 が流れる。PNPトランジスタT6、T7はカレントミラー回路を構成しているため、PNPトランジスタT7にも電流 I_1 が流れる。PNPトランジスタT7とNPNトランジスタT8は直列接続されているため、NPNトランジスタT8に電流 I_1 が流れる。NPNトランジスタT8、T9はカレントミラー回路を構成しているため、NPNトランジスタT9に電流 I_1 が流れる。NPNトランジスタT11はベース・エミッタ間のPN接合が逆バイアスされているため、NPNトランジスタT11には電流は流れない。PNPトランジスタT4のコレクタの電位はベースの電位にクランプされているためPNPトランジスタT4には電流は流れない。よって、充放電コンデンサC1は一定の電流 I_1 で放電される。この放電は $V_{in} = V_A$ となるまで続く。

40

【0015】

50

つまり、充放電コンデンサC1は $V_{in} > V_A$ のときは一定の電流 I_1 で充電され、 $V_{in} < V_A$ のときは充電時と同じ一定の電流 I_1 で放電される。電流値 I_1 は電流制御電圧 V_I により制御できる。出力電圧 V_{out} には充放電コンデンサC1の電圧 V_A がCRフィルタ回路40により滑らかにされた電圧が出力される。

【0016】

図1の回路図におけるタイミングチャートを図2～図5に示す。図2は V_{in} が矩形波で、 $I_1 > CV_1/T_1$ の条件でのタイミングチャートである。ただし、Cは充放電コンデンサC1の容量、 V_1 は矩形波の振幅、 T_1 は矩形波の2分の1周期を示す。 V_A には台形波が出力され、その台形波を滑らかにした波形が V_{out} に出力される。

【0017】

図2のように、電流制御電圧 V_I を実線から点線へ増加させると、 V_A の台形波の傾斜部分の傾きが大きくなり、 V_A 及び V_{out} の V_{in} に対する位相の遅れが小さくなる。つまり V_I によりフィルタの時定数を制御することが出来る。

【0018】

図3は V_{in} が矩形波で、 $I_1 \leq CV_1/T_1$ の条件でのタイミングチャートである。 V_A には三角波が出力され、 V_{out} には三角波を滑らかにした波形が出力される。電流制御電圧 V_I を実線から点線へと増加させると、 V_A の三角波の傾きが大きくなり、 V_A 及び V_{out} の振幅が大きくなる。つまり出力電圧の振幅を V_I で制御することが出来る。

【0019】

図4は V_{in} が階段状の波形で、 $I_1 > CV_2/T_2$ の条件でのタイミングチャートである。ただし、 V_2 は階段状波形の一段分の段の高さ、 T_2 は階段状波形の一段分の時間を示す。 V_{out} には正弦波に近い波形が出力される。このときは、 V_{in} が矩形波で $I_1 > CV_1/T_1$ のときと同様に、 V_A 及び V_{out} の V_{in} に対する位相の遅れを V_I で制御することが出来る。

【0020】

図5は V_{in} が階段状の波形で、 $I_1 \leq CV_2/T_2$ の条件でのタイミングチャートである。このときは、 V_{in} が矩形波で $I_1 \leq CV_1/T_1$ のときと同様に、 V_A 及び V_{out} の振幅を V_I で制御することが出来る。

【0021】

具体例を示す。図1の回路図で $R=220k\Omega$ 、 $C=0.1\mu F$ 、 $V_{cc}=7.5V$ とし、 $V_1=1.25V$ 、 $T_1=5msec$ の矩形波を入力する。このとき、 $V_I=5V$ とすると出力波形は図2となり、 $V_I=2V$ とすると出力波形は図3となる。

【0022】

(実施例2)

図6は、本発明の他の実施例を示し、MOSトランジスタで構成されたフィルタ回路である。定電流回路10は、電流制御電圧 V_I に応答した一定の電流を出力する回路であり、抵抗 R_1 とNMOSM1により構成されている。 R_1 の一方は制御電圧 V_I に接続されており、他方はNMOSM1のドレインとゲートが接続されると共に、NMOSM2のゲート、NMOSM5のゲートに接続されている。

【0023】

NMOSM1、M2、M5のソースは接地電位GNDに接続されている。NMOSM1、M2、M5はミラー係数1:1:1のカレントミラー回路を構成している。NMOSM2のドレインはNMOSM12のソースに接続され、NMOSM12のゲートは入力電圧 V_M に接続されている。NMOSM12のドレインはPMOSM3のドレイン及びゲート、PMOSM4のゲートに接続されている。PMOSM3のソースとPMOSM4のソースは入力電圧 V_{in} に接続されている。PMOSM4のドレインは接続点Aに接続している。

【0024】

PMOSM3、M4はミラー係数1:1のカレントミラー回路を構成している。定電流充電回路20は定電流にて充放電コンデンサC1を充電するための回路であり、PMOSM3とPMOSM4とPMOSM12により構成されている。

【0025】

NMOSM5のドレインはPMOSM6のゲートとドレイン、PMOSM7のゲートに接続されている。PMOS

10

20

30

40

50

M6、M7のソースは電源電圧Vccに接続されている。PMOSM6、T7はミラー係数1：1のカレントミラー回路を構成している。PMOSM7のドレインはPMOSM13のソースに接続され、PMOSM13のゲートは入力電圧VMに接続されている。PMOSM13のドレインはNMOSM8のゲート及びドレイン、NMOSM9のゲートに接続されている。NMOSM8、M9のソースは入力電圧Vinに接続されている。NMOSM8、M9はミラー係数1：1のカレントミラー回路を構成している。NMOSM9のコレクタは接続点Aに接続されている。

【0026】

定電流放電回路30は定電流に充放電コンデンサC1を放電するための回路であり、NMOSM8とNMOSM9とNMOSM13により構成されている。充放電コンデンサC1は接続点Aと接地電位GNDとに接続されている。

10

【0027】

抵抗R2は接続点Aと出力電圧Voutに接続されており、コンデンサC2は出力電圧Voutと接地電位GNDに接続されている。CRフィルタ回路は、コンデンサC2と抵抗R2により構成されている。また、PMOSの基盤は全て電源電圧Vccに接続されており、NMOSの基盤は全て接地電位GNDに接続されている。

【0028】

実施例2はこのように構成されているので、電流制御電圧VIが入力されると、抵抗R1とNMOSM1には一定の電流 $I1 = (VI - V_{gs}) / R$ が流れる。ここでVgsはNMOSM1のゲート・ソース間電圧を示す。

【0029】

20

$Vin > VA$ でかつ $VM = "H"$ の状態を考える。NMOSM1、M2はカレントミラー回路を構成しているので、M2に電流I1が流れる。 $VM = "H"$ であるから、NMOSM12はオンしている。PMOSM3とNMOSM12、M2は直列接続されているので、各MOSには電流I1が流れる。PMOSM3、M4はカレントミラー回路を構成しているので、PMOSM4に電流I1が流れる。 $VM = "H"$ であるから、PMOSM13はオフしており、NMOSM8、M9には電流は流れない。よって、充放電コンデンサC1は一定の電流I1で充電される。充放電コンデンサC1の充電は $Vin = VA$ となるまで続く。

【0030】

次に、 $Vin < VA$ でかつ $VM = "L"$ の状態を考える。NMOSM1、M5はカレントミラー回路を構成しているので、NMOSM5には電流I1が流れる。PMOSM6はNMOSM5と直列接続されているため、PMOSM6にも電流I1が流れる。PMOSM6、M7はカレントミラー回路を構成しているため、PMOSM7に電流I1が流れる。 $VM = "L"$ であるから、PMOSM13はオンしている。PMOSM7、M13、NMOSM8は直列接続されているので、各MOSには電流I1が流れる。NMOSM8、M9はカレントミラー回路を構成しているので、NMOSM9に電流I1が流れる。 $VM = "L"$ であるから、NMOSM12はオフしており、PMOSM3、M4には電流は流れない。よって、充放電コンデンサC1は一定の電流I1で放電される。充放電コンデンサC1の放電は $Vin = VA$ となるまで続く。

30

【0031】

つまり、充放電コンデンサC1は $Vin > VA$ でかつ $VM = "H"$ のときは定電流I1で充電され、 $Vin < VA$ でかつ $VM = "L"$ のときは充電時と同じ値である定電流I1で放電される。電流値I1は電流制御電圧VIにより制御出来る。出力電圧Voutには充放電コンデンサC1の電圧がCRフィルタ回路40により滑らかにされた電圧が出力される。

40

【0032】

図6の回路図におけるタイミングチャートを図7～図10に示す。図7、図8、図9、図10はそれぞれ順に図2、図3、図4、図5と同じ条件でのタイミングチャートである。VMには充放電コンデンサC1充電時は"H"を入力し、充放電コンデンサC1放電時は"L"を入力する。Vin、VA、Voutは実施例1のタイミングチャート図2～図5と同様である。

【0033】

図1の回路を使用し、図13、図14と同じ入力電圧Vinを入力したときのタイミングチャートをそれぞれ図15、図16に示す。図16の実線の波形はVIの値を図15と同じ値にしたときの波形であり、点線の波形はVIの値を減少させたときの波形である。図16の実線の波形では、フィルタの効果が弱くVoutはあまり滑らかになっていない。しかし、VI

50

を減少させた点線の波形では、フィルタの効果がよく得られ、実線の波形よりも V_{out} は滑らかになっている。つまり、本発明による回路では、 V_I を調整することにより、入力電圧の周波数の変化に対応することが出来る。

【0034】

実施例1及び実施例2の出力波形はオシロスコープを用いると観測することが出来る。ただしデジタルオシロスコープを使用する場合は、サンプリングする周期は入力波形の周期に比べて十分に小さくなければならない。

【0035】

【発明の効果】

本発明によれば、フィルタ回路の時定数を電圧で制御することが出来る。そのため、入力電圧の周波数が変化したときは、時定数を調整することにより、その変化に対応することが出来る。さらに、本発明によれば、フィルタ回路の出力波形の振幅を電圧で制御することが出来る。また、本発明によるフィルタ回路を使用すると、容易に正弦波に近い波形を得ることが出来、その位相及び振幅を電圧で制御することが出来る。

【図面の簡単な説明】

【図1】本発明による一実施例を示す回路図。

【図2】図1の回路図におけるタイミングチャート例1を示す図。

【図3】図1の回路図におけるタイミングチャート例2を示す図。

【図4】図1の回路図におけるタイミングチャート例3を示す図。

【図5】図1の回路図におけるタイミングチャート例4を示す図。

【図6】本発明の他の実施例を示す回路図。

【図7】図6の回路図におけるタイミングチャート例1を示す図。

【図8】図6の回路図におけるタイミングチャート例2を示す図。

【図9】図6の回路図におけるタイミングチャート例3を示す図。

【図10】図6の回路図におけるタイミングチャート例4を示す図。

【図11】本発明のフィルタ回路の基本構成を示すブロック図。

【図12】従来技術によるフィルタ回路図。

【図13】図12の回路図におけるタイミングチャート例1を示す図。

【図14】図12の回路図におけるタイミングチャート例2を示す図。

【図15】図1の回路図におけるタイミングチャート例5を示す図。

【図16】図1の回路図におけるタイミングチャート例6を示す図。

【符号の説明】

10…定電流回路、20…定電流充電回路、30…定電流放電回路、40…CRフィルタ回路、C1…充放電コンデンサ、 V_{in} …入力電圧、 V_{out} …出力電圧、 V_I …電流制御電圧、I1…定電流、 V_{cc} …電源電圧、GND…接地電位、T1, T2, T5, T8, T9, T11…NPNトランジスタ、T3, T4, T6, T7, T10…PNPトランジスタ、R1, R2, R3…抵抗、C2, C3…コンデンサ、A…接続点、 V_A …接続点Aの電圧、V1…矩形波の振幅、T1…矩形波の2分の1周期、V2…階段状波形一段分の振幅、T2…階段状波形一段分の周期、 V_M …M12, M13の制御用電圧、M1, M2, M5, M8, M9, M12…NMOS、M3, M4, M6, M7, M13…PMOS。

10

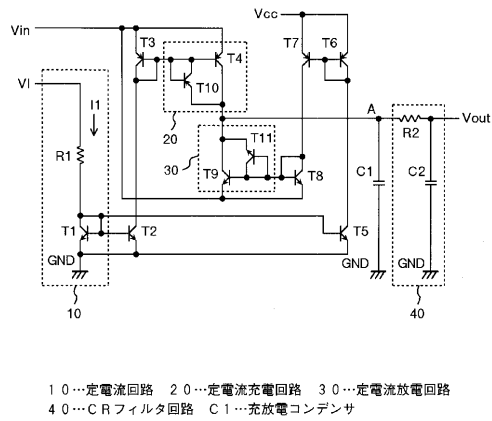
20

30

40

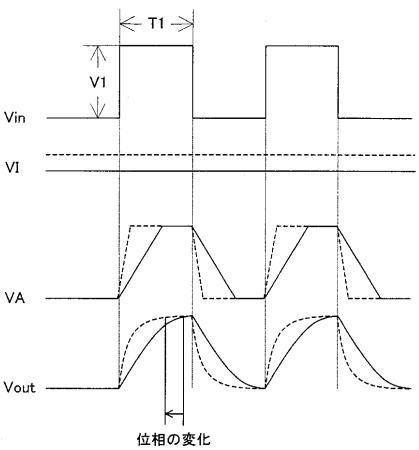
【図 1】

図 1



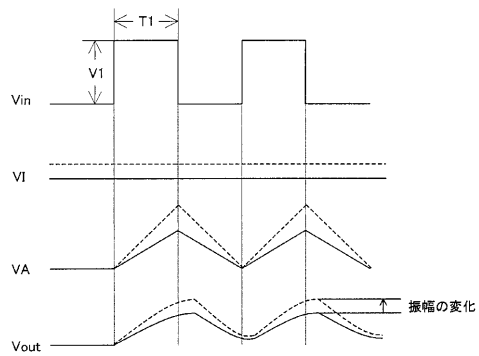
【図 2】

図 2



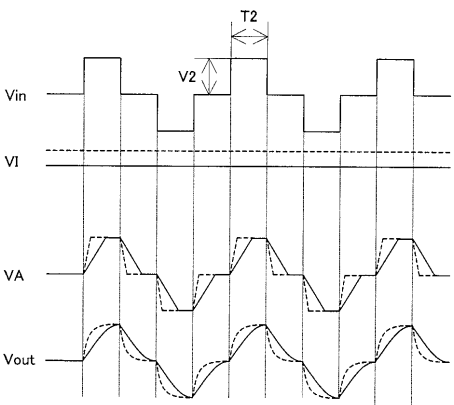
【図 3】

図 3

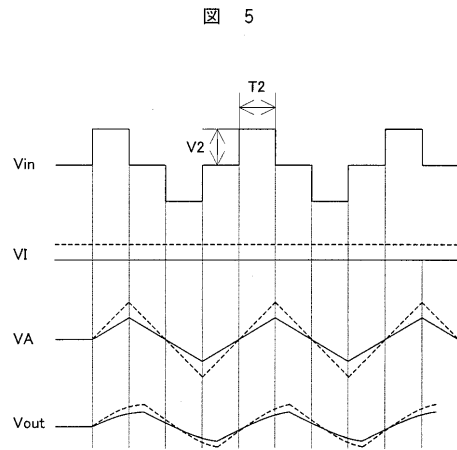


【図 4】

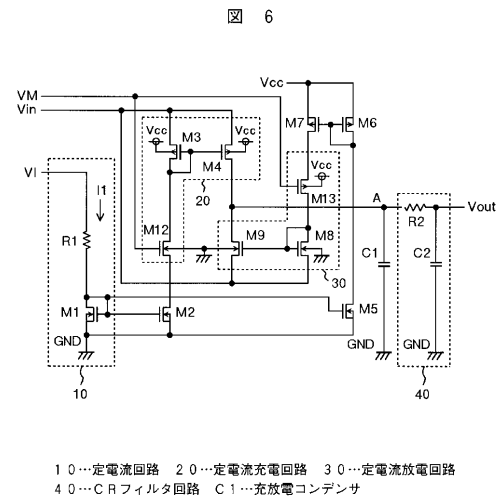
図 4



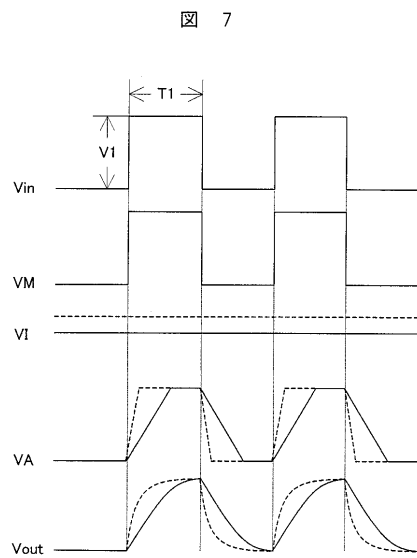
【図 5】



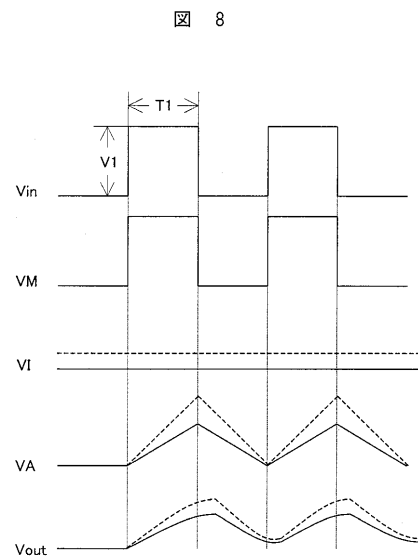
【図 6】



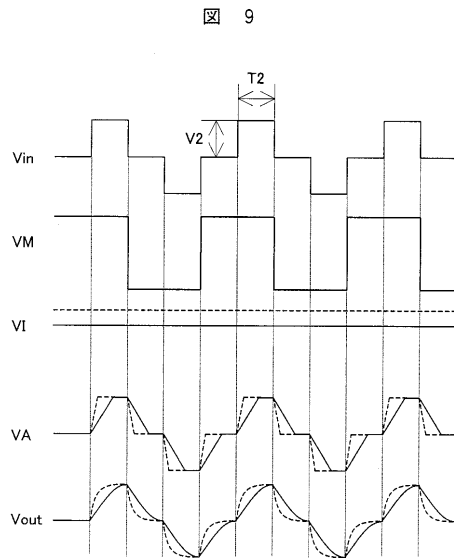
【図 7】



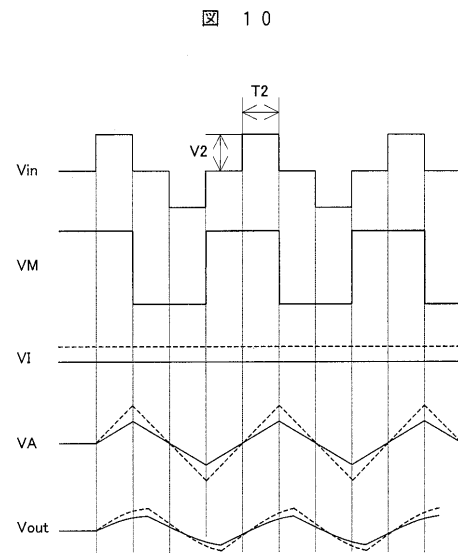
【図 8】



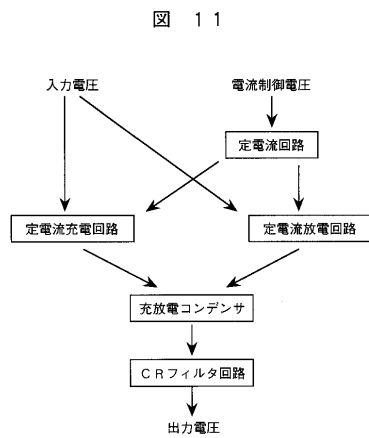
【図 9】



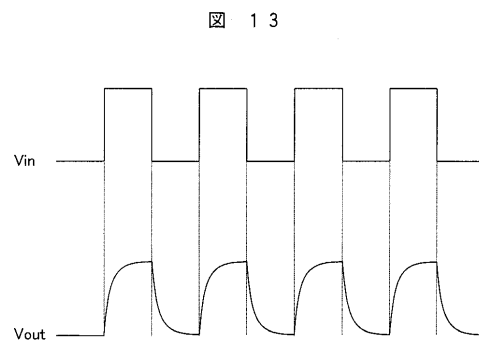
【図 10】



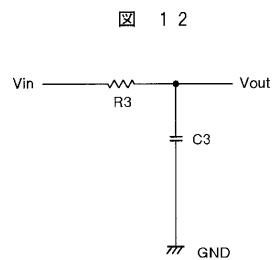
【図 11】



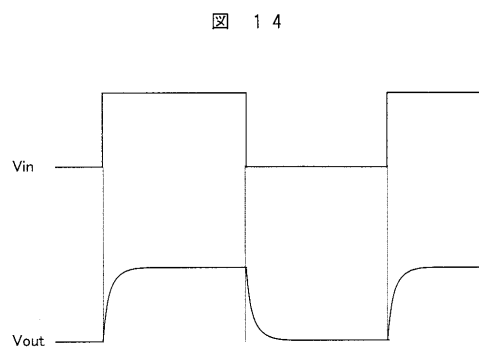
【図 13】



【図 12】

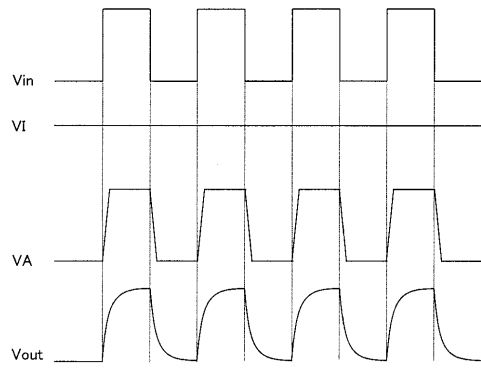


【図 14】



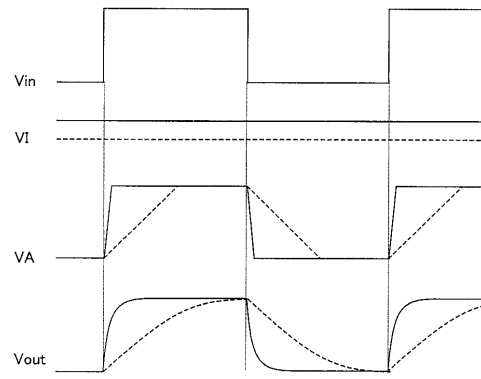
【図 15】

図 15



【図 16】

図 16



フロントページの続き

- (72)発明者 大浦 仁
茨城県日立市弁天町三丁目10番2号 日立原町電子工業株式会社内
- (72)発明者 田中 荘
茨城県日立市幸町三丁目1番1号 株式会社日立製作所 日立事業所内

審査官 江口 能弘

- (56)参考文献 特開平06-303050 (JP, A)
特開平04-105411 (JP, A)
特開昭62-225024 (JP, A)