申請日期： 88、1、18	案號： 87100709
類別： G11C 7/00	

（以上各欄由本局填註）

公告本

發明專利說明書

434568

一、發明名稱	中文	具有可控制電壓的內部電源供給電路之半導體記憶裝置
	英文	SEMICONDUCTOR MEMORY DEVICE HAVING VOLTAGE-CONTROLLABLE INTERNAL POWER SUPPLY CIRCUIT
二、發明人	姓名（中文）	1. 尹世昇 2. 洪相杓
	姓名（英文）	1. SEI-SEUNG YOON 2. SANG-PYO HONG
	國籍	1. 韓國 2. 韓國
	住、居所	1. 大韓民國漢城市江南區開浦洞韓信APT 6棟309號 2. 大韓民國漢城市銅雀區舍堂3洞宇成APT 8棟211號
三、申請人	姓名（名稱）（中文）	1. 韓商三星電子股份有限公司
	姓名（名稱）（英文）	1. SAMSUNG ELECTRONICS CO., LTD.
	國籍	1. 韓國
	住、居所（事務所）	1. 大韓民國京畿道水原市八達區梅灘洞416番地
	代表人姓名（中文）	1. 尹鍾龍
	代表人姓名（英文）	1. JONG-YONG YUN

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
韓國	1998/09/25	98-39957	無

有關微生物已寄存於

寄存日期	寄存號碼
無	

五、發明說明 (1)

發明背景

1. 發明範疇

本發明係關於半導體記憶裝置，且更特別為關於一內部電源供給電路，其內部供給電壓可以在低供給電壓邊際測試時加以控制。

2. 相關技藝之說明

因半導體記憶裝置之功能為多變，測試狀況亦變化。具有高供給電壓邊際測試與低供給電壓邊際測試。高供給電壓邊際測試為當可以正常操作半導體記憶裝置之最大電壓已經應用於半導體記憶裝置時，用於檢測故障之半導體記憶裝置。低供給電壓邊際測試為當可以正常操作半導體記憶裝置之最小電壓已經應用於半導體記憶裝置時，用於檢測故障之半導體記憶裝置。本發明係關於低供給電壓邊際測試。一般半導體記憶裝置接收一外部供給電壓，產生一轉換為低於外部供給電壓之內部供給電壓，並使用該內部供給電壓為內部電路之操作電壓。

圖1為顯現用於傳統半導體記憶裝置之低供給電壓邊際測試例子的圖形。參考圖1，一內部供給電壓設定為3.0V(伏特)。也就是說，一內部供給電壓嵌位位準為3.0V。當內部供給電壓嵌位位準為3.0V時，半導體記憶裝置之低供給電壓邊際測試所導出為任意電壓V1，例如2.8V，小於或等於內部供給電壓VINT。一外部供給電壓VEXT亦必須為任意電壓V1。在此案例中，可以執行低供給電壓邊際測試，而使用外部供給電壓VEXT為電源供給之半

五、發明說明 (2)

導體記憶裝置不受影響，因為外部供給電壓VEXT為足夠大。

圖2為顯現用於傳統半導體記憶裝置之另一低供給電壓邊際測試例子的圖形。當半導體記憶裝置於電壓變為較低時，內部供給電壓嵌位位準變為2.5V或較低，如圖2所示。當內部供給電壓嵌位位準變為2.5V時，低供給電壓邊際測試在低於2.5V之預定電壓V2，例如2.3V或是更低，加以完成。此處，外部供給電壓VEXT亦必須為預定電壓V2。如上文說明，當外部供給電壓VEXT為預定電壓V2時，使用外部供給電壓VEXT作為供給電壓之半導體記憶裝置不能運作，且因此其亦不可能在內部供給電壓VINT引導低供給電壓邊際測試。

如上文說明，內部供給電壓在傳統半導體記憶裝置內嵌位為常數電壓，所以使用低供給電壓之半導體記憶裝置不能經歷低供給電壓邊際測試。

發明總結

為了解決上述之問題，本發明之目的為提供一種可以容易執行低供給電壓邊際測試之半導體記憶裝置。

由此，為了達成此目的，提供一種包括一參考電壓控制與產生單元、一內部供給參考電壓產生單元以及一內部供給電壓產生單元之半導體記憶裝置。

該參考電壓控制與產生單元接收一外部供給電壓與控制信號而產生一參考電壓。

該內部供給參考電壓產生單元回應參考電壓而產生用於

五、發明說明 (3)

內部電源供給之參考電壓。

該內部供給電壓產生單元回應內部電源供給之參考電壓而產生內部供給電壓。

較佳地是，當控制信號為邏輯高位準時參考電壓被產生為預定電壓，而當控制信號為邏輯低位準時參考電壓被產生為較預定電壓為低之電壓。控制信號在正常操作時變為邏輯高位準，而在低供給電壓邊際測試時變為邏輯低位準。當外部供給電壓已經被應用時，參考電壓為常數而與外部供給電壓之大小無關。

如上文說明之本發明，故障半導體記憶裝置可以在低供給電壓邊際區域確實地加以檢測。

圖式之簡單說明

本發明之目的與優點由參考附圖而詳細說明較佳具體實施例將變的明顯，其中：

圖1為顯現用於傳統半導體記憶裝置之低供給電壓邊際測試例子的圖形；

圖2為顯現用於傳統半導體記憶裝置之另一低供給電壓邊際測試例子的圖形；

圖3為如本發明之半導體記憶裝置之內部電源供給電路的方塊圖；

圖4為顯現圖3中所示外部與內部供給電壓波形之圖形；

圖5為圖3中參考電壓控制與產生單元之電路圖；

圖6為圖3中內部供給參考電壓產生單元之電路圖；

圖7為圖3中內部供給電壓產生單元之電路圖。

五、發明說明 (4)

較佳具體實施例之詳細說明

參考圖3，如本發明之較佳具體實施例之半導體記憶裝置內部電源供給電路301，包括一參考電壓控制與產生單元311、一內部供給參考電壓產生單元321以及一內部供給電壓產生單元331。內部電源供給電路301接收一外部供給電壓VEXT與一控制信號PLVCC而產生一內部供給電壓VINT。

該參考電壓控制與產生單元311接收外部供給電壓VEXT與一控制信號PLVCC而產生一參考電壓VREF。該參考電壓VREF為操作半導體記憶裝置之標準電壓，依據測試調整率而設定為預定位準。該參考電壓VREF總是保持為常數，縱使外部供給電壓VEXT改變為一預定位準或是更高。該參考電壓VREF於控制信號PLVCC為邏輯高位準時產生為預定電壓。反之，當控制信號PLVCC為邏輯低位準時，該參考電壓VREF變為較預定電壓為低。例如，假使參考電壓於控制信號PLVCC為邏輯高位準時為2.5V，當控制信號PLVCC為邏輯低位準時，該參考電壓降低為大約2.3V。在正常操作時，控制信號PLVCC變為邏輯高位準。在低供給電壓邊際測試時，控制信號PLVCC變為邏輯低位準。因此，在低供給電壓邊際測試產生之參考電壓VREF較在正常操作產生之參考電壓VREF為低狀態輸出。參考電壓VREF之位準隨控制信號PLVCC之位準變化。

內部供給參考電壓產生單元321接收參考電壓VREF與外部供給電壓VEXT而產生另一參考電壓VREFP，VREFP通常為

五、發明說明 (5)

參考電壓VREF兩倍高。參考電壓VREFP之大小可以由內部供給參考電壓產生單元321之結構控制。當由參考電壓控制與產生單元311產生之參考電壓VREF設定為高電壓時，例如當設定為3至4V時，參考電壓VREF之準確度為惡化。為了改良參考電壓VREF之準確度，參考電壓VREF設定為低電壓，例如大約為1V。內部供給電壓產生單元331需要一高參考電壓VREF，例如2.5V。因此，內部供給參考電壓產生單元321被使用於改良由內部供給電壓產生單元331所需之參考電壓VREFP之準確度與位準。當內部電源供給電路301不需準確度時，參考電壓控制與產生單元311立即產生一高電壓，例如2.5V為參考電壓VREF，且可以應用高電壓至內部供給電壓產生單元331。

內部供給電壓產生單元331接收由內部供給參考電壓產生單元321與外部供給電壓VEXT輸出之參考電壓VREFP，並產生內部供給電壓VINT。該內部供給電壓VINT產生為與參考電壓VREFP相同位準之電壓。例如，當參考電壓VREFP為2.5V時，內部供給電壓VINT亦為2.5V。當一特定位準或更多外部供給電壓VEXT已經被應用時，內部供給電壓VINT被保持為常數電壓位準而與外部供給電壓VEXT之大小無關。

圖4為顯現圖3中外部與內部供給電壓波形之圖形。參考圖4，當外部供給電壓VEXT已經被應用至內部電源供給電路301時，內部供給電壓VINT依據控制信號PLVCC位準而調整為二電壓位準。該二位準於正常操作與低供給電壓邊際測試時使用。在正常操作中，控制信號PLVCC變為邏輯高

五、發明說明 (6)

位準。在低供給電壓邊際測試時，控制信號PLVCC變為邏輯低位準，且內部供給電壓VINT因此變為較正常操作時為低。例如，假使外部供給電壓VEXT為2.8V時，內部供給電壓嵌位位準為2.5V，且低供給電壓邊際測試之參考電位為2.2V；當外部供給電壓VEXT為2.2V或是更高時，在低供給電壓邊際區域故障之半導體記憶裝置可以確實地由在低供給電壓邊際測試之參考電位為2.2V執行之低供給電壓邊際測試加以檢測。

圖5圖3中參考電壓控制與產生單元311之電路圖。參考圖5，參考電壓控制與產生單元311包括NMOS電晶體511至513、電阻器531至533以及一PMOS電晶體521。外部供給電壓VEXT為應用至NMOS電晶體513。因此，當外部供給電壓VEXT已經被應用時，NMOS電晶體513保持為開啟。

電阻器531至533以及NMOS電晶體511至513為互相串聯，而允許外部供給電壓VEXT之分配。所以，PMOS電晶體521由在NMOS電晶體512汲極產生之電壓亦即節點N1所閘控。也就是說，當在節點N1所閘控之電壓低於PMOS電晶體521之定限電壓時，PMOS電晶體521被開啟。當在節點N1所產生之電壓高於PMOS電晶體521之定限電壓時，PMOS電晶體521被關閉。

當在節點N1所產生之電壓低於PMOS電晶體521之定限電壓時，流經PMOS電晶體521之電流隨在節點N1之電壓大小變化。也就是說，假使在節點N1之電壓接近於PMOS電晶體521之定限電壓時，流經PMOS電晶體521之電流被減低。假

五、發明說明 (7)

使在節點N1之電壓大大地低於PMOS電晶體521之定限電壓時，流經PMOS電晶體521之電流增加。當大量電流流經PMOS電晶體521時，參考電壓變低。當小量電流流經PMOS電晶體521時，參考電壓變高。

在節點N1之電壓由電阻器531至533之值決定。也就是說，當電阻器531至533之值為大時，在節點N1之電壓變低；但是當電阻器531至533之值為小時，在節點N1之電壓變高。電阻器531至533之值由NMOS電晶體511控制。也就是說，當NMOS電晶體511開啟時，電阻器532不是操作為阻抗，因為節點N2與N3為短路。因此，電阻器531至533之值變小。反之，當NMOS電晶體511關閉時，電阻器531至533之值變大，因為外部供給電壓VEXT經由電阻器531至533而被應用至節點N1。NMOS電晶體511由控制信號PLVCC所開控。也就是說，當控制信號PLVCC為邏輯高位準時，NMOS電晶體511被開啟，而當控制信號PLVCC為邏輯低位準時，NMOS電晶體511被關閉。

如上文所陳述，在節點N1之電壓隨控制信號PLVCC之電壓位準變化。參考電壓VREF之大小隨節點N1之電壓變化。也就是說，參考電壓VREF之大小可以藉由將控制信號PLVCC電壓位準加以控制而調整。

假使參考電壓VREF超越預定的參考電壓VREF時，應用至NMOS電晶體512之電壓增加，使得流經NMOS電晶體512之電流量增加。之後，在節點N1之電壓減低，因此更多電流流經PMOS電晶體521，而形成參考電壓VREF減低。當參考電

五、發明說明 (8)

壓VREF變的較預定的參考電壓VREF小時，流經NMOS電晶體512之電流量減少。之後，在節點N1之電壓增加，因此更少電流流經PMOS電晶體521，而形成參考電壓VREF增加。這些流程之重複使參考電壓VREF保持常數。

圖6為圖3中內部供給參考電壓產生單元321之電路圖。參考圖6，內部供給參考電壓產生單元321包括一差動放大器611與一控制器621。

該差動放大器611包括PMOS電晶體651與652、NMOS電晶體641與642、電流源661以及一反向器671。差動放大器611將參考電壓VREF與由控制器621回饋之電壓亦即在節點N4產生之電壓比較與放大，並輸出為參考電壓VREF兩倍高之參考電壓VREFP。參考電壓VREFP與參考電壓VREF之變化成正比例地變化。也就是說，當參考電壓VREF變低時，參考電壓VREFP亦變低；而當參考電壓VREF變高時，參考電壓VREFP亦變高。因此，參考電壓VREFP總是為參考電壓VREF之兩倍高。一般差動放大器被使用為差動放大器611。

控制器621將由差動放大器611輸出之考電壓VREFP保持為常數。控制器621包括具有相同驅動能量之級聯PMOS電晶體631與632。所以，在節點N4產生之電壓為參考電壓VREFP之一半。控制器621結構之改變允許參考電壓VREFP大小改變。例如，當具有相同驅動能量之三個PMOS電晶體為級聯時，參考電壓VREFP變為參考電壓VREF三倍高。在節點N4產生之電壓與參考電壓VREFP之增加或減低而直接

五、發明說明 (9)

成比例變高或低。也就是說，當參考電壓VREFP增加時，在節點N4之電壓亦增加。應用至反向器671輸入埠之電壓隨節點N4電壓之增加而變高，形成參考電壓VREFP之減低。反之，點N4之電壓因參考電壓VREFP減低而變低。應用至反向器671輸入埠之電壓隨節點N4電壓之減低而變低，形成參考電壓VREFP之增加。如上文說明，參考電壓VREFP由控制器621保持常數電壓。

圖7為圖3中內部供給電壓產生單元331之電路圖。參考圖7，內部供給電壓產生單元331接收外部供給電壓VEXT與參考電壓VREFP，並產生一內部供給電壓VINT。內部供給電壓產生單元331包括一比較器711與一驅動器721。比較器711為一包括NMOS電晶體731至733以及PMOS電晶體741與742之差動放大器。驅動器721為一PMOS電晶體。內部供給電壓產生單元331使用外部供給電壓VEXT作為操作電壓。

內部供給電壓產生單元331之操作現在將加以說明。當參考電壓VREFP被應用時，NMOS電晶體731與733被開啟。之後，節點N5之電壓變低，且驅動器721因此被啟動，而由此產生內部供給電壓VINT。內部供給電壓VINT被應用至NMOS電晶體732之閘極。因此，當內部供給電壓VINT增加且超越參考電壓VREFP時，流經NMOS電晶體732之電流較流經NMOS電晶體731之電流為多。之後，PMOS電晶體741與742被開啟以增加節點N5之電壓，且因此較少電流流經驅動器721，而形成內部供給電壓VINT之減低。當內部供給電壓VINT為減低時，流經NMOS電晶體731之電流較流經

NMOS電晶體732之電流為多，形成內部供給電壓VINT另外之增加。經由這些操作，內部供給電壓VINT被保持常數。

在如上文說明之本發明之半導體記憶裝置中，內部供給電壓VINT之大小可以由控制信號PLVCC加以控制。也就是說，當一低外部供給電壓VEXT被應用至內部電源供給電路301時，內部供給電壓VINT可以被產生為低於預定內部供給電壓VINT。因此，一低供給電壓邊際測試可以容易地執行，以因此確實地檢測在低供給電壓邊際區域故障之半導體記憶裝置。

最佳的具體實施例已經在附圖及規範中揭示。特定之術語已經被使用，但不是用於限制意義或是限制在下列申請專利範圍所揭示之本發明範疇，而是用於簡單地解釋本發明。因此，那些熟知相關技藝之人士可以瞭解各種修改與其他具體實施例可以實現。本發明真實之技術保護範疇必須由所附申請專利範圍之技術精神加以決定。

元件符號說明

301	內部電源供給電路
311	參考電壓控制與產生單元
321	內部供給參考電壓產生單元
331	內部供給電壓產生單元
511-513	NMOS電晶體
521	PMOS電晶體
531-533	電阻
611	差動放大器
621	控制器

五、發明說明 (11)

631-632	PMOS電晶體
641-642	NMOS電晶體
651-652	PMOS電晶體
671	反向器
711	比較器
721	驅動器
731-733	NMOS電晶體
741-742	PMOS電晶體
VEXT	外部供給電壓
VREF	參考電壓
PLVCC	控制信號
VINT	內部供給電壓
N1	節點
N2	節點
N3	節點
N4	節點
VREFP	參考電壓

四、中文發明摘要 （發明之名稱：具有可控制電壓的內部電源供給電路之半導體記憶裝置）

一種半導體記憶裝置包括一參考電壓控制與產生單元、一內部供給參考電壓產生單元以及一內部供給電壓產生單元。該參考電壓控制與產生單元接收一外部供給電壓與控制信號而產生一參考電壓。該內部供給參考電壓產生單元回應參考電壓而產生用於內部電源供給之參考電壓。該內部供給電壓產生單元回應內部電源供給之參考電壓而產生內部供給電壓。

英文發明摘要 （發明之名稱：SEMICONDUCTOR MEMORY DEVICE HAVING VOLTAGE-CONTROLLABLE INTERNAL POWER SUPPLY CIRCUIT）

A semiconductor memory device comprising a reference voltage control and generation unit, an internal supply reference voltage generation unit, and an internal supply voltage generation unit. The reference voltage control and generation unit receives an external supply voltage and a control signal and generates a reference voltage. The internal supply reference voltage generation unit generates a reference voltage for an internal power supply

四、中文發明摘要　(發明之名稱：具有可控制電壓的內部電源供給電路之半導體記憶裝置)

英文發明摘要　(發明之名稱：SEMICONDUCTOR MEMORY DEVICE HAVING VOLTAGE-CONTROLLABLE INTERNAL POWER SUPPLY CIRCUIT)

in response to the reference voltage. The internal supply voltage generation unit generates an internal supply voltage in response to the reference voltage for the internal power supply.

六、申請專利範圍

1. 一種半導體記憶裝置，包括：

一個參考電壓控制與產生單元，用於接收外部供給電壓與控制信號與控制信號、產生一參考電壓以及依據控制信號之電壓位準而改變參考電壓位準；

一個內部供給參考電壓產生單元，用於回應參考電壓而產生用於內部電源供給之參考電壓；以及

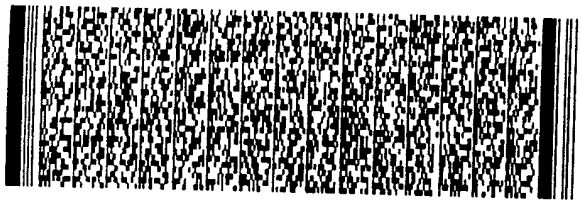
一個內部供給電壓產生單元，用於回應內部電源供給之參考電壓而產生內部供給電壓。

2. 如申請專利範圍第1項之半導體記憶裝置，其中該參考電壓可以改變為至少二位準。

3. 如申請專利範圍第2項之半導體記憶裝置，其中該參考電壓於控制信號為邏輯高位準時產生為預定電壓，而當控制信號為邏輯低位準時產生為較預定電壓為低之電壓。

4. 如申請專利範圍第3項之半導體記憶裝置，其中該控制信號在正常操作時變為邏輯高位準，而在低供給電壓邊際測試時變為邏輯低位準。

5. 如申請專利範圍第1項之半導體記憶裝置，其中內部電源供給之參考電壓高於參考電壓。



圖式

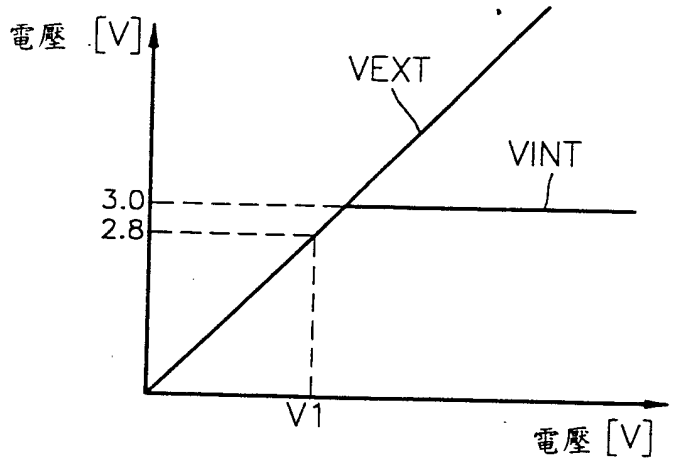


圖 1(先前技藝)

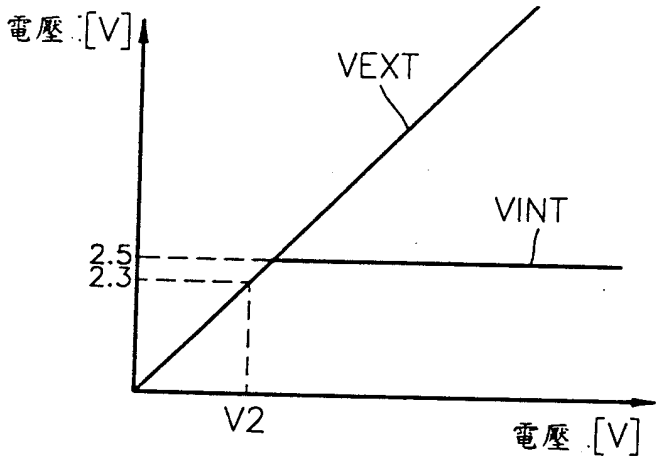


圖 2(先前技藝)

圖式

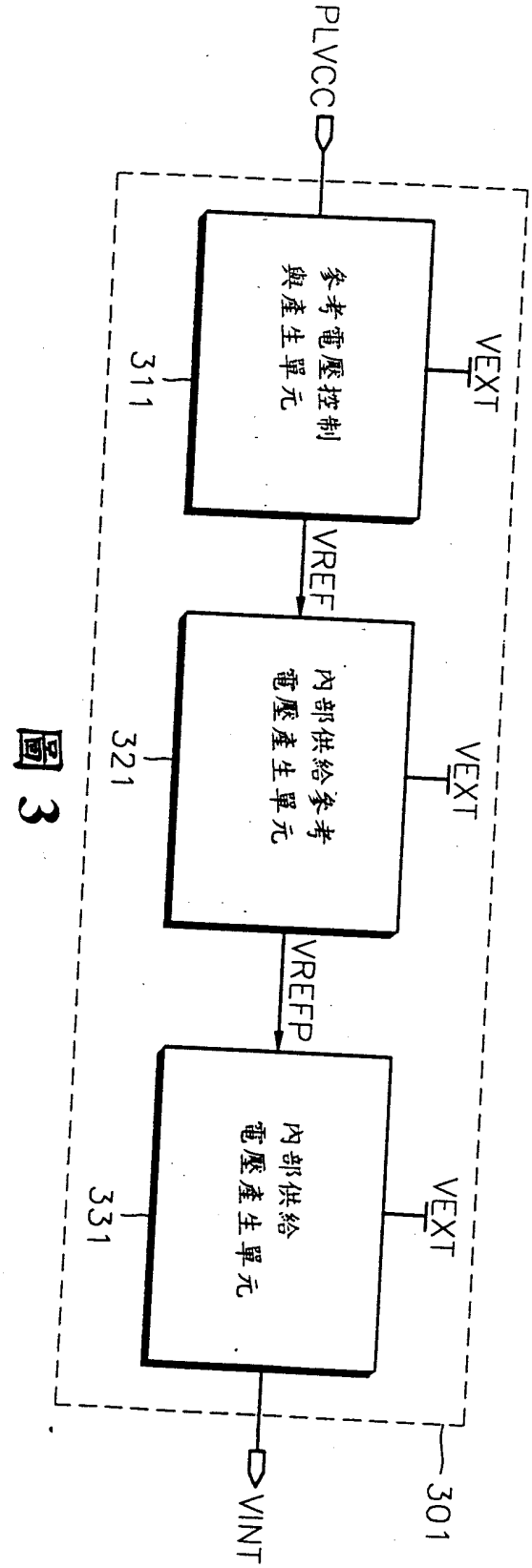

PLVCC
參考電壓控制與產生單元
311
VEXT
VREF
內部供給參考電壓產生單元
321
VEXT
VREFP
內部供給電壓產生單元
331
VEXT
301
VINT

圖 3

圖式

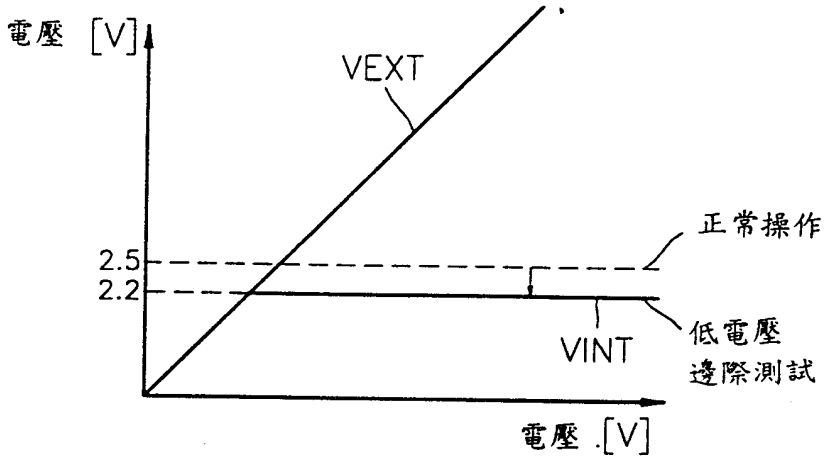


圖 4

圖式

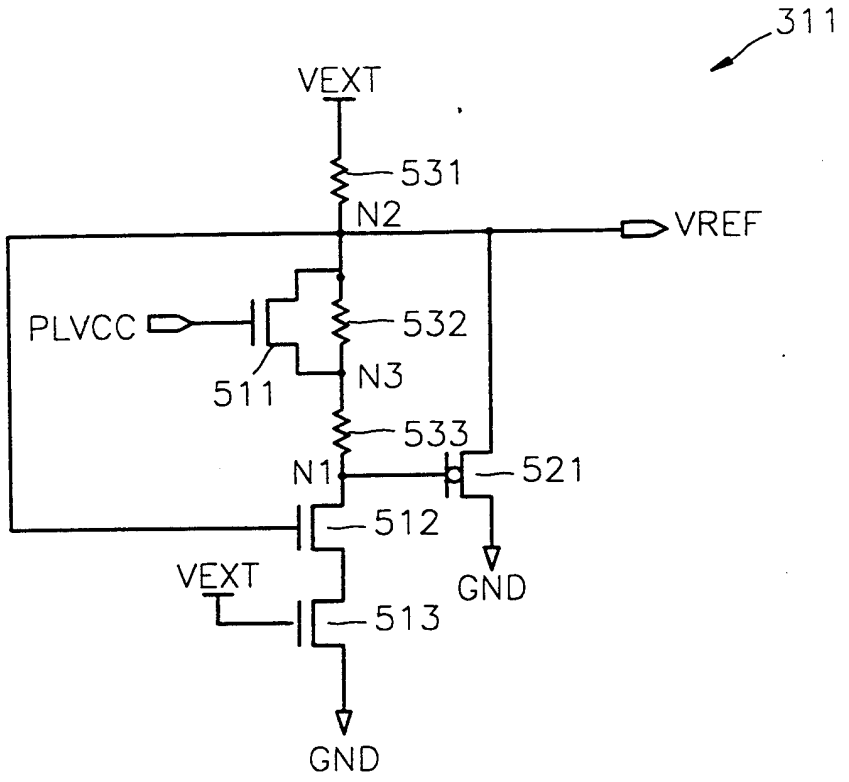

311
VEXT
531
N2
VREF
PLVCC
532
511
N3
533
N1
521
512
GND
VEXT
513
GND

圖 5

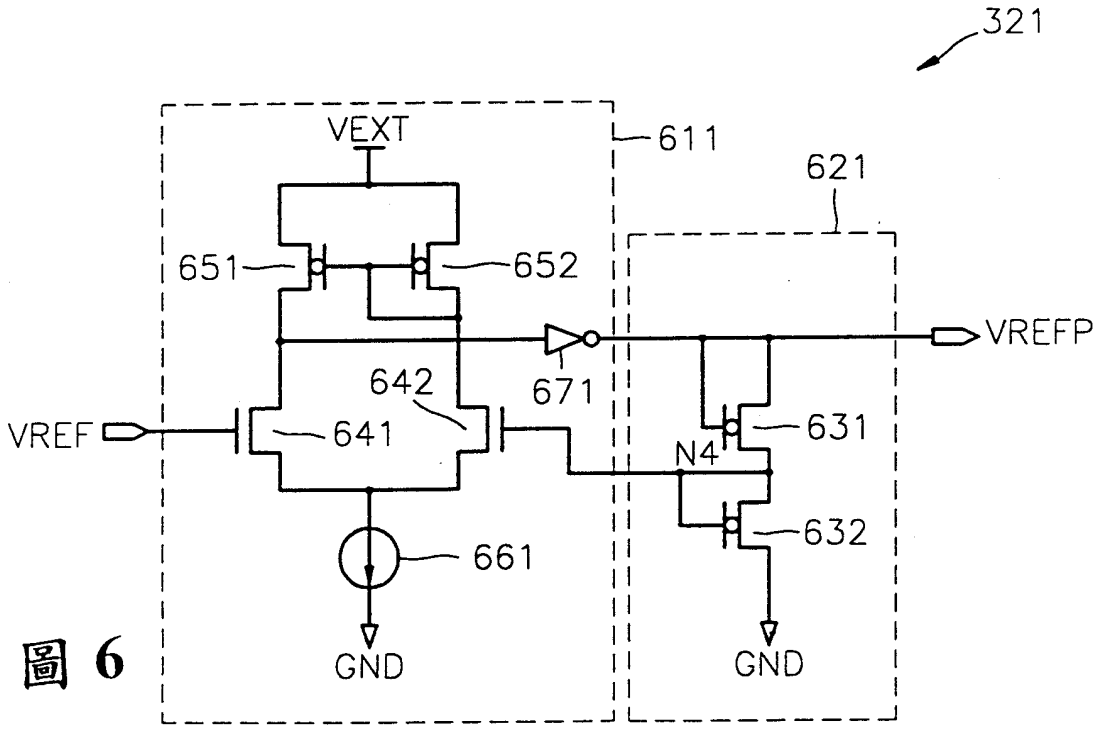

321
VEXT
611
621
651
652
VREFP
642
671
VREF
641
631
N4
632
661
GND
GND

圖 6

圖式

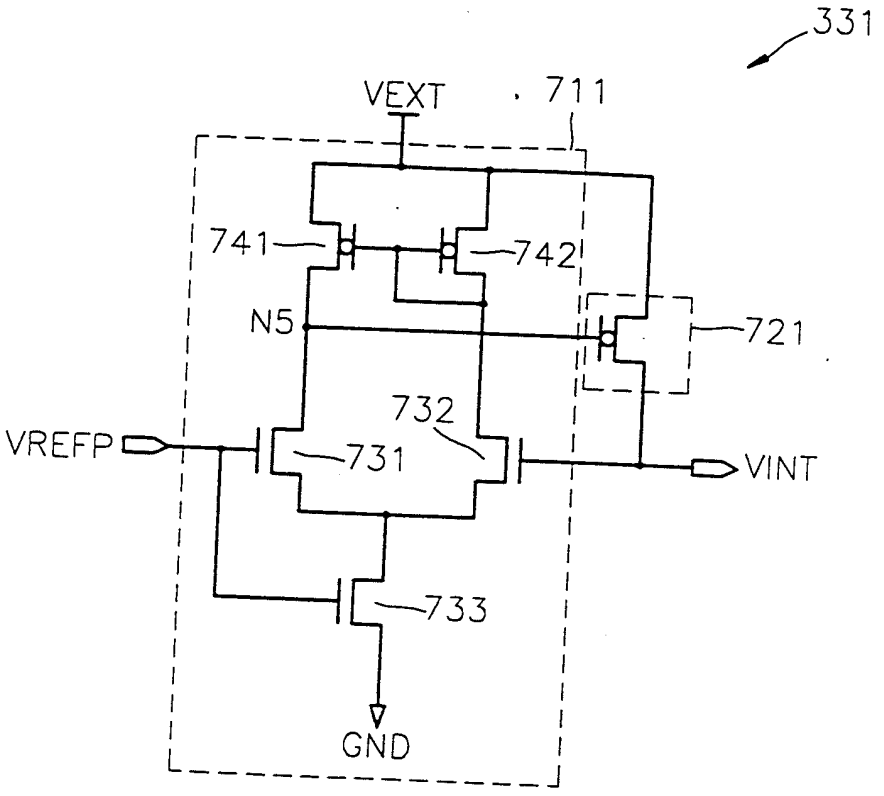


圖 7

NMOS電晶體732之電流為多，形成內部供給電壓VINT另外之增加。經由這些操作，內部供給電壓VINT被保持常數。

在如上文說明之本發明之半導體記憶裝置中，內部供給電壓VINT之大小可以由控制信號PLVCC加以控制。也就是說，當一低外部供給電壓VEXT被應用至內部電源供給電路301時，內部供給電壓VINT可以被產生為低於預定內部供給電壓VINT。因此，一低供給電壓邊際測試可以容易地執行，以因此確實地檢測在低供給電壓邊際區域故障之半導體記憶裝置。

最佳的具體實施例已經在附圖及規範中揭示。特定之術語已經被使用，但不是用於限制意義或是限制在下列申請專利範圍所揭示之本發明範疇，而是用於簡單地解釋本發明。因此，那些熟知相關技藝之人士可以瞭解各種修改與其他具體實施例可以實現。本發明真實之技術保護範疇必須由所附申請專利範圍之技術精神加以決定。

元件符號說明

301	內部電源供給電路
311	參考電壓控制與產生單元
321	內部供給參考電壓產生單元
331	內部供給電壓產生單元
511-513	NMOS電晶體
521	PMOS電晶體
531-533	電阻
611	差動放大器
621	控制器

五、發明說明 (11)

631-632	PMOS電晶體
641-642	NMOS電晶體
651-652	PMOS電晶體
671	反向器
711	比較器
721	驅動器
731-733	NMOS電晶體
741-742	PMOS電晶體
VEXT	外部供給電壓
VREF	參考電壓
PLVCC	控制信號
VINT	內部供給電壓
N1	節點
N2	節點
N3	節點
N4	節點
VREFP	參考電壓