

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2007年10月25日 (25.10.2007)

PCT

(10) 国際公開番号  
WO 2007/119264 A1

(51) 国際特許分類:

H03H 11/04 (2006.01) H03H 11/12 (2006.01)

(21) 国際出願番号:

PCT/JP2006/305523

(22) 国際出願日:

2006年3月20日 (20.03.2006)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(71) 出願人(米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 山崎博 (YAMAZAKI, Hiroshi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 國分 孝悦 (KOKUBUN, Takayoshi); 〒1700013 東京都豊島区東池袋1丁目17番8号 池袋T G ホームストビル5階 Tokyo (JP).

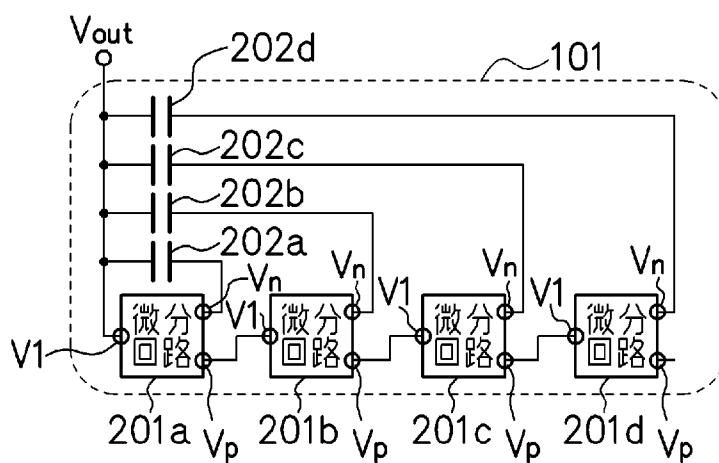
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FL, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

/ 続葉有 /

(54) Title: INPUT IMPEDANCE CIRCUIT AND LOW-PASS FILTER CIRCUIT

(54) 発明の名称: 入力インピーダンス回路及び低域通過フィルタ回路



201a DIFFERENTIATION CIRCUIT  
201b DIFFERENTIATION CIRCUIT  
201c DIFFERENTIATION CIRCUIT  
201d DIFFERENTIATION CIRCUIT

(57) Abstract: An input impedance circuit characterized by comprising a first differentiation circuit (201a) having an input terminal and an inverted output terminal, and a first capacitor (202a) connected between the inverted output terminal and the input terminal of the first differentiation circuit. A low-pass filter circuit characterized by comprising the input impedance circuit, a filter output terminal connected with the input terminal of the first differentiation circuit in the input impedance circuit, and a filter resistor connected between a voltage signal source and the filter output terminal is also provided.

(57) 要約: 入力端子及び反転出力端子を有する第1の微分回路(201a)と、第1の微分回路の反転出力端子及び入力端子間に接続される第1の容量(202a)とを有することを特徴とする入力インピーダンス回路が提供される。また、上記の入力インピーダンス回路と、入力インピーダンス回路内の第1の微分回路の入力端子に接続されるフィルタ出力端子と、電圧信号源及びフィルタ出力端子間に接続されるフィルタ抵抗とを有することを特徴とする低域通過フィルタ回路が提供される。

WO 2007/119264 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

## 明細書

### 入力インピーダンス回路及び低域通過フィルタ回路

#### 技術分野

[0001] 本発明は、入力インピーダンス回路及び低域通過フィルタ回路に関する。

#### 背景技術

[0002] 近年、携帯無線器機の小型化要求により受信システムの集積化が進んでいる。これに伴い、受信方式はスーパー・ヘテロダイン方式からダイレクトコンバージョン方式へ、チャネル選択フィルタは個別素子としてのバンドパスフィルタから集積化された低域通過フィルタへ、LSIテクノロジーもバイポーラ技術からCMOS技術へと移行しつつある。

[0003] 図9は、2次低域通過フィルタの回路図である。入力信号源901の信号は、2次低域通過フィルタにより低域周波数のみが通過し、出力端子902から出力される。この低域通過フィルタは、增幅回路911、912及び913を有する。增幅回路911～913は、CMOSプロセスにより製造される。

[0004] 図10は各增幅回路911～913のノイズ特性を示すグラフであり、図11は図9のフィルタ出力端子902におけるノイズ特性を示すグラフである。低域通過フィルタのノイズ特性1101は、3つのCMOS増幅回路911～913のノイズ特性1001が加算されたものとなり、大きなノイズが発生する。

[0005] 集積密度とコストに優れたCMOSプロセスを用いてアクティブフィルタを製造した場合、CMOS増幅回路911～913が持つ大きな低周波数ノイズ( $1/f$ ノイズ)1002によりフィルタのノイズ特性1101が劣化してしまう。特に、無線通信の受信回路でチャネル選択に用いられる低域通過フィルタでは、隣接妨害波除去のために次数が高く(5次程度)、增幅回路の個数も多いため、低周波数ノイズも増大してしまう。

[0006] 図12は下記の非特許文献1によるCMOS増幅回路の低周波数ノイズがフィルタの通過域のノイズとして漏洩しない2次低域通過フィルタの回路図であり、図13は入力インピーダンス回路1202の回路図である。2次低域通過フィルタは、入力端子1211、Gmアンプ(OTA)1201、入力インピーダンス回路1202、抵抗1203及び出力端

子1212を有する。この2次低域通過フィルタは、図9のものに比べ、低周波数ノイズを低減することができる。

- [0007] 2次入力インピーダンス回路1202の入力インピーダンスZfは、次式で表すことができる。

$$Zf = (1 + a \cdot s^2) / (b \cdot s + c \cdot s^2)$$

- [0008] 図14は、非特許文献1による4次低域通過フィルタの回路図である。4次低域通過フィルタは、図12の2次低域通過フィルタに比べ、Gmアンプ1201、入力インピーダンス回路1202及び抵抗1203の組みを縦列接続したものである。この場合、縦列接続された2組のフィルタのノイズが加算されてしまい、フィルタのノイズが増大してしまう。

- [0009] 非特許文献1は、2次低域通過フィルタではノイズを低減することができるが、より高次のフィルタ構成とするには、2次フィルタ構成の縦列接続となるため、ノイズが加算されていき、フィルタのノイズを増大させてしまう。

- [0010] 非特許文献1:A. Zolfaghari, B. Razavi, "A Low-Power 2.4GHz Transmitter/Receiver CMOS IC," IEEE Journal of Solid-State Circuits, Vol. 38, pp.176-183, Feb. 2003  
発明の開示

- [0011] 本発明の目的は、高次の低域通過フィルタにおいても低周波数ノイズがフィルタの出力端子に漏洩することを防止する入力インピーダンス回路及び低域通過フィルタ回路を提供することである。

- [0012] 本発明の一観点によれば、入力端子及び反転出力端子を有する第1の微分回路と、前記第1の微分回路の反転出力端子及び入力端子間に接続される第1の容量とを有することを特徴とする入力インピーダンス回路が提供される。

- [0013] 本発明の他の観点によれば、上記の入力インピーダンス回路と、前記入力インピーダンス回路内の前記第1の微分回路の入力端子に接続されるフィルタ出力端子と、電圧信号源及び前記フィルタ出力端子間に接続されるフィルタ抵抗とを有することを特徴とする低域通過フィルタ回路が提供される。

- [0014] 本発明のさらに他の観点によれば、上記の入力インピーダンス回路と、前記入力インピーダンス回路内の前記第1の微分回路の入力端子に接続されるフィルタ出力端

子と、前記フィルタ出力端子及び基準電位間に接続されるフィルタ抵抗とを有し、前記フィルタ出力端子は、電流信号源に接続されることを特徴とする低域通過フィルタ回路が提供される。

### 図面の簡単な説明

[0015] [図1]図1は、本発明の第1の実施形態による低域通過フィルタの構成例を示す回路図である。

[図2]図2は、入力インピーダンス回路の構成例を示す回路図である。

[図3]図3は、微分回路の構成例を示す回路図である。

[図4]図4は、本発明の第2の実施形態による低域通過フィルタの構成例を示す回路図である。

[図5]図5は、本発明の第3の実施形態による低域通過フィルタの構成例を示す回路図である。

[図6]図6は、本発明の第4の実施形態による低域通過フィルタの構成例を示す回路図である。

[図7]図7は、入力電圧、出力電圧及びローカル信号の信号強度及び周波数の関係を示す図である。

[図8]図8は、本発明の第5の実施形態による低域通過フィルタの構成例を示す回路図である。

[図9]図9は、2次低域通過フィルタの回路図である。

[図10]図10は、增幅回路のノイズ特性を示すグラフである。

[図11]図11は、フィルタ出力端子におけるノイズ特性を示すグラフである。

[図12]図12は、非特許文献1による2次低域通過フィルタの回路図である。

[図13]図13は、入力インピーダンス回路の回路図である。

[図14]図14は、非特許文献1による4次低域通過フィルタの回路図である。

### 発明を実施するための最良の形態

[0016] (第1の実施形態)

図1は、本発明の第1の実施形態による低域通過(ローパス)フィルタの構成例を示す回路図である。入力電圧信号源Vinは、基準電位に接続される。フィルタ抵抗Rは

、入力信号源Vin及びフィルタ出力端子Vout間に接続される。入力インピーダンス回路101は、フィルタ出力端子Voutに接続される。

[0017] 図2は、入力インピーダンス回路101の構成例を示す回路図である。図2の5次入力インピーダンス回路101を図1の低域通過フィルタに使用することにより、5次低域通過フィルタを実現することができる。第1～第4の微分回路201a, 201b, 201c, 201dは、それぞれ入力端子V1、非反転出力端子(正出力端子)Vp及び反転出力端子(負出力端子)vnを有する。第1～第4の容量202a, 202b, 202c, 202dは、それぞれ第1～第4の微分回路201a, 201b, 201c, 201dの反転出力端子vn及び第1の微分回路201aの入力端子V1間に接続される。第1の微分回路201aの入力端子V1は、入力インピーダンス回路101の端子であり、図1の出力端子Voutに接続される。第2～第4の微分回路201b～201dは、それぞれ前段の微分回路201a～201cの非反転出力端子Vpに縦列接続される。

[0018] 図3は、微分回路201aの構成例を示す回路図である。微分回路201b～201dは、微分回路201aと同じ構成を有する。差動增幅回路301は、非反転入力端子(正入力端子)、反転入力端子(負入力端子)、非反転出力端子及び反転出力端子を有し、入力信号を増幅し、差動信号を出力する。非反転出力端子及び反転出力端子は、相互に反転した差動信号を出力する。抵抗303は、差動增幅回路301の反転出力端子及び非反転入力端子間に接続される。容量302は、微分回路201aの入力端子V1及び差動增幅回路301の非反転入力端子間に接続される。差動增幅回路301は、非反転出力端子が微分回路201aの非反転出力端子Vpに接続され、反転出力端子が微分回路201aの反転出力端子vnに接続され、反転入力端子が基準電位に接続される。

[0019] 微分回路201a～201dは、入力信号を微分した信号を出力する。すなわち、微分回路201a～201dは、入力信号の変化が大きいほど、大きな信号を出力する。容量202a～202dは、入力信号の周波数が高いほど、インピーダンスが小さくなる。容量202a～202dは、微分回路201a～201dの反転出力端子vnに接続されるので、入力インピーダンス回路101は出力端子Voutの高周波数成分を打ち消し、低周波数成分のみを残す。その結果、図1のフィルタは、低域通過フィルタとして機能する。

[0020] 2次低域通過フィルタを構成する場合には、微分回路201a及び容量202aを残し、微分回路201b～201d及び容量202b～202dを削除すればよい。3次低域通過フィルタを構成する場合には、微分回路201a, 201b及び容量202a, 202bを残し、微分回路201c, 201d及び容量202c, 202dを削除すればよい。4次低域通過フィルタを構成する場合には、微分回路201a～201c及び容量202a～202cを残し、微分回路201d及び容量202dを削除すればよい。6次低域通過フィルタを構成する場合には、微分回路及び容量の組みを追加して、縦列接続すればよい。より高次の低域通過フィルタを構成する場合は、同様に縦列接続する数を増加すればよい。

[0021] 入力インピーダンス回路101の入力インピーダンスZfは、次式で表される。

$$Zf = 1 / (k_1 \cdot s + k_2 \cdot s^2 + \cdots + k_n \cdot s^n)$$

[0022] また、図1の出力電圧Vout及び入力電圧Vinの比は、次式により、入力インピーダンスZf及びフィルタ抵抗Rにより表される。

$$\begin{aligned} V_{\text{out}} / V_{\text{in}} &= Zf / (Zf + R) \\ &= 1 / \{1 + R(k_1 \cdot s + k_2 \cdot s^2 + \cdots + k_n \cdot s^n)\} \end{aligned}$$

[0023] ここで、nは、低域通過フィルタ及び入力インピーダンス回路の次数を示す。5次入力インピーダンス回路及びそれを用いた5次低域通過フィルタの場合は、n=5になる。

[0024] 本実施形態では、入力インピーダンス回路101及び低域通過フィルタの次数を2次以上にすることができる。その場合、入力インピーダンス回路101の端子(微分回路201aの入力端子V1)の入力インピーダンスZfの逆数は、上式のように、ラプラス変換のsの2次以上の多項式で表現される。すなわち、入力インピーダンス回路101の端子の入力インピーダンスZfの逆数は、2次以上の微分周波数特性を示す。

[0025] 各微分回路201a～201dの出力信号／入力信号が20dB/decの場合、1個の微分回路201aのみを用いた2次の場合は20dB/dec、2個の微分回路201a, 201bのみを用いた3次の場合は40dB/dec、3個の微分回路201a～201cのみを用いた4次の場合は60dB/decとなる。ここで、dec(decade)は、周波数比が10倍であることを示す。次数が高いほど、出力信号／入力信号が周波数に対して急な傾きとなり、周波数選択性能が向上する。無線通信の受信回路でチャネル選択に低域通過フ

ィルタを用いる場合には、隣接妨害波除去のために次数が高い(5次程度)ことが好ましい。

- [0026] 差動増幅回路301をバイポーラトランジスタで構成した場合には低周波数ノイズは発生しないが、CMOSプロセスにより構成した場合には差動増幅回路301に低周波数ノイズが発生する。しかし、本実施形態では、図1に示すように、入力インピーダンス回路101の端子が出力端子Voutに接続されるので、図9及び図14のように、縦列接続された増幅回路の低周波数ノイズが加算され、大きなノイズになることがない。本実施形態では、次数を高くしても、ノイズが増加する事がないので、高次の低域通過フィルタにおいても、低周波数ノイズを低減することができる。
- [0027] 1次の低域通過フィルタの構成において、1次の減衰を実現しているのは容量素子である。本実施形態では、この容量素子の部分を3次以上の高次の入力インピーダンス回路101を持つ回路に置き換えることにより、高次の低域通過フィルタを構成することができる。高次入力インピーダンス回路101は、図2に示すように、反転出力端子Vn付の微分回路201a～201dを縦列接続し、各反転出力端子Vnと微分回路201aの入力端子V1を容量202a～202dで結合することにより実現することができる。
- [0028] 図2に示した高次入力インピーダンス回路(アクティブ回路)101を用いて、図1に示す高次低域通過フィルタを構成した場合、ノイズ源となる増幅回路301とフィルタの出力端子Voutとの結合は全て容量を介した構成となる。このため、周波数が低いほど、増幅回路301のノイズはフィルタ出力端子Voutに伝達しづらくなるため、増幅回路301の低周波数ノイズのフィルタ出力端子Voutへの漏洩を低減できる。
- [0029] (第2の実施形態)

図4は、本発明の第2の実施形態による低域通過フィルタの構成例を示す回路図である。入力インピーダンス回路101は、フィルタ出力端子Voutに接続される。フィルタ抵抗Rは、フィルタ出力端子Vout及び基準電位間に接続される。入力電流信号源Iinは、フィルタ出力端子Vout及び基準電位間に接続される。抵抗Rは、入力電流信号源Iinの電流を電圧に変換する。入力インピーダンス回路101は、図2及び図3と同じ構成を有する。本実施形態は、第1の実施形態に対し、入力電圧信号源Vinの代わりに入力電流信号源Iinを用いた点が異なり、その他の点は同じである。

[0030] 出力電圧Vout及び入力電流Iinの比は、入力インピーダンス回路101の入力インピーダンスZf及び抵抗Rにより、次式で表される。

$$\begin{aligned} V_{\text{out}} / I_{\text{in}} &= R \cdot Z_f / (Z_f + R) \\ &= R / \{1 + R(k_1 \cdot s + k_2 \cdot s^2 + \dots + k_n \cdot s^n)\} \end{aligned}$$

[0031] 第1の実施形態では、信号源が電圧源Vinの場合の低域通過フィルタを示し、本実施形態では、信号源が電流源Iinの場合の低域通過フィルタを示した。本実施形態も、第1の実施形態と同様に、低周波数ノイズを低減することができる。

[0032] (第3の実施形態)

図5は、本発明の第3の実施形態による低域通過フィルタの構成例を示す回路図である。第1の実施形態では、シングルエンド(差動增幅回路301の入力の片線接地)の信号についての低域通過フィルタを説明したが、本実施形態では、差動信号についての低域通過フィルタを説明する。差動信号は、シングルエンド信号に対し、ノイズに強い利点がある。

[0033] 5次低域通過フィルタ501は、非反転入力端子Vinp、反転入力端子Vinn、非反転出力端子Vop及び反転出力端子Vonを有する。入力電圧信号源506は、相互に反転した差動信号を入力端子Vinp及びVinnに出力する。

[0034] 5次低域通過フィルタ501は、抵抗507p、507n及び5次入力インピーダンス回路502を有する。抵抗507pは、非反転入力端子Vinp及び非反転出力端子Vop間に接続される。抵抗507nは、反転入力端子Vinn及び反転出力端子Von間に接続される。

[0035] 5次入力インピーダンス回路502は、微分回路503a～503d、容量504a～504d及び容量505a～505dを有する。微分回路503a～503dは、それぞれ非反転入力端子、反転入力端子、非反転出力端子及び反転出力端子を有し、差動信号を増幅して出力する。容量504a～504dは、それぞれ微分回路503a～503dの反転出力端子及びフィルタ非反転出力端子Vop間に接続される。容量505a～505dは、それぞれ微分回路503a～503dの非反転出力端子及びフィルタ反転出力端子Von間に接続される。

[0036] 微分回路503aは、非反転入力端子がフィルタ非反転出力端子Vopに接続され、

反転入力端子がフィルタ反転出力端子Vonに接続される。微分回路503b～503dは、それぞれ非反転入力端子が前段の微分回路503a～503cの非反転出力端子に接続され、反転入力端子が前段の微分回路503a～503cの反転出力端子に接続される。すなわち、微分回路503a～503dは、縦列接続される。

- [0037] 微分回路503a～503dは、それぞれ差動增幅回路513、抵抗513, 514及び容量511, 512を有する。容量511は、微分回路503a～503dの非反転入力端子及び差動增幅回路513の非反転入力端子間に接続される。容量512は、微分回路503a～503dの反転入力端子及び差動增幅回路513の反転入力端子間に接続される。抵抗514は、差動增幅回路513の反転出力端子及び非反転入力端子間に接続される。抵抗515は、差動增幅回路513の非反転出力端子及び反転入力端子間に接続される。差動增幅回路513は、非反転出力端子が微分回路503a～503dの非反転出力端子に接続され、反転出力端子が微分回路503a～503dの反転出力端子に接続される。
- [0038] 上記では、5次入力インピーダンス回路502及びそれを用いた5次低域通過フィルタ501の例を説明したが、第1の実施形態と同様に、微分回路の縦列接続数を変えることにより、他の次数の低域通過フィルタを構成することができる。
- [0039] 第1の実施形態では、差動增幅回路301の入力を片側接地したシングルエンドの低域通過フィルタの構成を示した。低域通過フィルタをLSIとして集積化する場合、他の回路からのノイズの伝播を低減するために、信号を差動構成で処理することが望ましい。本実施形態では、5次入力インピーダンス回路502及びそれを用いた電圧信号源用低域通過フィルタ501を全差動化した構成を示した。
- [0040] 本実施形態では、差動信号についての低域通過フィルタについても、第1の実施形態と同様に、低周波数ノイズを低減することができる。また、差動信号を使用することにより、シングルエンド信号に対し、外来ノイズに対して強くすることができる。
- [0041] (第4の実施形態)

図6は、本発明の第4の実施形態による低域通過フィルタの構成例を示す回路図である。本実施形態は、第1の実施形態(図1)に対し、スイッチ601を追加したものである。スイッチ601は、入力電圧信号源Vin及び出力端子Vout間に接続され、ロー

カル信号Srに応じて、オン／オフ制御がされる。

[0042] 図7は、入力電圧Vin、出力電圧Vout及びローカル信号Srの信号強度及び周波数の関係を示す図である。周波数finは入力電圧Vinの周波数、周波数foutは出力電圧Voutの周波数、周波数frはローカル信号Srの周波数である。ローカル信号Srの周波数frと入力電圧Vinの周波数finとの差分を $\Delta f$ とすると、出力電圧Voutの周波数foutは $\Delta f$ となる。ローカル信号Srの周波数frは、 $fin - \Delta f$ であっても、 $fin + \Delta f$ であってもよい。スイッチ601を用いることにより、高周波数finを低周波数foutに変換することができる。出力電圧Voutの信号周波数foutは、スイッチ601を制御する信号周波数frに応じて、入力電圧Vinの信号周波数finより低くなる。すなわち、本実施形態は、ダウンコンバージョンミキサ機能を有する。

[0043] (第5の実施形態)

図8は、本発明の第5の実施形態による低域通過フィルタの構成例を示す回路図である。本実施形態は、第2の実施形態(図4)に対し、スイッチ801を追加したものである。スイッチ801は、入力電流信号源Iin及び出力端子Vout間に接続され、ローカル信号Srに応じて、オン／オフ制御がされる。

[0044] 第4の実施形態と同様に、スイッチ801を用いることにより、入力電流源Iinの信号高周波数finを出力電圧端子Voutの信号低周波数foutに変換することができる。出力電圧端子Voutの信号周波数foutは、スイッチ801を制御する信号周波数frに応じて、入力電流信号源Iinの信号周波数finより低くなる。すなわち、本実施形態は、ダウンコンバージョンミキサ機能を有する。

[0045] なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

### 産業上の利用可能性

[0046] 高次の低域通過フィルタにおいても低周波数ノイズがフィルタの出力端子に漏洩することを防止する入力インピーダンス回路及び低域通過フィルタ回路を提供することができる。

## 請求の範囲

- [1] 入力端子及び反転出力端子を有する第1の微分回路と、  
前記第1の微分回路の反転出力端子及び入力端子間に接続される第1の容量と  
を有することを特徴とする入力インピーダンス回路。
- [2] 前記第1の微分回路は非反転出力端子を有し、  
さらに、前記第1の微分回路の非反転出力端子に縦列接続され、入力端子及び反  
転出力端子を有する一又は複数の第2の微分回路と、  
前記一又は複数の第2の微分回路の反転出力端子及び前記第1の微分回路の入  
力端子間に接続される一又は複数の第2の容量と  
を有することを特徴とする請求項1記載の入力インピーダンス回路。
- [3] 前記第1の微分回路の入力端子の入力インピーダンスの逆数は、ラプラス変換のs  
の2次以上の多項式で表現されることを特徴とする請求項1記載の入力インピーダン  
ス回路。
- [4] 前記第1の微分回路は、  
非反転入力端子、反転入力端子、非反転出力端子及び反転出力端子を有する第  
1の差動增幅回路と、  
前記第1の差動增幅回路の反転出力端子及び非反転入力端子間に接続される第  
1の抵抗と、  
前記第1の微分回路の入力端子及び前記第1の差動增幅回路の非反転入力端子  
間に接続される第2の容量とを有し、  
前記第1の差動增幅回路は、非反転出力端子が前記第1の微分回路の非反転出  
力端子に接続され、反転出力端子が前記第1の微分回路の反転出力端子に接続さ  
れることを特徴とする請求項1記載の入力インピーダンス回路。
- [5] 前記第1の微分回路は、  
非反転入力端子、反転入力端子、非反転出力端子及び反転出力端子を有する第  
1の差動增幅回路と、  
前記第1の差動增幅回路の反転出力端子及び非反転入力端子間に接続される第  
1の抵抗と、

前記第1の差動増幅回路の非反転出力端子及び反転入力端子間に接続される第2の抵抗と、

前記第1の微分回路の非反転入力端子及び前記第1の差動増幅回路の非反転入力端子間に接続される第2の容量と、

前記第1の微分回路の反転入力端子及び前記第1の差動増幅回路の反転入力端子間に接続される第3の容量とを有し、

前記第1の差動増幅回路は、非反転出力端子が前記第1の微分回路の非反転出力端子に接続され、反転出力端子が前記第1の微分回路の反転出力端子に接続され、

前記第1の容量は、前記第1の微分回路の非反転入力端子に接続され、

さらに、前記第1の微分回路の非反転出力端子及び反転入力端子間に接続される第4の容量を有することを特徴とする請求項1記載の入力インピーダンス回路。

[6] 前記第1の微分回路は、

非反転入力端子、反転入力端子、非反転出力端子及び反転出力端子を有する第1の差動増幅回路と、

前記第1の差動増幅回路の反転出力端子及び非反転入力端子間に接続される第1の抵抗と、

前記第1の微分回路の入力端子及び前記第1の差動増幅回路の非反転入力端子間に接続される第3の容量とを有し、

前記第1の差動増幅回路は、非反転出力端子が前記第1の微分回路の非反転出力端子に接続され、反転出力端子が前記第1の微分回路の反転出力端子に接続され、

前記第2の微分回路は、

非反転入力端子、反転入力端子、非反転出力端子及び反転出力端子を有する第2の差動増幅回路と、

前記第2の差動増幅回路の反転出力端子及び非反転入力端子間に接続される第2の抵抗と、

前記第2の微分回路の入力端子及び前記第2の差動増幅回路の非反転入力端子

間に接続される第4の容量とを有し、

前記第2の差動増幅回路は、非反転出力端子が前記第2の微分回路の非反転出力端子に接続され、反転出力端子が前記第2の微分回路の反転出力端子に接続されることを特徴とする請求項2記載の入力インピーダンス回路。

[7] 請求項1記載の入力インピーダンス回路と、

前記入力インピーダンス回路内の前記第1の微分回路の入力端子に接続されるフィルタ出力端子と、

電圧信号源及び前記フィルタ出力端子間に接続されるフィルタ抵抗とを有することを特徴とする低域通過フィルタ回路。

[8] さらに、前記電圧信号源及び前記フィルタ出力端子間に接続されるスイッチを有し、

前記フィルタ出力端子の信号周波数は、前記スイッチを制御する信号周波数に応じて、前記電圧信号源の信号周波数より低くなることを特徴とする請求項7記載の低域通過フィルタ回路。

[9] 前記第1の微分回路は非反転出力端子を有し、

さらに、前記第1の微分回路の非反転出力端子に縦列接続され、入力端子及び反転出力端子を有する一又は複数の第2の微分回路と、

前記一又は複数の第2の微分回路の反転出力端子及び前記第1の微分回路の入力端子間に接続される一又は複数の第2の容量とを有することを特徴とする請求項7記載の低域通過フィルタ回路。

[10] 前記第1の微分回路の入力端子の入力インピーダンスの逆数は、ラプラス変換のsの2次以上の多項式で表現されることを特徴とする請求項7記載の低域通過フィルタ回路。

[11] 前記第1の微分回路は、

非反転入力端子、反転入力端子、非反転出力端子及び反転出力端子を有する第1の差動増幅回路と、

前記第1の差動増幅回路の反転出力端子及び非反転入力端子間に接続される第1の抵抗と、

前記第1の微分回路の入力端子及び前記第1の差動増幅回路の非反転入力端子間に接続される第2の容量とを有し、

前記第1の差動増幅回路は、非反転出力端子が前記第1の微分回路の非反転出力端子に接続され、反転出力端子が前記第1の微分回路の反転出力端子に接続されることを特徴とする請求項7記載の低域通過フィルタ回路。

[12] 前記第1の微分回路は、

非反転入力端子、反転入力端子、非反転出力端子及び反転出力端子を有する第1の差動増幅回路と、

前記第1の差動増幅回路の反転出力端子及び非反転入力端子間に接続される第1の抵抗と、

前記第1の差動増幅回路の非反転出力端子及び反転入力端子間に接続される第2の抵抗と、

前記第1の微分回路の非反転入力端子及び前記第1の差動増幅回路の非反転入力端子間に接続される第2の容量と、

前記第1の微分回路の反転入力端子及び前記第1の差動増幅回路の反転入力端子間に接続される第3の容量とを有し、

前記第1の差動増幅回路は、非反転出力端子が前記第1の微分回路の非反転出力端子に接続され、反転出力端子が前記第1の微分回路の反転出力端子に接続され、

前記第1の容量は、前記第1の微分回路の非反転入力端子に接続され、

さらに、前記第1の微分回路の非反転出力端子及び反転入力端子間に接続される第4の容量を有することを特徴とする請求項7記載の低域通過フィルタ回路。

[13] 前記第1の微分回路は、

非反転入力端子、反転入力端子、非反転出力端子及び反転出力端子を有する第1の差動増幅回路と、

前記第1の差動増幅回路の反転出力端子及び非反転入力端子間に接続される第1の抵抗と、

前記第1の微分回路の入力端子及び前記第1の差動増幅回路の非反転入力端子

間に接続される第3の容量とを有し、

前記第1の差動増幅回路は、非反転出力端子が前記第1の微分回路の非反転出力端子に接続され、反転出力端子が前記第1の微分回路の反転出力端子に接続され、

前記第2の微分回路は、

非反転入力端子、反転入力端子、非反転出力端子及び反転出力端子を有する第2の差動増幅回路と、

前記第2の差動増幅回路の反転出力端子及び非反転入力端子間に接続される第2の抵抗と、

前記第2の微分回路の入力端子及び前記第2の差動増幅回路の非反転入力端子間に接続される第4の容量とを有し、

前記第2の差動増幅回路は、非反転出力端子が前記第2の微分回路の非反転出力端子に接続され、反転出力端子が前記第2の微分回路の反転出力端子に接続されることを特徴とする請求項9記載の低域通過フィルタ回路。

[14] 請求項1記載の入力インピーダンス回路と、

前記入力インピーダンス回路内の前記第1の微分回路の入力端子に接続されるフィルタ出力端子と、

前記フィルタ出力端子及び基準電位間に接続されるフィルタ抵抗とを有し、

前記フィルタ出力端子は、電流信号源に接続されることを特徴とする低域通過フィルタ回路。

[15] さらに、前記電流信号源及び前記フィルタ出力端子間に接続されるスイッチを有し、

前記フィルタ出力端子の信号周波数は、前記スイッチを制御する信号周波数に応じて、前記電流信号源の信号周波数より低くなることを特徴とする請求項14記載の低域通過フィルタ回路。

[16] 前記第1の微分回路は非反転出力端子を有し、

さらに、前記第1の微分回路の非反転出力端子に縦列接続され、入力端子及び反転出力端子を有する一又は複数の第2の微分回路と、

前記一又は複数の第2の微分回路の反転出力端子及び前記第1の微分回路の入力端子間に接続される一又は複数の第2の容量と  
を有することを特徴とする請求項14記載の低域通過フィルタ回路。

[17] 前記第1の微分回路の入力端子の入力インピーダンスの逆数は、ラプラス変換のsの2次以上の多項式で表現されることを特徴とする請求項14記載の低域通過フィルタ回路。

[18] 前記第1の微分回路は、  
非反転入力端子、反転入力端子、非反転出力端子及び反転出力端子を有する第1の差動增幅回路と、  
前記第1の差動增幅回路の反転出力端子及び非反転入力端子間に接続される第1の抵抗と、  
前記第1の微分回路の入力端子及び前記第1の差動增幅回路の非反転入力端子間に接続される第2の容量とを有し、  
前記第1の差動增幅回路は、非反転出力端子が前記第1の微分回路の非反転出力端子に接続され、反転出力端子が前記第1の微分回路の反転出力端子に接続され、反転入力端子が基準電位に接続されることを特徴とする請求項14記載の低域通過フィルタ回路。

[19] 前記第1の微分回路は、  
非反転入力端子、反転入力端子、非反転出力端子及び反転出力端子を有する第1の差動增幅回路と、  
前記第1の差動增幅回路の反転出力端子及び非反転入力端子間に接続される第1の抵抗と、  
前記第1の差動增幅回路の非反転出力端子及び反転入力端子間に接続される第2の抵抗と、  
前記第1の微分回路の非反転入力端子及び前記第1の差動增幅回路の非反転入力端子間に接続される第2の容量と、  
前記第1の微分回路の反転入力端子及び前記第1の差動增幅回路の反転入力端子間に接続される第3の容量とを有し、

前記第1の差動増幅回路は、非反転出力端子が前記第1の微分回路の非反転出力端子に接続され、反転出力端子が前記第1の微分回路の反転出力端子に接続され、

前記第1の容量は、前記第1の微分回路の非反転入力端子に接続され、

さらに、前記第1の微分回路の非反転出力端子及び反転入力端子間に接続される第4の容量を有することを特徴とする請求項14記載の低域通過フィルタ回路。

[20] 前記第1の微分回路は、

非反転入力端子、反転入力端子、非反転出力端子及び反転出力端子を有する第1の差動増幅回路と、

前記第1の差動増幅回路の反転出力端子及び非反転入力端子間に接続される第1の抵抗と、

前記第1の微分回路の入力端子及び前記第1の差動増幅回路の非反転入力端子間に接続される第3の容量とを有し、

前記第1の差動増幅回路は、非反転出力端子が前記第1の微分回路の非反転出力端子に接続され、反転出力端子が前記第1の微分回路の反転出力端子に接続され、

前記第2の微分回路は、

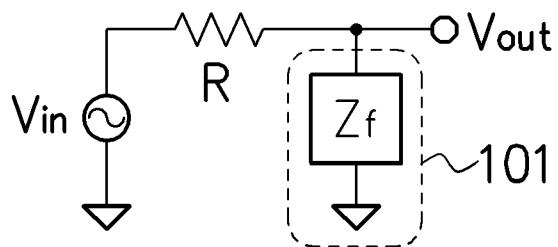
非反転入力端子、反転入力端子、非反転出力端子及び反転出力端子を有する第2の差動増幅回路と、

前記第2の差動増幅回路の反転出力端子及び非反転入力端子間に接続される第2の抵抗と、

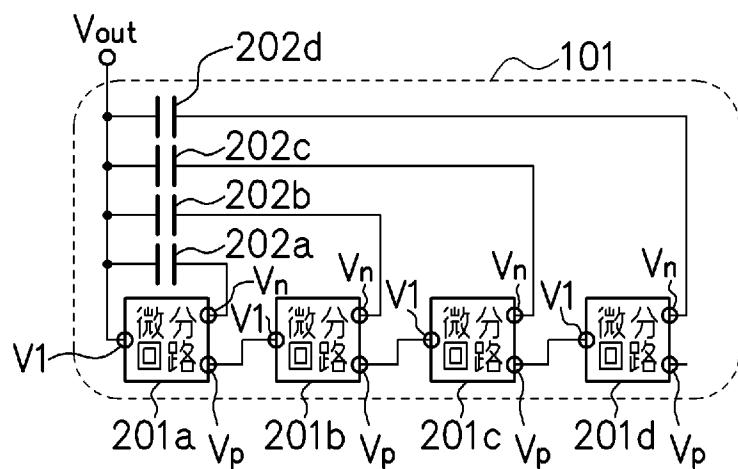
前記第2の微分回路の入力端子及び前記第2の差動増幅回路の非反転入力端子間に接続される第4の容量とを有し、

前記第2の差動増幅回路は、非反転出力端子が前記第2の微分回路の非反転出力端子に接続され、反転出力端子が前記第2の微分回路の反転出力端子に接続されることを特徴とする請求項16記載の低域通過フィルタ回路。

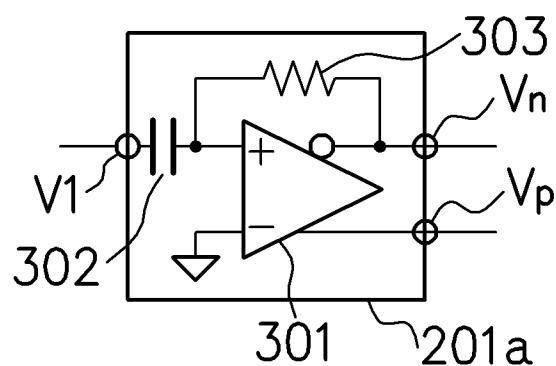
[図1]



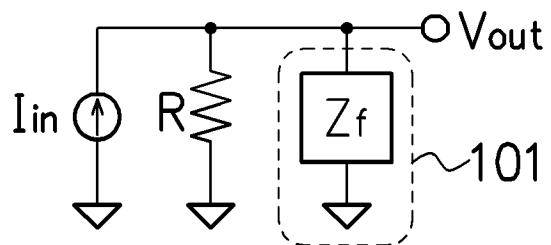
[図2]



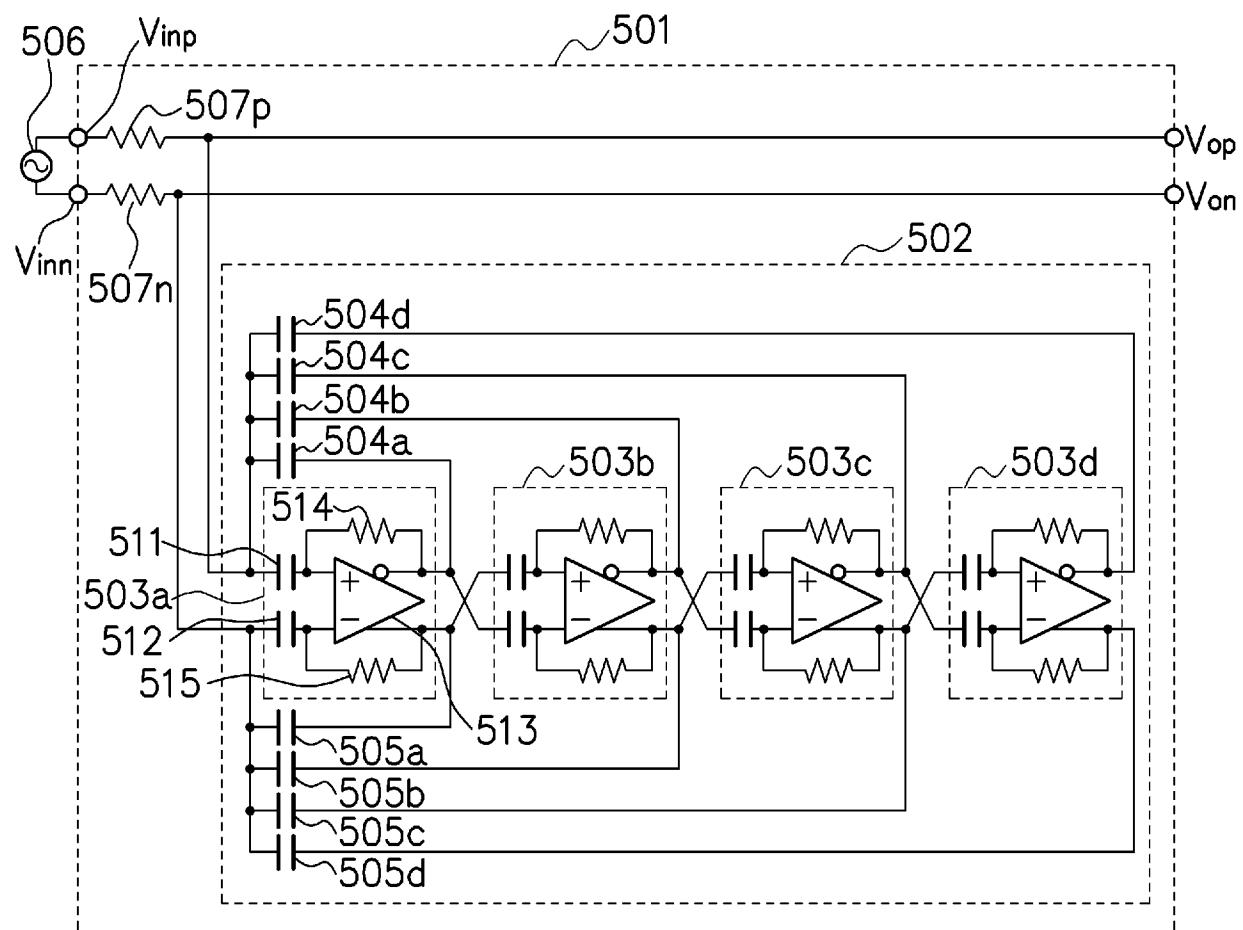
[図3]



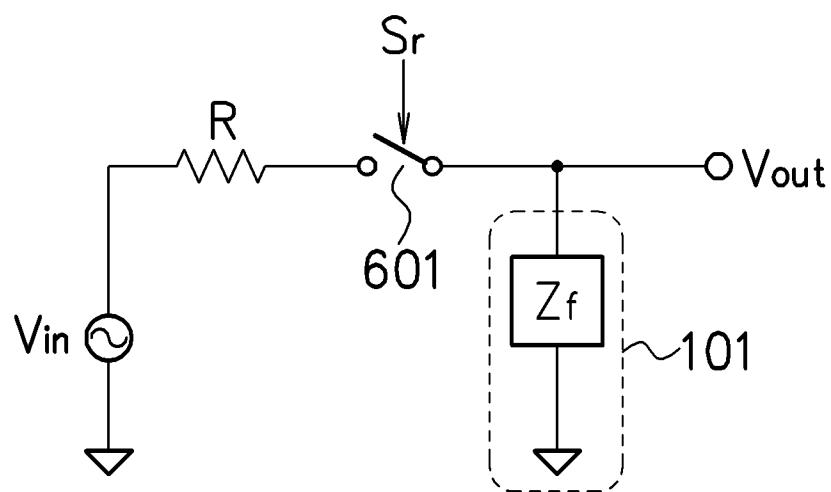
[図4]



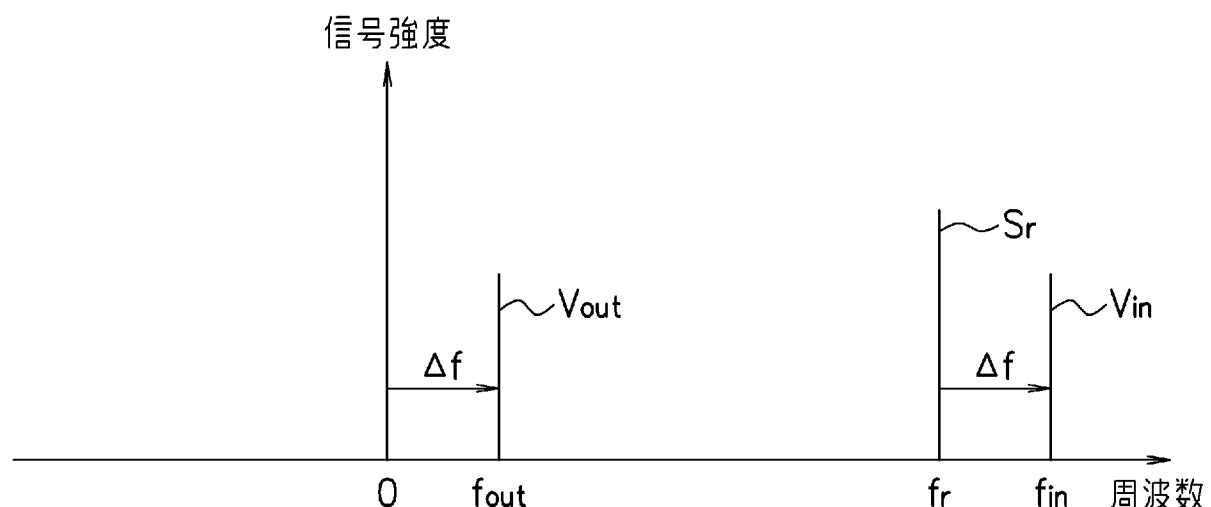
[図5]



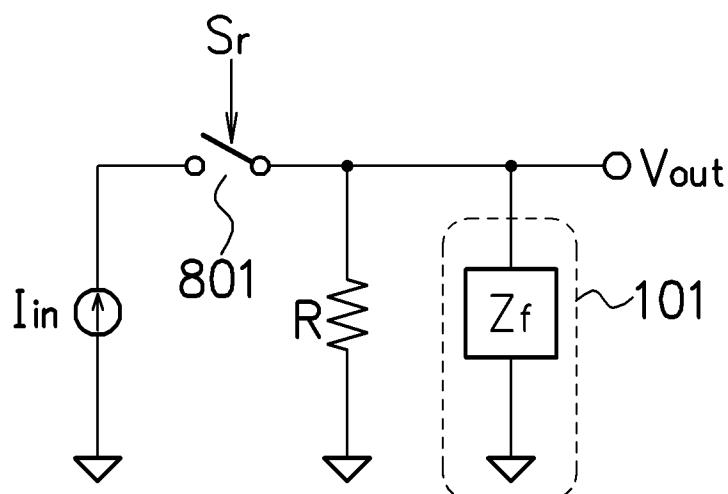
[図6]



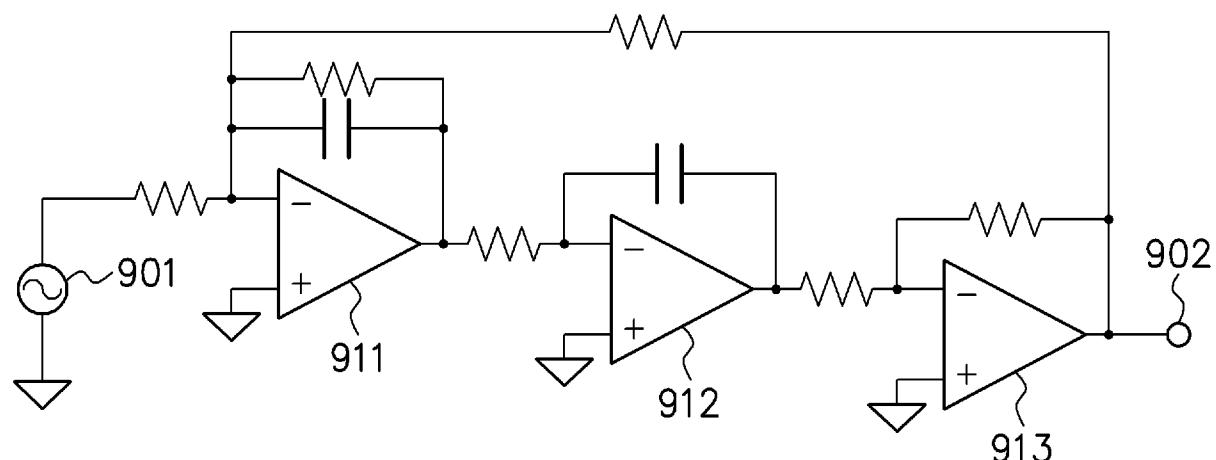
[図7]



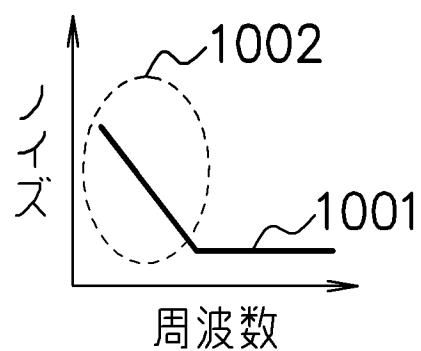
[図8]



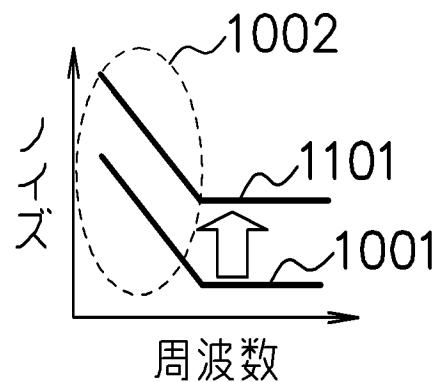
[図9]



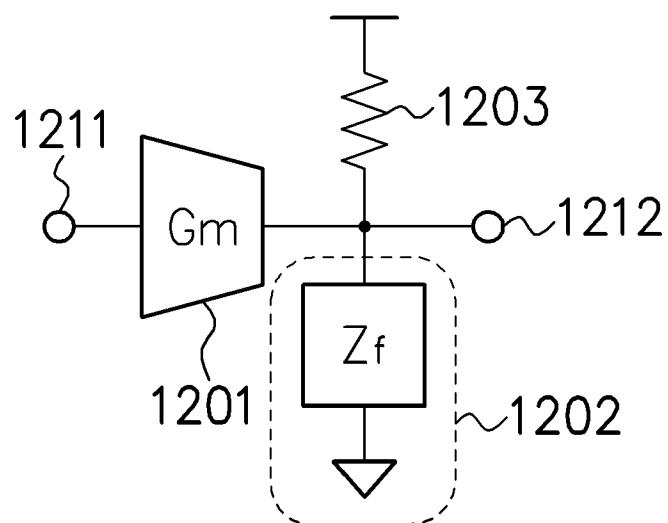
[図10]



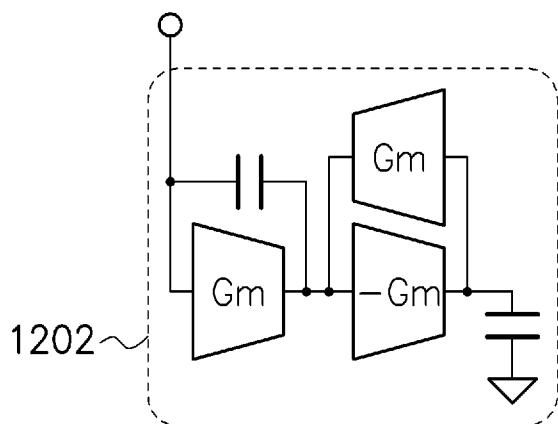
[図11]



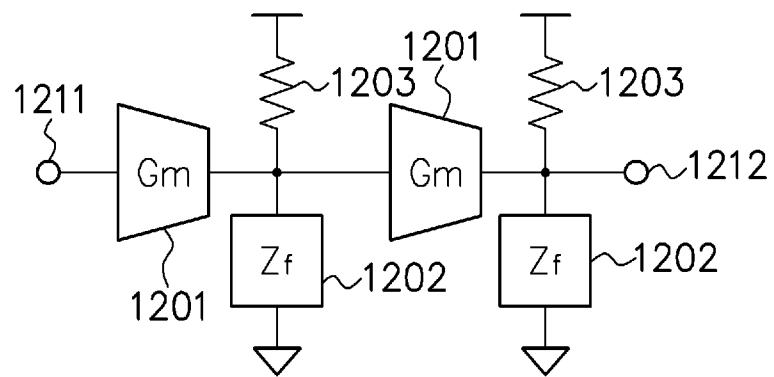
[図12]



[図13]



[図14]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/305523

**A. CLASSIFICATION OF SUBJECT MATTER**

**H03H11/04** (2006.01), **H03H11/12** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

**H03H11/00** (2006.01) - **H03H11/54** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 9-148880 A (Toshiba Corp.), 06 June, 1997 (06.06.97), Par. Nos. [0003] to [0007]; Figs. 13 to 14	1, 3-5, 7, 10-12
Y	& US 005890058 A1 & KR 000226594 B	8
A		2, 6, 9, 13
Y	JP 2005-514806 A (Tropian Inc.), 19 May, 2005 (19.05.05), Par. No. [0016]; Fig. 3 & US 2002/0181619 A1 & EP 001393455 A & WO 02/098004 A2 & TW 000583845 B	8, 15

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

20 June, 2006 (20.06.06)

Date of mailing of the international search report

27 June, 2006 (27.06.06)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2006/305523

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 57-006725 B2 (Sundstrand Data Control Inc.) , 06 February, 1982 (06.02.82) , Page 5, line 40 to page 6, line 26; Fig. 6 & US 004078205 A & GB 001568691 A & DE 002647981 A & FR 002330204 A & SE 007611979 A & CA 001070783 A & IT 001123029 B	1, 14, 17-19 15 16, 20

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03H11/04(2006.01), H03H11/12(2006.01)

## B. 調査を行った分野

## 調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03H11/00(2006.01)-H03H11/54(2006.01)

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 9-148880 A (株式会社東芝) 1997.06.06, [0003]-[0007]、図13-図14	1, 3-5, 7, 10-12
Y	& US 005890058 A1	8
A	& KR 000226594 B	2, 6, 9, 13

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

## 国際調査を完了した日

20.06.2006

## 国際調査報告の発送日

27.06.2006

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

崎間 伸洋

5W

3570

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2005-514806 A (トロピアン・インコーポレーテッド) 2005.05.19, [0016]、図3 & US 2002/0181619 A1 & EP 001393455 A & WO 02/098004 A2 & TW 000583845 B	8, 15
X	JP 57-006725 B2 (サンドストランド・データ・コントロール・イン コーポレーテツド)	1, 14, 17-19
Y		15
A	1982.02.06, 第5頁40行目-第6頁26行目、第6図 & US 004078205 A & GB 001568691 A & DE 002647981 A & FR 002330204 A & SE 007611979 A & CA 001070783 A & IT 001123029 B	16, 20