

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7272937号
(P7272937)

(45)発行日 令和5年5月12日(2023.5.12)

(24)登録日 令和5年5月1日(2023.5.1)

(51)国際特許分類	F I		
G 0 6 F 16/17 (2019.01)	G 0 6 F	16/17	1 0 0
G 0 6 F 3/08 (2006.01)	G 0 6 F	3/08	H
G 0 6 F 13/14 (2006.01)	G 0 6 F	13/14	3 3 0 A
G 0 6 F 13/10 (2006.01)	G 0 6 F	13/10	3 4 0 A
G 0 6 F 3/06 (2006.01)	G 0 6 F	3/06	3 0 1 N
請求項の数 19 (全24頁) 最終頁に続く			

(21)出願番号	特願2019-209473(P2019-209473)	(73)特許権者	390019839
(22)出願日	令和1年11月20日(2019.11.20)		三星電子株式会社
(65)公開番号	特開2020-87468(P2020-87468A)		Samsung Electronics Co., Ltd.
(43)公開日	令和2年6月4日(2020.6.4)		大韓民国京畿道水原市靈通区三星路129
審査請求日	令和4年11月18日(2022.11.18)		129, Samsung-ro, Yeongtong-gu, Suwon-si, Gyeonggi-do, Republic of Korea
(31)優先権主張番号	62/770,151	(74)代理人	110000051
(32)優先日	平成30年11月20日(2018.11.20)		弁理士法人共生国際特許事務所
(33)優先権主張国・地域又は機関	米国(US)	(72)発明者	カチャレ, ラムダス ビー.
(31)優先権主張番号	16/430,408		アメリカ合衆国, 94588 カリフォルニア州, プレザントン, フェアブルック
(32)優先日	令和1年6月3日(2019.6.3)		最終頁に続く
(33)優先権主張国・地域又は機関	米国(US)		
早期審査対象出願			

(54)【発明の名称】 ディープソリッドステート装置及びニューラルネットワークベースの永続的データストレージ

(57)【特許請求の範囲】

【請求項1】

装置であって、

データセットに関連付けられたメモリアクセス要請を受信するように構成されたホストインターフェース回路と、

変換されたデータセットを格納するように構成された少なくとも1つの不揮発性メモリストレージ回路と、

マシンラーニング回路を含み、書き込みメモリアクセスに基づいて、前記データセットの元のバージョンを前記変換されたデータセットに変換し、読み取りメモリアクセスに基づいて、前記変換されたデータセットを前記データセットとは異なる前記データセットの近似値を含む復元されたデータセットに変換するように構成された変換回路と、を備え、

前記少なくとも1つの不揮発性メモリストレージ回路は、前記データセットの前記元のバージョンを前記変換されたデータセットに変換するために使用される前記マシンラーニング回路の永続的状態(persistent state)を格納するように構成され、

前記マシンラーニング回路の永続的状態は、前記変換されたデータセットを前記復元されたデータセットに変換するための構成を含み、

前記マシンラーニング回路は、第1のマシンラーニング回路を含み、

前記変換回路は、第2のマシンラーニング回路を含み、

前記変換回路は、少なくとも部分的に、ホストによって特定されたフィデリティ(fidelity)のサイズ及び前記マシンラーニング回路によって提供された前記フィデリ

ティのサイズに基づいて、前記第1又は第2のマシンラーニング回路の中の1つを選択して、前記データセットを変換するように構成されたことを特徴とする装置。

【請求項2】

前記ホストによって特定された前記フィデリティは、ストレージパラメータのセットに対して固定された値であり、前記ストレージパラメータのセットは名前空間識別子 (name space identifier)、ホスト識別子 (host identifier)、論理ブロックアドレス範囲 (logical block address range)、不揮発性メモリセット識別子 (non-volatile memory set identifier)、NVMサブミッションキュー識別子 (non-volatile memory express submission queue identifier)、ストリーム識別子 (stream identifier)、イーサネット (登録商標) メディアアクセス制御識別子 (Ethernet (登録商標) media access control identifier)、ネットワークアドレス (network addresses)、トランスポートパラメータ (transport parameter)、日付、又は時刻のうちの一つ以上を含むことを特徴とする請求項1に記載の装置。

10

【請求項3】

前記特定されたフィデリティは、少なくとも部分的に、前記メモリアクセス要請に関連付けられたデータタイプ及び前記メモリアクセス要請に関連付けられたソフトウェアアプリケーションをベースに、調整されることを特徴とする請求項1に記載の装置。

20

【請求項4】

前記変換されたデータセットは、前記データセットの前記元のバージョンと同じか、又は前記元のバージョンよりも小さいサイズを有し、

前記復元されたデータセットは、前記データセットの前記元のバージョンと異なることを特徴とする請求項1に記載の装置。

【請求項5】

前記変換回路は、前記データセットを重複排除 (deduplicate) するように構成され、

前記データセットの重複排除は、ブロックレベルで遂行されることを特徴とする請求項1に記載の装置。

30

【請求項6】

前記読み取りメモリアクセスに基づいて、前記ホストインターフェース回路は、前記変換されたデータセットを返還するように構成され、

前記変換されたデータセットは、前記データセットの前記元のバージョンと同じサイズか、又はより小さいサイズを有し、前記変換されたデータセットは、前記データセットの前記元のバージョンの近似値であることを特徴とする請求項1に記載の装置。

【請求項7】

前記少なくとも一つの不揮発性メモリストレージ回路は、

前記変換されたデータセットに対する前記メモリアクセス要請に含まれるアドレッシング値に関連付けられた第1のフィールドと、

前記変換されたデータセットを生成するために使用される前記マシンラーニング回路を示す第2のフィールドと、を含むことを特徴とする請求項1に記載の装置。

40

【請求項8】

前記変換回路は、

前記データセットの前記元のバージョンと同じ前記変換されたデータセットのバージョンを生成し、前記データセットの前記元のバージョンと同じ復元されたデータセットを生成するように構成されたフラッシュ変換レイヤ回路を含み、

前記変換回路は、フィデリティ要求に基づいて、前記変換されたデータセットを処理するために、前記マシンラーニング回路を使用するように構成されたことを特徴とする請求項1に記載の装置。

50

【請求項 9】

前記マシンラーニング回路は、ニューラルネットワークを含み、

前記変換回路は、少なくとも部分的に、フィデリティ要求に基づいて、前記ニューラルネットワークのレイヤの数を調整するように構成されたことを特徴とする請求項 1 に記載の装置。

【請求項 10】

前記マシンラーニング回路は第 1 のマシンラーニング回路を含み、前記変換回路は第 2 のマシンラーニング回路を含み、

前記変換回路は、

観測された復元デルタ (observed reconstruction delta) を使用して、前記第 1 のマシンラーニング回路をトレーニングし、

前記観測された復元デルタ (差分量) を使用して、前記第 1 のマシンラーニング回路の使用に基づいて、フィデリティを判定するように構成され、

前記フィデリティに基づいて、前記第 1 のマシンラーニング回路を選択するように構成されたことを特徴とする請求項 1 に記載の装置。

【請求項 11】

前記マシンラーニング回路は、エンコーダニューラルネットワーク及び 2 つ以上のデコーダニューラルネットワークを含むことを特徴とする請求項 1 に記載の装置。

【請求項 12】

前記変換回路は、少なくとも部分的に、フィデリティターゲットに基づいて、前記データセットの前記元のバージョンを前記変換されたデータセットに損失 (lossy) 変換を遂行することを決定するように構成され、

前記変換回路は、少なくとも部分的に、フィデリティターゲットに基づいて、損失のサイズを調整するように構成されたことを特徴とする請求項 1 に記載の装置。

【請求項 13】

システムであって、

ストレージ装置に書き込みメモリアクセス及び読み取りメモリアクセスを遂行するように構成されたホストコンピューティング装置を備え、

書き込みメモリアクセス及び読み取りメモリアクセスは、データセットに関連付けられ、前記ストレージ装置は、

変換されたデータセットを格納するように構成された少なくとも 1 つのメモリストレージ回路と、

マシンラーニング回路を含み、前記書き込みメモリアクセスに基づいて、前記データセットの元のバージョンを前記変換されたデータセットに変換し、前記読み取りメモリアクセスに基づいて、前記変換されたデータセットを前記データセットとは異なる前記データセットの近似値を含む復元されたデータセットに変換するように構成された変換回路と、を含み、

前記少なくとも 1 つのメモリストレージ回路は、前記データセットの元のバージョンを前記変換されたデータセットに変換するために使用される前記マシンラーニング回路の永続的状态を格納するように構成され、

前記マシンラーニング回路の前記永続的状态は、前記変換されたデータセットを前記復元されたデータセットに変換するための構成を含み、

前記マシンラーニング回路は第 1 のマシンラーニング回路を含み、前記変換回路は第 2 のマシンラーニング回路を含み、

前記変換回路は、少なくとも部分的に、選択されたマシンラーニング回路によって提供されたフィデリティ (fidelity) のサイズに基づいて前記データセットを変換するために、前記第 1 又は第 2 のマシンラーニング回路の中の 1 つを選択するように構成されたことを特徴とするシステム。

【請求項 14】

前記変換されたデータセットは、前記データセットの前記元のバージョンよりも小さい

10

20

30

40

50

サイズを有することを特徴とする請求項 1 3 に記載のシステム。

【請求項 1 5】

読み取りメモリアクセスに基づいて、前記ストレージ装置は、前記ホストコンピューティング装置に前記変換されたデータセットを返還するように構成され、

前記変換されたデータセットは、前記データセットの前記元のバージョンよりも小さいサイズを有し、

前記変換回路は、前記データセットの前記元のバージョンと同じ前記変換されたデータセットのバージョンを生成し、前記データセットの前記元のバージョンと同じ復元されたデータセットのバージョンを生成するように構成された直接ストレージ回路を含み、

前記変換回路は、フィデリティ要求に基づいて、前記変換されたデータセットを処理するために前記第 1 又は第 2 のマシンラーニング回路の中の 1 つを選択するように構成されたことを特徴とする請求項 1 3 に記載のシステム。

10

【請求項 1 6】

前記少なくとも 1 つのメモリストレージ回路は、

前記変換されたデータセットに前記メモリアクセスに含まれるアドレッシング値を関連付けるフィールドと、

前記変換されたデータセットを生成するために使用される前記マシンラーニング回路を示すフィールドと、を含むことを特徴とする請求項 1 3 に記載のシステム。

【請求項 1 7】

前記マシンラーニング回路は、1 つ以上のニューラルネットワークを含み、

前記変換回路は、少なくとも部分的に、フィデリティ要求に基づいて、前記ニューラルネットワーク内のレイヤの数を調整するように構成されたことを特徴とする請求項 1 3 に記載のシステム。

20

【請求項 1 8】

ホストインターフェース回路、不揮発性メモリストレージ回路、及び複数のマシンラーニング回路を含む変換回路を備えるストレージ装置において、

ホスト装置からの要請に基づいて、前記ストレージ装置にデータを格納する方法であって、

前記ストレージ装置が、元のデータセットを前記ホスト装置から受信して少なくとも 1 つのメモリ回路に格納する段階と、

前記ストレージ装置が、マシンラーニング技法を介して前記元のデータセットを変換されたデータセットに変換する段階と、

前記ストレージ装置が、前記変換されたデータセットを前記少なくとも 1 つのメモリ回路に格納する段階と、

前記ストレージ装置が、前記元のデータセットを前記変換されたデータセットに変換するために使用される前記マシンラーニング技法の永続的状态を前記少なくとも 1 つのメモリ回路に格納する段階と、を有し、

30

前記変換されたデータセットは前記元のデータセットよりも小さく、前記変換されたデータセットから生成された復元されたデータセットは、前記データセットとは異なる前記データセットの近似値を含み、

40

前記マシンラーニング技法の永続的状态は、前記変換されたデータセットから前記復元されたデータセットを生成するための構成を含み、

前記変換する段階は、少なくとも部分的に、前記ホスト装置によって特定されたフィデリティ (f i d e l i t y) のサイズ及び前記複数のマシンラーニング回路によって提供された前記フィデリティのサイズに基づいて、前記複数のマシンラーニング回路の中のいずれか 1 つを選択して、前記データセットを変換することを特徴とする方法。

【請求項 1 9】

前記ストレージ装置が、前記少なくとも 1 つのメモリ回路から前記元のデータセットを取得する要求を前記ホスト装置から受信する段階と、

前記ストレージ装置が、前記少なくとも 1 つのメモリ回路から前記変換されたデータセッ

50

トを取得する段階と、
 前記ストレージ装置が、前記少なくとも1つのメモリ回路から前記マシンラーニング技法の永続的状态を取得する段階と、
 前記ストレージ装置が、前記マシンラーニング技法を介して、前記変換されたデータセットを前記復元されたデータセットに変換する段階と、
 前記ストレージ装置が、前記ホスト装置に、前記復元されたデータセットを返還する段階と、をさらに含むことを特徴とする請求項18に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データの格納に関し、より詳細には、ニューラルネットワークベースの永続的データストレージに関する。

【背景技術】

【0002】

最新の情報処理（IT：Information Technology）産業では、非常に大量のデータが多様な装置やプロセスによって生成されている。このようなデータジェネレータのいくつかの例は、スマートマシン、自動車、ソーシャルネットワーク、及びモノのインターネット（IoT：Internet-of-Things）装置である。新しい人工知能（AI：artificial intelligence）及びマシンラーニング（ML：machine learning）技法は、収集されたデータを効率的に分析し、それを使用して、アプリケーションのより良い効用と生産性を達成するために開発されている。これらの膨大な量のデータは、ソリッドステート装置（SSD：solid-state device）、ハードディスク装置（HDD：hard disk device）、ストレージノード、及びストレージの連結で構成される、高性能及び高信頼性のストレージシステム（high performance、reliable storage system）に格納される。

【0003】

人工ニューラルネットワーク（NN：neural network）、又は接続主義システム（connectionist system）は、動物の脳（animal brain）を構成する生物学的ニューラルネットワークによって若干影響を受けたコンピューティングシステムである。ニューラルネットワークは、多数の他のマシンラーニング技法とともに動作し、複雑なデータ入力を処理するフレームワーク（framework）である。このようなシステムは、一般的に、タスク特有の規則でプログラムされることなく、例を考慮することにより、タスク（task）を遂行するように「学習（learn）」する。例えば、画像認識（image recognition）において、「猫（cat）」又は「猫ではない（no cat）」と手動でラベル付された画像例を分析し、他の画像の猫を識別するために、その結果を使用することで、猫が含まれている画像を識別するように学習する。それらは、例えば、毛皮（fur）、尾（tail）、ひげ、及び猫のような顔を有することのような、猫に対する事前知識なしにこれを行う。代わりに、このようなシステムは、それらが処理した学習内容から特徴（characteristic）を識別することを自動的に生成する。

【0004】

ニューラルネットワーク（NN）は、人工ニューロン（artificial neuron）と呼ばれる連結されたユニット又はノードの収集に基づいている。人工ニューロンは、生物学的脳のニューロンを大略的にモデリングする。生物学的脳のシナプス（synapse）のような各連結は、一つの人工ニューロンから他の人工ニューロンに信号を伝送する。信号を受信した人工ニューロンは、それを処理し、その後、それに連結された他の人工ニューロンに信号を伝送し得る。一般的なニューラルネットワークの具現において、人工ニューロン間の連結での信号は、実数（real number）であり、各人工ニューロンの出力は、その入力合計の、ある非線形関数（non-linear f

10

20

30

40

50

unction)によって演算される。人工ニューロン間の連結は、「エッジ(edge)」と呼ばれる。人工ニューロンとエッジとは、一般的に、学習が進行するにつれて調節される重みを含む。重みは、連結における信号の強度を増加又は減少させる。人工ニューロンは、合算信号がしきい値を超える場合にのみ、信号が伝送されるようにする、しきい値(threshold)を有し得る。一般的に、人工ニューロンは、レイヤを介して合算される。他のレイヤは、それらの入力に対して、他の種類の変換を行い得る。信号は、レイヤを複数回通過した後に、最初のレイヤ(入力層)から最後のレイヤ(出力層)に移動する。

【先行技術文献】

【特許文献】

【0005】

【文献】米国特許第5504884号明細書

米国特許第8965819号明細書

米国特許第9727459号明細書

米国特許出願公開第20160247080号明細書

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、上記従来技術に鑑みてなされたものであって、本発明の目的は、減少された費用及び向上された性能を有するニューラルネットワークベースの永続性データストレージを提供することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するためになされた本発明の一態様による装置は、データセットに関連付けられたメモリアクセス要請を受信するように構成されたホストインターフェース回路と、変換されたデータセットを格納するように構成されたメモリ回路と、少なくとも1つのマシンラーニング回路を含み、書き込みメモリアクセス要請に回答して、前記データセットの元のバージョンを前記変換されたデータセットに変換し、読み取りメモリアクセス要請に回答して、前記変換されたデータセットを復元されたデータセットに変換するように構成された変換回路と、を備えることを特徴とする。

【0008】

上記目的を達成するためになされた本発明の一態様によるシステムは、ストレージ装置と、前記ストレージ装置にデータセットと関連付けられたメモリアクセスを遂行するように構成されたホストコンピューティング装置と、を備え、前記ストレージ装置は、変換されたデータセットを格納するように構成されたメモリ回路と、少なくとも1つのマシンラーニング回路を含み、前記メモリアクセスに回答して、前記データセットの元のバージョンを前記変換されたデータセットに変換する動作、前記変換されたデータセットを復元されたデータセットに変換する動作、又は前記変換されたデータを返還する動作のうちいずれか1つを遂行するように構成された変換回路と、を含むことを特徴とする。

【0009】

上記目的を達成するためになされた本発明の一態様による方法は、元のデータセットを受信してメモリ回路に格納する段階と、マシンラーニングの技法を介して前記元のデータセットを前記元のデータセットよりも小さい変換されたデータセットに変換する段階と、前記元のデータセットの代わりに、前記変換されたデータセットを格納する段階と、を有することを特徴とする。

【発明の効果】

【0010】

本発明によれば、減少された費用及び向上された性能を有するニューラルネットワークベースの永続的データストレージが提供される。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 1 1 】

【図 1】本発明の一実施形態によるシステムの一例を示すブロック図である。

【図 2】本発明の一実施形態によるシステムの他の例を示すブロック図である。

【図 3】本発明の一実施形態によるシステムの更に他の例を示すブロック図である。

【図 4】本発明の他の実施形態によるシステムの一例を示すブロック図である。

【図 5】本発明の更に他の実施形態によるシステムの一例を示すブロック図である。

【図 6】本発明の技術的思想に基づいて形成された装置を含む情報処理システムの一例を示すブロック図である。

【発明を実施するための形態】

【 0 0 1 2 】

以下では、いくつかの例としての実施形態を示す図面を参照して、多様な例としての実施形態が、より詳細に説明される。しかし、本明細書の詳細な説明に記載された内容は、他の多様な形態で具現されることができ、本明細書に記載された、例としての実施形態に限定されない。代わりに、これら例としての実施形態は、詳細な説明が完全であり、当業者に、本発明の技術的思想が完全に伝達されるように提供される。図面で、階層及び領域のサイズ及び相対的なサイズは、明確さのために、誇張される。また、類似の参照番号は、多様な図面において類似の要素を指す。

【 0 0 1 3 】

要素や階層が、他の要素や階層に「連結された」と記載される場合、これは直接的に他の要素や階層と連結されるか、又は 1 つ以上の中間の要素や階層が存在する。対照的に、要素が他の要素や階層と「直接連結された」と記載される場合には、中間の要素又は階層が存在していない。類似の参照番号は、全体的に類似の要素を指す。本明細書で使用される「及び/又は (and / or)」は、関連してリストされたアイテム中のいずれか一つ又はそれ以上の組み合わせの一部及びすべてを含む。

【 0 0 1 4 】

「第 1」、「第 2」、「第 3」などの用語は、多様な要素、構成要素、領域、階層、及び/又はセクションを説明するために本明細書で使用されるが、これらの要素、構成要素、領域、階層、及び/又はセクションはこれらの用語に限定されない。これらの用語は、一つの要素、構成要素、領域、階層、又はセクションを他の一つの要素、構成要素、領域、階層、又はセクションから区別するためにだけ使用される。つまり、以下に記載されている第 1 の要素、構成要素、領域、階層、又はセクションは、本発明の思想及び技術範囲から逸脱せずに、第 2 の要素、構成要素、領域、階層、又はセクションと呼ばれ得る。

【 0 0 1 5 】

「～の下」、「～の上」などのような空間的に相対的な用語は、図面に示された他の一つの要素又は特徴と、一つの要素又は特徴との関連性を容易に説明するために本明細書で使用される。空間的に相対的な用語は、図面に示された指向性に加え、動作又は使用において装置の他の指向性 (orientation) を含むと意図される。例えば、図面で、装置が裏返される場合、他の要素又は特徴の「下」に、と説明された要素は、他の要素又は特徴の「上部」に向く。つまり、「下」の例としての用語は、上と下の方向をすべて含む。装置は別の方向 (例えば、90度回転するか、又は他の方向) に指向され、本明細書で使用される空間的に相対的な説明は、これに応じて解釈される。

【 0 0 1 6 】

本発明の詳細な説明で使用される用語は、ただ特定の実施形態に対する説明目的のためのものであり、本発明の限定を意図するものではない。単数形は、明らかに別のものを示すと定義されない限り、複数形を含む。「含む」という用語は、明記された特徴、段階、動作、要素、及び/又は構成の存在を特定するが、一つ以上の他の特徴、段階、動作、要素、構成要素、及び/又はそれらのグループの追加又は存在を排除しない。

【 0 0 1 7 】

10

20

30

40

50

例としての実施形態は、理想的な実施形態（及び中間構造）の例としての図面である断面図を参照して、詳細な説明で説明される。このように、例えば、製造技術及び／又は許容誤差のような結果としての図面の形状からの変形が予想され得る。つまり、例としての実施形態は、詳細な説明に図示された特定の形状の領域に限定されるものではなく、例えば、製造からもたらされる形状の偏差を含み得る。例えば、長方形で示された注入された領域は、一般的には、注入された領域から注入されていない領域へのバイナリ変化というよりは、円形又は曲線のフィーチャー及び／又はエッジでの注入濃度の勾配を有する。同様に、注入によって形成された埋め込み領域は、埋め込み領域と注入が生じる表面との間の領域に若干の注入をもたらす。したがって、図面に示された領域は、本質的に概略であり、その形状は装置の領域の実際の形状を説明するためのものではなく、本発明の技術範囲を限定するものではない。

10

【 0 0 1 8 】

明らかに別のものを示すと定義されない限り、本明細書で使用されるすべての用語（技術的及び科学的用語を含む）は、当業者によって共通に理解される意味を有する。また、一般的に使用される辞典に定義された用語は、関連技術及び／又は本明細書に関連して、その意味と一致する意味を有するものと解釈され、本明細書で定義されていない限り、理想的又は過度に形式的な意味として解釈されない。

【 0 0 1 9 】

以下、本発明を実施するための形態の具体例を、図面を参照しながら、詳細に説明する。

【 0 0 2 0 】

図 1 は、本発明の一実施形態によるシステムの一例を示すブロック図である。多様な実施形態で、システム 100 は、上述したように、大量のデータを格納するために使用される。図 1 に示す実施形態では、書き込みメモリアクセスが示されている。

20

【 0 0 2 1 】

図 1 に示す実施形態で、システム 100 は、ホストコンピューティング装置 102 を含む。いくつかの実施形態で、ホストコンピューティング装置 102 は、例えば、ラップトップ、デスクトップ、ワークステーション、PDA (personal digital assistant)、スマートフォン、タブレット、及び他の適切なコンピュータのような多様なコンピューティング装置又は仮想マシン若しくはそれらの仮想コンピューティング装置を含み得る。多様な実施形態で、ホストコンピューティング装置 102 は、ユーザー（図示せず）によって使用される。いくつかの実施形態で、ホストコンピューティング装置 102 は、複数の装置を含み、複数の装置のそれぞれは、ストレージ装置 104 からデータを読み書きすることができる。

30

【 0 0 2 2 】

図 1 に示す実施形態で、システム 100 は、ストレージ装置 104 を含む。多様な実施形態で、ストレージ装置 104 は、データを格納するように構成される。多様な実施形態で、図 1 には 1 つのストレージ装置のみが示されているが、システム 100 は、複数のストレージ装置 104 を含み得る。多様な実施形態で、ストレージ装置 104 は、揮発性又は不揮発性の SSD (solid-state device)、強磁性ハードディスクドライブ (HDD: ferromagnetic hard disk drive)、又は他のストレージ技術を含む。

40

【 0 0 2 3 】

一般的に、ストレージ装置は、書き込まれたデータを正確に格納するように構成される。ユーザーがデータをストレージ装置に書き込むとき、ユーザーは全く同じデータが後に抽出されることを期待する。図 1 に示す実施形態で、ストレージ装置 104 は、これを行うように構成されない可能性がある。代わりに、ストレージ装置 104 は、元のデータの表現 (representation of original data) を格納し、後で生成するように構成され得る。多様な実施形態で、この表現は、元のデータ (original data) であるか、又は元のデータと同一であり得る。また、この表現は、元のデータと同じでない可能性がある。このような実施形態で、システム 100 は、無損

50

失 (l o s s l e s s) 及び損失 (l o s s y) ストレージの中の1つ又は両方を提供するように構成される。

【 0 0 2 4 】

図1に示す実施形態において、ホストコンピューティング装置102は、書き込みメモリアクセス要請182を発行し得る。書き込みメモリアクセス要請182は、ストレージ装置104によって格納される元のデータセット192を含む。

【 0 0 2 5 】

図1に示す実施形態において、ストレージ装置104は、ホストインターフェース回路112を含み得る。このような実施形態で、ホストインターフェース回路112は、メモリアクセス要請(例えば、書き込みメモリアクセス要請182)を受信するように構成される。いくつかの実施形態で、ホストインターフェース回路112又はレイヤ(HIL: host interface layer)は、ストレージ装置104の論理的視点(logical view)を管理する。このような実施形態で、ホストコンピューティング装置102は、論理的アドレス範囲(logical address range)を使用してストレージ装置104のストレージ容量(storage capacity)の空間にアクセスする。多様な実施形態で、ホストインターフェース回路112は、ホストコンピューティング装置102によって使用される論理プロトコルと、ストレージ装置104によって使用される内部の実際の物理的プロトコル又はメカニズムとの間を変換するように構成される。多様な実施形態で、フラッシュチャネル又はインターフェース回路115は、論理アドレスから物理アドレスへの変換を遂行する。いくつかの実施形態で、ストレージ装置104は、以下で説明するように、従来の物理的なアドレス指定方式を使用しない。

【 0 0 2 6 】

図1に示す実施形態で、ストレージ装置104は、変換回路114を含む。多様な実施形態で、変換回路114は、元のデータセット192を変換されたデータセット194に変換するように構成される。多様な実施形態で、変換されたデータセット194は、元のデータセット192よりも小さい可能性がある。このような実施形態で、ストレージ装置104は、オリジナル(元のバージョン)そのものの代わりに、元のデータセット192の減少された表現を格納するように構成される。

【 0 0 2 7 】

多様な実施形態で、ニューラルネットワーク(NN)の状態(state of neural network)とともに減少された表現は、必要な場合、元のデータを再生成(recreate)又は復元(reconstruct)するために使用される。データの再生成(recreation)又は復元(reconstruction)は、元のデータのサイズ及び/又は元のデータの値という点では、元のデータと完全に一致していないか、又は一致し得る。このような実施形態で、データを格納するのに必要な空間のサイズが減少される。上述したように、多様な実施形態で、変換されたデータセット194は、無損失又は損失の減少方法(lossless or lossy reduction scheme)を使用して生成される。フィデリティ(fidelity)と呼ばれる復元精度(reconstruction accuracy)が、100%よりも小さい場合、永続的ストレージ(persistent storage)は、損失(lossy)であると呼ばれる。復元精度が100%である場合には、ストレージ装置は、無損失(lossless)である。

【 0 0 2 8 】

使用されるNAND型フラッシュのような実際の永続的ストレージ媒体のサイズは、減少された表現のサイズと、使用されるニューラルネットワークの状態を格納するのに必要なストレージ媒体のサイズである。ニューラルネットワークのために必要なストレージのサイズは、各ネットワークでのレイヤの数及びノードの数に従う。例えば、各レイヤで128個のノードを有する、2つのレイヤの全結合ニューラルネットワーク(a two layer fully-connected neural network)に対し、こ

10

20

30

40

50

のニューラルネットワークのために格納する必要があるパラメータの数は、 128×128 と、各レイヤのバイアスパラメータである。この例では、簡単にするために、バイアスパラメータを格納していないと仮定する。各パラメータが64ビットを要求すると仮定すると、この2つのレイヤのニューラルネットワークのための全体のストレージは、「 $(128 \times 128 \times 8) / 1024 = 128 \text{ KB}$ 」である。2つのネットワークがストレージ装置で使用されていると仮定すると、ネットワークの状態を格納するのに必要なNAND型フラッシュの容量は256KBである。このストレージは、ストレージ装置に格納されたすべてのユーザーデータにわたって分割される。つまり、このストレージのサイズは固定され、実際のユーザーデータとは独立している。なお、4KB毎の元のデータが格納のために8バイトに減少できると仮定すると、必要なストレージ容量の空間が512倍減少するはずである。言い換えると、提案されたストレージ装置は、「1MB (1024KB)」のNAND型フラッシュの空間を含むものと仮定する。上述したように、2つのニューラルネットワークのために必要な空間(256KB)を除いた後に、残りのサイズ($1024 \text{ KB} - 256 \text{ KB} = 768 \text{ KB}$)がユーザーデータを永続的に格納するために使用される。4KBのデータの、8Bの減少された表現を仮定すると、768KBの空間は、「 $(768 \text{ KB} / 8 \text{ B}) = 96 \text{ K}$ 」のデータセット(各4KBのデータ)を格納するために使用される。言い換えると、1MBの実際のNAND型フラッシュ媒体を有するストレージ装置は、「 $(96 \text{ K} \times 4 \text{ KB}) = 384 \text{ MB}$ 」のユーザーデータを格納できる。

10

【0029】

多様な実施形態で、変換回路114は、1つ以上のマシンラーニング(ML: machine learning)回路126を含む。これらのML回路126は、元のデータセット192のサイズを減少させ、元のデータセット192を変換されたデータセット194に変換(convert or translate)するように構成される。一実施形態で、ベイジアンネットワーク(Bayesian network)、遺伝子技法(genetic technique)、主成分分析(principal component analysis)、及び/又はサポートベクトルマシン(support vector machine)が考慮されるが、ML回路126は、ニューラルネットワーク(NN: neural network)を実装する。上述した内容は、いくつかの例としての実施形態であり、本発明はこれに限定されない。

20

【0030】

図1に示す実施形態で、変換回路114は、1つだけではなく、複数のML回路(例えば、ニューラルネットワーク126A、126N)を含み得る。多様な実施形態で、変換回路114は、エンコーディング選択回路122を介して、ML回路126の中から1つを選択して、1つ以上の因子(factor)に基づいて変換(transformation)を遂行するように構成される。このような実施形態で、複数のML回路126の使用は、変換回路114が(どのような条件が意図されるか、例えば、復元フィデリティ(reconstruction fidelity)に基づいて)、元のデータセット192を変換するために最適なML回路126を動的に選択できるようにする。エンコーディング選択回路122は、FTL(flash translation layer)124を選択して、元のデータにどのような変換も遂行せずに、100%の精度で、データをそのまま格納し得る。

30

40

【0031】

図1に示す実施形態で、フィデリティ要求(fidelity requirement)128は、元のデータセット192と、変換されたデータセット194から復元されたデータセットとの間の変換損失がどの程度なのかを示すものとして設定される。このような実施形態で、変換回路114は、データタイプ及び他の因子をベースに、意図されたフィデリティ(又はより良いフィデリティ)を生成する特定のML回路126を選択する。フィデリティ要求128は、各データの書き込み動作に対して、ホストコンピューティング装置102によって提供される。他の実施形態で、フィデリティ要求128は、名前空間識別子(namespace identifier)、ホスト識別子(host i

50

dentifier)、論理ブロックアドレス範囲(logical block address range)、NVMセット識別子(nonvolatile memory set identifier)、NVMeサブミッションキュー識別子(NVMe submission queue identifier)、ストリーム識別子(Stream Identifier)、イーサネット(登録商標)MAC識別子(Ethernet MAC Identifier)、TCP/IPアドレス及び他の伝送/ネットワークパラメータ(TCP/IP addresses and other transport/network parameter)、又はデータと時間のような汎用パラメータなどの多様なストレージパラメータに対して、ホストによって固定された値として提供されるように構成される。

10

【0032】

他の実施形態で、どのML回路126又は技法を使用するかを選択は、1つ以上の他の因子をベースに選択される。このような実施形態で、これらの因子は、データ又はファイルタイプ、ソースホスト(たとえば、ホストコンピューティング装置102)、元のデータセット192のサイズ、メモリ回路116の自由空間のサイズなどを含む。上述した内容は、単にいくつかの例としての実施形態であり、本発明はこれに限定されない。

【0033】

多様な実施形態で、これらのフィデリティ要求128は、書き込みメモリアクセス要請182に含まれる。他の実施形態で、これらのフィデリティ要求128は、ホストインターフェース回路112又は他のインターフェース回路(図示せず)を介して受信された別途のコマンドを使用して設定される。別の実施形態で、フィデリティ要求128(fidelity requirement)は、名前空間識別子(namespace identifier)、ホスト識別子(host identifier)、論理ブロックアドレス範囲(logical block address range)、NVMセット識別子(nonvolatile memory set identifier)、NVMeサブミッションキュー識別子(NVMe submission queue identifier)、ストリーム識別子(Stream identifier)、イーサネット(登録商標)MAC識別子(Ethernet MAC identifier)、TCP/IPアドレス及び他の伝送/ネットワークパラメータ(TCP/IP addresses and other transport/network parameters)、又はデータと時間のような汎用パラメータなどのような多様なストレージパラメータをベースに、ストレージ装置そのものによって決定される。

20

30

【0034】

多様な実施形態で、図1を参照して、以下で説明するように、変換回路114は、ML回路126又は技法の動作を動的に変更して出力特性(例えば、フィデリティ(fidelity))を調整するように集められる。このような実施形態で、特定のML回路126の出力特性が調整される。

【0035】

いくつかの実施形態で、変換回路114は、無損失のML回路126(lossless ML circuit)を含む。このような実施形態で、変換されたデータセット194は、元のデータセット192と同じサイズであるか又は小さい。

40

【0036】

図1に示す実施形態で、変換回路114は、元のデータセット192と同じか又は等しい変換されたデータセット194のバージョンを生成する従来の非ニューラルネットワークベースの直接変換回路124を含み得る。図1に示す実施形態で、変換回路114は、フラッシュ変換レイヤ(FTL: flash translation layer)124を含むか、又はそれを使用し得る。このような実施形態で、FTL124の回路は、論理アドレスを物理アドレスに変換し、元のデータセット192を(変換されたデータセット194として)直接にメモリ回路116に書き込む。このような実施形態で、変換回路114は、FTL124とML回路126のうちの1つ以上のオプションを使用する。

50

【 0 0 3 7 】

図 1 に示す実施形態で、ストレージ装置 1 0 4 は、メモリ回路 1 1 6 を含む。このような実施形態で、メモリ回路 1 1 6 は、変換されたデータセット 1 9 4 を格納するように構成される。このような実施形態で、変換されたデータセット 1 9 4 が生成されると、それはメモリ回路 1 1 6 に格納される。元のデータセット 1 9 2 は、全体又は部分的に除去 (d i s c a r d) される。例えば、書き込みメモリアクセス要請 1 8 2 が論理ブロックアドレス (L B A : l o g i c a l b l o c k a d d r e s s i n g) を使用している場合、元のデータセット 1 9 2 の全体が削除され、ストレージ装置 1 0 4 は、変換されたデータセット 1 9 4 からデータセット 1 9 6 を復元する能力に依存し得る。他の実施形態で、書き込みメモリアクセス要請 1 8 2 がキー値 (K V : k e y - v a l u e) のペアを使用する場合、元のデータセット 1 9 2 の値部分 (v a l u e p o r t i o n) は除去されるが、キー部分は維持される。このような実施形態で、キー部分 (一般的には値部分よりもはるかに小さい) は、変換されたデータセット 1 9 4 (現在、値部分として使用される) のインデックスとして維持される。

10

【 0 0 3 8 】

多様な実施形態で、損失の側面にも拘わらず、変換されたデータセットの使用が十分な場合がある。たとえば、センサーデータ、IoTデータ、及び画像などのアプリケーションでは、フィデリティと応答時間とがいずれも重要でない。他の例で、フィデリティは重要ではないが、応答時間が重要なアプリケーションは、例えば、システムから迅速な応答を要求する Web アプリケーションを含む。他の実施形態で、データストレージの調節機能 (t u n a b i l i t y) が要求される。例えば、フィデリティは重要であるが、応答時間が重要ではないアプリケーションとして、例えば、動物園で動物の行動を定期的に監視するアプリケーションがある。又は、他の実施形態で、フィデリティと応答時間の両方が重要である、例えば、金融分野などのようなアプリケーションがある。変換回路 1 1 4 を使用して、元のデータセット 1 9 2 を減少された表現のデータセット (例えば、変換されたデータセット 1 9 4) に変換し、データセット (例えば、変換されたデータセット 1 9 4) からデータセット (例えば、復元されたデータセット 1 9 6) を復元するようにする本発明によるストレージ装置は、ディープソリッドステート装置 (D e e p - S S D : D e e p S o l i d S t a t e D e v i c e) と呼ばれる。このコンテキストで、ディープSSDは、元のデータを、減少されたサイズの表現 (a r e d u c e d s i z e r e p r e s e n t a t i o n) に変換し、必要なときに減少されたサイズの表現から元のデータの近似値又は元のデータを復元するニューラルネットワーク又は類似の技法を使用して、1つ以上の「機能 (f u n c t i o n) 」を具現する永続的なデータストレージ装置のタイプを含み得る。「機能 (f u n c t i o n) 」は、基本的に、装置内部に維持される元のデータの減少された表現であるディープキー (D e e p - K e y) と呼ばれる入力値を必須に使用して、元のデータとある所定の程度で一致する出力を生成できる。ディープSSDは、データを「そのまま (a s - i s) 」格納することで、一般的なSSDのような機能を使用できる。上述した内容は、いくつかの例としての実施形態であり、本発明はこれに限定されない。

20

30

【 0 0 3 9 】

図 2 は、本発明の一実施形態によるシステムの他の例を示すブロック図である。多様な実施形態で、システム 1 0 0 は、上述したように大規模なデータを格納するために使用される。図 2 に示す実施形態では、読み取りメモリアクセスが説明される。

40

【 0 0 4 0 】

図 2 に示す実施形態で、システム 1 0 0 は、ホストコンピューティング装置 1 0 2 及びストレージ装置 1 0 4 を含む。このような実施形態で、ストレージ装置 1 0 4 は、ホストインターフェース回路 1 1 2、変換回路 1 1 4、及びメモリ回路 1 1 6 を含む。

【 0 0 4 1 】

図 2 に示す実施形態で、変換回路 1 1 4 は、復元されたデータセット 1 9 6 として知られた、元のデータセット (又はその複製若しくは類似物 (f a c s i m i l e o r l i

50

k e n e s s t h e r e o f)) をデコーディングするか又は再生成するように構成された1つ以上のML回路126を含む。多様な実施形態で、複数のML回路126(例えば、NN(126A、126N)及び/又はFTL124)が含まれている変換回路114は、エンコーディング(又はデコーディング)選択回路122を含む。

【0042】

図2に示す実施形態で、ホストコンピューティング装置102は、読み取りメモリアクセス要請183を発行する。読み取りメモリアクセス要請183は、元のデータセット(図1に示す)に関連付けられる。このような実施形態で、読み取りメモリアクセス要請183は、どのようなデータが要請されるかを示す論理アドレス又はキー(キー値ペアのキー)を含む。

10

【0043】

図2に示す実施形態で、ストレージ装置104は、読み取りメモリアクセス要請183を遂行するように試みるが、要請された元のデータセットが含まれていない可能性がある。代わりに、ストレージ装置104は、変換されたデータセット194を含み得る。このような実施形態で、変換回路114は、最初の段階で変換されたデータセット194を生成するために使用されたML回路126(又は関連したデコーディングML回路)を介して、変換されたデータセット194を駆動する。このような実施形態で、ML回路126は、変換されたデータセット194から復元されたデータセット196を生成し得る。このような復元されたデータセット196は、元のデータセットを再生成する際のストレージ装置104の最良の又は選択された試みであり得る。

20

【0044】

一実施形態で、変換されたデータセット194が無損失エンコーディング(又はFTL124を介した直接コピー)である場合、復元されたデータセット196のバージョンは、元のデータセットと同じである。他の実施形態で、変換されたデータセット194が損失エンコーディングを使用して構成された場合、復元されたデータセット196は、元のデータセットと同じでないか又は等しくない可能性がある。このような実施形態で、システム100は、復元されたデータセット196が部分的にしか正確(例えば、90%の精度、80%の精度など)ではないと、フィデリティ要求128を設定できる。

【0045】

このような実施形態で、復元されたデータセット196が生成されると、復元されたデータセット196は、ホストコンピューティング装置102に(読み取り応答184として)伝送される。多様な実施形態で、ホストインターフェース回路112は、この読み取り応答184を伝送するように構成される。多様な実施形態で、復元されたデータセット196が損失である場合、復元されたデータセット196は、元のデータセットよりも小さい可能性があり、これにより、読み取りメモリアクセス要請183を処理するために、より小さな帯域幅又はより小さな他のシステムリソースを使用する。他の実施形態では、復元されたデータは、元のデータのサイズと正確に一致するが、復元されたコンテンツ又は値は、正確に一致しない可能性がある。

30

【0046】

図3は、本発明の一実施形態によるシステムのさらに他の例を示すブロック図である。多様な実施形態で、システム100は、上述したように、大規模なデータを格納するために使用される。図3に示す実施形態では、読み取りメモリアクセスが説明される。

40

【0047】

図3に示す実施形態では、システム100は、ホストコンピューティング装置102及びストレージ装置104を含む。このような実施形態で、ストレージ装置104は、ホストインターフェース回路112、変換回路114、及びメモリ回路116を含む。

【0048】

図3に示す実施形態で、変換回路114は、復元されたデータセット196として知られる元のデータセット(又はその複製若しくは類似物(f a c s i m i l e o r l i k e n e s s t h e r e o f)) をデコーディングするか又は再生成するように構成され

50

た1つ以上のML回路126を含む。多様な実施形態で、複数のML回路126（例えば、NN（126A、126N））及び/又はFTL124が含まれている変換回路114は、エンコーディング（又はデコーディング）選択回路122を含む。

【0049】

図3に示す実施形態で、ホストコンピューティング装置102は、読み取りメモリアクセス要請185を発行し得る。読み取りメモリアクセス要請185は、元のデータセット（図1に示す）に関連付けられる。このような実施形態で、読み取りメモリアクセス要請185は、どのようなデータセットが要請されるかを示す論理アドレス又はキー（キー値ペアのキー）を含む。

【0050】

しかしながら、図3に示す実施形態で、読み取りメモリアクセス要請185が復元されたデータセットを返還することを予想しないか、又は要請しない可能性がある。代わりに、読み取りメモリアクセス要請185は、変換されたデータセット194そのものを要請し得る。

【0051】

このような実施形態で、ストレージ装置104は、変換回路114又は少なくともML回路126をバイパス（bypass）する経路170を含む。多様な実施形態で、経路170は、図3に示されたものの代わりに、FTL124を活用できる。上述した内容は、単に例としての実施形態であり、本発明はこれに限定されない。

【0052】

このような実施形態で、ストレージ装置104は、どのような変換されたデータセット194が要請されたかを判定でき、変換されたデータセット194をホストコンピューティング装置102に（読み取り応答186を介して）直接提供する。このような実施形態で、ストレージ装置104とホストコンピューティング装置102との間で伝送されるデータのサイズは劇的に減少される。

【0053】

一実施形態で、ホストコンピューティング装置102は、変換されたデータセット194をエンコーディングするML回路126と類似したML回路を含む。このような実施形態で、ホストコンピューティング装置102は、復元されたデータセットをローカルに（locally）（ホストコンピューティング装置102へ）生成する。このような実施形態で、ストレージ装置104及びホストコンピューティング装置102は、ML回路が同期状態を維持できるように、ML回路126の重み又は設定を変換する。

【0054】

図4は、本発明の他の実施形態によるシステムの一例を示すブロック図である。図4に示す実施形態で、システム200は、図1のストレージ装置を含む。

【0055】

図4に示す実施形態で、システム200は、上述したように、ホストインターフェース回路112を含む。このような実施形態で、ホストインターフェース回路112は、外部コンピューティング装置（図示せず）とデータを送受信するように構成される。

【0056】

図4に示す実施形態で、システム200は、上述したように、変換回路114を含む。このような実施形態で、変換回路114は、1つ以上のマシンラーニング（ML：machine learning）回路を含む。

【0057】

図4に示す実施形態で、各ML回路は、エンコーディング回路222（例えば、エンコーディング回路222A、222B、222C）を含む。エンコーディング回路222は、上述したように、元のデータセットを変換されたデータセットに変換するように構成される。

【0058】

図4に示す実施形態で、各ML回路は、デコーディング回路224（例えば、デコーデ

10

20

30

40

50

ィング回路 224A、224B、224C)を含む。デコーディング回路 224は、上述したように、変換されたデータセットを復元されたデータセットに変換するように構成される。

【0059】

多様な実施形態で、変換回路 114は、シングルエンコーディング回路 222及びマルチデコーディング回路 224を含む。このような実施形態で、変換回路 114は、どのデコーディング回路 224が最も小さな差異や、最高のフィデリティを生成するかを選択する。上述した内容は、単にいくつかの例としての実施形態であり、本発明はこれに限定されない。

【0060】

図 4 に示す実施形態で、各 ML 回路は差分又はデルタ (差異量) 回路 (difference or delta circuit) 226 (例えば、差分回路 226A、226B、226C) を含む。多様な実施形態で、変換回路 114 は、1 つの差分又はデルタ回路 226 を含むか、複数の ML 回路は、差分又はデルタ回路 226 を共有し得る。このような実施形態で、差分回路 226 は、元のデータセットを復元されたデータセットと比較するように構成される。このような実施形態で、差分回路 226 は、各 ML 回路のために提供されたフィデリティのサイズ又はレベルを計算するか又は表し得る。上述したように、変換回路 114 は、元のデータセットをエンコーディングするのにどのような ML 回路が使用されるかを決定するとき、このフィデリティのレベルを使用する。他の実施形態で、観測されたデルタ (observed delta) は、所望の復元フィデリティ (reconstruction fidelity) を達成するために、エンコーダ及び/又はデコーダで使用されるニューラルネットワークの重み及び他のパラメータをアップデートするのに使用される。データの書き込み動作の間に、観測された復元されたデルタ (observed reconstruction delta) は、入力データが正確度に対する所望のレベルに後で復元できるようにニューラルネットワークをトレーニングするために使用される。いくつかの実施形態で、ニューラルネットワークは、事前トレーニング (pre-trained) され、所望の復元フィデリティを達成するためにネットワークのレイヤの数だけが変更される。

【0061】

多様な実施形態で、システム 200 は、書き込みキャッシュ 217 を含む。書き込みキャッシュ 217 は、一時的なストレージを提供するように構成される。多様な実施形態で、一時的ストレージは ML 回路のエンコーディング/デコーディング手順の間の中間値及び/又は元のデータセットのためのものであり得る。

【0062】

多様な実施形態で、システム 200 は、上述したように、メモリ回路 216 を含む。多様な実施形態で、メモリ回路 216 は、変換されたデータセットを格納する。メモリ回路 216 は、データの復元中に使用される所望のフィデリティのレベルをさらに格納する。

【0063】

図 4 に示す実施形態で、メモリ回路 216 は、ルックアップテーブル (look-up table)、インデックスアレイ (indexed array)、又は一連のフィールド (series of fields) のようなデータ構造に組織化される。図 2 に示す実施形態で、メモリ回路 216 は、システム 200 が変換されたデータセットを検索できるようにする、インデックスフィールド 252 を含む。多様な実施形態で、インデックスフィールド 252 は、キー値 (KV: key-value) ペアのキー又は論理ブロックアドレス (LBA: logical block address) を含む。

【0064】

メモリ回路 216 は、変換されたデータセット、又は変換されたデータセットへのポインタを格納するデータフィールド 254 を含む。このような実施形態で、元のデータセットの同じインスタンスが同じ変換されたデータセットをもたらすため、システム 200 は、データの重複排除 (data deduplication) を行うことができ、こ

10

20

30

40

50

れにより、追加の空間を確保できる。

【0065】

一実施形態で、メモリ回路216は、変換されたデータセット194をデータフィールド254に格納する。データフィールド254に格納された、変換されたデータセット194は、ディープキー(Deep-Key)と称する。このような実施形態で、変換されたデータセット194、すなわち、ディープキー(Deep-Key)は、第2のメモリ回路218に別個に格納されるか、又は格納されない。第1のメモリ回路216に含まれているディープキー(Deep-Key)は、第2のメモリ回路218に永続的に(per s i s t e n t l y)格納される。

【0066】

メモリ回路216は、エンコーディングフィールド256を含む。エンコーディングフィールド256は、どのML回路がエンコーディングされるか、及び/又は変換されたデータセットをデコーディングするのに使用されるかを格納して識別する。このような実施形態で、変換回路114は、どのML回路が決定プロセス(deciding process)に使用されなければならないかを迅速に決定できる。

【0067】

図4に示す実施形態で、システム200は、第2のメモリ回路218、及びフラッシュチャンネル又はインターフェース回路215をさらに含む。多様な実施形態で、第1のメモリ回路216及び第2のメモリ回路218は、同一のメモリ回路に含まれ得るが、別個のパーティション又は領域内に含まれ得る。

【0068】

多様な実施形態で、第2のメモリ回路218は、多様なML回路の状態又は重み値(例えば、NN状態228A、228B、228C)を格納するように構成される。このような実施形態で、変換回路114は、ML回路又はML回路の構成間を迅速にかつ動的に切り替えることができる。多様な実施形態で、変換回路114は、他のML状態228又は設定をロードすることにより、ML回路間を切り替えるように構成された、装置プロセッサ又はコントローラを含み得る。

【0069】

上述したように、システム200は、以下の態様又は利点を含む。図4に示す実施形態で、システム200は、メモリ回路にデータを「そのまま(as-is)」格納する代わりに、ストレージ媒体としてニューラルネットワークを使用する。システム200は、従来のストレージ装置と比較して、ストレージ容量を大幅に増加させることができる。多様な実施形態で、特定の動作(例えば、検索(search))は、全体のデータに対する動作の代わりにニューラルネットワーク及び/又はマシンラーニング回路によって遂行され、これにより、データの動作がより速くなる。たとえば、マシンラーニング回路は、データを第1のフォーマットから第2のフォーマットに変換し得る。以後、マシンラーニング回路は、データを第1のフォーマットに変換することなしに、第2のフォーマットのデータに対する1つ以上の検索を行うことができる。

【0070】

多様な実施形態で、システム200は、格納されたデータを自動的に重複削除(duplicate)することができる。このような実施形態で、重複排除(duplicate)は、ブロックレベル又はデータチャンクの一部の粒度であり、これは、データのより多くの重複排除を可能にする。

【0071】

いくつかの実施形態では、ホストコンピューティング装置は、データを格納するためのフィデリティの程度を変更することを特定できる。もしフィデリティが100%である場合、(無損失に又は直接格納された)データは、ホストコンピューティング装置に「そのまま(as-is)」返還される。もしフィデリティが100%よりも小さい場合には、ホストコンピューティング装置に返還されるデータは、元のデータのサイズと同じか、又は同じではない、元のデータの近似値である。いくつかの実施形態では、返還されたデー

10

20

30

40

50

タは、元のデータとまったく同じサイズを有し得るが、返還されたデータ値は、元のデータ値と正確に一致しない可能性がある。

【0072】

このような実施形態で、システム200は、マシンラーニングアプリケーションを補完し得る。多様な実施形態で、マシンラーニングアプリケーションは、復元されたデータを必要とせず、代わりに、減少された特徴の表現(reduced feature representation)を使用し得る。例えば、変換されたデータセットが直接使用されてMLアプリケーションの速度を向上させることができる。

【0073】

図5は、本発明のさらに他の実施形態によるシステムの一例を示すブロック図である。多様な実施形態で、システム300は、マシンラーニング(ML:machine learning)回路やソフトウェア構成を含む。特定の実施形態で、システム300は、ニューラルネットワーク(neural network)を含む。

10

【0074】

図5に示す実施形態で、システム300は、エンコーダニューラルネットワーク302(encoder neural network)及びデコーダニューラルネットワーク304(decoder neural network)を含む。多様な実施形態で、これらのニューラルネットワーク(302、304)は、それぞれ複数のレイヤ(例えば、レイヤ312A、312B、312C、312D、及び314A、314B、314C、314D)を含む。各レイヤ(312、314)は、レイヤの入力を処理して出力を生成する多様な重み値及び多数のニューロンを含む。ニューラルネットワークの各レイヤは、異なるタイプの可能性があり、コンボリューション(convolution)、2つのレイヤの間の密な結合(dense connections between two layers)、回帰型ニューラルネットワークユニット(recurrent neural network unit)、ロングショートタームメモリユニット(long short term memory unit)、ゲート付き回帰型ユニット(gated recurrent unit)、GAN(generative adversarial network)、sigmoid、ソフトマックス(softmax)などのようなレイヤ、動作、及び他のニューラルネットワークのノードを含む。これらは、単に例としての実施形態であり、本発明はこれに限定されない。その後、ニューラルネットワークの最終的な出力レイヤ(例えば、312D、314D)に到達するまで、出力は他のレイヤの入力として使用される。

20

30

【0075】

図5に示す実施形態で、元のデータセット192は、エンコーダニューラルネットワーク302に入力されて、変換されたデータセット194を生成する。同様に、変換されたデータセット194は、デコーダニューラルネットワーク304に入力されて、復元されたデータセット196を生成する。

【0076】

このような実施形態で、システム300は、差分回路又はデルタ回路306を含む。デルタ回路306は、元のデータセット192を復元されたデータセット196と比較して、ニューラルネットワーク(302、304)が、元のデータセット192をどのくらい正確に復元するかを判定できる。多様な実施形態で、上述したように、この正確度は、フィデリティ要請と比較される。

40

【0077】

多様な実施形態で、システム300は、ニューラルネットワーク(302、304)内の多様なレイヤをスキップ(skip)又はバイパス(bypass)することで、システム300の正確度を動的に調整するように構成される。例えば、一実施形態で、フィデリティが要求されたよりも高い場合には、システム300は、レイヤ312Bをバイパスする。フィデリティが要請されたよりもまだ高い場合には、システム300は、レイヤ(312B、312C)の両方をバイパスする。同様に、デコーダニューラルネットワーク

50

304は、例えば、レイヤ314をスキップできる。逆に、達成されたフィデリティが要求されたレベルよりも低い場合には、以前にバイパスされたレイヤが演算に再び追加され、フィデリティのレベルを増加させる。

【0078】

多様な実施形態で、レイヤは、エンコーダ及びデコーダニューラルネットワーク(302、304)内に同時に追加/バイパスされる。他の実施形態で、レイヤは、独立して追加/バイパスされる。

【0079】

多様な実施形態で、システム300は、多様な設定を含むか、又は多様な設定によって制限される。例えば、システム300は、スキップ又はバイパスできるレイヤの最大の個数によって制限される。他の実施形態で、システム300は、所望のフィデリティ要求(又は演算時間などのような他の要求)を達成できる試行、又は最大の回数によって制限される。上述された内容は、本発明がいくつかの例としての実施形態に限定されない。

10

【0080】

多様な実施形態で、システム300は、データストレージの動作の一部として、このフィデリティの演算を遂行する。このような実施形態で、システム300は、所望のフィデリティ又は他のリソースの要求を達成するためにどのようなニューラルネットワーク設定が使用されるかを判定する。このような実施形態で、ニューラルネットワークに対する設定は、データをエンコーディングするのにどのようなニューラルネットワークが使用されるかとともに格納される。

20

【0081】

多様な実施形態で、システム300が設定された試行回数又は全体で所望のフィデリティを達成できない場合は、システム300は、フィデリティ要求に可能な限り近いフィデリティレベルを達成する設定を使用する。他の実施形態で、システム300が所望のフィデリティを達成できない場合、システム300は、元のデータセット192を「そのまま(as-is)」又はその元のデータの状態に(例えば、FTLを介して)格納する。他の実施形態で、システム300が所望のフィデリティを正確に達成できない場合、システム300は、所望のフィデリティのレベルよりも高いが、100%のフィデリティのレベルよりも低いフィデリティのレベルで、元のデータを格納し得る。別の実施形態で、システム300が所望のレベル(又は他の要求)を達成できない場合、システム300は、複数のML回路のうちの他の1つに切り替えて再び試行する。上述した内容は、単にいくつかの例としての実施形態であり、本発明はこれに限定されない。

30

【0082】

図6は、本発明の原理に基づいて形成された半導体装置を含む情報処理システムの一例を示すブロック図である。

【0083】

図6を参照すると、情報処理システム400は、本発明の原理に基づいて構成された1つ以上の装置を含む。他の実施形態で、情報処理システム400は、本発明の原理による1つ以上の手法を使用するか実行し得る。

【0084】

多様な実施形態で、情報処理システム400は、例えば、ラップトップ、デスクトップ、ワークステーション、サーバ、ブレードサーバ、PDA(personal digital assistant)、スマートフォン、タブレット、及び他の適切なコンピュータのようなコンピューティング装置、仮想マシン、又はそれらの仮想コンピューティング装置を含む。多様な実施形態で、情報処理システム400は、ユーザー(図示せず)によって使用される。

40

【0085】

本発明の一実施形態による情報処理システム400は、中央処理ユニット(CPU: central processing unit)、ロジック、又はプロセッサ410をさらに含む。いくつかの実施形態で、プロセッサ410は、1つ以上の機能ユニットプロッ

50

ク (F U B : f u n c t i o n a l u n i t b l o c k) 又は組み合わせ論理ブロック (C L B : c o m b i n a t i o n a l l o g i c b l o c k) 4 1 5 を含む。このような実施形態で、組み合わせ論理ブロックは、多様なブールロジック演算 (B o o l e a n l o g i c o p e r a t i o n) (例えば、NAND、NOR、NOT、XOR)、安定化ロジック装置 (s t a b i l i z i n g l o g i c d e v i c e) (例えば、フリップ・フロップ、ラッチ)、他のロジック装置、又はそれらの組み合わせを含む。このような組み合わせ論理演算は、単純な又は複雑な方法で入力信号を処理して、所望の結果を達成し得る。同期式組み合わせ論理演算の一部の例としての実施形態が説明されたが、本発明はこれに限定されず、非同期式演算又はそれらの組み合わせを含み得る。一実施形態で、組み合わせ論理演算 (回路) は、複数の C M O S (c o m p l e m e n t a r y m e t a l o x i d e s e m i c o n d u c t o r) トランジスタを含む。多様な実施形態で、これらの C M O S トランジスタは、論理演算を遂行するゲートにアレンジされる。本発明の技術範囲内で、他の技術が使用され得る。

10

【 0 0 8 6 】

本発明の一実施形態による情報処理システム 4 0 0 は、揮発性メモリ 4 2 0 (例えば、RAM (R a n d o m A c c e s s M e m o r y)) をさらに含む。本発明の一実施形態による情報処理システム 4 0 0 は、不揮発性メモリ 4 3 0 (例えば、ハードドライブ、光メモリ、NAND型フラッシュメモリ) をさらに含む。いくつかの実施形態で、揮発性メモリ 4 2 0、不揮発性メモリ 4 3 0、又はそれらの一部若しくは組み合わせの中の 1 つは、「ストレージ媒体 (s t o r a g e m e d i u m) 」と呼ばれる。多様な実施形態で、揮発性メモリ 4 2 0 及び / 又は不揮発性メモリ 4 3 0 は、半永続的又は実質的に永続的な形でデータを格納する。

20

【 0 0 8 7 】

多様な実施形態で、情報処理システム 4 0 0 は、情報処理システム 4 0 0 が通信ネットワークを介して、一部と通信するように構成された 1 つ以上のネットワークインターフェース 4 4 0 を含む。Wi-Fi (登録商標) プロトコルの例は、IEEE (I n s t i t u t e o f E l e c t r i c a l a n d E l e c t r o n i c s E n g i n e e r s) 8 0 2 . 1 1 g、IEEE 8 0 2 . 1 1 n を含むが、これに限定されない。セルラーのプロトコルの例は、IEEE 8 0 2 . 1 6 m (別名、Wireless - M A N (M e t r o p o l i t a n A r e a N e t w o r k) アドバンスド、LTE (L o n g T e r m E v o l u t i o n) (登録商標) アドバンスド、EDGE ((E n h a n c e d D a t a r a t e s f o r G l o b a l S y s t e m f o r M o b i l e C o m m u n i c a t i o n s) エボリューション (E v o l u t i o n))、H S P A + (E v o l v e d H i g h - S p e e d P a c k e t A c c e s s)) を包含できるが、これに限定されない。有線プロトコルの例は、IEEE 8 0 2 . 3 (別名、Ethernet (登録商標))、ファイバチャネル (F i b r e C h a n n e l)、電力線通信 (P o w e r L i n e c o m m u n i c a t i o n) (例えば、ホームプラグ (H o m e P l u g)、IEEE 1 9 0 1) を含み得るが、これに限定されない。上述した内容は、いくつかの例としての実施形態であり、本発明はこれに限定されない。

30

【 0 0 8 8 】

本発明の一実施形態による情報処理システム 4 0 0 は、ユーザーインターフェースユニット 4 5 0 (例えば、ディスプレイアダプタ、ハプティックインターフェース、ヒューマンインターフェース装置) をさらに含む。多様な実施形態で、このようなユーザーインターフェースユニット 4 5 0 は、ユーザーからの入力を受信したり、ユーザーに出力を提供したりする。他の種類の装置がユーザーとの相互作用 (i n t e r a c t i o n) を提供するために使用されるだけでなく、例えば、ユーザーに提供されるフィードバックは、視覚フィードバック、聴覚フィードバック、又は触覚フィードバックのような感覚フィードバックの形態であり、ユーザーからの入力は、音、音声、又は触覚入力を含む形で受信される。

40

【 0 0 8 9 】

50

多様な実施形態で、情報処理システム400は、1つ以上の他の装置又はハードウェア構成要素460（例えば、ディスプレイ、モニター、キーボード、マウス、カメラ、指紋リーダー、ビデオプロセッサなど）を含む。上述した内容は、いくつかの例としての実施形態であり、本発明はこれに限定されない。

【0090】

本発明の一実施形態による情報処理システム400は、1つ以上のシステムバス405をさらに含む。このような実施形態で、システムバス405は、プロセッサ410、揮発性メモリ420、不揮発性メモリ430、ネットワークインターフェース440、ユーザーインターフェースユニット450、及び1つ以上のハードウェア構成要素460と通信的に連結されるように構成される。プロセッサ410によって処理されたデータ、又は不揮発性メモリ430に外部から入力されたデータは、不揮発性メモリ430又は揮発性メモリ420のいずれか1つに格納される。

10

【0091】

多様な実施形態で、情報処理システム400は、1つ以上のソフトウェア構成要素470を含むか実行し得る。いくつかの実施形態で、ソフトウェア構成要素470は、オペレーティングシステム（OS：operating system）、及び/又はアプリケーションを含む。いくつかの実施形態で、OSは、1つ以上のサービスをアプリケーションに提供し、情報処理システム400のアプリケーションと、多様なハードウェア構成要素（例えば、プロセッサ410、ネットワークインターフェース440）との間の媒介として動作するか、又は管理する。このような実施形態で、情報処理システム400は、ローカルに（例えば、不揮発性メモリ430内に）設置され、プロセッサ410によって直接実行され、OSと直接相互作用するように構成された1つ以上のネイティブアプリケーションを含む。このような実施形態で、ネイティブアプリケーションは、事前にコンパイルされたマシン実行可能なコード（pre-compiled machine executable code）を含む。いくつかの実施形態で、ネイティブアプリケーションは、ソース又はオブジェクトコードをプロセッサ410によって実行される実行可能なコードに変換するように構成されたスクリプトインタプリタ（script interpreter）（例えば、csh（C shell）、AppleScript（登録商標）、AutoHotkey）又は仮想実行マシン（VM）（例えば、Java（登録商標）Virtual Machine、the Microsoft（登録商標）Common Language Runtime）を含む。

20

30

【0092】

上述した半導体装置は、多様なパッケージング技法を使用してカプセル化され得る。例えば、本発明の原理による半導体装置は、POP（package on package）技法、BGA（a ball grid array）技法、CSP（a chip scale package）技法、PLCC（a plastic leaded chip carrier）技法、PDIP（a plastic dual in-line package）技法、ダイインワッフルパック（a die in wafler pack）技法、ダイインウェハフォーム（a die in wafer form）技法、COB（a chip on board）技法、CERDIP（a ceramic dual in-line package）技法、PMQFP（a plastic metric quad flat package）技法、PQFP（a plastic quad flat package）技法、SOIC（a small outline package）技法、SSOP（a shrink small outline package）技法、TSOP（a thin small outline package）技法、TQFP（a thin quad flat package）技法、SIP（a system in package）技法、MCP（a multi-chip package）技法、WFP（a wafer-level fabricated package）技法、WSP（a wafer-level processed stack package）技法、又は本発明が属する技術分野でよく知られている他の技法

40

50

の中のいずれか1つを使用してカプセル化される。

【0093】

本発明による方法の段階は、コンピュータプログラムを実行して、入力データに対する演算及び出力を生成することにより、機能を遂行する1つ以上のプログラム可能なプロセッサによって遂行される。方法の段階は、FPGA (field programmable gate array) 又はASIC (application-specific integrated circuit) のような専用ロジック回路 (special purpose logic circuitry) として具現され得る装置によって遂行される。

【0094】

多様な実施形態で、コンピュータ読み取り可能な媒体は、コマンドを含み、コマンドが実行されるとき、装置は、方法の段階の少なくとも一部を遂行し得る。いくつかの実施形態で、コンピュータ読み取り可能な媒体は、磁気媒体、光媒体、他の媒体又はそれらの組み合わせ (例えば、CD-ROM、ハードドライブ、読み取り専用メモリ、フラッシュメモリ) に含まれる。このような実施形態で、コンピュータ読み取り可能な媒体は、有形で非一時的に具現された製品であり得る。

【0095】

以上、本発明の原理を、例としての実施形態を参照して説明したが、当業者は、本発明の思想及び技術範囲から逸脱しない範囲内で多様に変更実施することができる。したがって、上述した実施形態は限定ではなく、単純な例として提示したものである。すなわち、本発明の技術的思想は、特許請求の範囲及びその均等物の最も広い範囲の解釈によって決定されるべきで、上述の詳細な説明によって限定されない。

【符号の説明】

【0096】

- 100、200、300 システム
- 102 ホストコンピューティング装置
- 104 ストレージ装置
- 112 ホストインターフェース回路
- 114 変換回路
- 115、215 フラッシュチャネル/インターフェース回路
- 116 メモリ回路
- 122 エンコーディング選択回路
- 124 FTL (フラッシュ変換レイヤ) / 直接変換回路
- 126 マシンラーニング (ML) 回路
- 126 A、126 N ニューラルネットワーク
- 128 フィデリティ要求
- 170 経路
- 182 書き込みメモリアクセス要請
- 183、185 読み取りメモリアクセス要請
- 184、186 読み取り応答
- 192 元のデータセット
- 194 変換されたデータセット
- 196 (復元された) データセット
- 216 (第1の) メモリ回路
- 217 書き込みキャッシュ
- 218 第2のメモリ回路
- 222 (シングル) エンコーディング回路
- 222 A、222 B、222 C エンコーディング回路
- 224 (マルチ) デコーディング回路
- 224 A、224 B、224 C デコーディング回路

10

20

30

40

50

- 2 2 6、3 0 6 差分回路 (デルタ回路)
- 2 2 6 A、2 2 6 B、2 2 6 C 差分回路
- 2 2 8、2 2 8 A、2 2 8 B、2 2 8 C NN 状態
- 2 5 2 インデックスフィールド
- 2 5 4 データフィールド
- 2 5 6 エンコーディングフィールド
- 3 0 2 エンコーダニューラルネットワーク
- 3 0 4 デコーダニューラルネットワーク
- 3 1 2、3 1 2 A、3 1 2 B、3 1 2 C、3 1 2 D レイヤ
- 3 1 4、3 1 4 A、3 1 4 B、3 1 4 C、3 1 4 D レイヤ
- 4 0 0 情報処理システム
- 4 0 5 システムバス
- 4 1 0 プロセッサ (及び/又はロジック)
- 4 1 5 組み合わせ論理ブロック
- 4 2 0 揮発性メモリ
- 4 3 0 不揮発性メモリ
- 4 4 0 ネットワークインターフェース
- 4 5 0 ユーザーインターフェースユニット
- 4 6 0 ハードウェア (構成要素)
- 4 7 0 ソフトウェア (構成要素)

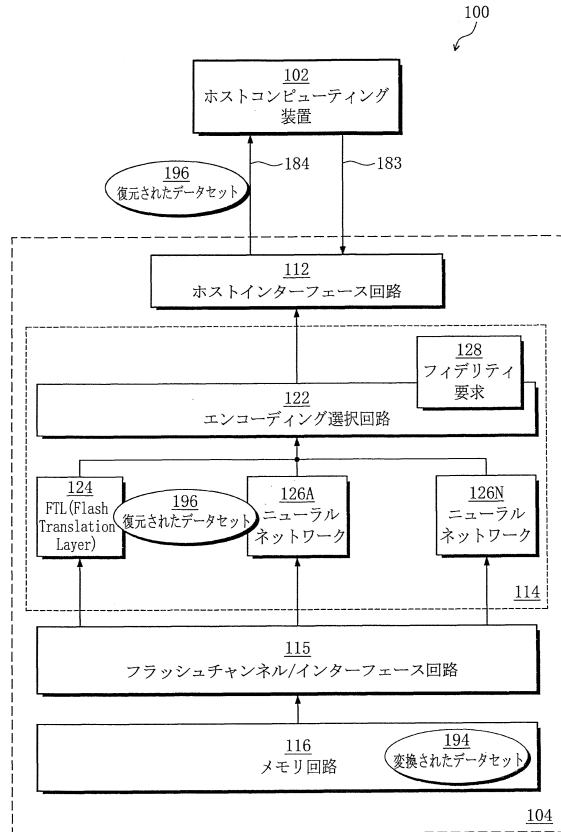
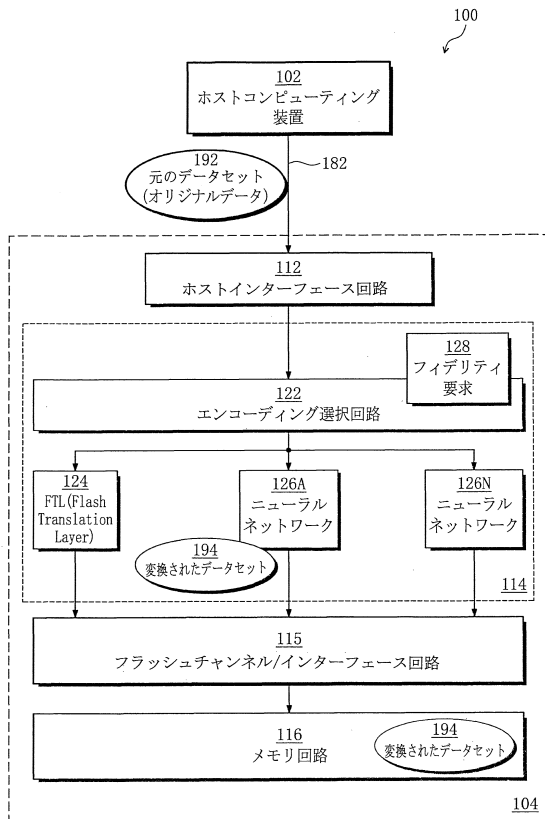
10

20

【 図 面 】

【 図 1 】

【 図 2 】

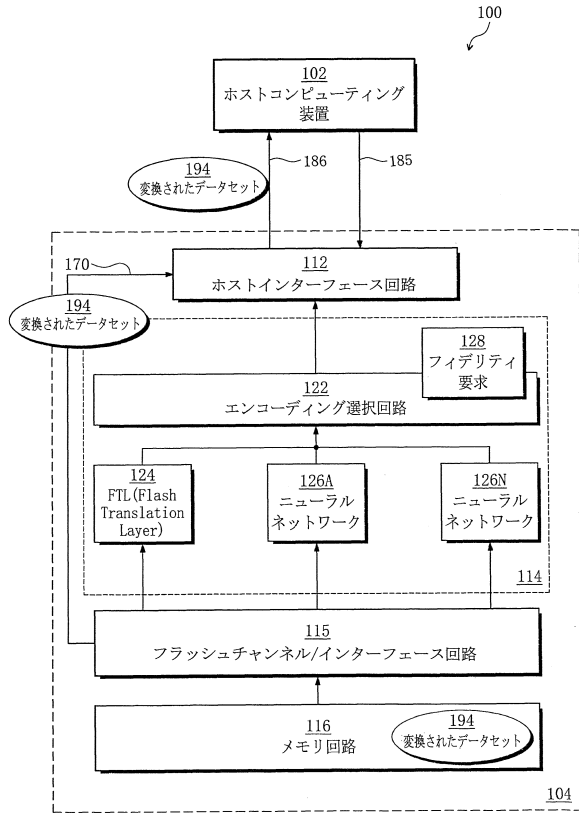


30

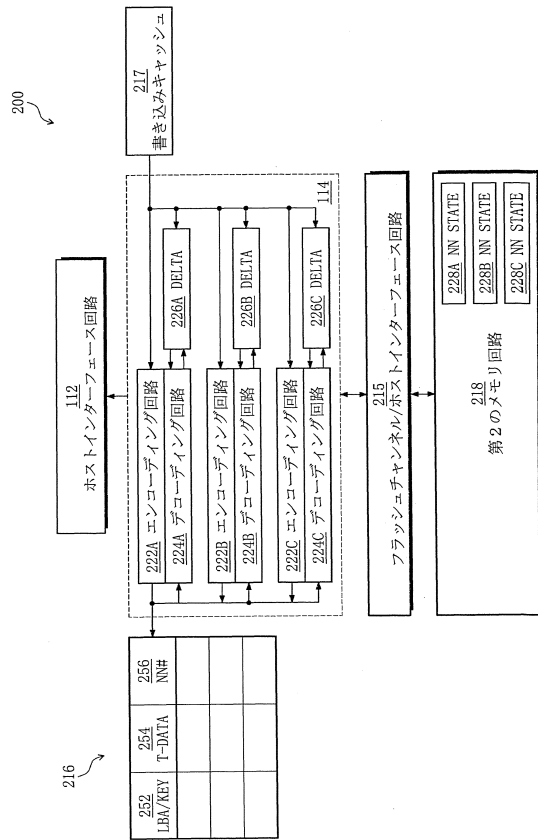
40

50

【図3】



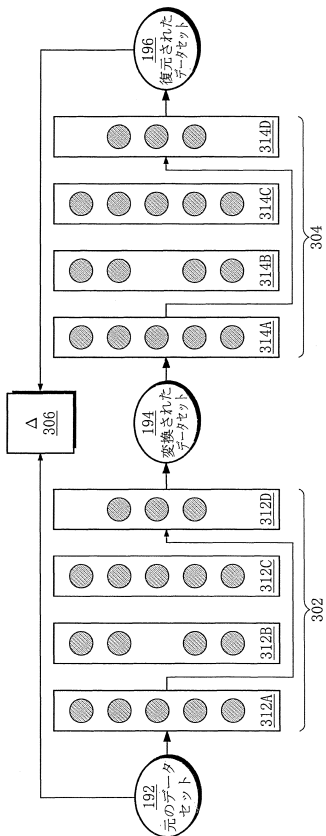
【図4】



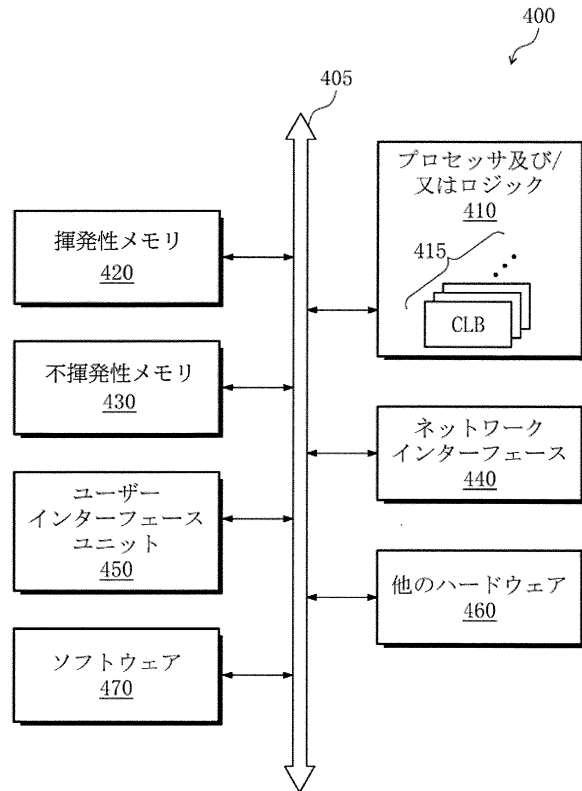
10

20

【図5】



【図6】



30

40

50

フロントページの続き

(51)国際特許分類

		F I		
G 0 6 N	20/00 (2019.01)	G 0 6 N	20/00	
G 0 6 N	3/04 (2023.01)	G 0 6 N	3/04	
G 0 6 F	16/174(2019.01)	G 0 6 F	16/17	2 0 0
		G 0 6 F	16/174	

ク コート 7 7 9 8

(72)発明者

シャルマ, マナリ

アメリカ合衆国, 9 5 0 5 0 カリフォルニア州, サンタクララ, カレン ドライブ 2 3 0 9 , ア
パート 2

審査官 齊藤 貴孝

(56)参考文献

特開 2 0 1 9 - 0 6 1 5 1 2 (J P , A)
 国際公開第 2 0 1 8 / 0 5 1 6 9 6 (W O , A 1)
 米国特許第 0 8 8 3 7 0 6 6 (U S , B 1)
 米国特許出願公開第 2 0 1 7 / 0 3 2 4 9 8 3 (U S , A 1)

(58)調査した分野 (Int.Cl., D B 名)

G 0 6 F 1 6 / 0 0 - 1 6 / 9 5 8
 G 0 6 F 3 / 0 6
 G 0 6 F 3 / 0 8
 G 0 6 F 1 3 / 1 0
 G 0 6 F 1 3 / 1 4
 G 0 6 N 3 / 0 4
 G 0 6 N 2 0 / 0 0