



(12) 发明专利

(10) 授权公告号 CN 110970552 B

(45) 授权公告日 2023. 12. 22

(21) 申请号 201910927000.9

(22) 申请日 2019.09.27

(65) 同一申请的已公布的文献号
申请公布号 CN 110970552 A

(43) 申请公布日 2020.04.07

(30) 优先权数据
62/738,095 2018.09.28 US
16/416,529 2019.05.20 US

(73) 专利权人 台湾积体电路制造股份有限公司
地址 中国台湾新竹

(72) 发明人 姜慧如 林仲德 曹敏 蔡瀚霆
许秉诚 何彦忠

(74) 专利代理机构 北京德恒律治知识产权代理
有限公司 11409

专利代理师 章社杲 李伟

(51) Int.Cl.

H10N 50/10 (2023.01)

H10N 50/80 (2023.01)

H10B 61/00 (2023.01)

(56) 对比文件

US 10032978 B1, 2018.07.24

US 2018240844 A1, 2018.08.23

US 2008094886 A1, 2008.04.24

CN 107068855 A, 2017.08.18

US 9397287 B1, 2016.07.19

审查员 汪娇

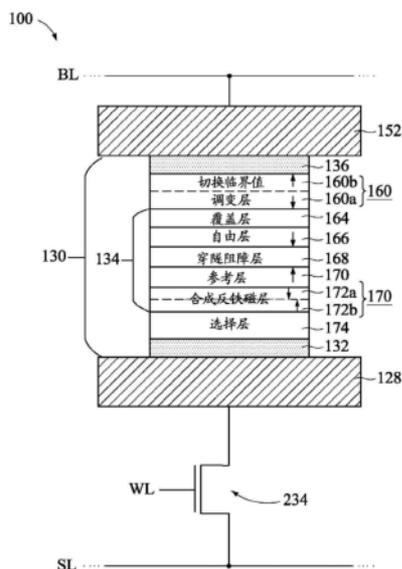
权利要求书2页 说明书9页 附图7页

(54) 发明名称

磁存储器器件和集成系统芯片

(57) 摘要

本发明涉及磁存储器器件。该磁存储器器件包括：底部电极；选择器层，设置在底部电极上方；以及MTJ堆叠件，设置在选择器层上方，并且包括参考层和自由层，自由层设置在参考层上方并且通过隧道阻挡层与参考层分隔开。磁存储器器件还包括设置在MTJ堆叠件上方的调制层以及设置在开关阈值调制层上方的顶部电极。选择器层配置为基于所施加的偏压来导通和关闭电流。本发明的实施例还涉及集成系统芯片。



1. 一种磁存储器器件,包括:
底部电极;
选择器层,设置在所述底部电极上方;
磁隧道结堆叠件,设置在所述选择器层上方,并且包括参考层和自由层,所述自由层设置在所述参考层上方;
调制层,设置在所述磁隧道结堆叠件上方;以及
顶部电极,设置在所述调制层上方;
其中,所述参考层与所述自由层彼此直接接触。
2. 根据权利要求1所述的磁存储器器件,其中,所述调制层配置为通过磁或电相互作用来调制所述磁隧道结堆叠件的开关阈值。
3. 根据权利要求1所述的磁存储器器件,其中,所述调制层配置为通过磁耦合到所述自由层来增强所述自由层的稳定性。
4. 根据权利要求1所述的磁存储器器件,其中,所述调制层包括彼此堆叠的钴层和铂层的堆叠件或者彼此堆叠的钴层和镍层的堆叠件。
5. 根据权利要求1所述的磁存储器器件,其中,所述调制层包括 $\text{Co}_{80}\text{Ir}_{20}$ 或 NiFe_2O_4 。
6. 根据权利要求1所述的磁存储器器件,其中,所述调制层直接接触所述自由层并且磁耦合到所述自由层。
7. 一种集成系统芯片,包括:
衬底;
下部金属层,设置在所述衬底上方,并且包括第一区域内的第一下部金属线和第二区域内的第二下部金属线;
上部金属层,位于所述下部金属层上面,并且包括所述第一区域内的第一上部金属线和所述第二区域内的第二上部金属线;
第一磁存储器器件,设置在所述第一下部金属线和所述第一上部金属线之间;以及
第二磁存储器器件,设置在所述第二下部金属线和所述第二上部金属线之间;
其中,所述第一磁存储器器件和所述第二磁存储器器件具有不同的横向尺寸,并且所述第一磁存储器器件包括:
第一选择器层,设置在所述第一下部金属线上方;
第一磁隧道结堆叠件,设置在所述第一选择器层上方,并且包括第一参考层和设置在所述第一参考层上方的第一自由层;和
第一调制层,设置在所述第一磁隧道结堆叠件上方,其中,所述第一参考层与所述第一自由层彼此直接接触。
8. 根据权利要求7所述的集成系统芯片,其中,所述第一磁存储器器件和所述第二磁存储器器件具有相同的垂直厚度。
9. 根据权利要求7所述的集成系统芯片,其中,所述第一调制层直接接触所述第一自由层并且磁耦合到所述第一自由层。
10. 根据权利要求7所述的集成系统芯片,
其中,所述第二磁存储器器件包括设置在第二选择器层上方的第二磁隧道结堆叠件以及设置在所述第二磁隧道结堆叠件上方的第二调制层;

其中,所述第二调制层具有与所述第一调制层不同的组分。

11. 根据权利要求10所述的集成系统芯片,其中,所述第二磁隧道结堆叠件具有与所述第一磁隧道结堆叠件相同的组分和厚度。

12. 根据权利要求7所述的集成系统芯片,

其中,所述第二磁存储器器件中不存在调制层;

其中,所述第二磁存储器器件的第二磁隧道结堆叠件的垂直厚度大于所述第一磁隧道结堆叠件的垂直厚度。

13. 根据权利要求7所述的集成系统芯片,

其中,所述第二磁存储器器件包括由第二隧道阻挡层垂直分隔开的第二参考层和第二自由层。

14. 根据权利要求7所述的集成系统芯片,还包括:

高电阻器件,设置在第三下部金属线和第三上部金属线之间;

其中,所述高电阻器件的横向尺寸小于所述第一磁存储器器件和所述第二磁存储器器件的横向尺寸。

15. 根据权利要求7所述的集成系统芯片,还包括:

中间金属层,设置在所述下部金属层和所述上部金属层之间。

16. 一种集成系统芯片,包括:

衬底;

互连结构,设置在所述衬底上方,并且包括多个金属层,每个所述金属层包括多个层级的水平金属线,其中,所述互连结构包括设置在所述衬底上方的下部金属层、设置在所述下部金属层上方的中间金属层以及位于所述中间金属层上面的上部金属层;

第一磁存储器器件,设置在所述下部金属层和所述中间金属层之间;以及

第二磁存储器器件,设置在所述中间金属层和所述上部金属层之间;

其中,所述第一磁存储器器件和所述第二磁存储器器件具有不同的垂直厚度,并且

所述第一磁存储器器件包括:

选择器层,设置在所述下部金属层上方;

磁隧道结堆叠件,设置在所述选择器层上方,并且包括参考层和设置在所述参考层上方的自由层;和

调制层,设置在所述磁隧道结堆叠件上方,其中,所述参考层与所述自由层彼此直接接触。

17. 根据权利要求16所述的集成系统芯片,其中,所述第一磁存储器器件和所述第二磁存储器器件具有不同的横向尺寸。

18. 根据权利要求16所述的集成系统芯片,其中,所述集成系统芯片还包括插入所述互连结构中的头部/页脚开关器件。

19. 根据权利要求16所述的集成系统芯片,其中,所述集成系统芯片还包括插入所述互连结构中的高电阻器件。

20. 根据权利要求16所述的集成系统芯片,其中,所述集成系统芯片还包括设置在所述衬底内的互补金属氧化物半导体逻辑电路。

磁存储器器件和集成系统芯片

技术领域

[0001] 本发明的实施例涉及磁存储器器件和集成系统芯片。

背景技术

[0002] 许多现代电子器件包含电子存储器。电子存储器包括硬盘驱动器和随机存取存储器 (RAM)。随机存取存储器可以是易失性存储器或者非易失性存储器,易失性存储器中存储的数据在断电的情况下丢失,非易失性存储器在断电的情况下存储数据。动态随机存取存储器 (DRAM) 和静态随机存取存储器 (SRAM) 是两种典型的易失性存储器。闪存被广泛用作非易失性存储器。包括磁隧道结 (MTJ) 的电阻或磁存储器器件可以用于硬盘驱动器和/或 RAM,并且由于相对简单的结构及其与互补金属氧化物半导体 (CMOS) 逻辑制造工艺的兼容性而成为下一代存储器解决方案的有前景的候选。目前,这些不同类型的存储器是在不同芯片中制备的,并且通过诸如系统级封装 (SiP) 或多芯片模块技术的高级封装方法在单个模块中实现。

发明内容

[0003] 本发明的实施例提供了一种磁存储器器件,包括:底部电极;选择器层,设置在所述底部电极上方;磁隧道结堆叠件,设置在所述选择器层上方,并且包括参考层和自由层,所述自由层设置在所述参考层上方并且通过隧道阻挡层与所述参考层分隔开;调制层,设置在所述磁隧道结堆叠件上方;以及顶部电极,设置在所述调制层上方;其中,所述选择器层配置为基于施加的偏压来导通和关闭电流。

[0004] 本发明的另一实施例提供了一种集成系统芯片,包括:衬底;下部金属层,设置在所述衬底上方,并且包括第一区域内的第一下部金属线和第二区域内的第二下部金属线;上部金属层,位于所述下部金属层上面,并且包括所述第一区域内的第一上部金属线和所述第二区域内的第二上部金属线;第一磁存储器器件,设置在所述第一下部金属线和所述第一上部金属线之间;以及第二磁存储器器件,设置在所述第二下部金属线和所述第二上部金属线之间;其中,所述第一磁存储器器件和所述第二磁存储器器件具有不同的横向尺寸。

[0005] 本发明的又一实施例提供了一种集成系统芯片,包括:衬底;互连结构,设置在所述衬底上方,并且包括多个金属层,每个所述金属层包括多个层级的水平金属线,其中,所述互连结构包括设置在所述衬底上方的下部金属层、设置在所述下部金属层上方的中间金属层以及位于所述中间金属层上面的上部金属层;第一磁存储器器件,设置在所述下部金属层和所述中间金属层之间;以及第二磁存储器器件,设置在所述中间金属层和所述上部金属层之间;其中,所述第一磁存储器器件和所述第二磁存储器器件具有不同的垂直厚度。

附图说明

[0006] 当结合附图进行阅读时,从以下详细描述可最佳理解本发明的各个方面。应该强

调,根据工业中的标准实践,各个部件未按比例绘制并且仅用于说明的目的。实际上,为了清楚的讨论,各个部件的尺寸可以任意地增大或减小。

[0007] 图1示出了根据一些实施例的包括磁隧道结 (MTJ) 堆叠件的磁存储器器件的截面图,该磁隧道结 (MTJ) 堆叠件包括调制层。

[0008] 图2A和图2B示出了根据一些实施例的图1的磁存储器器件的示意图,示出了调制层的磁效应。

[0009] 图3A示出了根据一些可选实施例的包括MTJ堆叠件的集成电路的截面图,MTJ堆叠件包括调制层。

[0010] 图3B示出了根据一些可选实施例的包括MTJ堆叠件的集成电路的截面图,该MTJ堆叠件包括调制层。

[0011] 图4示出了根据一些实施例的包括具有不同组分或尺寸的多个磁存储器器件的集成电路的截面图。

[0012] 图5示出了集成电路的截面图,该集成电路包括插入在互连结构的不同金属层之间的多个磁存储器器件。

[0013] 图6示出了根据一些实施例的包括集成系统芯片的集成电路封装件的示意图,该集成系统芯片包括磁存储器器件。

[0014] 图7示出了根据一些可选实施例的包括集成系统芯片的集成电路封装件的示意图,该集成系统芯片包括磁存储器器件。

具体实施方式

[0015] 以下公开内容提供了许多用于实现本发明的不同特征不同的实施例或实例。下面描述了组件和布置的具体实施例或实例以简化本发明。当然这些仅是实例而不旨在限制。例如,在以下描述中,在第二部件上方或者上形成第一部件可以包括第一部件和第二部件直接接触形成的实施例,并且也可以包括在第一部件和第二部件之间可以形成额外的部件,从而使得第一部件和第二部件可以不直接接触的实施例。此外,本发明可以在各个示例中重复参考数字和/或字母。该重复是为了简单和清楚的目的,并且其本身不指示所讨论的各个实施例和/或配置之间的关系。

[0016] 此外,为了便于描述,本文中可以使用诸如“在…下方”、“在…下面”、“下部”、“在…上面”、“上部”等的空间关系术语,以描述如图中所示的一个元件或部件与另一元件或部件的关系。除了图中所示的方位外,空间关系术语旨在包括器件在使用或操作工艺中的不同方位。装置可以以其它方式定位(旋转90度或在其它方位),并且在本文中使用的空间关系描述符可以同样地作相应地解释。

[0017] 在电子器件中,需要不同的存储器技术用于存储器层级的不同级别的数据存储。每种技术都针对某些性能矩阵进行了优化。例如,在计算机存储器中,SRAM可以用于核心高速缓存和共享高速缓存,并且可以被优化以获得快速;DRAM可以用于封装存储器,并且可以被优化以获得高密度;并且闪存可以用于在线存储,并且可以被优化以获得可靠的保持。这些不同的存储器通过不同的技术实现并且在分离的芯片上制造。存储器芯片也与逻辑电路芯片分离,因为存储器和逻辑电路组件的工艺通常是不兼容的。存储器芯片和逻辑电路芯片通过系统级封装 (SiP)、3-D封装或多芯片模块 (MCM) 技术在单个模块 (或封装件) 中实现。

在模块或封装件中,具有各种功能的多个芯片(尤其是存储存储器)将占用大面积并且消耗功率。由于互连和封装,会产生成本和性能损失。

[0018] 鉴于上述缺点,本发明提供了一种集成系统芯片,它利用兼容的可调节磁性模块来满足各种存储和电路需求。根据一些实施例,多个磁性模块插入集成系统芯片的后段制程(BEOL)中。多个磁性模块可以具有不同的尺寸和/或不同的组分,以针对不同的矩阵进行优化或实现不同的功能。例如,一些磁性模块可以包括设置在MTJ堆叠件的一侧上的调制层。调制层的调节方式不同,以优化MTJ堆叠件的开关速度或保持能力。一些磁性模块还可以包括设置在MTJ堆叠件的相同侧或另一侧上的选择器层。选择器层可以控制MTJ堆叠件的开/关开关。通过将选择器层调节为具有期望的开关阈值,选择器层还可以使磁性模块用作头部/页脚开关。因此,通过在集成系统芯片的BEOL的互连结构中插入和调节磁性模块,可以在BEOL中将各种存储器器件和电路器件集成在一起。由此,可以显著降低功耗。

[0019] 图1示出了包括调节磁性模块130的磁存储器器件100的截面图。根据一些实施例,调节磁性模块130包括位于磁隧道结(MTJ)堆叠件134的一侧上的调制层160。MTJ堆叠件134可以设置在底部电极132和顶部电极136之间。例如,在一些实施例中,底部电极132和顶部电极136可以包括钽(Ta)、氮化钽(TaN)或钌(Ru)。在一些实施例中,MTJ堆叠件134包括设置在底部电极132上方的参考层170和设置在参考层170上方并且通过隧道阻挡层168与参考层170分隔开的自由层166。参考层170是具有“固定”磁化方向的铁磁层。作为示例,参考层170的磁化方向可以是“向上”,即垂直于指向顶部电极136的参考层的平面,如图1中的箭头所示。在一些情况下,隧道阻挡层168可以表现为薄的介电层或非磁性金属层,将参考层170与自由层166分隔开。隧道阻挡层168可以是足够薄的隧道阻挡,以允许参考层170和自由层166之间的电流的量子力学隧穿。在一些实施例中,隧道阻挡层168可以包括非晶阻挡件,诸如氧化铝(AlO_x)或氧化钛(TiO_x),或晶体阻挡件,诸如氧化镁(MgO)或尖晶石(例如 MgAl_2O_4)。自由层166和参考层170可以包括铁、钴、镍、铁钴、镍钴、硼化钴铁、硼化铁、铁铂、铁钯等。作为示例,自由层166和参考层170可以分别包括钴铁硼(CoFeB)层。自由层166能够在两个磁化状态中的一个之间改变其磁化方向,这两个磁化状态对应于存储在磁存储器器件100中的二进制数据状态。例如,在第一状态中,自由层166可以具有“向上”磁化方向,其中自由层166的磁化与参考层170的磁化方向平行对准,从而为MTJ堆叠件134提供相对低的电阻。在第二状态中,自由层166可以具有“向下”磁化方向,该“向下”磁化方向与参考层170的磁化方向对准并且反平行,从而为MTJ堆叠件134提供相对高的电阻。在一些实施例中,自由层166可以包括磁性金属,诸如铁、镍、钴、硼及其合金,例如,诸如CoFeB铁磁自由层。

[0020] 合成反铁磁(SyAF)层172设置在参考层170下方或参考层的与自由层166相对的一侧。SyAF层172由具有约束或“固定”磁化方向的铁磁材料制成。在某些情况下,通过在制造整个芯片之后初始化暴露于高磁场,可以实现这种“固定的”磁化方向。作为示例,SyAF层172可以包括第一对钉扎层,第一对钉扎层包括第一钉扎层172a和第二钉扎层172b,第一钉扎层172a和第二钉扎层172b具有与参考层170的磁化方向对准的相反的磁化方向。使用上面给出的相同示例,第一钉扎层172a可以具有与参考层170平行的“向上”磁化方向,并且第二钉扎层172b可以具有与参考层170的磁化方向反平行的“向下”磁化方向。作为示例,第一钉扎层172a可以包括彼此堆叠的钴层和镍层(Co/Ni_m)。第一钉扎层172a也可以是钴钯堆叠件(Co/Pd_m),或钴铂堆叠件(Co/Pt_m),其中m可以是正整数。第二钉扎层172b可以包括具有相

同或不同层数的第一钉扎层172a的相同组分。例如,第二缠绕层172b可以包括彼此堆叠的镍层和钴层(Ni/Co)_n,或钯钴堆叠件(Pd/Co)_n,或铂钴堆叠件(Pt/Co)_n,其中n可以是正整数。

[0021] 在参考层170的与SyAF层172相对的另一侧上,可以在自由层166上方设置覆盖层164。覆盖层164增强自由层166的各向异性。作为示例,覆盖层164可以包括氧化镁(MgO)。

[0022] 调制层160设置在自由层166上方并且与参考层170相对。调制层160可以直接设置在自由层166上(图中未示出)或者通过覆盖层164(如图1所示)与自由层166分隔开。调制层160配置为通过磁或电相互作用来调制MTJ堆叠件134的开关阈值。在一些实施例中,调制层160可以包括调制MTJ堆叠件134的开关电流的一个或多个磁层。调制层160可以由具有约束或“固定”的磁化方向的铁磁材料制成。调制层160可以调节在MTJ堆叠件134上生成的杂散场以影响开关阈值。调制层160可以根据应用通过厚度和组分进行调节。在一个实施例中,调制层160可以包括镍钴堆叠件(其中镍层和钴层彼此堆叠)或钯钴堆叠件或铂钴堆叠件。在一些可选实施例中,调制层160可以包括第二对钉扎层,第二对钉扎层包括第三钉扎层160a和第四钉扎层160b,第三钉扎层160a和第四钉扎层160b具有相反的磁化方向,其中一个具有与参考层170的磁化方向对准并平行的磁化方向,而另一个具有与参考层170的磁化方向对准并且反平行的磁化方向。使用上面给出的相同示例,第三钉扎层160a可以具有“向下”磁化方向。第四钉扎层160b可以具有“向上”磁化方向。作为示例,第三钉扎层160a可以包括彼此堆叠的镍层和钴层(Ni/Co)_q或钯钴堆叠件(Pd/Co)_q或铂钴堆叠件(Pt/Co)_q,其中q可以是正整数。第四钉扎层160b可以包括(Co/Ni)_s、(Co/Pd)_s或钴铂堆叠件(Co/Pt)_s,其中s可以是正整数,并且q可以大于s。

[0023] 调制层160还可以配置为磁耦合到自由层166并且增强自由层166的稳定性。净杂散场通过参考层170、SyAF层172和调制层160的磁化施加在自由层166上。通过调整材料、厚度和沉积来设计参考层170、SyAF层172和调制层160,使得施加在自由层166上的净杂散场为零或者可以忽略不计。因此,磁存储器器件100的P(平行)状态和AP(反平行)状态是平衡的并且都是稳定的。通过自由层166、SyAF层172和调制层160的磁化,净杂散场也施加在参考层170上。通过调整材料、厚度和沉积来设计自由层166、SyAF层172和调制层160,使得施加在参考层170上的净杂散场为零或者与参考层170的固有磁化方向的方向相同。因此,可以消除或至少减少背缝问题。

[0024] 在一些另外的可选实施例中,调制层160可以包括与自由层166松散耦合的一个或多个自由开关磁性层。图2A和图2B示出了根据一些实施例的图1的磁存储器器件100的示意图,示出了调制层160的磁效应。MTJ堆叠件在图2A中处于较低电阻P状态,而在图2B中处于较高电阻AP状态。调制层160通过提供初始角度来减少孵育时间并且通过磁耦合到自由层166和参考层170来增强稳定性。调制层160被设计成没有如箭头202和204所示的清晰易轴,并且磁耦合到自由层166,如虚线箭头206所示。因此,调制层160的磁化方向可以与自由层166的易轴(在该示例中垂直)保持不对准,引起自由层166中的非零初始角度,如箭头206和208所示。因此,孵育时间减少,并且开关的脉冲宽度也减小。而且,自由层166和调制层160之间的磁耦合增强了自由层166的稳定性。例如,调制层160可以包括Co₈₀Ir₂₀或NiFe₂O₄。

[0025] 返回参照图1,在一些另外的可选实施例中,调制层160可以包括一个或多个金属或介电层,以调节磁存储器器件100的总电阻并且控制MTJ堆叠件134上的电压或电流。

[0026] 另外,选择器层174可以设置在底部电极132和SyAF层172之间。选择器层174配置为基于所施加的偏压来导通和断开电流。在一些实施例中,选择器层174包括诸如镍铬(NiCr)、钴铁硼(CoFeB)、镁(Mg)和/或钽(Ta)的材料。选择器层本身可以由诸如氧化物半导体、Mo、Ag、TiN的材料和诸如Pt、Pd、Ir、Ru的重金属的多层组成。

[0027] 在可选实施方式中,MTJ堆叠件134可以垂直“翻转”,使得SyAF层172和参考层170以从上到下的所述顺序设置在自由层166和调制层160上方。

[0028] 在一些实施例中,存取晶体管234通过设置在底部电极132下方的下部金属层128耦合到MTJ堆叠件134。位线(BL)通过设置在上部金属层152下方的顶部电极136耦合到MTJ堆叠件134的一端,并且源极线(SL)通过存取晶体管234耦合到MTJ堆叠件134的相对端。因此,将合适的字线(WL)电压施加到存取晶体管234的栅电极耦合BL和SL之间的BLJ堆叠件134。因此,通过提供合适的偏置条件,MTJ堆叠件134可以在具有低电阻的第一状态和具有高电阻的第二状态之间切换以存储数据。

[0029] 图3A和图3B分别示出了根据一些实施例的设置衬底101上方的集成电路(IC)300a和300b的截面图。如图3A和图3B所示,互连结构105设置在衬底101上方。在一些实施例中,互连结构105包括由下部层间介电(ILD)层104围绕的下部金属层128和由上部ILD层146围绕的上部金属层152。下部金属层128和上部金属层152可以包括铜。下部金属层128包括彼此横向对准的多条下部金属线,诸如第一下部金属线102a和第二下部金属线102b等。下部金属层128还包括设置在下部金属线上方的多个下部金属通孔,诸如耦合到第一下部金属线102a的第一下部金属通孔112a和耦合到第二下部金属线102b的第二下部金属通孔112b。在一些实施例中,下部蚀刻停止层106和/或保护衬垫108直接沿着下部金属线102a、102b和下部ILD层104的上表面设置。下部低k介电层110设置在保护衬垫108上方,下部低k介电层110具有与下部金属通孔112a、112b的顶面对准的上表面。下部蚀刻停止层106可以包括碳化硅、氮化硅或它们的组合。保护衬垫108可以包括介电材料,诸如TEOS(正硅酸乙酯)。上部金属层152位于下部金属层128和下部ILD层104上面。上部金属层152可以包括彼此横向对准的多条上部金属线,诸如第一上部金属线150a和第二上部金属线150b。多个上部金属通孔分别耦合到多条上部金属线,包括耦合到第一上部金属线150a的第一上部金属通孔148a和耦合到第二下部金属线150b的第二上部金属通孔148b。在一些实施例中,上部蚀刻停止层142和/或保护衬垫144围绕上部金属通孔148a、148b的下部设置。调节磁性模块130设置在第一下部金属通孔112a和第一上部金属通孔148a之间。在一些实施例中,调节磁性模块130可以具有与图1中所示的调节磁性模块130类似或相同的结构。如已经参考图1所示,调节磁性模块130根据特定应用由使用调制层160和/或选择器层174的可调节磁性模块来设计,以调节整MTJ堆叠件134的电特性,诸如电阻、开关阈值、开关脉冲宽度等。

[0030] 在一些实施例中,参考图3A,中间金属层140设置在上部金属层152和下部金属层128之间。中间金属层140包括邻接第二上部金属通孔148b和第二下部金属通孔112b的中间金属线137,中间金属线137具有与调节磁性模块130的高度基本相等的高度。在一些可选实施例中,参见图3B,多个中间金属层140'设置在上部金属层152和下部金属层128之间。例如,第一中间金属线139和第二中间金属线143设置在第二上部金属通孔148b和第二下部金属通孔112b之间,并且通过中间金属通孔141连接。通过结合调节磁性模块130以横跨一个或多个中间金属层,存储器单元、金属层和ILD层的尺寸可以灵活地设计并且彼此不受限

制。

[0031] 图4示出了根据一些实施例的包括具有不同组分或尺寸等多个磁存储器器件(例如,124a、124b、124c)的集成电路400的截面图。类似于图3A和图3B所示,多个磁存储器器件(例如124a、124b、124c)插入一个或多个中间金属层内的上部金属层152和下部金属层128之间的互连结构105中。虽然磁存储器器件124a、124b、124c示出为插入在相同的中间金属层140内,但是应该理解,多个磁存储器器件可以布置在一个或多个不同的金属层内。布置在两个单独的金属层内的两个磁存储器器件的示例在后面的图5中示出。多个磁存储器器件调节为具有用于不同功能优化的变化的组分或尺寸。例如,第一磁存储器器件124a可以包括用于低电流和高速的第一调节磁性模块130a的阵列,具有相对小的横向尺寸和相对厚的、良好结晶的隧道阻挡层,以增加自旋转移扭矩效率。第一磁存储器器件124a可以用于核心高速缓存或用于计算机系统的共享高速缓存,计算机系统当前使用SRAM存储器。例如,第二磁存储器器件124b可以包括第二调节磁性模块130b的阵列,以替换当前DRAM存储器的功能,以用作计算机系统的封装存储器。横向尺寸大于第一磁存储器器件124a,并且相应地,与第一磁存储器器件124a相比,电流增加并且速度降低。上面公开的调制层可以用在第一磁存储器器件124a和第二磁存储器器件124b中,用于调节器件的电特性。第三磁存储器器件124c可以包括第三调节磁性模块130c的阵列,以替换当前闪存的功能并且具有增强的保持。第三磁存储器器件124c的横向直径可以大于第一磁存储器器件124a和第二磁存储器器件124b。调节第三磁存储器器件124c的MTJ堆叠件的自由层以增加总磁化,例如,通过使用具有大饱和磁化的材料和/或增加自由层的体积。第三磁存储器器件124c可以不存在开关阈值调制层。

[0032] 图5示出了集成电路500的截面图,该集成电路500包括插入在互连结构105的不同金属层之间的多个磁存储器器件(例如,126a、126b)。类似于图3A和图3B所示,多个磁存储器器件(例如126a、126b)插入在一个或多个中间金属层内的上部金属层152和下部金属层128之间的互连结构105中。磁存储器器件126a、126b示出为插入在不同的中间金属层140、154内。第一磁存储器器件126a插入在第二中间金属层154的金属线158和下部金属层128的下部金属线102a之间的第一中间金属层140内,并且通过金属通孔112a和156a电耦合。第二磁存储器器件126b插入在上部金属层152的金属线150b和第一中间金属层140的金属线137之间的第二中间金属层154内,并且通过金属通孔156b和148b电耦合。多个磁存储器器件126a、126b中的每个也可以布置为横跨多个中间金属层,如图3B所示。可以调节多个磁存储器器件126a、126b以具有用于不同功能优化的变化的组分或尺寸。除了如上参照图4所述替换SRAM、DRAM或闪存之外,还可以调节可调节磁性模块以用作其他电路组件。图5示出了调节磁性模块130d、130e的另外两个示例。与上述调节磁性模块130a-c相比,第四调节磁性模块130d可以通过具有更小的横向尺寸和/或更厚的隧道阻挡层而用作高电阻组件。而且,选择器层174可以布置成具有低且稳定的导通电流。第五调节磁性模块130e可以用作头部/页脚开关组件,并且具有小的导通电阻和小的磁阻。与上述调节磁性模块130a-c相比,第五调节磁性模块130e可以具有小尺寸并且不具有隧道阻挡层。而且,可以选择模块130e的选择器层174以具有期望的开关阈值。

[0033] 图6示出了根据一些实施例的集成电路封装件600的示意图,该集成电路封装件600包括封装在一起的处理器芯片602和集成系统芯片604。集成系统芯片604包括集成在一

个衬底中的磁存储器器件124a、124b、124c、126a和126b。CMOS逻辑器件可以集成在衬底内。磁存储器器件124a、124b、124c、126a和126b分别包括多个调节磁性模块130a、130b、130c、130d和130e。调节磁性模块130a、130b、130c、130d和130e通过调节尺寸和组分由可调节磁性模块制成。示出了与图4和图5相关联的调节磁性模块130a、130b、130c、130d和130e的示例。通过具有相对小的横向尺寸和相对厚的、结晶良好的隧道阻挡层，第一磁存储器器件124a可以包括用于低电流和高速的第一调节磁性模块130a的阵列。第一磁存储器器件124a可以用于核心高速缓存或用于计算机系统的共享高速缓存，计算机系统当前使用SRAM存储器。例如，第二磁存储器器件124b可以包括第二调节磁性模块130b的阵列，以替换当前DRAM存储器的功能，以用作计算机系统的封装存储器。第二调节磁性模块130b的横向尺寸大于第一调节磁性模块130a，并且相应地，与第一磁存储器器件124a相比，电流增加并且速度降低。调制层可以用在第一磁存储器器件124a和第二磁存储器器件124b中，用于调节器件的电特性。第三磁存储器器件124c可以包括第三调节磁性模块130c的阵列，以替换当前闪存的功能并且具有增强的保持。第三调节磁性模块130c的横向直径可以大于第一调节磁性模块130a和第二调节磁性模块130b。调节第三调节磁性模块130c的MTJ堆叠件的自由层以增加总磁化，例如，通过使用具有大饱和磁化的材料和/或增加自由层的体积。第三调节磁性模块130c可以不存在开关阈值调制层。第四磁存储器器件126a包括多个第四磁性模块130d。与上述调节磁性模块130a-c相比，第四调节磁性模块130d可以通过具有更小的横向尺寸和/或更厚的隧道阻挡层而用作高电阻组件。而且，选择器层可以布置成具有低且稳定的导通电流。第五磁存储器器件126b包括多个第五磁性模块130e。第五调节磁性模块130e可以用作头部/页脚开关组件并且具有小的导通电阻和小的磁阻。与上述调节磁性模块130a-c相比，第五调节磁性模块130e可以具有小尺寸并且不具有隧道阻挡层。而且，可以选择选择器层以具有期望的开关阈值。磁存储器器件124a、124b、124c、126a和126b可以插入互连结构的相同中间金属层内。可选地，磁存储器器件124a、124b、124c、126a和126b也可以插入互连结构的多个不同的中间金属层内。互连结构可以是集成系统芯片604的线结构的后端。

[0034] 图7示出了根据一些可选实施例的包括集成系统芯片的集成电路封装件的示意图，该集成系统芯片包括多个磁存储器器件。与图6相比，处理器702可以与一个衬底中的磁存储器器件124a、124b、124c、126a和126b集成在一个芯片704中。CMOS逻辑器件可以集成在衬底内。

[0035] 应当理解，虽然在整个本文件中参考了讨论本文所述方法的各方面的示例性结构，但这些方法不受所呈现的相应结构的限制。相反，方法(和结构)应被认为是彼此独立的并且能够独立地实施并且不考虑图中所描绘的任何特定方面而被实践。另外，本文所述的层可以以任何合适的方式形成，诸如通过旋涂、溅射、生长和/或沉积技术等。

[0036] 此外，基于对说明书和附图的阅读和/或理解，本领域技术人员可以想到等同的改变和/或修改。本文的公开内容包括这样的修改和变更，并且通常不旨在由此限制。例如，虽然本文提供的附图被示出和描述为具有特定的掺杂类型，但是应当理解，如本领域普通技术人员将理解的，可以使用可选的掺杂类型。

[0037] 在一些实施例中，本发明涉及磁存储器器件。该磁存储器器件包括：底部电极；选择器层，设置在底部电极上方；以及磁隧道结堆叠件，设置在选择器层上方，并且包括参考

层和自由层,自由层设置在参考层上方并且通过隧道阻挡层与参考层分隔开。磁存储器器件还包括设置在磁隧道结堆叠件上方的调制层以及设置在开关阈值调制层上方的顶部电极。选择器层配置为基于所施加的偏压来导通和关闭电流。

[0038] 在上述磁存储器器件中,其中,所述调制层配置为通过磁或电相互作用来调制所述磁隧道结堆叠件的开关阈值。

[0039] 在上述磁存储器器件中,其中,所述调制层配置为通过磁耦合到所述自由层来增强所述自由层的稳定性。

[0040] 在上述磁存储器器件中,其中,所述调制层包括彼此堆叠的钴层和铂层的堆叠件或者彼此堆叠的钴层和镍层的堆叠件。

[0041] 在上述磁存储器器件中,其中,所述调制层包括 $\text{Co}_{80}\text{Ir}_{20}$ 或 NiFe_2O_4 。

[0042] 在上述磁存储器器件中,其中,所述调制层直接接触所述自由层并且磁耦合到所述自由层。

[0043] 在另一个实施例中,本发明涉及集成系统芯片。集成系统芯片包括衬底和设置在衬底上方的下部金属层。下部金属层包括第一区域内的第一下部金属线和第二区域内的第二下部金属线。该集成系统芯片还包括位于下部金属层上面的上部金属层,该上部金属层包括第一区域内的第一上部金属线和第二区域内的第二上部金属线。集成系统芯片还包括设置在第一下部金属线和第一上部金属线之间的第一磁存储器器件和设置在第二下部金属线和第二上部金属线之间的第二磁存储器器件。第一磁存储器器件和第二磁存储器器件具有不同的横向尺寸。

[0044] 在上述集成系统芯片中,其中,所述第一磁存储器器件和所述第二磁存储器器件具有相同的垂直厚度。

[0045] 在上述集成系统芯片中,其中,所述第一磁存储器器件包括设置在所述第一下部金属线上方的第一选择器层、设置在所述第一选择器层上方的第一磁隧道结堆叠件以及设置在所述第一磁隧道结堆叠件上方的第一调制层。

[0046] 在上述集成系统芯片中,其中,所述第一磁存储器器件包括设置在所述第一下部金属线上方的第一选择器层、设置在所述第一选择器层上方的第一磁隧道结堆叠件以及设置在所述第一磁隧道结堆叠件上方的第一调制层,其中,所述第二磁存储器器件包括设置在第二选择器层上方的第二磁隧道结堆叠件以及设置在所述第二磁隧道结堆叠件上方的第二调制层;其中,所述第二调制层具有与所述第一调制层不同的组分。

[0047] 在上述集成系统芯片中,其中,所述第一磁存储器器件包括设置在所述第一下部金属线上方的第一选择器层、设置在所述第一选择器层上方的第一磁隧道结堆叠件以及设置在所述第一磁隧道结堆叠件上方的第一调制层,其中,所述第二磁存储器器件包括设置在第二选择器层上方的第二磁隧道结堆叠件以及设置在所述第二磁隧道结堆叠件上方的第二调制层;其中,所述第二调制层具有与所述第一调制层不同的组分,其中,所述第二磁隧道结堆叠件具有与所述第一磁隧道结堆叠件相同的组分和厚度。

[0048] 在上述集成系统芯片中,其中,所述第一磁存储器器件包括设置在所述第一下部金属线上方的第一选择器层、设置在所述第一选择器层上方的第一磁隧道结堆叠件以及设置在所述第一磁隧道结堆叠件上方的第一调制层,其中,所述第二磁存储器器件中不存在调制层;其中,所述第二磁存储器器件的第二磁隧道结堆叠件的垂直厚度大于所述第一磁

隧道结堆叠件的垂直厚度。

[0049] 在上述集成系统芯片中,其中,所述第一磁存储器器件包括由第一隧道阻挡层垂直分隔开的第一参考层和第一自由层;其中,所述第二磁存储器器件包括彼此直接接触的第二参考层和第二自由层。

[0050] 在上述集成系统芯片中,还包括:高电阻器件,设置在第三下部金属线和第三上部金属线之间;其中,所述高电阻器件的横向尺寸小于所述第一磁存储器器件和所述第二磁存储器器件的横向尺寸。

[0051] 在上述集成系统芯片中,还包括:中间金属层,设置在所述下部金属层和所述上部金属层之间。

[0052] 在又一个实施例中,本发明涉及集成系统芯片。集成系统芯片包括衬底和设置在衬底上方的互连结构。互连结构包括多个金属层,每个金属层包括多个层级的水平金属线。互连结构包括设置在衬底上方的下部金属层、设置在下部金属层上方的中间金属层以及位于中间金属层上的上部金属层。集成系统芯片还包括设置在下部金属层和中间金属层之间的第一磁存储器器件和设置在中间金属层和上部金属层之间的第二磁存储器器件。第一磁存储器器件和第二磁存储器器件具有不同的垂直厚度。

[0053] 在上述集成系统芯片中,其中,所述第一磁存储器器件和所述第二磁存储器器件具有不同的横向尺寸。

[0054] 在上述集成系统芯片中,其中,所述集成系统芯片还包括插入所述互连结构中的头部/页脚开关器件。

[0055] 在上述集成系统芯片中,其中,所述集成系统芯片还包括插入所述互连结构中的高电阻器件。

[0056] 在上述集成系统芯片中,其中,所述集成系统芯片还包括设置在所述衬底内的互补金属氧化物半导体逻辑电路。

[0057] 上面概述了若干实施例的特征,使得本领域人员可以更好地理解本发明的方面。本领域人员应该理解,它们可以容易地使用本发明作为基础来设计或修改用于实施与本文所介绍实施例相同的和/或实现相同优势的其它工艺和结构。本领域技术人员也应该意识到,这种等同构造并且不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,本文中它们可以做出多种变化、替换以及改变。

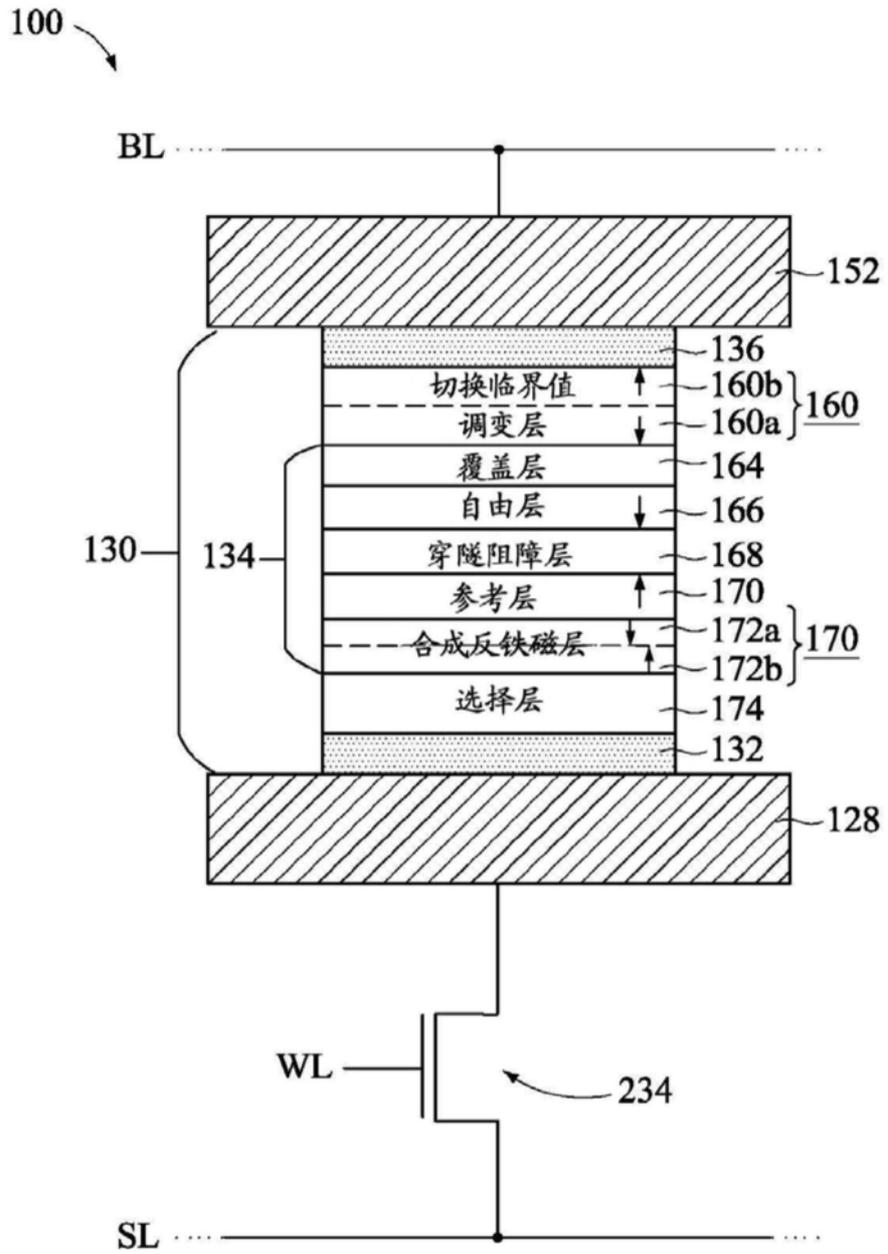


图1

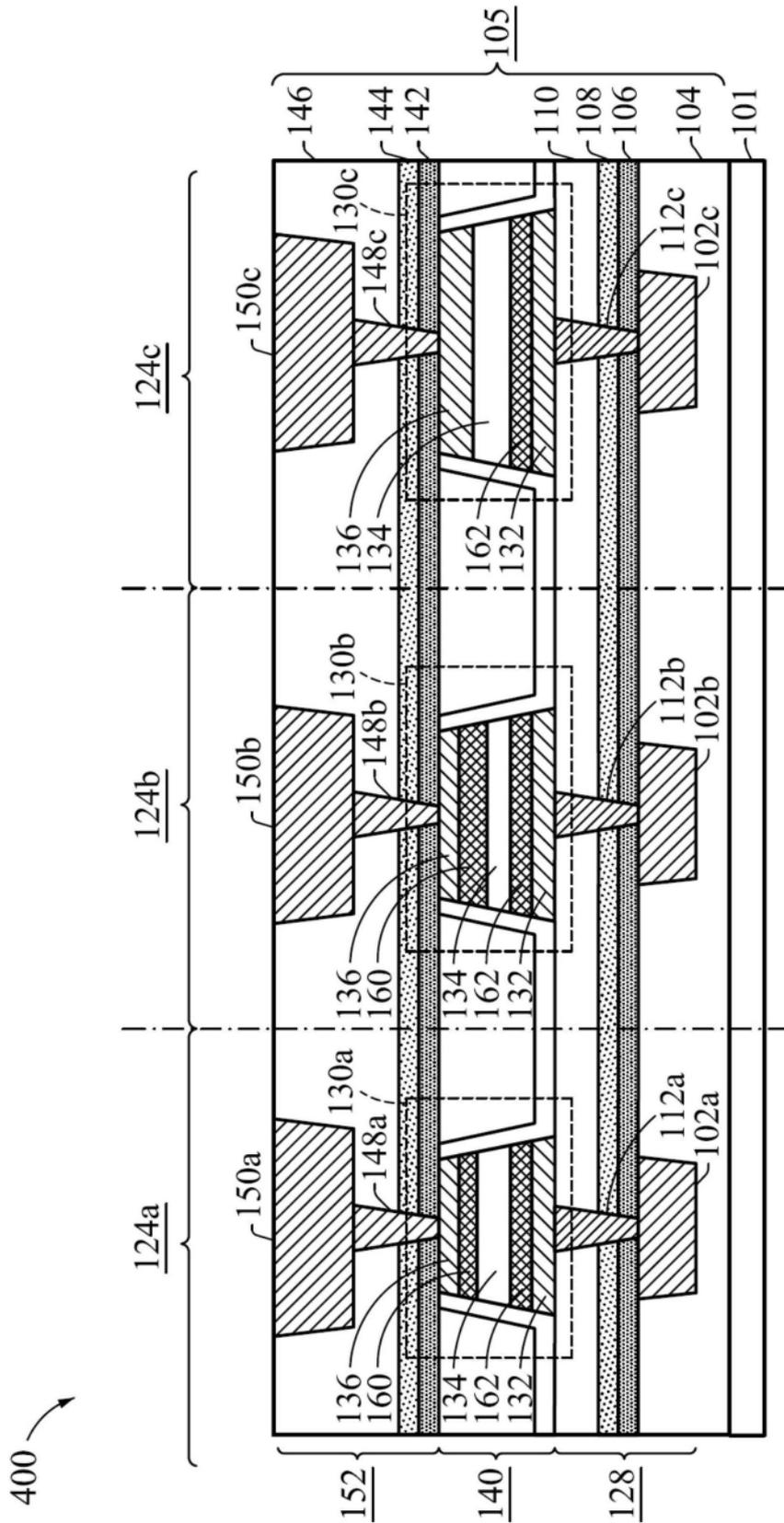


图4

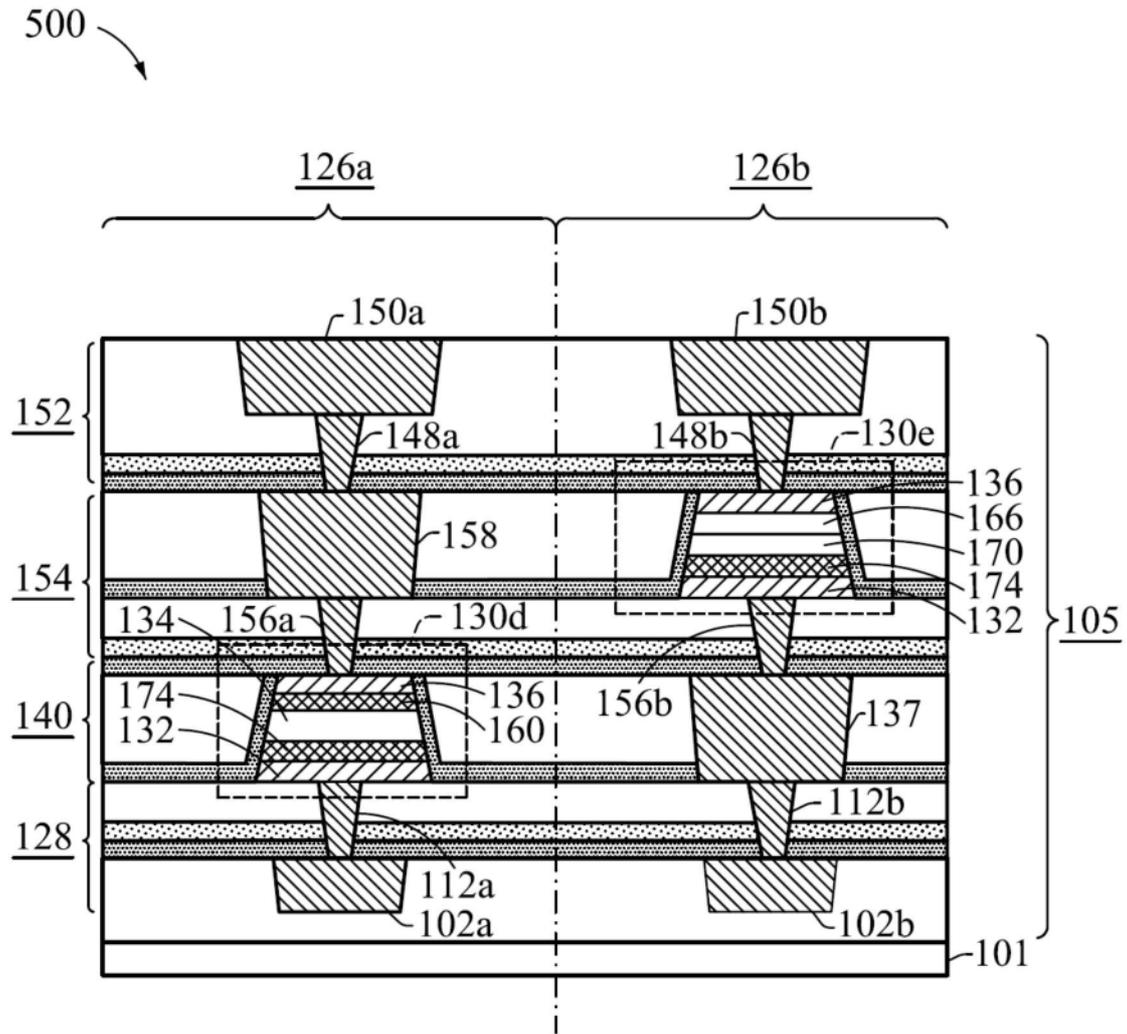


图5

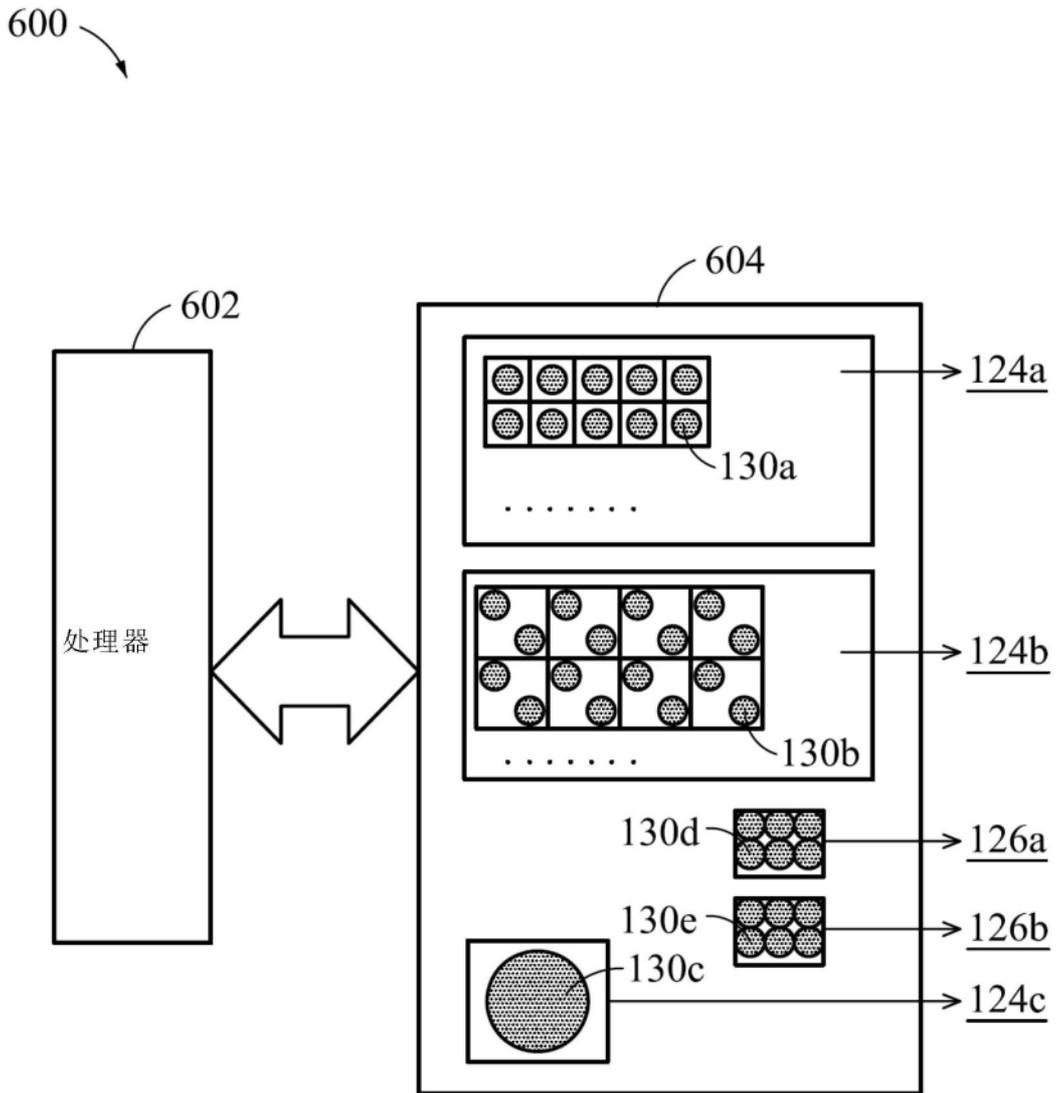


图6

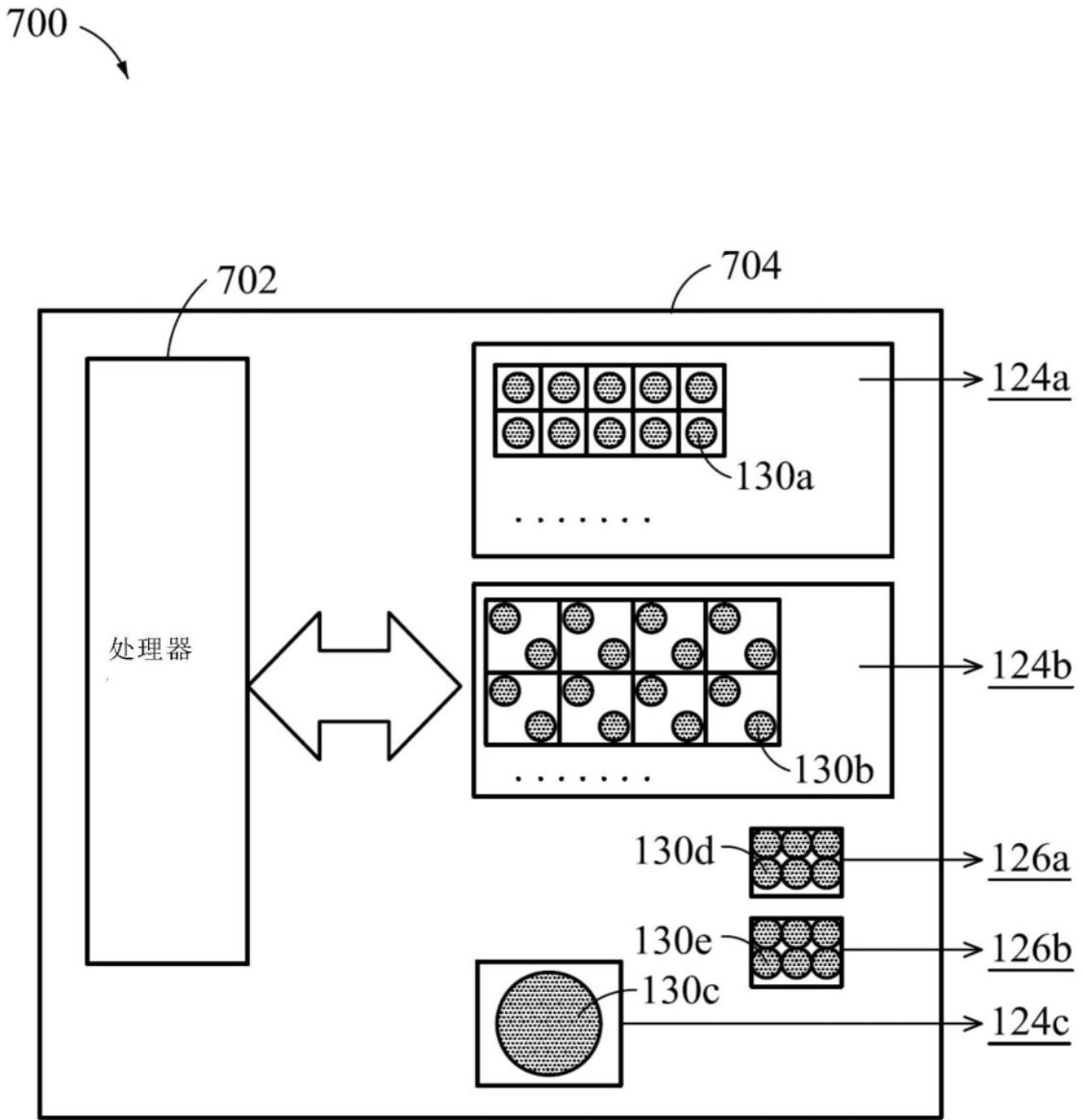


图7