



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0035149
(43) 공개일자 2009년04월09일

(51) Int. Cl.

H03K 5/22 (2006.01)

(21) 출원번호 10-2007-0100259

(22) 출원일자 2007년10월05일

심사청구일자 2007년10월05일

(71) 출원인

경희대학교 산학협력단

경기도 용인시 기흥구 서천동 1 경희대학교 국제 캠퍼스내

(72) 발명자

홍상훈

경기 성남시 분당구 정자동 두산위브파빌리온 A-1301

한창훈

강원 원주시 명륜2동 동보 노빌리티 APT 204동 1402호

(74) 대리인

특허법인다인

전체 청구항 수 : 총 8 항

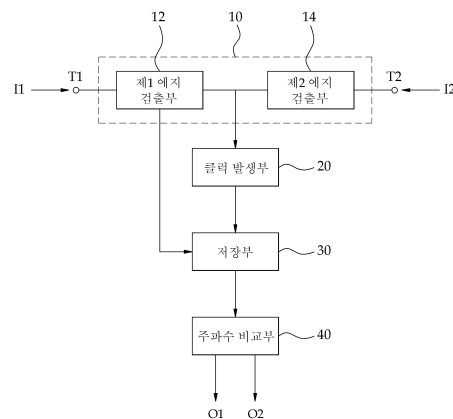
(54) 시리얼 통신에서 수신되는 신호의 주파수를 판단하는 장치

(57) 요약

본 발명은 입력되는 제1 펄스 신호와 제2 펄스 신호의 주파수를 비교하는 모듈에 관한 것으로, 보다 구체적으로 입력되는 제1 펄스 신호와 제2 펄스 신호의 주파수를 비교하여 비교 결과를 로우/하이의 로직 값으로 출력하는 주파수 비교 모듈에 관한 것이다.

본 발명에 따른 주파수 비교 모듈은 입력되는 제1 펄스 입력과 제2 펄스 입력의 주파수를 비교하여 그 비교 결과를 로우/하이의 로직 값으로 출력함으로써, 사용자는 제1 펄스 입력과 제2 펄스 입력의 주파수를 쉽게 비교할 수 있으며 로직 값을 사용하는 다른 로직 회로와 본 발명에 따른 주파수 비교 모듈을 쉽게 연계하여 사용할 수 있다. 또한, 본 발명에 따른 주파수 판단 장치는 다수의 주파수 비교 모듈을 이용하여 슬레이브 디바이스로부터 수신되는 데이터의 수신 주파수를 판단함으로써, 마스터 슬레이브로 하여금 다양한 슬레이브 디바이스로부터 수신되는 데이터를 효율적으로 처리할 수 있도록 한다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 입력 신호에서 상승 에지를 검출하며 상승 에지의 검출 여부에 따라 로우/하이의 로직 값을 출력하는 제1 에지 검출부와 제2 입력 신호에서 상승 에지를 검출하며 상승 에지의 검출 여부에 따라 로우/하이의 로직 값을 출력하는 제2 에지 검출부를 구비하는 에지 검출부;

상기 제1 에지 검출부 또는 제2 에지 검출부로부터 하이의 로직 값을 입력받을 때마다 클럭 신호를 발생하는 클럭 발생부;

상기 클럭 신호에 동기되어 상기 제1 에지 검출부로부터 출력되는 로직 값을 순차적으로 저장하는 저장부; 및

상기 클럭 신호에 동기되어 상기 저장부에서 출력되는 로직 값에 따라 상기 제1 입력 신호와 제2 입력 신호의 주파수 크기를 비교하는 주파수 비교부를 포함하는 것을 특징으로 하는 주파수 비교 모듈.

청구항 2

제 1 항에 있어서, 상기 제1 에지 검출부와 제2 에지 검출부는

각각 상기 제1 입력 신호와 제2 입력 신호에서 상승 에지를 검출하는 경우 하이의 로직 값을 출력하며 상승 에지를 검출하지 못하는 경우 로우의 로직 값을 출력하는 것을 특징으로 하는 주파수 비교 모듈.

청구항 3

제 2 항에 있어서, 상기 저장부는

상기 클럭 신호에 제어되어 상기 제1 에지 검출부로부터 출력되는 제1 로직값을 상기 주파수 비교부로 출력하는 제1 저장부;

상기 클럭 신호에 제어되어 상기 제1 에지 검출부로부터 출력되는 제2 로직 값을 상기 주파수 비교부로 출력하는 제2 저장부;

상기 클럭 신호에 제어되어 상기 제1 에지 검출부로부터 출력되는 제3 로직 값을 상기 주파수 비교부로 출력하는 제3 저장부; 및

상기 클럭 신호에 제어되어 상기 제1 에지 검출부로부터 출력되는 제4 로직 값을 상기 주파수 비교부로 출력하는 제4 저장부를 포함하는 것을 특징으로 주파수 비교 모듈.

청구항 4

제 3 항에 있어서, 상기 제1 내지 제4 저장부는

래치 또는 플리플롭인 것을 특징으로 하는 주파수 비교 모듈.

청구항 5

제 4 항에 있어서, 상기 주파수 비교부는

상기 제1 저장부, 제2 저장부, 제3 저장부 및 제4 저장부로부터 출력되는 제1 내지 제4 로직 값에 따라 상기 제1 입력 신호의 주파수 크기가 상기 제2 입력 신호의 주파수 크기보다 큰 경우 1의 값을 출력하며 상기 제1 입력 신호의 주파수 크기와 상기 제2 입력 신호의 주파수 크기가 같은 경우 0의 값을 출력하는 제1 주파수 비교부; 및

상기 제1 저장부, 제2 저장부, 제3 저장부 및 제4 저장부로부터 출력되는 제1 내지 제4 로직 값에 따라 상기 제2 입력 신호의 주파수 크기가 상기 제1 입력 신호의 주파수 크기보다 큰 경우 1의 값을 출력하고 상기 제2 입력 신호의 주파수 크기와 상기 제2 입력 신호의 주파수 크기가 같은 경우 0의 값을 출력하는 제2 주파수 비교부를 포함하는 것을 특징으로 하는 주파수 비교 모듈.

청구항 6

제 5 항에 있어서, 상기 제1 주파수 비교부는

상기 제1 저장부와 제2 저장부로부터 출력되는 로직 값을 입력받는 제1 NAND 소자;

상기 제2 저장부와 제3 저장부로부터 출력되는 로직 값을 입력받는 제2 NAND 소자;

상기 제1 저장부, 제3 저장부 및 제4 저장부로부터 출력되는 로직 값을 입력받는 제3 NAND 소자; 및

상기 제1 NAND 소자 내지 제3 NAND 소자로부터 출력되는 로직 값을 입력받는 제4 NAND 소자를 포함하는 것을 특징으로 하는 주파수 비교 모듈.

청구항 7

제 6 항에 있어서, 상기 제2 주파수 비교부는

상기 제1 저장부와 제2 저장부로부터 출력되는 로직 값을 반전시켜 입력받는 제5 NAND 소자;

상기 제2 저장부와 제3 저장부로부터 출력되는 로직 값을 반전시켜 입력받는 제6 NAND 소자;

상기 제1 저장부, 제3 저장부 및 제4 저장부로부터 출력되는 로직 값을 반전시켜 입력받는 제7 NAND 소자; 및

상기 제5 NAND 소자 내지 제7 NAND 소자로부터 출력되는 로직 값을 입력받는 제8 NAND 소자를 포함하는 것을 특징으로 하는 주파수 비교 모듈.

청구항 8

제1 입력 신호와 제2 입력 신호의 주파수 크기를 비교하는 복수의 주파수 비교 모듈; 및

상기 복수의 주파수 비교 모듈로부터 출력되는 비교 결과에 기초하여 상기 제1 입력 신호의 주파수 범위를 판단하는 주파수 판단부를 포함하며,

상기 주파수 비교 모듈은

상기 제1 입력 신호에서 상승 에지를 검출하며 상승 에지의 검출 여부에 따라 로우/하이의 로직 값을 출력하는 제1 에지 검출부와 미리 정해진 크기의 주파수를 가지는 상기 제2 입력 신호에서 상승 에지를 검출하며 상승 에지의 검출 여부에 따라 로우/하이의 로직 값을 출력하는 제2 에지 검출부를 구비하는 에지 검출부;

상기 제1 에지 검출부 또는 제2 에지 검출부로부터 하이의 로직 값을 입력받을 때마다 클럭 신호를 발생하는 클럭 발생부;

상기 클럭 신호에 동기되어 상기 제1 에지 검출부로부터 출력되는 로직 값을 순차적으로 저장하는 저장부; 및

상기 저장부에 저장된 로직 값에 따라 상기 제1 입력 신호와 제2 입력 신호의 주파수 크기를 비교하는 주파수 비교부를 포함하는 것을 특징으로 하는 주파수 판단 장치.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 제1 입력 신호와 제2 입력 신호의 주파수를 비교하는 모듈에 관한 것으로, 보다 구체적으로 제1 입력 신호와 제2 입력 신호의 주파수를 비교하여 비교 결과를 로우/하이의 로직 값으로 출력하는 주파수 비교 모듈에 관한 것이다.

배경 기술

- <2> 시리얼 통신은 마스터 디바이스와 슬레이브 디바이스 사이에 할당된 하나의 데이터 송수신선과 클락동기선을 이용하여 데이터를 송수신한다. 하나의 데이터 송수신선과 클락동기선을 이용하여 데이터를 송수신 시리얼 통신에서 마스터 디바이스와 슬레이브 디바이스 사이의 송수신 데이터를 정확하게 샘플링하기 위해서는 타이밍 정보를 가진 클락에 의해 마스터 디바이스와 슬레이브 디바이스가 서로 동기화되어야 한다.
- <3> 최근 들어 다양한 멀티미디어 장치들이 개발되어 사용되고 있으며 멀티미디어 장치에서 하나의 마스터 디바이스는 다양한 슬레이브 디바이스와 데이터를 통신할 필요가 있다. 이 경우 각각의 슬레이브 디바이스는 서로 다른 송신 속도로 데이터를 마스터 디바이스로 송신한다. 따라서 마스터 디바이스는 서로 다른 속도로 각각의

슬레이브 디바이스로부터 데이터를 수신하기 위하여 각각의 슬레이브 디바이스와 모두 동기화되어야 한다. 이를 위해, 마스터 디바이스는 다양한 슬레이브 디바이스와 모두 동기화될 수 있는 클락 주파수를 이용하여 각각의 슬레이브 디바이스로부터 데이터를 수신한다.

발명의 내용

해결 하고자 하는 과제

- <4> 위에서 설명한, 다양한 슬레이브 디바이스로부터 데이터를 수신하는 마스터 디바이스는 빠른 클락 주파수로 데이터를 송신하는 슬레이브 디바이스 또는 느린 클락 주파수로 데이터를 송신하는 슬레이브 디바이스에 상관없이 각각의 슬레이브 디바이스와 동기화될 수 있는 공통의 클락 주파수를 이용하여 슬레이브 디바이스와 동기화를 달성한다. 마스터 디바이스가 느린 클락 주파수로 데이터를 송신하는 슬레이브 디바이스로부터 데이터를 수신하는 경우에도, 마스터 디바이스는 공통의 클락 주파수를 이용하여 데이터를 샘플링함으로써 데이터 처리 효율이 떨어지며 데이터 처리를 위해 큰 부하가 마스터 디바이스에 주어진다 문제점이 있다.
- <5> 다양한 슬레이브 디바이스와 데이터를 송수신하는 마스터 디바이스가 다양한 슬레이브 디바이스로부터 수신되는 데이터의 수신 주파수를 정확하게 판단함으로써, 마스터 디바이스는 수신 주파수에 적합한 클락 주파수로 슬레이브 디바이스로부터 수신되는 데이터를 샘플링할 수 있다.
- <6> 따라서 본 발명이 이루고자 하는 목적은 각각의 슬레이브 디바이스로부터 수신되는 데이터의 수신 주파수를 정확하게 판단하기 위하여, 제1 입력 신호와 제2 입력 신호의 주파수를 비교하여 비교 결과를 로우/하이의 로직 값으로 출력하는 주파수 비교 모듈을 제공하는 것이다.
- <7> 본 발명이 이루고자 하는 다른 목적은 다수의 주파수 비교 모듈을 이용하여 슬레이브 디바이스로부터 수신되는 데이터의 수신 주파수를 판단하는 장치를 제공하는 것이다.

과제 해결수단

- <8> 본 발명에 따른 주파수 비교 모듈은 제1 입력 신호에서 상승 에지를 검출하여 상승 에지의 검출 여부에 따라 로우/하이의 로직 값을 출력하는 제1 에지 검출부와 제2 입력 신호에서 상승 에지를 검출하며 상승 에지의 검출 여부에 따라 로우/하이의 로직 값을 출력하는 제2 에지 검출부를 구비하는 에지 검출부, 제1 에지 검출부 또는 제2 에지 검출부로부터 하이의 로직 값을 입력받을 때마다 클럭 신호를 발생하는 클럭 발생부, 클럭 신호에 동기되어 제1 에지 검출부로부터 출력되는 로직 값을 순차적으로 저장하는 저장부 및 클럭 신호에 동기되어 저장부에서 출력되는 로직 값에 따라 제1 입력 신호와 제2 입력 신호의 주파수 크기를 비교하는 주파수 비교부를 포함하는 것을 특징으로 한다.
- <9> 본 발명에 따른 주파수 판단 장치는 제1 입력 신호와 제2 입력 신호의 주파수 크기를 비교하는 복수의 주파수 비교 모듈 및 복수의 주파수 비교 모듈로부터 출력되는 비교 결과에 기초하여 제1 입력 신호의 주파수 범위를 판단하는 주파수 판단부를 포함하며,
- <10> 주파수 비교 모듈은 제1 입력 신호에서 상승 에지를 검출하여 상승 에지의 검출 여부에 따라 로우/하이의 로직 값을 출력하는 제1 에지 검출부와 제2 입력 신호에서 상승 에지를 검출하며 상승 에지의 검출 여부에 따라 로우/하이의 로직 값을 출력하는 제2 에지 검출부를 구비하는 에지 검출부, 제1 에지 검출부 또는 제2 에지 검출부로부터 하이의 로직 값을 입력받을 때마다 클럭 신호를 발생하는 클럭 발생부, 클럭 신호에 동기되어 제1 에지 검출부로부터 출력되는 로직 값을 순차적으로 저장하는 저장부 및 클럭 신호에 동기되어 저장부에서 출력되는 로직 값에 따라 제1 입력 신호와 제2 입력 신호의 주파수 크기를 비교하는 주파수 비교부를 포함하는 것을 특징으로 한다.

효 과

- <11> 본 발명에 따른 주파수 비교 모듈은 제1 입력 신호와 제2 입력 신호의 주파수를 비교하여 그 비교 결과를 로우/하이의 로직 값으로 출력함으로써, 사용자는 제1 입력 신호와 제2 입력 신호의 주파수를 쉽게 비교할 수 있다.
- <12> 또한 본 발명에 따른 주파수 비교 모듈은 제1 입력 신호와 제2 입력 신호의 주파수를 비교하여 그 비교 결과를 로우/하이의 로직 값으로 출력함으로써, 로직 값을 사용하는 로직 회로와 본 발명에 따른 주파수 비교 모듈을 쉽게 연계하여 사용할 수 있다.

<13> 본 발명에 따른 주파수 판단 장치는 다수의 주파수 비교 모듈을 이용하여 슬레이브 디바이스로부터 수신되는 데이터의 수신 주파수를 판단함으로써, 마스터 슬레이브로 하여금 다양한 슬레이브 디바이스로부터 수신되는 데이터를 효율적으로 처리할 수 있도록 한다.

발명의 실시를 위한 구체적인 내용

<14> 이하 첨부한 도면을 참고로 본 발명에 따른 주파수 비교 모듈 및 주파수 판단 장치에 대해 보다 구체적으로 설명한다.

<15> 도 1은 본 발명의 일 실시예에 따른 주파수 비교 모듈을 설명하는 기능 블록도를 도시하고 있다.

<16> 입력되는 신호에서 에지를 검출하는 에지 검출부(10)는 제1 에지 검출부(12)와 제2 에지 검출부(14)로 구성되어 있다. 제1 에지 검출부(12)는 제1 입력단자(T1)로 입력되는 제1 입력신호(I1)에서 상승 에지를 검출하며 제2 에지 검출부(12)는 제2 입력단자(T2)로 입력되는 제2 입력신호(I2)에서 상승 에지를 검출한다. 제1 에지 검출부(12)는 제1 입력신호(I1)에서 상승 에지를 검출할 때마다 하이의 로직 값을 출력하며, 상승 에지를 검출하지 못하는 경우 로우의 로직 값을 출력한다. 이와 동일하게, 제2 에지 검출부(14)는 제2 입력신호(I2)에서 상승 에지를 검출할 때마다 하이의 로직 값을 출력하며 상승 에지를 검출하지 못하는 경우 로우의 로직 값을 출력한다.

<17> 바람직하게, 제1 입력신호(I1)와 제2 입력신호(I2)는 펄스 신호인 것을 특징으로 한다. 본 발명이 적용되는 분야에 따라 펄스 신호가 아닌, 상승 에지를 가지는 다른 종류의 신호가 입력신호로 제1 입력단자와 제2 입력단자를 통해 입력될 수 있으며, 제1 에지 검출부(12)와 제2 에지 검출부(14)는 상승 에지를 가지는 입력 신호에서 상승 에지를 검출한다.

<18> 클럭 발생부(20)는 제1 에지 검출부(12) 또는 제2 에지 검출부(14)로부터 하이의 로직 값이 출력될 때마다, 하이의 로직 값을 가지는 클럭 신호를 발생한다. 즉, 클럭 발생부(20)는 제1 에지 검출부(12) 또는 제2 에지 검출부(14)를 통해 제1 입력신호(I1)와 제2 입력신호(I2)에서 중 어느 하나에서 상승 에지가 검출되는 경우, 하이의 로직 값을 가지는 클럭 신호를 발생시킨다.

<19> 저장부(30)는 제1 에지 검출부(12)를 통해 출력되는 하이 또는 로우의 로직 값을 차례로 저장하며 클럭 발생부(20)에서 발생한 클럭 신호에 의해 저장부에 저장된 로직 값을 출력한다. 저장부(30)는 제1 에지 검출부(12)를 통해 차례로 출력되는 4개의 하이 또는 로우의 로직 값을 저장한다. 제1 에지 검출부(12)를 통해 출력되는 4개의 하이 또는 로우의 로직 값을 저장하기 위해, 저장부(30)는 4개의 플립플롭 또는 4개의 래치가 사용되거나 이들의 조합이 사용될 수 있다.

<20> 클럭 발생부(20)로부터 하이의 로직 값을 가지는 클럭 신호가 입력될 때마다 저장부(30)에서 출력되는 로직 값은 제1 입력신호(I1) 또는 제2 입력신호(I2)에서 검출한 상승에지의 존재를 나타낸다. 즉, 클럭 발생부(20)는 제1 입력신호(I1) 또는 제2 입력신호(I2) 중 적어도 어느 하나에서 상승 에지를 검출하는 경우 하이의 로직 값을 가지는 클럭 신호를 발생하며 저장부(30)는 클럭 신호에 동기되어 제1 에지 검출부(12)에서 출력되는 로직 값을 저장하므로, 저장부(30)에서 출력되는 하이의 로직 값은 입력신호(I1)의 상승에지를 의미하며 로우의 로직 값은 입력신호(I2)의 상승에지를 의미한다.

<21> 주파수 비교부(40)는 저장부(30)에서 출력되는 4개의 로직 값을 이용하여 제1 입력신호(I1)와 제2 입력신호(I2) 중 어떤 입력신호에서 더 많은 상승에지가 검출되는지, 즉 어떤 입력신호의 주파수가 더 빠른지를 비교하여 주파수 비교 신호를 출력한다.

<22> 도 2는 본 발명에 따른 주파수 비교 모듈에 대한 간략한 회로도의 일 예를 도시하고 있다.

<23> 도 2를 참고로 살펴보면, 제1 에지 검출부(12)는 제1 입력신호(I1)의 시간 지연시키고 값을 반전시키기 위한 3개의 NOT 소자, 3개의 NOT 소자를 통과한 제1 입력신호(I1)와 시간 지연되지 않은 제1 입력신호(I1)를 서로 합하는 1개의 NAND 소자와 NOT 소자로 구성되어 있다. 이와 동일하게, 제2 에지 검출부(14)는 제2 입력신호(I2)의 시간을 지연시키고 값을 반전시키기 위한 3개의 NOT 소자, 3개의 NOT 소자를 통과한 제2 입력신호(I2)와 시간 지연되지 않은 제2 입력신호(I2)를 서로 합하는 1개의 NAND 소자와 NOT 소자로 구성되어 있다.

<24> 제1 에지 검출부(12)는 시간지연된 제1 입력신호(I1)와 시간 지연되지 않은 제1 입력신호(I1)를 합하여 제1 입력신호에서 상승 에지를 검출하며, 상승 에지를 검출할 때마다 하이의 로직 값을 출력한다. 제2 에지 검출부(14)는 시간지연된 제2 입력신호(I2)와 시간 지연되지 않은 제2 입력신호(I2)를 합하여 제2 입력신호에서 상승

에지를 검출하며, 상승 에지를 검출할 때마다 하이의 로직 값을 출력한다.

- <25> 클럭 발생부(20)는 1개의 NOR 소자와 1개의 NOT 소자를 구비하고 있으며 제1 에지 검출부(12) 또는 제2 에지 검출부(14) 중 적어도 어느 하나에서 하이의 로직 값을 출력하는 경우, 하이의 로직 값을 출력하는 OR 소자로 동작한다.
- <26> 도 3 내지 도 5는 클럭 발생부(20)에서 발생하는 클럭 신호의 일 예를 설명하기 위한 도면이다.
- <27> 도 3(a)는 제1 입력신호(I1)의 일 예이며 도 3(b)는 제1 에지 검출부(12)에서 검출한 제1 입력신호(I1)의 상승 에지를 나타내는 하이의 로직 값을 도시하고 있다.
- <28> 도 4(a)는 제2 입력신호(I2)의 일 예이며 도 4(b)는 제2 에지 검출부(14)에서 검출한 제2 입력신호(I2)의 상승 에지를 나타내는 하이의 로직 값을 도시하고 있다.
- <29> 도 5는 클럭 발생부(20)에서 출력되는 클럭 신호를 도시하고 있다. 도 3 내지 도5에서 알 수 있는 것과 같이, 클럭 발생부(20)는 제1 에지 검출부(12) 또는 제2 에지 검출부(14)에서 상승 에지를 검출할 때마다 하이의 로직 값을 가지는 클럭 신호를 발생한다.
- <30> 저장부(30)는 4개의 플립플롭(31, 33, 35, 37)으로 구성되어 있다. 클럭 발생부(20)에서 출력되는 클럭 신호에 동기되어 제1 플립플롭(31) 내지 제4 플립플롭(37)은 제1 에지 검출부(12)로부터 출력되는 하이/로우의 로직 값을 차례로 저장한다. 제1 플립플롭(31) 내지 제4 플립플롭(37)에 제1 에지 검출부(12)로부터 출력되는 하이/로우의 로직 값이 차례로 저장된 후, 제1 플립플롭(31) 내지 제4 플립플롭(37)은 클럭 발생부(20)로부터 출력되는 클럭신호에 동기되어 제1 플립플롭(31) 내지 제4 플립플롭(37)에 저장되어 있던 4개의 로직 값을 출력한다.
- <31> 도 6은 제1 플립플롭(31)의 회로도에 대한 일 예를 도시하고 있으며, 도 7은 제2 플립플롭(33)의 회로도에 대한 일 예를 도시하고 있으며, 도 8은 제3 플립플롭(35)의 회로도에 대한 일 예를 도시하고 있으며 도 9는 제4 플립플롭(37)의 회로도에 대한 일 예를 도시하고 있다.
- <32> 도 6을 참고로, 제1 플립플롭(31)은 클락 신호를 게이트 단자의 바이어스 신호로 입력받는 1개의 N-MOSFET(100)와 N-MOSFET(100)의 소스 단자에 직렬로 연결되어 있는 NOT 소자(103, 105)의 조합으로 구성되어 있다. N-MOSFET(100)는 스위치로 동작하며, N-MOSFET(100)의 게이트 단자로 하이의 로직 값을 가지는 클락 신호가 입력되는 경우, N-MOSFET(100)는 온(on)되어 제1 에지 검출부(12)로부터 입력되는 로직 값이 그대로 NOT 소자(103, 105)를 통해 주파수 비교부(41, 43)로 출력된다.
- <33> 도 7을 참고로, 제2 플립플롭(33)은 클락 신호를 게이트 단자의 바이어스 신호로 입력받는 2개의 N-MOSFET(111, 115), 2개의 N-MOSFET(111, 115) 사이에서 2개의 N-MOSFET(111, 115)와 직렬로 접속되어 있으며 역클락 신호를 게이트 단자의 바이어스 신호로 입력받는 1개의 N-MOSFET(113), N-MOSFET(111)과 N-MOSFET(113) 사이에서 N-MOSFET(111)과 N-MOSFET(113)와 직렬로 접속되어 있는 NOT 소자의 조합(112), N-MOSFET(113)과 N-MOSFET(115) 사이에서 N-MOSFET(113)과 N-MOSFET(115)와 직렬로 접속되어 있는 NOT 소자의 조합(114), N-MOSFET(115)와 직렬로 접속되어 있는 NOT 소자의 조합(116)으로 구성되어 있다.
- <34> N-MOSFET(111)의 게이트 단자로 하이의 로직 값을 가지는 클락 신호가 입력되는 경우, N-MOSFET(111)은 온되고 N-MOSFET(113)은 오프된다. 따라서, 제1 에지 검출부(12)로부터 입력되는 로직 값은 N-MOSFET(113)를 통과하지 못하고 NOT 소자의 조합(112)에 저장된다. 로우의 로직 값을 가지는 클락 신호가 입력되는 경우, N-MOSFET(113)은 온되고 N-MOSFET(115)는 오프되므로 NOT 소자의 조합(112)에 저장되어 있던 로직 값은 NOT 소자의 조합(114)에 저장된다.
- <35> 한편, 하이의 로직 값을 가지는 새로운 클락 신호가 N-MOSFET(111)의 게이트 단자로 입력되는 경우, N-MOSFET(111)은 온되고 N-MOSFET(113)은 오프되며 N-MOSFET(115)는 온된다. 따라서, NOT 소자의 조합(114)에 저장되어 있던 로직 값은 N-MOSFET(115)를 통과하여 주파수 비교부(41, 43)와 제3 플립플롭(35)으로 출력되며, N-MOSFET(111)로는 제1 에지 검출부(12)로부터 새로운 로직 값이 입력되어 NOT 소자의 조합(112)에 저장된다.
- <36> 도 8을 참고로, 제3 플립플롭(35)은 역클락 신호를 게이트 단자의 바이어스 신호로 입력받는 1개의 N-MOSFET(121), N-MOSFET(121)와 직렬로 접속되어 있으며 클락 신호를 게이트 단자의 바이어스 신호로 입력받는 1개의 N-MOSFET(123), N-MOSFET(121)과 N-MOSFET(123) 사이에서 N-MOSFET(121)과 N-MOSFET(123)와 직렬로 접속되어 있는 NOT 소자의 조합(122) 및 N-MOSFET(123)와 직렬로 접속되어 있는 NOT 소자의 조합(124)으로 구성되어 있다.

- <37> N-MOSFET(123)의 게이트 단자로 하이의 로직 값을 가지는 클락 신호가 입력되는 경우, N-MOSFET(121)은 오프되고 N-MOSFET(123)은 온된다. 따라서, 제2 플립플롭(33)으로부터 입력되는 로직 값은 N-MOSFET(121)을 통과하지 못하고 NOT 소자의 조합(124)에 저장되어 있던 로직 값은 주파수 비교부(41, 43)와 제4 플립플롭(37)으로 출력된다. 한편, 로우의 로직 값을 가지는 클락 신호가 N-MOSFET(123)의 게이트 단자로 입력되는 경우, N-MOSFET(121)은 온되고 N-MOSFET(123)은 오프된다. 따라서, 제2 플립플롭(33)으로부터 새로운 로직 값이 출력되어 NOT 소자의 조합(122)에 저장된다.
- <38> 도 9를 참고로, 제4 플립플롭(37)은 역클락 신호를 게이트 단자의 바이어스 신호로 입력받는 1개의 N-MOSFET(131), N-MOSFET(131)와 직렬로 접속되어 있으며 클락 신호를 게이트 단자의 바이어스 신호로 입력받는 1개의 N-MOSFET(133), N-MOSFET(131)과 N-MOSFET(133) 사이에서 N-MOSFET(131)과 N-MOSFET(133)와 직렬로 접속되어 있는 NOT 소자의 조합(132) 및 N-MOSFET(133)와 직렬로 접속되어 있는 NOT 소자의 조합(134)으로 구성되어 있다.
- <39> N-MOSFET(133)의 게이트 단자로 하이의 로직 값을 가지는 클락 신호가 입력되는 경우, N-MOSFET(131)은 오프되고 N-MOSFET(133)은 온된다. 따라서, 제3 플립플롭(35)으로부터 입력되는 로직 값은 N-MOSFET(131)을 통과하지 못하고 NOT 소자의 조합(134)에 저장되어 있던 로직 값은 주파수 비교부(41, 43)로 출력된다. 한편, 로우의 로직 값을 가지는 클락 신호가 N-MOSFET(133)의 게이트 단자로 입력되는 경우, N-MOSFET(131)은 온되고 N-MOSFET(133)은 오프된다. 따라서, 제3 플립플롭(35)으로부터 새로운 로직 값이 출력되어 NOT 소자의 조합(132)에 저장된다.
- <40> 도 6 내지 도 9를 참고로 살펴본 것과 같이, 제1 에지 검출부(12)를 통해 출력되는 하이 또는 로우의 로직 값은 차례로 제1 플립플롭(31) 내지 제4 플립플롭(37)에 차례로 저장하며 클럭 발생부(20)에서 발생한 클럭 신호에 따라 제1 플립플롭(31) 내지 제4 플립플롭(37)에 저장되어 있던 4개의 로직 값이 주파수 비교부(41, 43)로 출력된다.
- <41> 다시 도 2를 참고로, 주파수 비교부(40)는 제1 플립플롭(31) 내지 제4 플립플롭(37)에서 출력되는 로직 값의 조합을 입력받아 제1 입력신호(I1)와 제2 입력신호(I2) 중 어떤 입력 신호의 주파수가 더 빠른지를 나타내기 위한 주파수 비교 신호를 출력하는 제1 주파수 비교부(41)와 제2 주파수 비교부(43)로 구성되어 있다. 제1 주파수 비교부(41)는 제1 플립플롭(31) 내지 제4 플립플롭(37)로부터 출력되는 로직 값을 입력받는 3개의 NAND 소자(1, 2, 3)와 3개의 NAND(1, 2, 3)로부터 출력되는 로직 값을 입력받는 1개의 NAND 소자(4)로 구성되어 있다. 제2 주파수 비교부(43)는 제1 플립플롭(31) 내지 제4 플립플롭(37)로부터 출력되는 로직 값을 NOT 게이트로 반전시켜 후 입력받는 3개의 NAND 소자(5, 6, 7)와 3개의 NAND(5, 6, 7)로부터 출력되는 로직 값을 입력받는 1개의 NAND 소자(8)로 구성되어 있다.
- <42> 제1 주파수 비교부(41)에서 제1 NAND 소자(1)는 제1 플립플롭(31)과 제2 플립플롭(33)의 로직 값을 입력받으며, 제2 NAND 소자(2)는 제2 플립플롭(33)과 제3 플립플롭(35)의 로직 값을 입력받으며, 제3 NAND 소자(3)는 제1 플립플롭(31), 제3 플립플롭(35) 및 제4 플립플롭(37)의 로직 값을 입력받는다. 제4 NAND 소자(4)는 제1 NAND 소자(1) 내지 제3 NAND 소자(3)로부터 출력되는 로직 값을 입력받아 제1 주파수 비교 신호(O1)를 출력한다.
- <43> 제1 주파수 비교부(41)의 제4 NAND(4)에서 출력되는 제1 주파수 비교 신호(O1)의 로직 값은 아래의 수학적식(1)과 같다.
- <44> [수학적식 1]
- <45>
$$O1 = t2 \times t3 + t1 \times t2 + t0 \times t1 \times t3$$
- <46> 여기서, t0은 제4 플립플롭(37)으로부터 제1 NAND 소자(1) 내지 제3 NAND 소자(3)로 출력되는 로직 값을 의미하며, t1은 제3 플립플롭(35)으로부터 제1 NAND 소자(1) 내지 제3 NAND 소자(3)로 출력되는 로직 값을 의미하며, t2은 제2 플립플롭(33)으로부터 제1 NAND 소자(1) 내지 제3 NAND 소자(3)로 출력되는 로직 값을 의미하며, t3은 제1 플립플롭(31)으로부터 제1 NAND 소자(1) 내지 제3 NAND 소자(3)로 출력되는 로직 값을 의미한다.
- <47> 제2 주파수 비교부(43)에서 제5 NAND 소자(5)는 제1 플립플롭(31)과 제2 플립플롭(33)의 로직 값을 NOT게이트를 통과하게 하여 반전시킨 후 입력받으며, 제6 NAND 소자(6)는 제2 플립플롭(33)과 제3 플립플롭(35)의 로직 값을 NOT게이트를 통과하게 하여 반전시킨 후 입력받으며, 제7 NAND 소자(7)는 제1 플립플롭(31), 제3 플립플롭(35) 및 제4 플립플롭(37)의 로직 값을 NOT게이트를 통과하게 하여 반전시킨 후 입력받는다. 제8 NAND 소자(8)는 제5 NAND 소자(5) 내지 제7 NAND 소자(7)로부터 출력되는 로직 값을 입력받아 제2 주파수 비교 신호(O2)를 출력한다.

다.

- <48> 제2 주파수 비교부(43)의 제8 NAND(8)에서 출력되는 제2 주파수 비교 신호(02)의 로직 값은 아래의 수학적식(2)과 같다.
- <49> [수학적식 2]
- <50> $02 = t2b \times t3b + t1b \times t2b + t0b \times t1b \times t3b$
- <51> 여기서, t0b은 제4 플립플롭(37)으로부터 NOT게이트를 거쳐 반전되어 제5 NAND 소자(5) 내지 제3 NAND 소자(7)로 출력되는 로직 값을 의미하며, t1b은 제3 플립플롭(35)으로부터 NOT게이트를 거쳐 반전되어 제5 NAND 소자(5) 내지 제7 NAND 소자(7)로 출력되는 로직 값을 의미하며, t2b은 제2 플립플롭(33)으로부터 NOT게이트를 거쳐 반전되어 제5 NAND 소자(5) 내지 제7 NAND 소자(7)로 출력되는 로직 값을 의미하며, t3b은 제1 플립플롭(33)으로부터 NOT게이트를 거쳐 반전되어 제5 NAND 소자(5) 내지 제7 NAND 소자(7)로 출력되는 로직 값을 의미한다.
- <52> 위의 수학적식(1)과 수학적식(2)로부터 제1 입력신호(I1)의 주파수가 제2 입력신호(I2)의 주파수보다 더 빠른 경우, 제1 주파수 비교 신호(01)에서 하이의 로직 값이 출력되며, 제2 입력신호(I2)의 주파수가 제1 입력신호(I1)의 주파수보다 더 빠른 경우, 제2 주파수 비교 신호(02)에서 하이의 로직 값이 출력되며, 제1 입력신호(I1)의 주파수와 제2 입력신호(I2)의 주파수가 동일한 경우, 제1 주파수 비교 신호(01)와 제2 주파수 비교 신호(02)에서는 모두 로우의 로직 값이 출력된다.
- <53> 도 10은 본 발명의 일 실시예에 따른 주파수 판단 장치를 설명하는 기능 블록도를 도시하고 있다.
- <54> 도 10을 참고로 살펴보면, 도 1 내지 도 9를 참고로 설명한 본 발명에 따른 복수의 주파수 비교 모듈(200-1, 200-2, 200-3, ..., 200-n)로 입력신호(I1)와 서로 다른 주파수를 가지는 기준신호(R1, R2, R3, ..., Rn)가 각각 입력된다.
- <55> 제1 주파수 비교 모듈(200-1)은 입력신호(I1)와 기준신호(R1)의 주파수를 비교하여 입력신호(I1)와 기준신호(R1) 중 어떤 신호의 주파수가 더 큰지를 비교한다. 제1 주파수 비교 모듈(200-1)은 비교 결과를 로우/하이의 로직 값으로 출력한다. 제2 주파수 비교 모듈(200-2) 내지 제n 주파수 모듈(200-n)도 각각 입력신호(I2, I3, ..., In)와 기준신호(R2, R3, ..., Rn)의 주파수를 비교하여 입력신호(I2, I3, ..., In)와 기준신호(R2, R3, ..., Rn) 중 어떤 신호의 주파수가 더 큰지를 비교하여 비교 결과를 로우/하이의 로직 값으로 출력한다.
- <56> 주파수 판단부(210)는 복수의 주파수 비교 모듈(200-1, 200-2, 200-3, ..., 200-n)로부터 출력되는 로직 값을 입력받아, 입력신호(I1)의 주파수가 기준신호(R1, R2, R3, ..., Rn) 중 어느 범위에 속하는지 판단한다.
- <57> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

- <58> 도 1은 본 발명의 일 실시예에 따른 주파수 비교 모듈을 설명하는 기능 블록도를 도시하고 있다.
- <59> 도 2는 본 발명에 따른 주파수 비교 모듈에 대한 간략한 회로도의 일 예를 도시하고 있다.
- <60> 도 3(a)는 제1 입력신호의 일 예이며 도 3(b)는 제1 예지 검출부에서 검출한 제1 입력신호의 상승예지를 나타내는 하이의 로직 값을 도시하고 있다.
- <61> 도 4(a)는 제2 입력신호의 일 예이며 도 4(b)는 제2 예지 검출부에서 검출한 제2 입력신호의 상승예지를 나타내는 하이의 로직 값을 도시하고 있다.
- <62> 도 5는 클럭 발생부에서 출력되는 클럭 신호를 도시하고 있다.
- <63> 도 6은 제1 플립플롭의 회로도에 대한 일 예를 도시하고 있다.
- <64> 도 7은 제2 플립플롭의 회로도에 대한 일 예를 도시하고 있다.
- <65> 도 8은 제3 플립플롭의 회로도에 대한 일 예를 도시하고 있다.
- <66> 도 9는 제4 플립플롭의 회로도에 대한 일 예를 도시하고 있다.

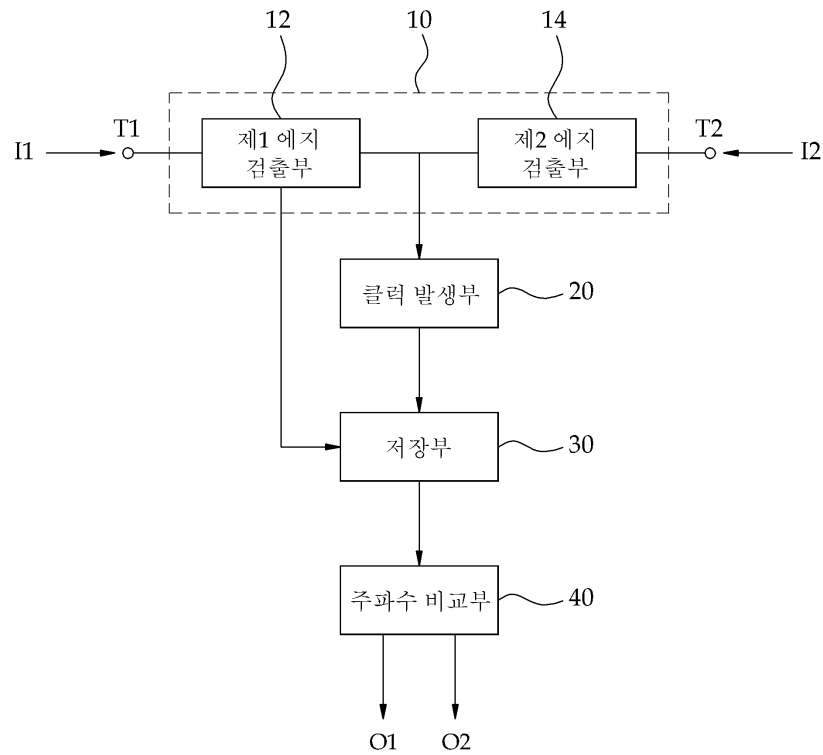
<67> 도 10은 본 발명의 일 실시예에 따른 주파수 판단 장치를 설명하는 기능 블록도를 도시하고 있다.

<68> <도면의 주요 부분에 대한 설명>

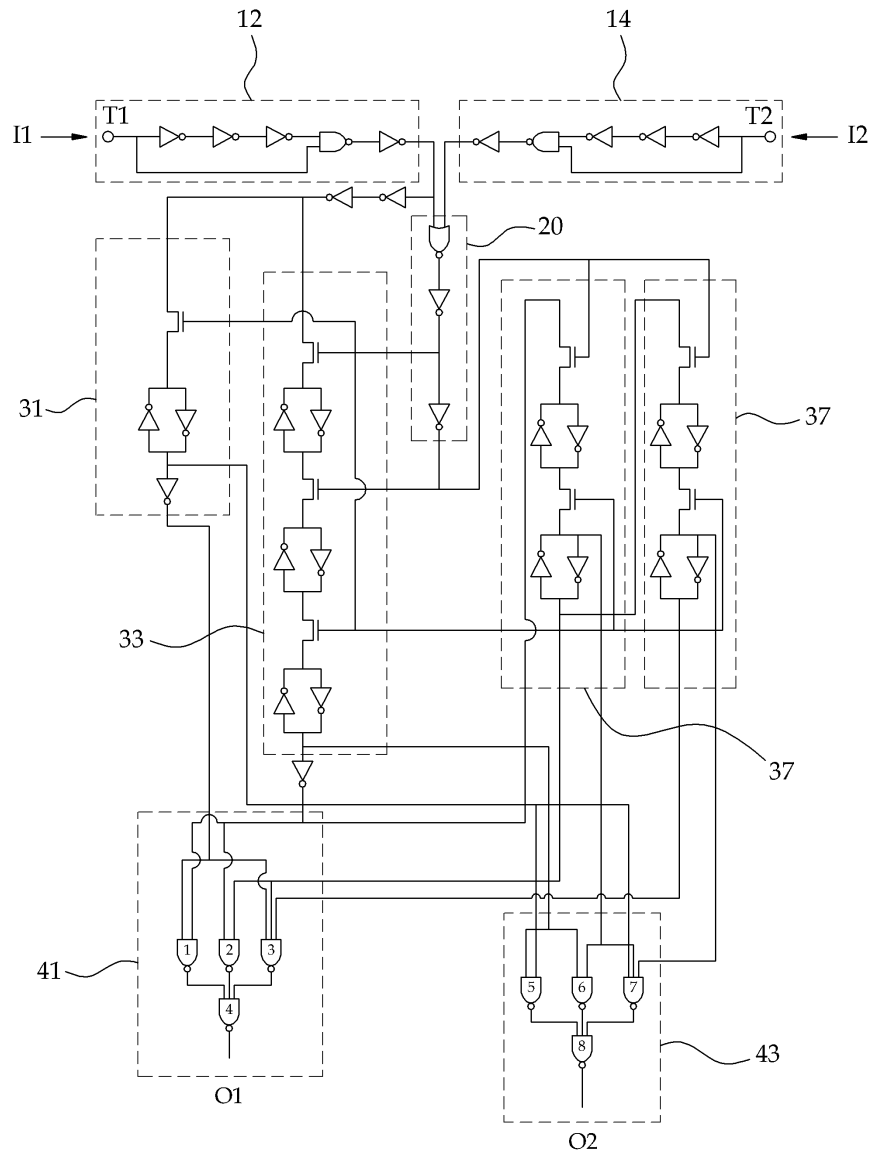
<69>	12: 제1 에지 검출부	14: 제2 에지 검출부
<70>	20: 클럭 발생부	30: 저장부
<71>	41: 제1 주파수 비교부	43: 제2 주파수 비교부
<72>	200: 주파수 비교 모듈	210: 주파수 판단부

도면

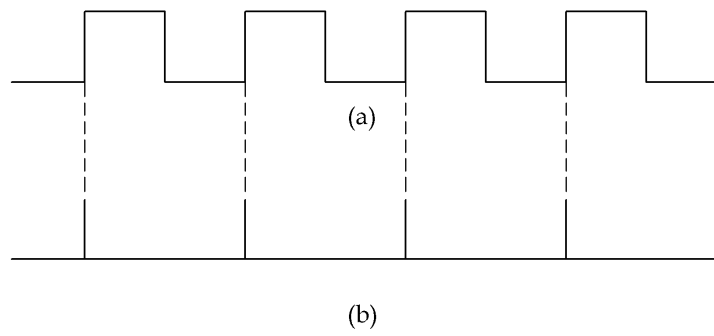
도면1



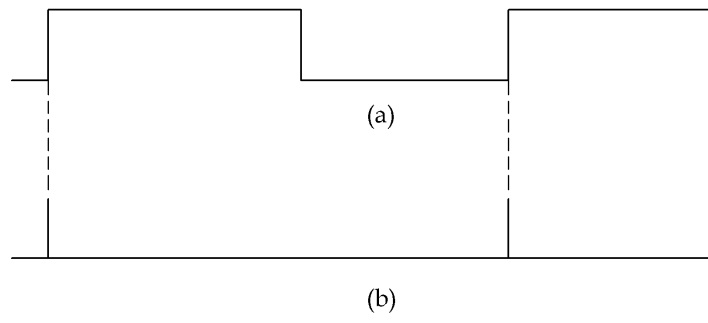
도면2



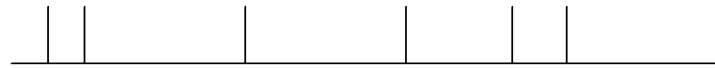
도면3



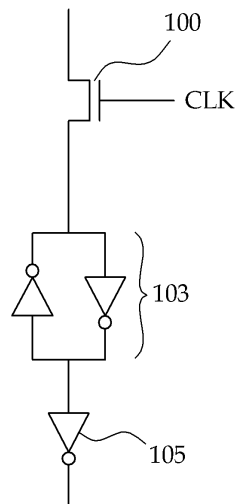
도면4



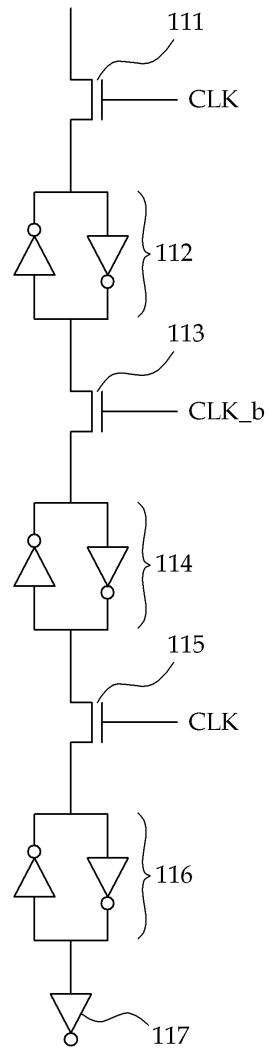
도면5



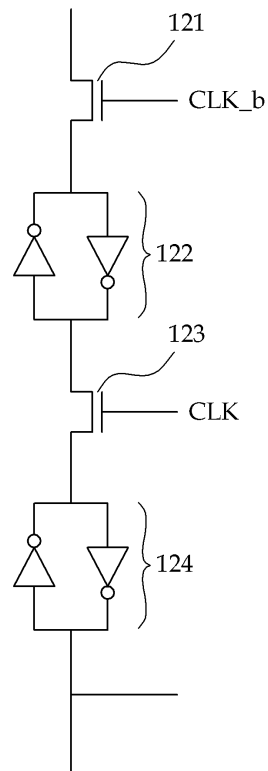
도면6



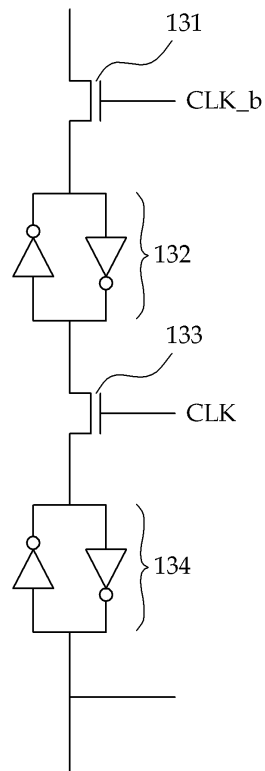
도면7



도면8



도면9



도면10

