

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3759758号
(P3759758)

(45) 発行日 平成18年3月29日(2006.3.29)

(24) 登録日 平成18年1月13日(2006.1.13)

(51) Int. Cl.

F I

G 1 1 C 11/403 (2006.01)

G 1 1 C 11/34 3 6 3 M

G 1 1 C 11/407 (2006.01)

G 1 1 C 11/34 3 5 4 F

請求項の数 9 (全 58 頁)

(21) 出願番号	特願平6-44369	(73) 特許権者	503121103
(22) 出願日	平成6年3月15日(1994.3.15)		株式会社ルネサステクノロジ
(65) 公開番号	特開平7-262771		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成7年10月13日(1995.10.13)	(74) 代理人	100064746
審査請求日	平成13年3月13日(2001.3.13)		弁理士 深見 久郎
(31) 優先権主張番号	特願平6-11900	(74) 代理人	100085132
(32) 優先日	平成6年2月3日(1994.2.3)		弁理士 森田 俊雄
(33) 優先権主張国	日本国(JP)	(74) 代理人	100083703
			弁理士 仲村 義平
前置審査		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

セルフリフレッシュ動作が行なわれる半導体記憶装置であって、
前記セルフリフレッシュ動作の期間を規定するセルフリフレッシュ期間規定信号を発生するセルフリフレッシュ期間規定手段と、

前記半導体記憶装置の内部回路の擬似接地電位線に接続され、前記擬似接地電位線に擬似接地電位を発生させる擬似接地電位発生手段とを備え、

前記擬似接地電位発生手段は、前記セルフリフレッシュ期間規定信号で規定される期間の開始に応答して前記擬似接地電位を第1の電位から第2の電位に上昇させ、前記セルフリフレッシュ期間規定信号で規定される期間の終了に¹⁰応答して前記擬似接地電位を前記第2の電位から前記第1の電位まで降下させる、半導体記憶装置。

【請求項2】

前記擬似接地電位発生手段によって前記擬似接地電位が下降される期間の長さと、前記擬似接地電位発生手段によって前記擬似接地電位が上昇される期間の長さとを異ならせる手段をさらに備えた、請求項1に記載の半導体記憶装置。

【請求項3】

内部電源電位差によりスイング幅が規定される電圧スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、

前記セルフリフレッシュ動作を行なう期間を規定するセルフリフレッシュ期間規定信号を発生するセルフリフレッシュ期間規定手段と、

前記内部電源電位差を発生し、前記セルフリフレッシュ期間規定信号に応答して、発生する内部電源電位差を制御する１つもしくは複数の内部電源電圧発生手段とを備え、

少なくとも１つの前記内部電源電圧発生手段は、

前記セルフリフレッシュ期間規定信号で規定される期間の開始に応答して、発生する内部電源電位差を第１の電位差から第２の電位差まで減少させる制御を行なうとともに、前記セルフリフレッシュ期間規定信号で規定される期間の終了に応答して、発生する内部電源電位差を前記第２の電位差から前記第１の電位差まで増加させる制御を行ない、

前記内部電源電圧発生手段によって前記内部電源電位差が前記第１の電位差から前記第２の電位差まで減少される期間に活性化する減少期間規定信号を発生する減少期間規定信号発生手段と、

10

前記内部電源電圧発生手段によって前記内部電源電位差が前記第２の電位差から前記第１の電位差まで増加される期間に活性化する増加期間規定信号を発生する増加期間規定信号発生手段と、

前記内部電源電圧発生手段によって前記内部電源電位差が前記第２の電位差に保持される期間に活性化する保持期間規定信号を発生する保持期間規定信号発生手段と、

前記減少期間規定信号、前記増加期間規定信号および前記保持期間規定信号に応答し、前記セルフリフレッシュ動作時のリフレッシュ周期を設定するリフレッシュ周期設定手段とをさらに備え、

前記リフレッシュ周期設定手段は、

前記減少期間規定信号に応答して第１のリフレッシュ周期を設定する第１のリフレッシュ周期設定手段と、

20

前記増加期間規定信号に応答して第２のリフレッシュ周期を設定する第２のリフレッシュ周期設定手段と、

前記保持期間規定信号に応答して第３のリフレッシュ周期を設定する第３のリフレッシュ周期設定手段とを含み、

前記第１および第２のリフレッシュ期間を前記第３のリフレッシュ周期よりも短くした、半導体記憶装置。

【請求項４】

前記リフレッシュ周期設定手段で設定される前記第１のリフレッシュ周期と前記第２のリフレッシュ周期とを異ならせた、請求項３記載の半導体記憶装置。

30

【請求項５】

内部電源電位差によりスイング幅が規定される電圧スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、

前記セルフリフレッシュ動作を行なう期間を規定するセルフリフレッシュ期間規定信号を発生するセルフリフレッシュ期間規定手段と、

前記内部電源電位差を発生し、前記セルフリフレッシュ期間規定信号に応答して、発生する内部電源電位差を制御する１つもしくは複数の内部電源電圧発生手段とを備え、

少なくとも１つの前記内部電源電圧発生手段は、

前記セルフリフレッシュ期間規定信号で規定される期間の開始に応答して、発生する内部電源電位差を第１の電位差から第２の電位差まで減少させる制御を行なうとともに、前記セルフリフレッシュ期間規定信号で規定される期間の終了に応答して、発生する内部電源電位差を前記第２の電位差から前記第１の電位差まで増加させる制御を行ない、

40

前記内部電源電圧発生手段は、前記第１の電位差から前記第２の電位差までの内部電源電位差の減少および前記第２の電位差から前記第１の電位差までの内部電源電位差の増加のそれぞれをステップ状に複数段階で行なう制御をする電圧制御手段を含む、半導体記憶装置。

【請求項６】

前記内部電源電圧発生手段は、前記内部電源電位差のステップ状の減少および増加のそれぞれの１段階を、すべてのメモリセルがリフレッシュされる周期の倍数の期間にて行なう、請求項５記載の半導体記憶装置。

50

【請求項 7】

前記擬似接地電位発生手段は、
前記擬似接地電位線と接地ノードとの間に接続されるトランジスタと、
前記トランジスタを制御する電圧を発生する電圧発生手段とを含み、
前記電圧発生手段は、
第3の電位を受ける第1の電位ノードと、
前記第3の電位よりも低い第4の電位を受ける第2の電位ノードと、
前記トランジスタを制御する電圧を出力する出力ノードと、
前記第1の電位ノードと前記出力ノードとの間に設けられ、定電流を発生する定電流発生手段と、
前記出力ノードと前記第2の電位ノードとの間に設けられた抵抗手段と、
前記第1の電位ノードと前記出力ノードとの間に前記定電流発生手段に直列に接続され、前記セルフリフレッシュ期間規定信号に応答してスイッチングするトランジスタ手段とを含む、請求項1に記載の半導体記憶装置。

10

【請求項 8】

内部電源電位差によりスイング幅が規定される電圧スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、
前記セルフリフレッシュ動作を行なう期間を規定するセルフリフレッシュ期間規定信号を発生するセルフリフレッシュ期間規定手段と、
前記内部電源電位差を発生し、前記セルフリフレッシュ期間規定信号に応答して、発生する内部電源電位差を制御する1つもしくは複数の内部電源電圧発生手段とを備え、
少なくとも1つの前記内部電源電圧発生手段は、
前記セルフリフレッシュ期間規定信号で規定される期間の開始に応答して、発生する内部電源電位差を第1の電位差から第2の電位差まで減少させる制御を行なうとともに、前記セルフリフレッシュ期間規定信号で規定される期間の終了に応答して、発生する内部電源電位差を前記第2の電位差から前記第1の電位差まで増加する制御を行ない、
少なくとも1つの前記内部電源電圧発生手段は、
内部電源電圧の基準電圧を発生させる基準電圧発生手段と、
発生する内部電源電圧と前記基準電圧との差に基づいて前記内部電源電圧を制御するための制御電圧を出力する差動増幅手段と、
前記セルフリフレッシュ期間規定信号に応答し、その信号で規定されるセルフリフレッシュ動作の期間に前記差動増幅手段の動作を停止させる停止手段と、
前記内部電源電圧を出力するための電圧出力ノードと、
前記外部電源電圧を受ける電源ノードと、
前記電源ノードと前記電圧出力ノードとの間に設けられ、ゲート電極に受ける信号に応答して前記外部電源電圧に基づく内部電源電圧を前記電圧出力ノードに供給するためのNチャンネルトランジスタと、
前記セルフリフレッシュ期間規定信号に応答し、その信号で規定されるセルフリフレッシュ動作の期間に前記基準電圧を前記Nチャンネルトランジスタの前記ゲート電極に与えるトランジスタ制御手段とを備えた、半導体記憶装置。

20

30

40

【請求項 9】

内部電源電位差によりスイング幅が規定される電圧スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、
前記セルフリフレッシュ動作を行なう期間を規定するセルフリフレッシュ期間規定信号を発生するセルフリフレッシュ期間規定手段と、
前記内部電源電位差を発生し、前記セルフリフレッシュ期間規定信号に応答して、発生する内部電源電位差を制御する1つもしくは複数の内部電源電圧発生手段とを備え、
少なくとも1つの前記内部電源電圧発生手段は、
前記セルフリフレッシュ期間規定信号で規定される期間の開始に応答して、発生する内部電源電位差を第1の電位差から第2の電位差まで減少させる制御を行なうとともに、前

50

記セルフリフレッシュ期間規定信号で規定される期間の終了に応答して、発生する内部電源電位差を前記第2の電位差から前記第1の電位差まで増加させる制御を行ない、

前記内部電源電圧発生手段が発生する内部電源電位差と所定電位差とを比較し、前記内部電源電圧が前記所定電圧と同程度となった場合に出力信号を活性化する比較手段と、

前記比較手段の出力信号を受け、その信号が活性化した場合に、前記内部電源電位差が前記通常動作時の電位差に復帰したことを示す所定レベルの信号を外部に出力する外部出力手段とをさらに備えた、半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

10

この発明は、半導体記憶装置に関し、特に、セルフリフレッシュを行なうDRAM（ダイナミックランダムアクセスメモリ）に関するものである。

【0002】

【従来の技術】

半導体記憶装置であるDRAMでは、メモリセルのセルフリフレッシュが行なわれる。このセルフリフレッシュの1つの方法として、DRAMが形成されたチップの内部回路が発生するリフレッシュ周期でリフレッシュを行なうセルフリフレッシュが用いられている。

【0003】

このセルフリフレッシュにおいては、リフレッシュ周期となる信号を外部から与えることなくリフレッシュが実行できる。すなわち、チップの内部回路で比較的長周期のリフレッシュ周期を発生し、その発生したリフレッシュ周期にてチップの内部回路によりリフレッシュが行なわれる。

20

【0004】

次に、従来のセルフリフレッシュについて説明する。図27は、従来のセルフリフレッシュ動作のタイミングの一例を示すタイミングチャートである。

【0005】

図37を参照して、外部コラムアドレスストローブ信号ext/CASがLレベルに立上がった後に外部ロウアドレスストローブ信号ext/RASがLレベルに立下がったタイミング、すなわち、/CAS Before /RASタイミング（以下CBRTimingと呼ぶ）で、これらの信号がともにLレベルを所定期間保持すると、セルフリフレッシュ期間を規定するセルフリフレッシュイネーブル信号SREがHレベルに立上がる。

30

【0006】

信号SREがHレベルになると、チップの内部で、内部ロウアドレスストローブ信号int/RASが比較的長周期のリフレッシュ周期trcを発生する。この信号int/RASに응答して、リフレッシュが実行される。このセルフリフレッシュが行なわれている場合も内部電源電圧intVccは、一定に保持される。

【0007】

このようなセルフリフレッシュにおける課題は、リフレッシュ周期をいかに長くし、かつ、セルフリフレッシュ動作時のスタンバイ期間およびアクティブ期間のそれぞれにおいて低消費電流化を図ることである。

40

【0008】

【発明が解決しようとする課題】

しかし、16MDRAM以降の技術開発においては、微細化の進行に対して電源電圧のスケールダウンが追いついていない。このため、デバイスの信頼性を確保しつつ高集積度を実現するために、チップ内に内部降圧回路を設けたデバイスが出現した。この内部降圧回路は、外部電源電圧を降圧した低い内部電源電圧を発生させる。

【0009】

また、外部電源電圧よりも低い内部電源電圧にて動作するデバイスにおけるアクセスの高速化を図るため、ワード線の昇圧電圧発生回路もチップ内に設けられるようになった。

【0010】

50

このように、D R A Mにおいては、内部降圧回路および昇圧電圧発生回路をチップ内に設けたために、これらの回路によって、セルフリフレッシュ動作におけるスタンバイ期間等における消費電流が増加するという問題があった。

【 0 0 1 1 】

また、セルフリフレッシュ動作のアクティブ電流を低減する方法としてセルフリフレッシュ動作時に外部電源電圧を低下させる制御を行なう方法がある。しかし、この方法では、チップ外で電源電圧の制御を行なう必要があり、このために、メモリボード上の電源の上昇および下降の制御が難しいという問題があった。

【 0 0 1 2 】

この発明は、このような問題を解決すべくなされたものであり、内部回路における制御によってセルフリフレッシュ時の消費電流を低減することを可能とする半導体記憶装置を提供することを目的とする。

10

【 0 0 1 3 】

この発明の他の目的は、内部降圧回路の消費電流を低減することである。

この発明のさらに他の目的は、昇圧電圧発生回路の消費電流を低減することである。

【 0 0 1 4 】

この発明のさらに他の目的は、通常動作からセルフリフレッシュ動作に移行する場合およびセルフリフレッシュ動作から通常動作に移行する場合のそれぞれにおいて、リフレッシュの実力の初期化を、複雑な外部制御を必要とすることなく実現することである。

【 0 0 1 5 】

20

【課題を解決するための手段】

請求項 1 に記載の本発明は、セルフリフレッシュ動作が行なわれる半導体記憶装置であって、セルフリフレッシュ期間規定手段および内部電源電位差発生手段を備える。

【 0 0 1 6 】

セルフリフレッシュ期間規定手段は、セルフリフレッシュ動作の期間を規定するセルフリフレッシュ期間規定信号を発生する。

【 0 0 1 7 】

内部電源電位差発生手段は、半導体記憶装置の内部回路の基準電圧がスイッチング手段により調整可能な基準電圧発生手段と、基準電圧に基づいて内部回路に内部電源電位と接地電位との差である内部電源電位差を発生する手段とを含む。

30

【 0 0 1 8 】

内部電源電位差発生手段は、セルフリフレッシュ期間規定信号で規定される期間の開始に応答して内部電源電位差を第 1 の電位差から第 2 の電位差まで減少させ、セルフリフレッシュ期間規定信号で規定される期間の終了に応答して内部電源電位差を第 2 の電位差から第 1 の電位差まで増加させる。

【 0 0 1 9 】

請求項 2 に記載の本発明は、請求項 1 に記載の発明において、内部電源電位差発生手段が内部降圧手段であることを特徴とする。

【 0 0 2 0 】

請求項 3 に記載の本発明は、セルフリフレッシュ動作が行なわれる半導体記憶装置であって、セルフリフレッシュ期間規定手段とおよび接地電位発生手段を備える。

40

【 0 0 2 1 】

セルフリフレッシュ期間規定手段は、セルフリフレッシュ動作の期間を規定するセルフリフレッシュ期間規定信号を発生する。

【 0 0 2 2 】

接地電位発生手段は、半導体記憶装置の内部回路の接地電位を発生させ、セルフリフレッシュ期間規定信号で規定される期間の開始に応答して接地電位を第 1 の電位から第 2 の電位に上昇させる。

【 0 0 2 3 】

接地電位発生手段は、セルフリフレッシュ期間規定信号で規定される期間の終了に応答し

50

て接地電位を第2の電位から第1の電位まで降下させる。

【0024】

請求項4に記載の本発明は、内部電源電位差によりスイング幅が規定される電圧スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、セルフリフレッシュ期間規定手段、および1つもしくは複数の内部電源電圧発生手段を備える。セルフリフレッシュ期間規定手段は、セルフリフレッシュ動作を行なう期間を規定するセルフリフレッシュ期間規定信号を発生する。1つもしくは複数の内部電源電圧発生手段は、内部電源電位差を発生し、セルフリフレッシュ期間規定信号にตอบสนองして、発生する内部電源電位差を制御する。少なくとも1つの内部電源電圧発生手段は、セルフリフレッシュ期間規定信号で規定される期間の開始にตอบสนองして、発生する内部電源電位差を第1の電位差から第2の電位差まで減少させる制御を行なうとともに、セルフリフレッシュ期間規定信号で規定される期間の終了にตอบสนองして、発生する内部電源電位差を第2の電位差から第1の電位差まで増加させる制御を行なう。半導体記憶装置はさらに、内部電源電圧発生手段によって内部電源電位差が減少される期間の長さ、内部電源電圧発生手段によって内部電源電位差が増加される期間の長さを異ならせる手段をさらに備える。

10

【0025】

請求項5に記載の本発明は、内部電源電位差によりスイング幅が規定される電圧スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、セルフリフレッシュ期間規定手段、および1つもしくは複数の内部電源電圧発生手段を備える。セルフリフレッシュ期間規定手段は、セルフリフレッシュ動作を行なう期間を規定するセルフリフレッシュ期間規定信号を発生する。1つもしくは複数の内部電源電圧発生手段は、内部電源電位差を発生し、セルフリフレッシュ期間規定信号にตอบสนองして、発生する内部電源電位差を制御する。少なくとも1つの内部電源電圧発生手段は、セルフリフレッシュ期間規定信号で規定される期間の開始にตอบสนองして、発生する内部電源電位差を第1の電位差から第2の電位差まで減少させる制御を行なうとともに、セルフリフレッシュ期間規定信号で規定される期間の終了にตอบสนองして、発生する内部電源電位差を第2の電位差から第1の電位差まで増加させる制御を行なう。半導体記憶装置はさらに、減少期間規定信号発生手段、増加期間規定信号発生手段、保持期間規定信号発生手段およびリフレッシュ周期設定手段をさらに備え、そのセルフリフレッシュ周期設定手段が、第1のリフレッシュ周期設定手段、第2のリフレッシュ周期設定手段および第3のリフレッシュ周期設定手段を含む。

20

30

【0026】

減少期間規定信号発生手段は、内部電源電圧発生手段によって内部電源電位差が第1の電位差から第2の電位差まで減少される期間に活性化する減少期間規定信号を発生する。

【0027】

増加期間規定信号発生手段は、内部電源電圧発生手段によって内部電源電位差が第2の電位差から第1の電位差まで増加される期間に活性化する増加期間規定信号を発生する。

【0028】

保持期間規定信号発生手段は、内部電源電圧発生手段によって内部電源電位差が第2の電位差に保持される期間に活性化する保持期間規定信号を発生する。

40

【0029】

リフレッシュ周期設定手段は、減少期間規定信号、増加期間規定信号および保持期間規定信号にตอบสนองし、セルフリフレッシュ動作時のリフレッシュ周期を設定する。

【0030】

このリフレッシュ周期設定手段は、第1のリフレッシュ周期設定手段、第2のリフレッシュ周期設定手段および第3のリフレッシュ周期設定手段を含む。第1のリフレッシュ周期設定手段は、減少期間規定信号にตอบสนองして第1のリフレッシュ周期を設定する。第2のリフレッシュ周期設定手段は、増加期間規定信号にตอบสนองして第2のリフレッシュ周期を設定する。第3のリフレッシュ周期設定手段は、保持期間規定信号にตอบสนองして第3のリフレッシュ周期を設定する。第1および第2のリフレッシュ周期は、第3のリフレッシュ周期よ

50

りも短くした。

【0031】

請求項6に記載の本発明は、請求項5に記載の発明において、リフレッシュ周期設定手段で設定される第1のリフレッシュ周期と第2のリフレッシュ周期とを異ならせたことを特徴とする。

【0032】

請求項7に記載の本発明は、内部電源電位差によりスイング幅が規定される電圧スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、セルフリフレッシュ期間規定手段、および1つもしくは複数の内部電源電圧発生手段を備える。セルフリフレッシュ期間規定手段は、セルフリフレッシュ動作を行なう期間を規定するセルフリフレッシュ期間規定信号を発生する。1つもしくは複数の内部電源電圧発生手段は、内部電源電位差を発生し、セルフリフレッシュ期間規定信号に応答して、発生する内部電源電位差を制御する。少なくとも1つの内部電源電圧発生手段は、セルフリフレッシュ期間規定信号で規定される期間の開始に応答して、発生する内部電源電位差を第1の電位差から第2の電位差まで減少させる制御を行なうとともに、セルフリフレッシュ期間規定信号で規定される期間の終了に応答して、発生する内部電源電位差を第2の電位差から第1の電位差まで増加させる制御を行なう。内部電源電圧発生手段が、第1の電位差から第2の電位差までの内部電源電位差の減少および第2の電位差から第1の電位差までの内部電源電位差の増加のそれぞれをステップ状に複数段階で行なう制御をする電圧制御手段を含む。

10

20

【0033】

請求項8に記載の本発明は、請求項7に記載の発明の内部電源電圧発生手段が、内部電源電位差のステップ状の減少および増加のそれぞれの1段階を、すべてのメモリセルがリフレッシュされる周期の倍数の期間にて行なう。

【0034】

請求項9に記載の本発明は、内部電源電位差によりスイング幅が規定される電圧スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、セルフリフレッシュ期間規定手段、および1つもしくは複数の内部電源電圧発生手段を備える。セルフリフレッシュ期間規定手段は、セルフリフレッシュ動作を行なう期間を規定するセルフリフレッシュ期間規定信号を発生する。1つもしくは複数の内部電源電圧発生手段は、内部電源電位差を発生し、セルフリフレッシュ期間規定信号に応答して、発生する内部電源電位差を制御する。少なくとも1つの内部電源電圧発生手段は、セルフリフレッシュ期間規定信号で規定される期間の開始に応答して、発生する内部電源電位差を第1の電位差から第2の電位差まで減少させる制御を行なうとともに、セルフリフレッシュ期間規定信号で規定される期間の終了に応答して、発生する内部電源電位差を第2の電位差から第1の電位差まで増加させる制御を行なう。内部電源電圧発生手段の少なくとも1つが、内部電源電圧の基準電圧を発生する基準電圧発生手段を含み、その基準電圧発生手段が、第1の電位ノード、第2の電位ノード、出力ノード、定電流発生手段、抵抗手段およびトランジスタ手段を含む。

30

【0035】

第1の電位ノードは、第1の電位を受ける。第2の電位ノードは、第2の電位を受ける。出力ノードは、基準電圧を出力する。

40

【0036】

定電流発生手段は、第1の電位ノードと出力ノードとの間に設けられ、定電流を発生する。抵抗手段は、出力ノードと第2の電位ノードとの間に設けられる。トランジスタ手段は、抵抗手段の一部と並列に接続され、セルフリフレッシュ期間規定信号に応答してスイッチングする。

【0037】

請求項10に記載の本発明は、内部電源電圧によりセルフリフレッシュ動作を行なう半導体記憶装置であって、電源ノード、セルフリフレッシュ期間規定手段および内部降圧手段

50

を備え、内部降圧手段が、基準電圧発生手段を含み、その基準電圧発生手段が、出力ノード、第1の基準電圧供給手段、第2の基準電圧供給手段および供給停止手段を含む。

【0038】

電源ノードは、外部電源電圧を受ける。セルフリフレッシュ期間規定手段は、セルフリフレッシュ動作を行なう期間を規定するセルフリフレッシュ期間規定信号を発生する。内部降圧手段は、外部電源電圧を降圧し、内部電源電圧を発生する。

【0039】

基準電圧発生手段は、内部電源電圧の基準電圧を発生する。

出力ノードは、基準電圧を出力する。第1の基準電圧供給手段は、一定の第1の基準電圧を出力ノードに供給する。第2の基準電圧供給手段は、外部電源電圧を受け、バーンインテストのために外部電源電圧が所定レベル以上になった場合に、外部電源電圧に応答する第2の基準電圧を出力ノードに供給する。

10

【0040】

供給停止手段は、セルフリフレッシュ期間規定信号を受け、その信号で規定されるセルフリフレッシュの期間に第2の基準電圧供給手段への外部電源電圧の供給を停止する。

【0041】

請求項11に記載の本発明は、内部電源電位差によりスイング幅が規定される電圧スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、セルフリフレッシュ期間規定手段、および1つもしくは複数の内部電源電圧発生手段を備える。セルフリフレッシュ期間規定手段は、セルフリフレッシュ動作を行なう期間を規定するセルフリフレッシュ期間規定信号を発生する。1つもしくは複数の内部電源電圧発生手段は、内部電源電位差を発生し、セルフリフレッシュ期間規定信号に応答して、発生する内部電源電位差を制御する。少なくとも1つの内部電源電圧発生手段は、セルフリフレッシュ期間規定信号で規定される期間の開始に応答して、発生する内部電源電位差を第1の電位差から第2の電位差まで減少させる制御を行なうとともに、セルフリフレッシュ期間規定信号で規定される期間の終了に応答して、発生する内部電源電位差を第2の電位差から第1の電位差まで増加する制御を行なう。少なくとも1つの内部電源電圧発生手段が、基準電圧発生手段、差動増幅手段、停止手段、電圧出力ノード、電源ノード、Nチャネルトランジスタおよびトランジスタ制御手段を含む。

20

【0042】

基準電圧発生手段は、内部電源電圧の基準電圧を発生させる。差動増幅手段は、発生する内部電源電圧と基準電圧との差に基づいて内部電源電圧を制御するための制御電圧を出力する。停止手段は、セルフリフレッシュ期間規定信号に応答し、その信号で規定されるセルフリフレッシュ動作の期間に差動増幅手段の動作を停止させる。

30

【0043】

電圧出力ノードは、内部電源電圧を出力する。電源ノードは、外部電源電圧を受ける。Nチャネルトランジスタは、電源ノードと電圧出力ノードとの間に設けられ、ゲート電極に受ける信号に応答して外部電源電圧に基づく内部電源電圧を電圧出力ノードに供給する。

【0044】

トランジスタ制御手段は、セルフリフレッシュ期間規定信号に応答し、その信号で規定されるセルフリフレッシュ動作の期間に基準電圧をNチャネルトランジスタのゲート電極に与える。

40

【0045】

請求項12に記載の本発明は、メモリセルアレイと周辺回路とを有し、内部電源電圧により通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、第1の内部電源電圧発生手段、第2の内部電源電圧発生手段、第1の電圧制御手段および第2の電圧制御手段を備える。

【0046】

第1の内部電源電圧発生手段は、メモリセルアレイに供給する第1の内部電源電圧を発生する。第2の内部電源電圧発生手段は、周辺回路に供給する第2の内部電源電圧を発生す

50

る。

【0047】

第1の電圧制御手段は、セルフリフレッシュ動作時に第1の内部電源電圧発生手段で発生される第1の内部電源電圧を通常動作時に発生される第1の内部電源電圧よりも低く制御する。

【0048】

第2の電圧制御手段は、セルフリフレッシュ動作時に第2の内部電源電圧発生手段で発生される第2の内部電源電圧を通常動作時に発生される第2の内部電源電圧よりも低く制御する。

【0049】

請求項13に記載の本発明は、内部電源電位差によりスイング幅が規定される電圧スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、セルフリフレッシュ期間規定手段、および1つもしくは複数の内部電源電圧発生手段を備える。セルフリフレッシュ期間規定手段は、セルフリフレッシュ動作を行なう期間を規定するセルフリフレッシュ期間規定信号を発生する。1つもしくは複数の内部電源電圧発生手段は、内部電源電位差を発生し、セルフリフレッシュ期間規定信号に応答して、発生する内部電源電位差を制御する。少なくとも1つの内部電源電圧発生手段は、セルフリフレッシュ期間規定信号で規定される期間の開始に応答して、発生する内部電源電位差を第1の電位差から第2の電位差まで減少させる制御を行なうとともに、セルフリフレッシュ期間規定信号で規定される期間の終了に応答して、発生する内部電源電位差を第2の電位差から第1
の電位差まで増加させる制御を行なう。半導体記憶装置は、昇圧電圧を発生させる昇圧電圧発生手段をさらに備え、その昇圧電圧発生手段が、リング発振手段、ポンピング手段および周波数変更手段を含む。

【0050】

リング発信手段は、パルス信号を発信する。ポンピング手段は、パルス信号に応答して昇圧電圧を出力する。周波数変更手段は、セルフリフレッシュ期間規定信号に応答して、その信号で規定されるセルフリフレッシュ動作の期間に、リング発信手段が発信するパルス信号の周波数を通常動作時の周波数よりも低くする。

【0051】

請求項14に記載の本発明は、内部電源電圧およびそれを昇圧した昇圧電圧により通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、セルフリフレッシュ期間規定手段、および昇圧電圧発生手段を備え、その昇圧電圧発生手段が、基準電源ノード、昇圧電圧出力ノード、リング発信手段、ポンピング手段、遮断手段およびNチャネルトランジスタを含む。

【0052】

セルフリフレッシュ期間規定手段は、セルフリフレッシュ動作を行なう期間を規定するセルフリフレッシュ期間規定信号を発生する。昇圧電圧発生手段は、内部電源電圧を昇圧した昇圧電圧を発生させる。

【0053】

基準電源ノードは、所定の基準電源電圧を受ける。昇圧電圧出力ノードは、発生した昇圧電圧を出力する。

【0054】

リング発信手段は、セルフリフレッシュ期間規定信号に応答して、通常動作時にパルス信号を発信し、セルフリフレッシュ動作時にパルス信号の発信を停止する。ポンピング手段は、パルス信号に応答して昇圧電圧を昇圧電圧出力ノードに供給する。

【0055】

遮断手段は、セルフリフレッシュ期間規定信号に応答して、セルフリフレッシュ動作時にポンピング手段から昇圧電圧出力ノードへの昇圧電圧の供給を遮断する。

【0056】

Nチャネルトランジスタは、基準電源ノードと昇圧電圧出力ノードとの間に設けられ、セ

10

20

30

40

50

セルフリフレッシュ期間規定信号に 응답してセルフリフレッシュ時に導通し、基準電源電圧からしきい値電圧だけ低い昇圧電圧を昇圧電圧出力ノードに供給する。

【0057】

請求項15に記載の本発明は、請求項14に記載の発明の基準電源電圧が、外部電源電圧であることを特徴とする。

【0058】

請求項16に記載の本発明は、内部電源電圧およびそれを昇圧した昇圧電圧により通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、セルフリフレッシュ期間規定手段および昇圧電圧発生手段を備え、その昇圧電圧発生手段が、電源ノード、昇圧電圧出力ノード、ポンピング手段、遮断手段および外部電源電圧供給手段を含む。

10

【0059】

セルフリフレッシュ期間規定手段は、セルフリフレッシュ動作を行なう期間を規定するセルフリフレッシュ期間規定信号を発生する。昇圧電圧発生手段は、内部電源電圧を昇圧した昇圧電圧を発生させる。電源ノードは、外部電源電圧を受ける。昇圧電圧出力ノードは、発生した昇圧電圧を出力する。リング発信手段は、セルフリフレッシュ期間規定信号に 응답して、通常動作時にパルス信号を発信し、セルフリフレッシュ動作時にパルス信号の発信を停止する。ポンピング手段は、パルス信号に 응답して昇圧電圧を昇圧電圧出力ノードに供給する。

【0060】

遮断手段は、セルフリフレッシュ期間規定信号に 응답して、セルフリフレッシュ動作時にポンピング手段から昇圧電圧出力ノードへの昇圧電圧の供給を遮断する。外部電源電圧供給手段は、外部電源電圧を受け、セルフリフレッシュ期間規定信号に 응답して、セルフリフレッシュ動作時に外部電源電圧を昇圧電圧出力ノードに供給する。

20

【0061】

請求項17に記載の本発明は、内部電源電圧により通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、CMOS回路、アナログ回路、第1の内部電源電圧供給手段および第2の内部電源電圧供給手段を備える。

【0062】

CMOS回路およびアナログ回路のそれぞれは、周辺回路として動作する。

第1の内部電源電圧供給手段は、CMOS回路に対応して設けられ、セルフリフレッシュ動作時に、通常動作時よりも低い第1の内部電源電圧を供給する。

30

【0063】

第2の内部電源電圧供給手段は、アナログ回路に対応して設けられ、セルフリフレッシュ動作時に、通常動作時よりも低い第2の内部電源電圧を供給する。

【0064】

請求項18に記載の本発明は、内部電源電位差によりスイング幅が規定される電圧スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、セルフリフレッシュ期間規定手段、および1つもしくは複数の内部電源電圧発生手段を備える。セルフリフレッシュ期間規定手段は、セルフリフレッシュ動作を行なう期間を規定するセルフリフレッシュ期間規定信号を発生する。1つもしくは複数の内部電源電圧発生手段は、内部電源電位差を発生し、セルフリフレッシュ期間規定信号に 응답して、発生する内部電源電位差を制御する。少なくとも1つの内部電源電圧発生手段は、セルフリフレッシュ期間規定信号で規定される期間の開始に 응답して、発生する内部電源電位差を第1の電位差から第2の電位差まで減少させる制御を行なうとともに、セルフリフレッシュ期間規定信号で規定される期間の終了に 응답して、発生する内部電源電位差を第2の電位差から第1の電位差まで増加させる制御を行なう。半導体記憶装置は、比較手段および外部出力手段をさらに備える。

40

【0065】

比較手段は、内部電源電圧発生手段が発生する内部電源電位差と所定電位差とを比較し、内部電源電位差が所定電位差と同程度となった場合に出力信号を活性化する。

50

【 0 0 6 6 】

外部出力手段は、比較手段の出力信号を受け、その信号が活性化した場合に、内部電源電位差が通常動作時の電位差に復帰したことを示す所定レベルの信号を外部に出力する。

【 0 0 6 7 】

請求項 19 に記載の本発明は、第 1 の内部電源電位と、その電位よりも低い第 2 の内部電源電位との電位差によりスイング幅が規定される電位スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、第 1 の内部電源電位発生手段および第 2 の内部電源電位発生手段を備え、第 1 の内部電源電位発生手段が第 1 の電位制御手段を含み、第 2 の内部電源電位発生手段が第 2 の電位制御手段を含む。

【 0 0 6 8 】

第 1 の内部電源電位発生手段は、第 1 の内部電源電位を発生する。第 2 の内部電源電位発生手段は、第 2 の内部電源電位を発生する。

【 0 0 6 9 】

第 1 の電位制御手段は、セルフリフレッシュ動作における第 1 の内部電源電位のレベルが、通常動作における第 1 の内部電源電位のレベルよりも所定幅低くなるように、第 1 の内部電源電位のレベルを制御する。

【 0 0 7 0 】

第 2 の電位制御手段は、セルフリフレッシュ動作における第 2 の内部電源電位のレベルが、通常動作における第 2 の内部電源電位のレベルよりも、第 1 の電位制御手段による電位のレベルの制御幅と同じ幅だけ高くなるように、第 2 の内部電源電位のレベルを制御する。

【 0 0 7 1 】

電位スイングは、その中心値を通常動作時とセルフリフレッシュ動作時とて同じもしくは同程度となるように制御される。

【 0 0 7 2 】

請求項 20 に記載の本発明は、内部電源電位差でスイング幅が規定される電位スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、内部電源電位差発生手段、第 1 のリフレッシュ周期設定手段および 2 のリフレッシュ周期設定手段を備える。

【 0 0 7 3 】

内部電源電位差発生手段は、内部電源電位差を発生し、セルフリフレッシュ動作の動作中の少なくとも一定期間において、電位スイングのスイング幅が通常動作におけるスイング幅よりも小さくなるように、内部電源電位差を、通常動作における内部電源電位差よりも減少させて一定値に保持した後に通常動作における内部電源電位差まで増加させる制御を行なう。

【 0 0 7 4 】

第 1 のリフレッシュ周期設定手段は、セルフリフレッシュ動作における標準のリフレッシュ周期を設定する。

【 0 0 7 5 】

第 2 のリフレッシュ周期設定手段は、内部電源電位差発生手段による内部電源電位差の減少前のセルフリフレッシュ動作におけるリフレッシュ周期を、標準のリフレッシュ周期よりも短い周期に設定する。

【 0 0 7 6 】

請求項 21 に記載の本発明は、内部電源電位差でスイング幅が規定される電位スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、内部電源電位差発生手段、第 1 のリフレッシュ周期設定手段および第 2 のリフレッシュ周期設定手段を備える。

【 0 0 7 7 】

内部電源電位差発生手段は、内部電源電位差を発生し、セルフリフレッシュ動作の動作中の少なくとも一定期間において、電位スイングのスイング幅が通常動作におけるスイング

10

20

30

40

50

幅よりも小さくなるように、内部電源電位差を、通常動作における内部電源電位差よりも減少させて一定値に保持した後に通常動作における内部電源電位差まで増加させる制御を行なう。

【0078】

第1のリフレッシュ周期設定手段は、セルフリフレッシュ動作における標準のリフレッシュ周期を設定する。

【0079】

第2のリフレッシュ周期設定手段は、内部電源電位差発生手段による内部電源電位差の増加前の所定の期間でのセルフリフレッシュ動作におけるリフレッシュ周期を、標準のリフレッシュ周期よりも短い周期に設定する。

10

【0080】

請求項22に記載の本発明は、内部電源電位差でスイング幅が規定される電位スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、内部電源電位差発生手段、第1のリフレッシュ周期設定手段および第2のリフレッシュ周期設定手段を備える。

【0081】

内部電源電位差発生手段は、内部電源電位差を発生し、セルフリフレッシュ動作の動作中の少なくとも一定期間において、電位スイングのスイング幅が通常動作におけるスイング幅よりも小さくなるように、内部電源電位差を、通常動作における内部電源電位差よりも減少させて一定値に保持した後に通常動作における内部電源電位差まで増加させる制御を行なう。

20

【0082】

第1のリフレッシュ周期設定手段は、セルフリフレッシュ動作における標準のリフレッシュ周期を設定する。

【0083】

第2のリフレッシュ周期設定手段は、内部電源電位差発生手段による内部電源電位差の増加完了後のセルフリフレッシュ動作におけるリフレッシュ周期を、標準のリフレッシュ周期よりも短い周期に設定する。

【0084】

請求項23に記載の本発明は、内部電源電位差でスイング幅が規定される電位スイングで通常動作およびセルフリフレッシュ動作を行なう半導体記憶装置であって、第1のリフレッシュ周期設定手段および第2のリフレッシュ周期設定手段を備える。

30

【0085】

第1のリフレッシュ周期設定手段は、セルフリフレッシュ動作における標準のリフレッシュ周期を設定する。

【0086】

第2のリフレッシュ周期設定手段は、セルフリフレッシュ動作の開始当初の所定期間において、セルフリフレッシュ動作のリフレッシュ周期を、標準のリフレッシュ周期よりも短い周期に設定する。請求項24に記載の本発明は、セルフリフレッシュ動作が行なわれる半導体記憶装置であって、セルフリフレッシュ期間規定手段および内部電源電位差発生手段を備える。セルフリフレッシュ期間規定手段は、セルフリフレッシュ動作の期間を規定するセルフリフレッシュ期間規定信号を発生する。内部電源電位差発生手段は、半導体記憶装置の内部回路の基準電圧がスイッチング手段により調整可能な基準電圧発生手段と、基準電圧に基づいて内部回路に内部電源電位と接地電位との差である内部電源電位差を発生する手段とを含む。内部電源電位差発生手段は、セルフリフレッシュ期間規定信号で規定される期間に、規定される期間の前に比べ内部電源電位差を減少させる。

40

【0087】

【作用】

請求項1に記載の本発明によれば、セルフリフレッシュ動作時に、基準電圧発生手段のスイッチング手段により調整可能な基準電圧に基づいて内部電源電位差発生手段により発生

50

される、内部電源電位と接地電位との差である内部電源電位差は、通常動作時よりも電位スイングのスイング幅が小さくなるような電位差にされる。したがって、セルフリフレッシュ動作時の消費電流が減少する。

【0088】

請求項2に記載の本発明によれば、内部電源電位差発生手段は内部降圧手段であるので、セルフリフレッシュ動作時に内部電源電位差発生手段により発生される内部電源電位差は、通常動作時よりも低くされる。したがって、セルフリフレッシュ動作時の消費電流が減少する。

【0089】

請求項3に記載の本発明によれば、接地電位発生手段は、セルフリフレッシュ期間規定信号に 10 応答して発生する接地電位を制御する。その制御においては、セルフリフレッシュ動作の開始時に接地電位が第1の電位から第2の電位まで上昇され、セルフリフレッシュ動作の終了時に接地電位が第2の電位から第1の電位まで降下される。

【0090】

このため、セルフリフレッシュ動作において、通常動作時よりも内部電源電位差が減少される。したがって、セルフリフレッシュ動作時の消費電流が減少する。

【0091】

請求項4に記載の本発明によれば、内部電源電圧発生手段において、内部電源電位差が減少される期間と、内部電源電位差が増加される期間とが異なるため、内部電源電位差の減少期間および増加期間のそれぞれの期間を最適な長さにすることができる。したがって、 20 それぞれの期間における動作の安定化が図れる。

【0092】

請求項5に記載の本発明によれば、リフレッシュ周期設定手段が、減少期間規定信号、増加期間規定信号および保持期間規定信号に応答してリフレッシュ周期を設定する。その設定において、内部電源電位差の減少期間に対応して第1のリフレッシュ周期が設定される。また、内部電源電位差の増加期間に対応して第2のリフレッシュ周期が設定される。さらに、内部電源電位差が第2の電位差が保持される期間に対応して第3のリフレッシュ周期が設定される。

【0093】

第1および第2のセルフリフレッシュ周期のそれぞれは、第3のセルフリフレッシュ周期よりも短い。したがって、内部電源電位差の増加期間および減少期間のそれぞれにおいては、内部電源電位差が保持される期間よりも短い周期でセルフリフレッシュが行なわれる。 30

【0094】

このため、内部電源電位差の増加期間および減少期間におけるメモリセルの蓄積電荷の低下に起因するバンプ等の影響を受けにくくなり、結果的に、動作が安定化する。

【0095】

請求項6に記載の本発明によれば、第1のリフレッシュ周期と第2のリフレッシュ周期とが異なるため、内部電源電位差の増加状態および減少状態のそれぞれに適したリフレッシュを実行することが可能である。このために、請求項5に記載の本発明よりもさらに動作 40 が安定化する。

【0096】

請求項7に記載の本発明によれば、内部電源電位差の増加および減少のそれぞれが、複数段階で行なわれるため、内部電源電位差が急激に変化しない。したがって、バンプ等により動作が不安定になる期間である内部電源電位差の増加期間および減少期間のそれぞれの動作が安定化される。

【0097】

請求項8に記載の本発明によれば、内部電源電位差のステップ状の減少および増加のそれぞれの1段階が、すべてのメモリセルがリフレッシュされる周期の倍数である。このため、内部電源電位差の増加期間および減少期間のバンプ等の影響が減少し、それぞれの動作 50

が安定化される。

【0098】

請求項9に記載の本発明によれば、セルフリフレッシュ期間規定信号に応答して、トランジスタが導通すると、抵抗手段の抵抗値が減少する。このため、その場合には、出力ノードの電圧、すなわち、内部電源電圧の基準電圧が減少する。これにより、セルフリフレッシュ動作時において内部電源電圧が減少する。

【0099】

請求項10に記載の本発明によれば、基準電圧発生手段は、第1の基準電圧供給手段からの第1の基準電圧と第2の基準電圧供給手段からの第2の基準電圧との和を出力ノードから出力する。

10

【0100】

第2の基準電圧は、バーンインテストを行なうための基準電圧であるため、セルフリフレッシュ動作時には必要がない。このため、供給停止手段によってセルフリフレッシュ動作時の第1の基準電圧供給手段が停止される。これにより、セルフリフレッシュ動作時の消費電流が減少する。

【0101】

請求項11に記載の本発明によれば、通常動作時においては、差動増幅手段が出力する制御電圧により内部電源電圧が制御される。

【0102】

セルフリフレッシュ動作時においては、停止手段により差動増幅手段の動作が停止され、トランジスタ制御手段によりNチャネルトランジスタが導通させられる。Nチャネルトランジスタは、電源ノードと電圧出力ノードとの間に設けられているので、導通すると、外部電源電圧に基づく内部電源電圧が電圧出力ノードに供給される。

20

【0103】

したがって、セルフリフレッシュ動作のスタンバイ時にも電流を消費する差動増幅手段がセルフリフレッシュ時に停止されるので、消費電流が減少する。

【0104】

請求項12に記載の本発明によれば、メモリセルアレイおよび周辺回路に対応して第1および第2の内部電源電圧発生手段が設けられる。第1および第2の内部電源電圧発生手段により発生される第1および第2の内部電源電圧は、セルフリフレッシュ動作時において、第1および第2の電圧制御手段により通常動作時よりも低く制御される。

30

【0105】

このように、メモリセルアレイと周辺回路とで別の内部電源電圧を供給可能である。このため、特に、セルフリフレッシュ時において、メモリセルアレイおよび周辺回路のそれぞれを最適な電源電圧で動作させることができる。

【0106】

請求項13に記載の本発明によれば、昇圧電圧発生手段においては、セルフリフレッシュ動作時に、リング発信手段の発信するパルス信号の周波数が通常動作時よりも低くされる。

【0107】

このため、ポンピング手段のポンピング周波数が低くなる。したがって、セルフリフレッシュ動作時の消費電流が減少する。

40

【0108】

請求項14に記載の本発明によれば、セルフリフレッシュ動作時に、昇圧電圧発生手段においてリング発信手段が停止するとともにポンピング手段から昇圧電圧出力ノードへの昇圧電圧の供給が遮断される。それとともに、Nチャネルトランジスタを介して基準電源電圧よりもしきい値電圧分だけ低い昇圧電圧が昇圧電圧出力ノードに供給される。

【0109】

このように、セルフリフレッシュ動作時にリング発信手段の動作が停止され、それに従ってポンピング手段の動作も停止されて、別の供給経路から昇圧電圧が供給されるため、セ

50

セルフリフレッシュ時の消費電流が減少する。

【0110】

請求項15に記載の本発明によれば、請求項14に記載の基準電源電圧として外部電源電圧が用いられる。これにより、Nチャネルトランジスタにより外部電源電圧よりもしきい値電圧分だけ低い電圧が昇圧電圧になる。

【0111】

請求項16に記載の本発明によれば、セルフリフレッシュ動作時に、昇圧電圧発生手段においてリング発信手段が停止するとともに、ポンピング手段から昇圧電圧出力ノードへの昇圧電圧の供給が遮断される。それとともに、外部電源電圧供給手段から外部電源電圧が昇圧電圧として昇圧電圧出力ノードに供給される。

10

【0112】

このように、セルフリフレッシュ動作時にリング発信手段の動作が停止され、それに伴ってポンピング手段の動作も停止されて、別の供給経路から昇圧電圧が供給されるため、セルフリフレッシュ動作時の消費電流が減少する。

【0113】

さらに、昇圧電圧が外部電源電圧のレベルとなるため、セルフリフレッシュ動作を通常動作よりも低い内部電源電圧で行なう場合のみならず、セルフリフレッシュ動作を通常動作と同じ内部電源電圧で行なう場合にも用いることが可能となる。

【0114】

請求項17に記載の本発明によれば、CMOS回路およびアナログ回路には、それぞれ対応する第1および第2の内部電源電圧供給手段から第1および第2の内部電源電圧が供給される。第1および第2の内部電源電圧のそれぞれは、セルフリフレッシュ動作時に通常動作時よりも低い電圧にされる。これにより、セルフリフレッシュ動作時の消費電流が減少する。

20

【0115】

また、内部電源電圧の供給源が異なるため、セルフリフレッシュ動作時の第1および第2の内部電源電圧を、CMOS回路およびアナログ回路の各々の安定動作に最適な電圧にすることが可能である。そのようにすれば、CMOS回路およびアナログ回路が安定して動作する。

【0116】

請求項18に記載の本発明によれば、セルフリフレッシュ動作の終了時において、内部電源電位差が通常動作時の電位差のレベルに復帰する場合、その内部電源電位差が所定値と同程度になると、比較手段の出力信号が活性化される。そして、その活性化にตอบสนองして、外部出力手段により所定レベルの信号が外部に出力される。

30

【0117】

したがって、セルフリフレッシュ動作の終了後、内部電源電位差が通常動作時の電位差に復帰したことを外部にて知ることが可能となる。

【0118】

請求項19に記載の本発明によれば、セルフリフレッシュ動作時において、第1の内部電源電位差発生手段により発生される第1の内部電源電位および第2の内部電源電位差発生手段により発生される第2の内部電源電位がそれぞれ変化する。

40

【0119】

第1の内部電源電位のレベルは、第1の電位制御手段によって、通常動作時のレベルよりも所定幅低くされる。第2の内部電源電位のレベルは、第2の電位制御手段によって、第1の内部電源電位のレベルの変化幅と同じ幅だけ、通常動作時のレベルよりも高くされる。

【0120】

このため、セルフリフレッシュ動作時の内部電源電位差は、通常動作時のその電位差よりも小さくされる。したがって、セルフリフレッシュ動作時において消費電流が減少する。さらに、その場合は、第1の内部電源電位の変化幅と、第2の内部電源電位の変化幅とが

50

等しく、かつそれらが逆に変化する。このため、セルフリフレッシュ時における電位スイングの中心値である内部電源電位差の $1/2$ のレベルの値は、通常動作時のその値に対して変化しない。

【0121】

内部電源電位差の $1/2$ のレベルの値は、データの書込および読出の基準の電位であるが、内部電源電位差を変化させてもその値が変化しないため、内部電源電位差の変化時のパンプの影響が全くなくなる。

【0122】

請求項20に記載の本発明によれば、セルフリフレッシュ動作時に内部電源電位差発生手段により発生される内部電源電位差は、少なくとも一定期間、通常動作時の電位差よりも小さくされる。したがって、セルフリフレッシュ動作時の消費電流が減少する。

10

【0123】

また、セルフリフレッシュ動作時におけるリフレッシュは、基本的に、第1のリフレッシュ周期設定手段により設定される標準のリフレッシュ周期で実行される。そして、例外的に、内部電源電位差の減少前におけるリフレッシュは、標準のリフレッシュ周期よりも短い周期で実行される。そのリフレッシュ周期は、第2のリフレッシュ周期設定手段で設定される。

【0124】

このため、セルフリフレッシュ動作の開始までに蓄積電荷が減少して厳しい状態となっているメモリセルが、十分な電荷が蓄積された状態にされる。したがって、その時点で、リフレッシュの実力の初期化が行なえる。これにより、内部電源電位差を減少させる場合におけるパンプの影響を受けにくくなり、その結果として動作が安定化する。

20

【0125】

それに加えて、セルフリフレッシュ開始時において、短い周期でセルフリフレッシュを実行するため、メモリセルが、電荷が十分に蓄積された状態になる。このため、リフレッシュの開始時に要求されるリフレッシュの実力に関する条件を、外部からの複雑な制御を行なうことなく満足させることができる。

【0126】

請求項21に記載の本発明によれば、セルフリフレッシュ動作時に内部電源電位差発生手段により発生される内部電源電位差は、少なくとも一定期間、通常動作時の電位差よりも小さくされる。したがって、セルフリフレッシュ動作時の消費電流が減少する。

30

【0127】

また、セルフリフレッシュ動作時におけるリフレッシュは、基本的に第1のリフレッシュ周期設定手段により設定される標準のリフレッシュ周期で実行される。そして、例外的に、内部電源電位差の増加前の所定期間におけるリフレッシュは、標準のリフレッシュ周期よりも短い周期で実行される。そのリフレッシュ周期は、第2のリフレッシュ周期設定手段で設定される。

【0128】

このため、内部電源電位差の増加前において、蓄積電荷が減少して厳しい状態となっているメモリセルが、十分な電荷が蓄積された状態にされる。

40

【0129】

これにより、内部電源電位差を増加させる場合におけるパンプの影響を受けにくくなり、その結果として動作が安定化する。

【0130】

請求項22に記載の本発明によれば、セルフリフレッシュ動作時に内部電源電位差発生手段により発生される内部電源電位差は、少なくとも一定期間、通常動作時の電位差よりも小さくされる。したがって、セルフリフレッシュ動作時の消費電流が減少する。

【0131】

また、セルフリフレッシュ動作時におけるリフレッシュは、基本的に、第1のリフレッシュ周期設定手段により設定される標準のリフレッシュ周期で実行される。そして、例外的

50

に、内部電源電位差の増加完了後におけるリフレッシュは、標準のリフレッシュ周期よりも短い周期で実行される。そのリフレッシュ周期は、第2のリフレッシュ周期設定手段により設定される。

【0132】

このため、内部電源電位差の増加完了までに蓄積電荷が減少して厳しい状態となっているメモリセルが、十分な電荷が蓄積された状態にされる。したがって、その時点で、リフレッシュの実力の初期化が行なえる。したがって、リフレッシュ動作から通常動作に移行する前に要求されるリフレッシュの実力に関する条件を、外部からの複雑な制御を行なうことなく満足させることができる。

【0133】

請求項23に記載の本発明によれば、セルフリフレッシュ動作においては、基本的に、第1のリフレッシュ周期設定手段により設定される標準のリフレッシュ周期でリフレッシュが実行される。そして、例外的に、セルフリフレッシュ動作の開始当初の所定期間においては、第2のリフレッシュ周期設定手段により、標準のリフレッシュ周期よりも短いリフレッシュ周期が設定され、そのリフレッシュ周期でリフレッシュが行なわれる。

【0134】

したがって、セルフリフレッシュ動作の開始当初において、メモリセルに十分な電荷が蓄積された状態が実現できる。これにより、その時点で、リフレッシュの実力の初期化が行なえる。請求項24に記載の本発明によれば、セルフリフレッシュ動作時に、基準電圧発生手段のスイッチング手段により調整可能な基準電圧に基づいて内部電源電位差発生手段により発生される内部電源電位と接地電位との差である内部電源電位差は、通常動作時よりも電位スイングのスイング幅が小さくなるような電位差にされる。したがって、セルフリフレッシュ動作時の消費電流が減少する。

【0135】

【実施例】

次に、この発明の実施例を図面に基づいて詳細に説明する。

【0136】

第1実施例

まず、第1実施例について説明する。

【0137】

以下の説明において、ノーマル動作とは、セルフリフレッシュ動作以外の動作をいい、書込動作および読出動作を含む動作である。

【0138】

図1は、第1実施例によるDRAMのセルフリフレッシュに関連する部分の回路のブロック図である。図1を参照して、この回路には、タイミング発生回路1、内部降圧回路2、遅延回路3、ANDゲート41および内部RAS発生回路5が含まれる。

【0139】

タイミング発生回路1は、外部ロウアドレスストロブ信号ext/RASおよび外部コラムアドレスストロブ信号ext/CASを受け、これらの信号に応答してセルフリフレッシュイネーブル信号SREを発生する。

【0140】

内部降圧回路(VDC)2は、外部電源ノードN1から電源電圧として外部電源電圧extVccを受けるとともに制御信号として信号SREを受ける。内部降圧回路2は、外部電源電圧extVccを降圧した内部電源電圧intVccを発生する。また、内部降圧回路2は、信号SREに応答して内部電源電圧intVccのレベルを制御する。

【0141】

ANDゲート41は、信号SREと、その信号SREが遅延回路3で遅延された信号とを受け、これらの信号に応答して信号SREDを出力する。

【0142】

内部RAS発生回路は、信号ext/RASおよび信号SREDを受け、これらの信号に

10

20

30

40

50

応答して内部ロウアドレスストローブ信号 int / RAS を発生する。この信号 int / RAS は、セルフリフレッシュ周期を規定する信号である。

【0143】

次に、図1の内部RAS発生回路5について詳細に説明する。

図2は、第1実施例による内部RAS発生回路5の構成を示す回路図である。図2を参照して、この内部RAS発生回路5は、リング発信器51、サイクル変換器52、インバータ53、バッファ54およびANDゲート55を含む。

【0144】

リング発信器51は、NANDゲート511および複数のインバータよりなるインバータ列512を含む。NANDゲート511およびインバータ列512は、環状に接続される。NANDゲート511は、インバータ列512の一部のノードからフィードバックされる信号と、信号 $SRED$ とを受ける。

10

【0145】

このリング発信器51においては、信号 $SRED$ をトリガ信号として所定周期のパルス信号を発生する。サイクル変換器52は、リング発信器51から出力されるパルス信号の間引きを行ない、入力されるパルス信号よりも長い周期のパルス信号を発生する。

【0146】

サイクル変換器52で発生するパルス信号のパルス幅 trr は、セルフリフレッシュ動作のアクティブ期間を規定するものである。したがって、そのパルス信号のパルス幅 trr は、低電源電圧での動作状態においても十分な動作マージンを有するような幅に設定される。

20

【0147】

ANDゲート55は、サイクル変換器52から出力されるパルス信号がインバータ53で反転された信号と、信号 $extRAS$ がバッファ54を経た信号とを受け、これらの信号に応答して信号 int / RAS を出力する。すなわち、内部アドレスストローブ信号 int / RAS は、信号 $SRED$ がHレベルであり、かつ、信号 $extRAS$ がHレベルである状態で所定周期のパルス信号となる。

【0148】

次に、図1の内部降圧回路2について詳細に説明する。

図3は、第1実施例による内部降圧回路2の構成を示す回路図である。図3を参照して、この内部降圧回路2は、基準電圧発生回路21、差動増幅回路22およびPMOSトランジスタ23を含む。

30

【0149】

基準電圧発生回路21は、定電流源211、抵抗212、抵抗213およびNMOSトランジスタ214を含む。外部電源ノードN1と、出力ノードN7との間に定電流源211が接続される。出力ノードN7と、接地電位を受ける接地ノードN2との間に抵抗212および213が直列に接続される。出力ノードN7と、抵抗212および213の間のノードとの間にトランジスタ214が接続される。このトランジスタ214は、ゲートに信号 SRE を受けて動作する。

【0150】

この基準電圧発生回路21は、次のように動作して基準電圧 $Vref$ を発生する。

40

【0151】

定電流源211が一定の電流 I を発生する。このため、抵抗212および213とトランジスタ214とに定電流源211からの電流が流れる。このように流れる電流と、抵抗212の抵抗値 $R1$ 、抵抗213の抵抗値 $R2$ およびトランジスタ214の抵抗値 $Rtr(t)$ とに基づいて、出力ノードN7における電圧である基準電圧 $Vref$ が発生する。この基準電圧 $Vref$ は、下記(1)式で表わされる。

【0152】

$$Vref = I \times \{ R1 / [1 + R1 / Rtr(t) + R2] \} \dots (1)$$

前記(1)式に基づいて、トランジスタ214がオンしている場合およびオフしている場

50

合のそれぞれにおける基準電圧 V_{ref} について説明する。

【0153】

トランジスタ 214 が完全にオンしている場合の基準電圧 V_{ref} は、この場合のトランジスタ 214 のオン抵抗を R_{tr} とすると、下記 (2) 式で表わされる値となる。

【0154】

$$V_{ref} = I \times (R_1 / (1 + R_1 / R_{tr}) + R_2) \quad \dots (2)$$

トランジスタ 214 がオフしている場合の基準電圧 V_{ref} は、下記 (3) 式で表わされる値となる。

【0155】

$$V_{ref} = I \times (R_1 + R_2) \quad \dots (3)$$

10

このように、基準電圧発生回路 21 が発生する基準電圧 V_{ref} は、信号 SRE が H レベルになるセルフリフレッシュ動作時における電圧が、信号 SRE が L レベルでなるノーマル動作時の電圧よりも低く設定される。

【0156】

トランジスタ 23 は、外部電源ノード N_1 と、内部電源電圧出力ノードとしての出力ノード N_3 との間に接続される。差動増幅回路 22 は、基準電圧発生回路 21 からの基準電圧 V_{ref} を負側入力端子に受け、出力ノード N_3 から出力される内部電源電圧 $intV_{cc}$ を正側入力端子に受ける。

【0157】

差動増幅回路 22 は、それらの信号を差動増幅し、その出力電圧をトランジスタ 23 のゲートに与える。トランジスタ 23 は、ゲートに受ける電圧に応答して導通状態が制御される。その導通状態の変化により、内部電源電圧 $intV_{cc}$ が基準電圧 V_{ref} と同じになるように制御される。

20

【0158】

次に、図 1 の回路の動作について説明する。

図 4 は、セルフリフレッシュ動作時における図 1 の回路の動作タイミングを示すタイミングチャートである。図 4 を参照して、 CBR タイミングの後、その状態が所定期間保持されると、タイミング発生回路 1 により信号 SRE が H レベルに立上げられる。それに応答して、内部降圧回路 2 が内部電源電圧 $intV_{cc}$ をたとえば 2.5 V から 1.5 V まで下降させる。

30

【0159】

その後、信号 SRE の立上げりに遅延して遅延回路 3 の出力信号が H レベルになり、これによって、信号 $SRED$ が H レベルに立上がる。その立上げりに応答して、内部 RAS 発生回路 5 が出力する信号 int/RAS が、所定のリフレッシュ周期 trc のパルス信号となり、セルフリフレッシュ動作が開始される。

【0160】

そのセルフリフレッシュ動作は、たとえば、1.5 V の内部電源電圧 $intV_{cc}$ で行なわれる。したがって、この場合の電圧スイングのスイング幅は、ノーマル動作時の 2.5 V よりも小さい 1.5 V となる。

【0161】

40

その後、信号 ext/RAS が H レベルに立上がる。それに応答して、信号 SRE が L レベルに立下がる。これがセルフリフレッシュ動作停止のトリガとなる。

【0162】

信号 SRE が L レベルに立下がると、それに応答して、内部降圧回路 2 が内部電源電圧 $intV_{cc}$ を、たとえば 1.5 V から 2.5 V に上昇させる。また、信号 SRE の立下がりに応答して信号 $SRED$ が L レベルに立下がる。それに応答して、内部 RAS 発生回路 5 が出力する信号 int/RAS がパルスの発生を停止し、セルフリフレッシュ動作が終了する。

【0163】

このように、図 1 の回路においては、セルフリフレッシュ動作時の内部電源電圧 $intV$

50

cc のレベルがノーマル動作時の内部電源電圧 $i n t V c c$ のレベルよりも低く制御される。その結果、セルフリフレッシュ動作時の消費電流が低減できる。

【0164】

具体的には、内部電源電圧 $i n t V c c$ がノーマル動作時の 2.5 V からセルフリフレッシュ動作時の 1.5 V に下げられるという条件下では、セルフリフレッシュ動作時のアクティブ期間の消費電流が 1.5 / 2.5 に減少する。

【0165】

このように、内部電源電圧を低くすると、アクセス速度は遅くなる。しかし、セルフリフレッシュ動作時においては、アクセス速度は最低限確保されていればよいため、アクセス速度の低下は大きな問題ではない。したがって、セルフリフレッシュ動作時の内部電源電圧 $i n t V c c$ が、セルフリフレッシュ動作に対するマージンを十分に確保できるようなれの電圧であればよい。

10

【0166】

以上のように、第1実施例では、内部回路における容易な制御によりセルフリフレッシュ動作時の消費電流を低減できる。

【0167】

なお、以上に説明した内部降圧回路2は、次のような回路であってもよい。図3を参照して、その内部降圧回路において、トランジスタ214のゲートと接地ノードN2との間に、極性を有するキャパシタCを設けてもよい。このキャパシタCは、たとえば、MOSキャパシタである。

20

【0168】

このようなキャパシタCを設けると、キャパシタCの容量により、トランジスタ214のゲートが受ける信号SREがLレベルからHレベルに変化する速度と、その信号SREがHレベルからLレベルに変化する速度とを異ならせることができる。

【0169】

したがって、内部電源電圧 $i n t V c c$ を下降させる期間の長さとそれを上昇させる期間の長さとを異ならせることができる。好ましくは、内部電源電圧 $i n t V c c$ を上昇させる期間を下降させる期間よりも長くする。

【0170】

このようにすると、パンプの影響を受けやすい内部電源電圧の上昇期間において、内部電源電圧 $i n t V c c$ をゆっくりと上昇させることができる。したがって、パンプの影響を受けにくくすることができ、動作の安定化を図ることができる。

30

【0171】

第2実施例

次に、第2実施例について説明する。第2実施例においては、セルフリフレッシュ動作時の消費電流を低減させるその他の例として、セルフリフレッシュ動作時に、メモリセルアレイの接地電位を外部接地電位 $e x t G N D$ よりも高く制御する例について説明する。

【0172】

図5は、第2実施例によるDRAMのセルフリフレッシュに関連する部分の回路のブロック図である。図5を参照して、このDRAMは、メモリセルアレイ101、周辺回路102、VBB発生回路103、疑似GND発生回路104、NMOSTランジスタ105、106、108およびインバータ107を含む。

40

【0173】

接地線800は、外部接地電位 $e x t G N D$ を受ける。周辺回路102は、接地線800に接続される。メモリセルアレイ101は、疑似GND発生回路104およびトランジスタ108のそれぞれを介して接地線800に接続される。言い換えると、メモリセルアレイ101と接地線800との間に、疑似GND発生回路104とトランジスタ108とが並列に接続される。

【0174】

VBB発生回路103は、基板電位VBBを発生させる。VBB発生回路103と、外部

50

接地電位 $e x t G N D$ を受ける外部接地ノード $N 2$ との間に、トランジスタ $1 0 5$ および $1 0 6$ が直列に接続される。トランジスタ $1 0 5$ および $1 0 6$ の間のノードから基板電位がメモリセルアレイ $1 0 1$ に与えられる。

【0175】

インバータ $1 0 7$ は、図 1 に示されるような信号 $S R E$ を受け、その信号を反転させてトランジスタ $1 0 5$ および $1 0 8$ のそれぞれのゲートに与える。また、トランジスタ $1 0 6$ のゲートには、信号 $S R E$ が与えられる。

【0176】

疑似 $G N D$ 発生回路 $1 0 4$ は、疑似 $G N D$ 電位を発生する。ここで、疑似 $G N D$ 電位とは、メモリセルアレイ $1 0 1$ におけるビット線のプリチャージレベルと外部接地電位 $e x t G N D$ との間において新たに発生される接地電位のレベルをいう。

10

【0177】

このような疑似 $G N D$ 電位は、具体的には、疑似 $G N D$ 発生回路 $1 0 4$ において、たとえば次のように発生される。疑似 $G N D$ 発生回路 $1 0 4$ は、メモリセルアレイと接続される疑似 $G N D$ 線およびその疑似 $G N D$ 線と接地線 $8 0 0$ との間に接続された $N M O S$ トランジスタを含む。疑似 $G N D$ 発生回路 $1 0 4$ においては、接地線 $8 0 0$ の電位である外部接地 $e x t G N D$ から前記 $N M O S$ トランジスタのしきい値電圧だけ高い電位である疑似 $G N D$ 電位が前記疑似 $G N D$ 線に発生する。

【0178】

次に、図 5 の回路の動作について説明する。

20

ノーマル動作時においては、信号 $S R E$ が L レベルである。この場合にはトランジスタ $1 0 5$ および $1 0 8$ がともにオンし、トランジスタ $1 0 6$ がオフする。このため、メモリセルアレイ $1 0 1$ には、 $V B B$ 発生回路 $1 0 3$ によって発生される基板電位がトランジスタ $1 0 5$ を介して与えられる。それとともに、メモリセルアレイ $1 0 1$ には、外部接地電位 $e x t G N D$ がトランジスタ $1 0 8$ を介して与えられる。

【0179】

セルフリフレッシュ動作時には、信号 $S R E$ が H レベルになる。この場合には、トランジスタ $1 0 6$ がオンし、トランジスタ $1 0 5$ および $1 0 8$ がともにオフする。このため、メモリセルアレイ $1 0 1$ への基板電位の供給が停止される。それとともに、メモリセルアレイ $1 0 1$ には、接地電位として疑似 $G N D$ 発生回路 $1 0 4$ からの疑似 $G N D$ 電位が供給される。

30

【0180】

このようなセルフリフレッシュ動作時には、メモリセルアレイ $1 0 1$ の接地電位が外部接地電位 $e x t G N D$ よりも高い疑似 $G N D$ 電位になるため、メモリセルの電圧スイングのスイング幅が減少する。したがって、セルフリフレッシュ動作時の消費電流が減少する。

【0181】

さらに、セルフリフレッシュ動作時にメモリセルアレイ $1 0 1$ への基板電位の供給が停止されるので、 $V B B$ 発生回路 $1 0 3$ の消費電流が減少する。このため、セルフリフレッシュ動作時の消費電流がさらに減少することになる。

40

【0182】

なお、セルフリフレッシュ動作時にメモリセルアレイ $1 0 1$ への基板電位の供給を停止するのは、メモリセルアレイの接地電位が外部接地電位 $e x t G N D$ よりも高い電位に設定されることにより、リーク電流が減少するため、敢えて、基板電位を供給する必要がないためである。

【0183】

なお、第 1 実施例においては、セルフリフレッシュ動作時に内部電源電圧を低くする場合について説明し、第 2 実施例においては、セルフリフレッシュ動作時に接地電位を上昇させる場合について説明したが、セルフリフレッシュ動作時に、内部電源電圧を低下させかつ接地電位を上昇させる制御を行なってもよい。

50

【 0 1 8 4 】

第 3 実施例

次に、第 3 実施例について説明する。図 6 は、第 3 実施例による D R A M のセルフリフレッシュに関連する部分の回路のブロック図である。

【 0 1 8 5 】

図 6 の回路が図 1 の回路と異なるのは、次の点である。セルフリフレッシュ動作開始時に内部電源電圧を下降させる期間を規定する内部電源電圧低下活性化信号 A P D を発生させるためのインバータ 4 2 および A N D ゲート 4 3 が、図 1 の回路に付加される。

【 0 1 8 6 】

また、セルフリフレッシュ動作終了時に内部電源電圧を上昇させる期間を規定する内部電源電圧上昇活性化信号 A P U を発生させるためのインバータ 4 4 および A N D ゲート 4 5 が図 1 の回路に付加されている。さらに、内部 R A S 発生回路 5 1 の構成が図 1 の内部 R A S 発生回路と異なる。

【 0 1 8 7 】

A N D ゲート 4 3 は、信号 S R E がインバータ 4 2 で反転された信号と、遅延回路 3 の出力信号とを受け、それらの信号にตอบสนองして信号 A P U を発生する。A N D ゲート 4 5 は、遅延回路 3 の出力信号がインバータ 4 4 で反転された信号と信号 S R E とを受け、それらの信号にตอบสนองして信号 A P D を発生する。

【 0 1 8 8 】

内部 R A S 発生回路 5 1 は、信号 A P U 、 A P D 、 S R E D および e x t R A S を受け、それらの信号にตอบสนองして、内部電源電圧 i n t V c c の下降期間、保持期間および上昇期間のそれぞれに対応した周波数の信号 i n t / R A S を発生する。

【 0 1 8 9 】

次に、内部 R A S 発生回路 5 1 について詳細に説明する。

図 7 は、内部 R A S 発生回路 5 1 の構成を示すブロック図である。図 7 を参照して、この内部 R A S 発生回路 5 1 は、リング発信器 5 0 1 、 A N D ゲート 5 0 2 , 5 0 3 , 5 0 4 、サイクル変換器 5 0 5 , 5 0 6 , 5 0 7 、インバータ 5 0 8 , 5 0 9 , 5 1 0 、バッファ 5 1 1 および 4 入力 A N D ゲート 5 1 2 を含む。

【 0 1 9 0 】

リング発信器 5 0 1 は、信号 S R E を受け、その信号にตอบสนองして所定周期のパルス信号を発生する。A N D ゲート 5 0 2 は、信号 A P U およびリング発信器 5 0 1 からのパルス信号を受け、それらの信号にตอบสนองして出力信号を発生させる。A N D ゲート 5 0 3 は、信号 A P D およびリング発信器 5 0 1 からのパルス信号を受け、それらの信号にตอบสนองして出力信号を発生する。A N D ゲート 5 0 4 は、信号 S R E D およびリング発信器 5 0 1 からのパルス信号を受け、それらの信号にตอบสนองして出力信号を発生する。

【 0 1 9 1 】

サイクル変換器 5 0 5 は、A N D ゲート 5 0 2 からのパルス信号を受け、その信号に基づいて第 1 の周期 t d r のパルス信号を発生する。サイクル変換器 5 0 6 は、A N D ゲート 5 0 3 からのパルス信号を受け、その信号に基づいて第 2 の周期 t u r のパルス信号を発生させる。サイクル変換器 5 0 7 は、A N D ゲート 5 0 4 からのパルス信号を受け、その信号に基づいて第 3 の周期 t r c のパルス信号を発生させる。

【 0 1 9 2 】

サイクル変換器 5 0 5 において発生したパルス信号はインバータ 5 0 8 を介して反転されて A N D ゲート 5 1 2 に与えられる。サイクル変換器 5 0 6 で発生したパルス信号は、インバータ 5 0 9 を介して反転されて A N D ゲート 5 1 2 に与えられる。サイクル変換器 5 0 7 で発生したパルス信号はインバータ 5 1 0 を介して反転されて A N D ゲート 5 1 2 に与えられる。さらに、信号 e x t / R A S の反転信号である e x t R A S がバッファ 5 1 1 を介して A N D ゲート 5 1 2 に与えられる。

【 0 1 9 3 】

A N D ゲート 5 1 2 は、与えられた 4 つの信号にตอบสนองして、信号 i n t / R A S を発生す

10

20

30

40

50

る。

【0194】

このような内部RAS発生回路51においては、セルフリフレッシュ動作が行なわれる場合には信号SREおよび信号extRASとともにHレベルになる。このため、リング発信器501においてパルス信号が発生される。

【0195】

この状態において信号APDがHレベルになると、ANDゲート502からパルス信号が出力される。このため、サイクル変換器505からの第1の周期tdrを有するパルス信号が、インバータ508で反転されてANDゲート512に与えられる。この状態においては、インバータ509およびインバータ510のそれぞれからANDゲート512に与えられる信号はともにHレベルであるため、ANDゲート512から出力される信号int/RASは第1の周期のパルス信号となる。

10

【0196】

同様に、このような状態において、信号SREDがHレベルになると、ANDゲート512から出力されるint/RASは、第3の周期trcのパルス信号となる。さらに同様に、このような状態において、信号APUがHレベルになると、ANDゲート512から第2の周期turのパルス信号が出力される。

【0197】

このように、内部RAS発生回路51においては、信号APD、信号SREDおよび信号APUのそれぞれにตอบสนองして、3種類の周期を有するパルス信号が信号int/RASとして発生される。

20

【0198】

前述した第1～第3の周期のそれぞれは、内部電源電圧intVccの下降期間、保持期間および上昇期間のそれぞれについて最適な周期に設定される。なお、前記下降期間および上昇期間は、内部電源電圧intVccの過渡期であるため、バンプ等の影響を受けやすい。そのため、バンプ等の影響を受けにくくするために、第1の周期tdrおよび第2の周期turのそれぞれは、前記保持期間における第3の周期trcよりも短い周期に設定される。

【0199】

これにより、セルフリフレッシュ動作時における内部電源電圧intVccの下降期間および上昇期間のそれぞれにおいてバンプ等の影響を受けにくくなる。

30

【0200】

次に、図6の回路の動作について説明する。

図8は、セルフリフレッシュ動作時の図6の回路の動作タイミングを示すタイミングチャートである。図8の動作タイミングが、図4の動作タイミングと異なるのは、信号SRED、信号APD、信号APUおよび信号int/RASのそれぞれの変化である。

【0201】

内部電源電圧intV/c cは、図4の場合と同様に变化する。

信号SREがHレベルに立上ると、それにตอบสนองして、信号APDが立上る。信号APDは、内部電源電圧intVccの下降期間に対応してHレベルに保持される。これにより、信号APDがHレベルである期間、すなわち内部電源電圧intVccの下降期間において信号int/RASが第1の周期tdrを有するパルス信号となり、それに従って第1の周期tdrでのセルフリフレッシュ動作が実行される。

40

【0202】

その後、遅延回路3における信号の遅延時間の経過後、信号APDがLレベルに立下がるとともに信号SREDがHレベルに立上る。信号SREDは、内部電源電圧intVccが低いレベルに保持されている期間に対応してHレベルに保持される。信号SREDがHレベルに保持されている期間、すなわち内部電源電圧intVccの保持期間においては、信号int/RASが第3の周期trcを有するパルス信号となる。このため、内部電源電圧intVccの保持期間においては、第3の周期trcでセルフリフレッシュ動作

50

が実行される。

【0203】

その後、信号SREがLレベルに立下がる。その立下りに応答して、信号SREDがLレベルに立下がるとともに信号APUがHレベルに立上る。信号APUは、内部電源電圧 $i n t V c c$ の上昇期間に対応してHレベルに保持される。このため、信号APUがHレベルに保持されている期間、すなわち、内部電源電圧 $i n t V c c$ の上昇期間においては、信号 $i n t / R A S$ が第2の周期 $t u r$ を有するパルス信号となる。このため内部電源電圧 $i n t V c c$ の上昇期間においては、第2の周期 $t u r$ でセルフリフレッシュ動作が実行される。

【0204】

以上のように、第3実施例では、第1の実施例と同様に、内部回路における容易な制御によりセルフリフレッシュ動作時の消費電流を低減できる。それに加えて、第3実施例では、内部電源電圧 $i n t V c c$ の下降期間および上昇期間のそれぞれにおいて、パンプ等の影響を受けにくい最適な周期でセルフリフレッシュが行なわれるため、第1実施例の場合よりもセルフリフレッシュ動作時の動作の安定化を図ることができる。

【0205】

なお、この第3実施例においては、セルフリフレッシュ動作時に内部電源電圧 $i n t V c c$ の下降制御を行なうことにより電圧スイングのスイング幅を小さくしたが、これに限らず、第2実施例に示されるような接地電位の上昇制御を行なってもよい。また、前記下降制御および上昇制御を併用してもよい。

【0206】

第4実施例

次に、第4実施例について説明する。

【0207】

図9は、第4実施例によるDRAMのセルフリフレッシュに関連する部分の回路のブロック図である。図9を参照して、図9の回路が、図6の回路と異なるのは、次の点である。

【0208】

セルフリフレッシュ動作時における内部電源電圧 $i n t V c c$ の下降および上昇のそれぞれを複数段階で行なうための期間を規定する信号SRE1および信号SRE2を発生するために、図6の回路に加えて、遅延回路30、ORゲート47およびANDゲート48が設けられる。

【0209】

また、内部降圧回路21の構成が図6の内部降圧回路2と異なる。

遅延回路30は、信号SREを受け、その信号を遅延させて出力する。ORゲート47は、信号SREと遅延回路30の出力信号とを受け、それらの信号に応答して信号SRE1を発生する。ANDゲート48は、遅延回路30の出力信号と信号SREとを受け、それらの信号に応答して信号SRE2を発生する。

【0210】

内部降圧回路21は、信号SRE1および信号SRE2を受け、セルフリフレッシュ動作時における内部電源電圧 $i n t V c c$ の上昇および下降のそれぞれを2段階で行なう。

【0211】

次に、図9の内部降圧回路21について詳細に説明する。

図10は、第4実施例による内部降圧回路21の構成を示す回路図である。図10を参照して、図10の回路が図3の回路と異なるのは、基準電圧発生回路24の構成である。

【0212】

基準電圧発生回路24が図3の基準電圧発生回路21と異なるのは、出力ノードN7と抵抗242および243の間のノードとの間にトランジスタ214の他にNMOSTランジスタ215が接続されたことである。この基準電圧発生回路24においては、トランジスタ214が信号SRE1をゲートに受け、一方、トランジスタ215が、信号SRE2をゲートに受ける。

10

20

30

40

50

【0213】

次に、図10の内部降圧回路の動作について説明する。その説明においては、図3の内部降圧回路の動作と異なる動作を主に説明する。

【0214】

定電流源211からの電流は、抵抗212および213とトランジスタ214および215に流れる。このように流れる電流と、抵抗212の抵抗値 R_1 、抵抗213の抵抗値 R_2 、トランジスタ214の抵抗値 $R_{tr1}(t)$ およびトランジスタ215の抵抗値 $R_{tr2}(t)$ とに基づいて、出力ノードN7における電圧である基準電圧 V_{ref} が発生する。この基準電圧 V_{ref} は、下記(4)式で表される。

【0215】

$$V_{ref} = I \times (R_1 / (1 + R_1 / (R_{tr1}(t) + R_{tr2}(t))) + R_2) \quad \dots (4)$$

10

前記(4)式に基づいて、トランジスタ214および215のそれぞれの動作状態別に発生する基準電圧 V_{ref} について説明する。

【0216】

トランジスタ214および215がともに完全にオンしている場合は、この場合のトランジスタ214および215のそれぞれのオン抵抗を R_{tr1} および R_{tr2} とすると下記(5)式で表される値となる。

【0217】

$$V_{ref} = I \times (R_1 / (1 + R_1 / (R_{tr1} + R_{tr2})) + R_2) \quad \dots (5)$$

20

トランジスタ215のみがオフしている場合の基準電圧 V_{ref} は、下記(6)式で表される値となる。

【0218】

$$V_{ref} = I \times (R_1 / (1 + R_1 / R_{tr1}) + R_2) \quad \dots (6)$$

トランジスタ214および215がともにオフしている場合の基準電圧 V_{ref} は、下記(7)式で表される値となる。

【0219】

$$V_{ref} = I \times (R_1 + R_2) \quad \dots (7)$$

このように、内部降圧回路24においては、基準電圧 V_{ref} が3種類のレベルの電圧になり得る。したがって、内部電源電圧 $intV_{cc}$ の下降および上昇のそれぞれを2段階で実行し得る。

30

【0220】

なお、図10においては、内部電源電圧 $intV_{cc}$ を2段階で変化させる回路について説明したが、内部電源電圧 $intV_{cc}$ を3段階以上で変化させることも可能である。すなわち、トランジスタ214および215のようなNMOSTランジスタを3個以上設け、それぞれを異なる信号で制御するようにすると、内部電源電圧 $intV_{cc}$ の下降および上昇を3段階以上で実行することが可能となる。

【0221】

次に、図9の回路の動作について説明する。

図11は、セルフリフレッシュ動作時の図9の回路の動作タイミングを示すタイミングチャートである。図11に示される信号 S_{RE1} 、信号 S_{RE2} および内部電源電圧 $intV_{cc}$ 以外の信号の変化は、図8に示されるタイミングチャートと同じである。したがって、信号 S_{RE1} 、信号 S_{RE2} および内部電源電圧 $intV_{cc}$ についてのみ説明する。

40

【0222】

図11、図9および図10を参照して、信号 S_{RE} が立上ると同時に信号 S_{RE1} がHレベルに立上る。それに応答してトランジスタ214がオンし、内部電源電圧 $intV_{cc}$ が1段階下降される。そして、遅延回路30の遅延期間経過後、信号 S_{RE2} がHレベルに立上る。それに応答してトランジスタ215がオンし、内部電源電圧 $intV_{cc}$ がさらに1段階下降される。

50

【0223】

そして、信号SREが立下がると同時に信号SRE2がLレベルに立下がる。それに応答してトランジスタ215がオフし、内部電源電圧intVccが1段階上昇される。そして、遅延回路30の遅延期間経過後、信号SRE1がLレベルに立下がる。それに応答してトランジスタ214がオフし、内部電源電圧intVccがさらに1段階上昇される。

【0224】

このように、内部電源電圧intVccの下降および上昇のそれぞれが2段階のステップで実行されると、内部電源電圧intVccの1回の電圧変化が小さいため、第1および第3の実施例に比べてさらに動作の安定化が図れる。

【0225】

また、内部電源電圧を下降および上昇させる期間のそれぞれの1段階の期間t1およびt2は、すべてのメモリセルがリフレッシュされるタイミングと同期させる。好ましくは、期間t1およびt2が、それぞれ第2の周期tdrおよび第1の周期turで全メモリセルがリフレッシュされる期間の倍数の期間に設定する。このように設定すると、下降期間および上昇期間のような電源電圧の過渡期におけるバンプの影響が減少される。そのため、動作の安定化を図ることができる。

【0226】

第5実施例

次に、第5実施例について説明する。

【0227】

第5実施例においては、内部降圧回路における基準電圧発生回路のその他の例について説明する。

【0228】

具体的には、バーインテストにおいて、基準電圧を通常の内部電源電圧よりも高くする機能を有する基準電圧発生回路について説明する。

【0229】

図12は、第5実施例による内部降圧回路の基準電圧発生回路の構成を示すブロック図である。この基準電圧発生回路は、たとえば、図3における基準電圧発生回路21に相当するものである。図12を参照して、この基準電圧発生回路は、定電流源251、255、抵抗252、254、PMOSトランジスタ253、257および差動増幅回路256を含む。

【0230】

外部電源ノードN1と接地ノードN2との間に定電流源251および抵抗252が接続される。定電流源251および抵抗252の間のノードN9が、出力ノードN4と接続される。外部電源ノードN1と接地ノードN2との間にトランジスタ253、抵抗254および定電流源255が直列に接続される。

【0231】

トランジスタ253は、たとえば図1に示されるようなセルフリフレッシュイネーブル信号SREをゲートに受ける。抵抗254および定電流源255の間のノードN8から電圧が出力される。差動増幅回路256は、その正側入力端子が出力ノードN9に接続され、その負側入力端子がノードN8に接続される。

【0232】

外部電源ノードN1と出力ノードN4との間には、トランジスタ257が接続される。トランジスタ257のゲートは、差動増幅回路256の出力電圧を受ける。

【0233】

次に、図12の基準電圧発生回路の動作について説明する。定電流源251から抵抗252に一定の電流が流れる。これにより、定電流源251および抵抗252の間のノードの電圧（以下第1の基準電圧と呼ぶ）は常に一定の電圧になる。

【0234】

ノーマル動作時においては、信号SREがLレベルであるため、トランジスタ253がオ

10

20

30

40

50

ンしている。この場合、ノードN 8の電圧は、外部電源電圧 $e_{xt}V_{cc}$ から抵抗254の電圧効果分だけ下がった電圧値になる。すなわち、ノードN 8の電圧は、外部電源電圧 $e_{xt}V_{cc}$ に依存する。

【0235】

バーインテスト時においては、外部電源電圧 $e_{xt}V_{cc}$ が通常の値よりも高く設定されるため、ノードN 8の電圧は、ノードN 9の電圧よりも高くなる。したがって、差動増幅回路256の出力電圧は、負の電圧となり、これによってトランジスタ257が導通する。これにより、外部電源電圧 $e_{xt}V_{cc}$ に基づく電圧が第2の基準電圧として出力ノードN 4に供給される。

【0236】

この場合、基準電圧 V_{ref} は、前記第1の基準電圧と前記第2の基準電圧との和となる。このようにバーインテスト時において基準電圧 V_{ref} が高くなるのでバーインテストの実行が可能となる。

【0237】

しかし、セルフリフレッシュ動作時には、前述のようなバーインテストを実行する必要がない。このため、セルフリフレッシュ動作時には、信号SREに応答してトランジスタ253をオフさせる。これにより、前記第2の基準電圧を供給する回路が停止する。したがって、セルフリフレッシュ動作時における消費電流を低減できる。

【0238】

第6実施例

次に、第6実施例について説明する。前述したような内部降圧回路は、基本的に基準電圧発生回路と差動増幅回路とから構成される。差動増幅回路は、内部電源電圧を基準電圧と常に比較して内部電源電圧を調整する。したがって、セルフリフレッシュ動作のスタンバイ期間において差動増幅回路は、直流的に電流を消費する。

【0239】

第6実施例においては、このような無駄な電流の消費をなくすことにより、消費電流の低減を図る例について説明する。

【0240】

図13は、第6実施例による内部降圧回路の構成を示す回路図である。図13の内部降圧回路において図3と同じものには同一の参照符号を付してある。図13の内部降圧回路が図3のものと異なるのは、次の点である。

【0241】

図13を参照して、セルフリフレッシュ動作時に差動増幅回路22の動作を停止し、かつ、PMOSTランジスタ23を介した出力ノードN 3への外部電源電圧 $e_{xt}V_{cc}$ の供給を停止させるために、NMOSTランジスタ201、PMOSTランジスタ202およびインバータ203が設けられる。

【0242】

また、セルフリフレッシュ動作時に外部電源電圧 $e_{xt}V_{cc}$ に基づく電圧を出力ノードN 3に供給するために、NMOSTランジスタ204, 205, 206およびインバータ207が設けられる。

【0243】

トランジスタ202は、差動増幅回路22と接地ノードN 2との間に接続される。トランジスタ23のゲートと外部電源ノードN 1との間にトランジスタ202が接続される。トランジスタ201は、信号SREをゲートに受け、トランジスタ202は、インバータ203を介して与えられる信号SREの反転信号をゲートに受ける。

【0244】

外部電源ノードN 1と出力ノードN 3との間にトランジスタ205が接続される。基準電圧発生回路21の出力ノードとトランジスタ205のゲートとの間にトランジスタ204が接続される。また、トランジスタ205のゲートと接地ノードN 2との間にトランジスタ206が接続される。トランジスタ205はソースホロワを構成する。

10

20

30

40

50

【0245】

トランジスタ204のゲートには、信号SREが与えられ、トランジスタ206のゲートには、信号SREの反転信号が与えられる。

【0246】

次に、図13の内部降圧回路の動作について説明する。ノーマル動作時には、トランジスタ201、202、204がそれぞれオフし、トランジスタ206がオンする。したがって、トランジスタ205のゲートには接地電位が供給されるため、トランジスタ205がオフする。このため、ノーマル動作時には図13の内部降圧回路は、図3の回路と同様の動作を行なう。

【0247】

一方、セルフリフレッシュ動作時には、逆に、トランジスタ201、202、204がそれぞれオンし、トランジスタ206がオフする。したがって、この場合、差動増幅回路22が停止される。それとともにトランジスタ23のゲート電位が外部電源電圧 $e x t V c c$ に基づく電圧になり、トランジスタ23を介した外部電源電圧 $e x t V c c$ の供給が停止される。

【0248】

さらに、それとともに、トランジスタ205のゲートにトランジスタ204を介して基準電圧 $V r e f$ が与えられるため、トランジスタ205がオンする。これにより、基準電圧 $V r e f$ からトランジスタ205のしきい値電圧 $V t h n$ だけ低い電圧が出力ノードN3に内部電源電圧として供給される。

【0249】

このように、セルフリフレッシュ動作時に、差動増幅回路22が停止されるため、セルフリフレッシュ動作時の消費電流を低減できる。また、セルフリフレッシュ動作時に基準電圧 $V r e f$ よりも低い電圧が内部電源電圧となるため、図3の回路と同様にセルフリフレッシュ動作時の消費電流を低減できる。次に、図13の内部降圧回路のノーマル動作時およびセルフリフレッシュ動作時の基準電圧 $V r e f$ および内部電源電圧 $i n t V c c$ の具体例について説明する。

【0250】

図14は、図13の内部降圧回路の基準電圧 $V r e f$ および内部電源電圧 $i n t V c c$ の一例を示す図である。

【0251】

図14を参照して、たとえば、外部電源電圧 $e x t V c c$ が3.3Vである場合、ノーマル動作時の基準電圧 $V r e f$ と同じレベル(2.5V)の内部電源電圧 $i n t V c c$ が発生される。一方、セルフリフレッシュ動作時には、基準電圧 $V r e f$ (2.5V)からしきい値電圧 $V t h n$ (1.0V)だけ低い1.5Vの内部電源電圧 $i n t V c c$ が発生される。このように、第6実施例では、内部回路における容易な制御によりセルフリフレッシュ動作時の消費電流を低減できる。

【0252】

第7実施例

次に、第7実施例について説明する。DRAMにおける内部電源電圧の供給方法として、メモリセルアレイへの供給経路と周辺回路への供給経路とを分離し、メモリセルアレイおよび周辺回路の各々に独立的に内部電源電圧を供給する方法がある。この供給方法は、センスアンプによるセンス動作時に生じる大電流による電圧低下が周辺回路に与える影響を防ぐために用いられる。

【0253】

第7実施例では、このような構成を利用し、前述したような、セルフリフレッシュ動作時の内部電源電圧を通常動作時よりも低くする制御をメモリセルアレイと周辺回路とに分けて行なう例について説明する。

【0254】

図15は、第7実施例によるDRAMのセルフリフレッシュ動作に関連する部分のブロッ

10

20

30

40

50

ク図である。図 15 の回路にはメモリセルアレイ 101、周辺回路 102、アレイ用基準電圧発生回路 109、アレイ用内部降圧回路 110、周辺用基準電圧発生回路 111 および周辺用内部降圧回路 112 が含まれる。

【0255】

アレイ用基準電圧発生回路 109 は、メモリセルアレイ 101 に供給される内部電源電圧 $intV_{cca}$ の基準電圧 V_{refa} を発生する。このアレイ用基準電圧発生回路 109 は、図 1 に示されるようなセルフリフレッシュイネーブル信号を受け、その信号に応答して、発生する基準電圧 V_{refa} のレベルをセルフリフレッシュ動作時に通常動作時よりも低くする。

【0256】

アレイ用内部降圧回路 110 は、電源電圧として外部電源電圧 $extV_{cc}$ を受け、制御電圧として基準電圧 V_{refa} を受ける。アレイ用内部降圧回路 110 は、基準電圧 V_{refa} に基づいて内部電源電圧 $intV_{cca}$ をメモリセルアレイ 101 に供給する。

【0257】

周辺用基準電圧発生回路 111 は、周辺回路 102 に供給される内部電源電圧 $intV_{ccp}$ の基準電圧 V_{refp} を発生する。この基準電圧発生回路 111 は、信号 SRE を受け、その信号に応答して、基準電圧 V_{refp} をセルフリフレッシュ動作時に通常動作時よりも低くする。

【0258】

周辺用内部降圧回路 112 は、電源電圧として外部電源電圧 $extV_{cc}$ を受け、制御電圧として基準電圧 V_{refp} を受ける。周辺用内部降圧回路 112 は、基準電圧 V_{refp} に基づいて内部電源電圧 $intV_{ccp}$ を周辺回路 102 に供給する。

【0259】

このように、メモリセルアレイ 101 と周辺回路 102 とには、それぞれ独立的に設けられた内部降圧回路 110 および 112 から内部電源電圧 $intV_{cca}$ および $intV_{ccp}$ が供給される。したがって、これらの内部電源電圧 $intV_{cca}$ および $intV_{ccp}$ のそれぞれを、対応するメモリセルアレイ 101 および周辺回路 102 が安定動作するのに適した電圧に設定することにより、動作の安定化が実現できる。

【0260】

次に、図 15 の回路により、メモリセルアレイ 101 および周辺回路 102 の各々の内部電源電圧制御の具体例について説明する。

【0261】

図 16 および図 17 は、図 15 の回路によるメモリセルアレイ 101 および周辺回路 102 の各々の内部電圧の制御方法を示す図である。

【0262】

図 16 には、セルフリフレッシュ動作時にメモリセルアレイ 101 の内部電源電圧のみを低く制御する例を示す。図 17 には、セルフリフレッシュ動作時に周辺回路の内部電源電圧のみを低く制御する例を示す。

【0263】

図 16 を参照して、ノーマル動作時においては、周辺回路 102 およびメモリセルアレイ 101 の内部電源電圧 $intV_{ccp}$ および $intV_{cca}$ のそれぞれがたとえば 2.5 V に設定される。そして、セルフリフレッシュ動作時には、メモリセルアレイ 101 について、信号 SRE に応答して基準電圧 V_{refa} がたとえば 1.5 V に下げられる。それに従って内部電源電圧 $intV_{cca}$ が 1.5 V に下げられる。

【0264】

次に図 17 を参照して、ノーマル動作時には、周辺回路 102 およびメモリセルアレイ 101 の内部電源電圧 $intV_{ccp}$ および $intV_{cca}$ がたとえば 2.5 V に設定される。そして、セルフリフレッシュ動作時には、図 16 の場合とは逆に、周辺回路 102 について、信号 SRE に応答して基準電圧 V_{refp} がたとえば 1.5 V に下げられる。それに従って、内部電源電圧 $intV_{ccp}$ が 1.5 V に下げられる。

10

20

30

40

50

【 0 2 6 5 】

また、その他の例としては、セルフリフレッシュ動作時に周辺回路 1 0 2 およびメモリセルアレイ 1 0 1 の各々の内部電源電圧をともに下げてもよい。

【 0 2 6 6 】

このように、第 7 の実施例においては、セルフリフレッシュ動作時に、周辺回路およびメモリセルアレイの内部電源電圧を一方のみまたは両方下げることにより、セルフリフレッシュ動作時における消費電流を低減することができる。

【 0 2 6 7 】

なお、この第 7 実施例においては、セルフリフレッシュ動作時に内部電源電圧の下降制御を行なうことにより電圧スイングのスイング幅を小さくしたが、これに限らず、第 2 実施例に示されるような接地電位の上昇制御を行なってもよい。また、前記下降制御および前記上昇制御を併用してもよい。

10

【 0 2 6 8 】

第 8 実施例

D R A M では、チップ内に、ワード線の昇圧電圧供給回路としての昇圧電圧発生回路が設けられている。この昇圧電圧発生回路は、基本的に、リング発信器およびポンピング回路にて構成される。この昇圧回路においては、リング発信器の周波数の変化に従って消費電流が変化する。具体的には、リング発信器の周波数が低くなると消費電流が減少する。

【 0 2 6 9 】

このような昇圧電圧発生回路は、ノーマル動作時において、アクセス速度の高速化のために、どのような負荷に対しても常に所定の昇圧電圧を安定して発生する必要がある。

20

【 0 2 7 0 】

しかし、セルフリフレッシュ動作時においては、アクセス速度をシビアに気にする必要がない。このため、セルフリフレッシュ動作時においては、ノーマル動作時よりもリング発信器の周波数を低くしてポンピング回路のポンピング周波数を低くしてもよい。

【 0 2 7 1 】

第 8 実施例においては、セルフリフレッシュ動作時において、リング発信器の周波数をノーマル動作時よりも低くしてポンピング回路のポンピング周波数を低くする例について説明する。

【 0 2 7 2 】

図 1 8 は、第 8 実施例による昇圧電圧発生回路の構成を示す回路図である。図 1 8 を参照して、この昇圧電圧発生回路は、リング発信器 6 1 およびポンピング回路 6 2 を含む。リング発信器 6 1 は、複数のインバータよりなるインバータ列 6 1 1、トランスファークロップ 6 1 2 および 6 1 3 を含む。

30

【 0 2 7 3 】

インバータ列 6 1 1 は、その最終段のインバータと、初段のインバータとの間に設けられたトランスファークロップ 6 1 3 を介して環状に接続される。さらに、インバータ列 6 1 1 は、その最終段のインバータおよび初段のインバータの間の所定のノードと、初段のインバータとの間に設けられたトランスファークロップ 6 1 2 を介して環状に接続される。インバータ列 6 1 1 の最終段のインバータからポンピング回路 6 2 にパルス信号が与えられる。

40

【 0 2 7 4 】

トランスファークロップ 6 1 3 は、図 1 に示されるようなセルフリフレッシュイネーブル信号 S R E を N チャネル側のゲートに受け、P チャネル側のゲートに信号 S R E の反転信号である信号 / S R E を受ける。トランスファークロップ 6 1 2 は、N チャネル側のゲートに信号 / S R E を受け、P チャネル側のゲートに信号 S R E を受ける。

【 0 2 7 5 】

このようなインバータ列 6 1 1 の最終段のインバータからポンピング回路 6 2 にパルス信号が与えられる。ポンピング回路 6 2 は、リング発信器 6 1 から出力されるパルス信号に応答してポンピング動作を行ない、昇圧電圧 V p p を発生する。

50

【0276】

この昇圧電圧発生回路においては、信号SREがLレベルである場合には、トランスファークラックゲート612がオンするとともにトランスファークラックゲート613がオフする。その結果、トランスファークラックゲート612を介在させた第1のインバータチェーンが形成される。

【0277】

一方、信号SREがHレベルである場合には、トランスファークラックゲート612がオフするとともにトランスファークラックゲート613がオンする。その結果、トランスファークラックゲート613を介在させた第2のインバータチェーンが形成される。前記第2のインバータチェーンは、前記第1のインバータチェーンよりも長い。

【0278】

したがって、図18中のパルス波形が示すように、セルフリフレッシュ動作時には、ノーマル動作時よりも低い周波数のパルス信号がリング発信器61により発生する。このため、そのパルス信号を受けたポンピング回路62は、セルフリフレッシュ動作時にノーマル動作時よりも低い周波数でポンピングを行なう。

【0279】

このように、セルフリフレッシュ動作時にノーマル動作時よりも低い周波数でポンピングが行なわれるため、セルフリフレッシュ動作時の消費電流を低減できる。

【0280】

第9実施例

次に、第9実施例について説明する。

【0281】

第9実施例では、第8実施例のようにセルフリフレッシュ動作時の消費電流を低減するその他の昇圧電圧発生回路について説明する。

【0282】

図19は、第9実施例による昇圧電圧発生回路の構成を示す回路図である。

図19を参照して、この昇圧電圧発生回路は、リング発信器61、ポンピング回路62、外部電圧供給回路63および遮断回路64を含む。

【0283】

リング発信器61は、NORゲート614およびインバータ列611を含む。NORゲート614およびインバータ列611は、環状に接続される。NORゲート614の一方の入力端子には、図1に示されるようなセルフリフレッシュイネーブル信号が入力される。ポンピング回路62は、キャパシタ621、ダイオード622および623を含む。キャパシタ621およびダイオード622は、リング発信器61と遮断回路64との間に接続される。ダイオード623は、内部電源電圧 V_{cc} を受ける内部電源ノードN10と、キャパシタ621およびダイオード622の間のノードとの間に接続される。

【0284】

遮断回路64は、PMOSトランジスタ641を含む。トランジスタ641は、ダイオード622と出力ノードN5との間に接続され、ゲートに信号SREを受ける。外部電圧供給回路63は、NMOSトランジスタ631を含む。トランジスタ631は、外部電源ノードN1と出力ノードN5との間に接続され、ゲートに信号SREを受ける。

【0285】

次に、図19の昇圧電圧発生回路の動作について説明する。

ノーマル動作の場合は次のように動作する。信号SREがLレベルである。このため、リング発信器61からポンピング回路62にパルス信号がきょうきゅうされる。そして、ポンピング回路62は、供給されたパルス信号に応答してポンピング動作を行ない、昇圧電圧 V_{pp} を発生する。

【0286】

この場合、トランジスタ641は、オンしているため、昇圧電圧 V_{pp} は、トランジスタ641を介して出力ノードN5に供給される。また、その場合には、トランジスタ631がオフしているため、出力ノードN5にはトランジスタ641を介した昇圧電圧が供給さ

10

20

30

40

50

れる。

【0287】

一方、セルフリフレッシュ動作時の場合は次のように動作する。信号SREがHレベルである。このため、リング発信器61が停止する。それに従って、ポンピング回路62のポンピング動作も停止する。さらに、トランジスタ641がオフしているので、ポンピング回路62からの昇圧電圧が出力ノードN5に供給されない。

【0288】

一方、トランジスタ631がオンするので、外部電源電圧extVccよりもトランジスタ631のしきい値電圧だけ低い電圧が外部電圧供給回路63から出力ノードN5に供給される。

10

【0289】

次に、セルフリフレッシュ動作時にポンピング回路62からの電圧の供給を遮断する理由について説明する。たとえば、セルフリフレッシュ動作時に内部電源電圧intVccをたとえば1.5Vとすると、ワード線の昇圧レベルは、たとえば2.2V以上必要である。図19の回路の場合は、外部電源電圧がたとえば3.3Vであれば、この3.3Vからトランジスタ63のしきい値電圧だけ低い電圧は、2.5V程度とすることが可能である。

【0290】

したがって、ワード線の昇圧レベルは、前述の2.2Vよりも高い2.5Vの電圧を確保できる。このため、リング発信器61およびポンピング回路62を停止させても支障はない。

20

【0291】

このように、第9実施例ではセルフリフレッシュ動作時にリング発信器61およびポンピング回路62を停止し、昇圧電圧を、外部電源電圧extVccに基づく電圧で代用するため、セルフリフレッシュ動作時の消費電流を低減できる。

【0292】

第10実施例

次に、第10実施例について説明する。

【0293】

第10実施例は、第9実施例において説明した外部電圧供給回路63のその他の例である。

30

【0294】

図20は、第10実施例による昇圧電圧発生回路の外部電圧供給回路の構成を示す回路図である。

【0295】

図20を参照して、この外部電圧供給回路630は、インバータ632およびPMOSトランジスタ633を含む。トランジスタ633は、外部電源ノードN1と出力ノードN5との間に接続される。インバータ632は、信号SREを反転させてトランジスタ633のゲートに与える。

【0296】

この外部電圧供給回路630においては、セルフリフレッシュ動作時にトランジスタ633がオンする。これにより、出力ノードN5には、外部電源電圧extVccと同じレベルの電圧が昇圧電圧として供給される。

40

【0297】

このように、セルフリフレッシュ動作時の昇圧電圧が外部電源電圧extVccと同じレベルになるため、このような外部電圧供給回路630を備えた昇圧電圧発生回路は、セルフリフレッシュ動作時にノーマル動作時よりも低いレベルの内部電源電圧を発生するのみならず、セルフリフレッシュ動作時にノーマル動作時と同じレベルの内部電源電圧を発生する場合でも使用可能である。

【0298】

50

次に、セルフリフレッシュ動作時の昇圧電圧を外部電源電圧 $e x t V c c$ と同じレベルにすることが妥当である理由について説明する。

【0299】

たとえば、セルフリフレッシュ動作時の内部電源電圧をノーマル動作時の場合と同じ 2.5 V のレベルにする場合、ワード線の昇圧レベルは、メモリセルのトランスファークロージング電圧 (たとえば 0.5 V) だけ高い 3.0 V 以上必要である。

【0300】

図 20 の外部電源供給回路 630 を備えた昇圧電圧発生回路では、外部電源電圧 $e x t V c c$ がたとえば 3.3 V であれば、ワード線の昇圧レベルを 3.0 V 以上に確保できる。

【0301】

このように第 10 実施例においては、セルフリフレッシュ動作時にリング発信器およびポンピング回路を停止し、昇圧電圧を外部電源電圧と同じレベルの電圧で代用するため、セルフリフレッシュ動作時の消費電流を低減できる。

【0302】

第 11 実施例

次に、第 11 実施例について説明する。

【0303】

D R A M の周辺回路を機能的に大きく類別すると、周辺回路は、C M O S 論理で動作する C M O S 回路と、アナログ的に動作するアナログ回路とに分けられる。

【0304】

前記 C M O S 回路は、かなり低い内部電源電圧でも正常に動作するが、前記アナログ回路は、あまりに低い内部電源電圧では正常に動作しない。

【0305】

したがって、第 11 実施例では、セルフリフレッシュ動作時の前記アナログ回路の動作の安定を図るために、内部電源電圧の供給方法として、前記 C M O S 回路と前記アナログ回路との電源線を分離し、これらの回路に異なる内部電源電圧を供給する例について説明する。

【0306】

図 21 は、第 11 実施例による周辺回路の電源供給系の回路構成を示すブロック図である。

【0307】

図 21 においては、C M O S 回路 113、113、アナログ回路 114、第 1 の内部降圧回路 115 および第 2 の内部降圧回路 116 が示される。この C M O S 回路 113、113 およびアナログ回路 114 は、周辺回路を構成する。

【0308】

第 1 の内部降圧回路 115 は、第 1 の内部電源電圧 $i n t V c c 1$ を発生する。第 1 の内部降圧回路 115 は、図 1 に示されるようなセルフリフレッシュイネーブル信号 $S R E$ を受け、その信号に応答してセルフリフレッシュ動作時にノーマル動作時よりも第 1 の内部電源電圧 $i n t V c c 1$ を低く制御する。第 2 の内部降圧回路 116 は、第 2 の内部電源電圧 $i n t V c c 2$ を発生する。第 2 の内部降圧回路 116 は、信号 $S R E$ を受け、その信号に応答して、セルフリフレッシュ動作時にノーマル動作時よりも第 2 の内部電源電圧 $i n t V c c 2$ のレベルを低く制御する。

【0309】

この第 2 の内部降圧回路 116 においてセルフリフレッシュ動作時に発生する第 2 の内部電源電圧 $i n t V c c 2$ のレベルは、セルフリフレッシュ動作時の第 1 の内部電源電圧 $i n t V c c 1$ のレベルよりも高いレベルに設定される。

【0310】

第 1 の内部電源電圧 $i n t V c c 1$ は、C M O S 回路 113 に供給される。第 2 の内部電源電圧 $i n t V c c 2$ は、アナログ回路 114 に供給される。

【0311】

10

20

30

40

50

次に、図 2 1 に示される第 1 の内部降圧回路 1 1 5 および第 2 の内部降圧回路 1 1 6 の動作について説明する。図 2 2 は、図 2 1 の第 1 および第 2 の内部降圧回路 1 1 5 および 1 1 6 の動作タイミングを示すタイミングチャートである。

【 0 3 1 2 】

図 2 2 を参照して、ノーマル動作時においては、第 1 の内部電源電圧 $i n t V c c 1$ と第 2 の内部電源電圧 $i n t V c c 2$ とが同じレベル（たとえば 3 . 3 V ）に設定される。そして、セルフリフレッシュ動作時には、信号 $S R E$ の立上りに応答して、第 1 の内部電源電圧 $i n t V c c 1$ が 1 . 5 V まで下降される。一方、第 2 の内部電源電圧 $i n t V c c 2$ は、信号 $S R E$ の立上りに応答してたとえば 2 . 0 V のレベルまで下降される。

【 0 3 1 3 】

このように、第 1 および第 2 の内部電源電圧 $i n t V c c 1$ および $i n t V c c 2$ はともにセルフリフレッシュ動作時に下降されるが、第 2 の内部電源電圧 $i n t V c c 2$ は第 1 の内部電源電圧 $i n t V c c 1$ よりも高いレベルに設定されるため、セルフリフレッシュ動作時におけるアナログ回路 1 1 4 の誤動作が防がれる。

【 0 3 1 4 】

このように、第 1 1 実施例においては、周辺回路における C M O S 回路およびアナログ回路に対してそれぞれに異なる内部降圧回路から内部電源電圧を供給するようにし、かつ、セルフリフレッシュ動作時におけるアナログ回路の内部電源電圧が C M O S 回路の内部電源電圧よりも高いレベルになるようにしたため、セルフリフレッシュ動作時における消費電流の低減が実現できるとともに周辺回路の安定動作を確保することもできる。

【 0 3 1 5 】

なお、この第 1 1 実施例においては、セルフリフレッシュ動作時に内部電源電圧の下降制御を行なうことにより電圧スイングのスイング幅を小さくしたが、これに限らず、第 2 実施例に示されるような接地電位の上昇制御を行なってもよい。また、前記下降制御および前記上昇制御を併用してもよい。

【 0 3 1 6 】

第 1 2 実施例

次に、第 1 2 実施例について説明する。

【 0 3 1 7 】

以上の実施例で説明したようにセルフリフレッシュ動作時の内部電源電圧のレベルをノーマル動作時よりも低く制御する場合、そのセルフリフレッシュ動作の終了後にノーマル動作を行なうときには、その際に内部電源電圧がノーマル動作時のレベルに復帰しているか否かを外部のシステムにおいて確認する必要がある。

【 0 3 1 8 】

第 1 2 実施例においては、そのような内部電源電圧の復帰状態を示す信号を外部に出力する回路について説明する。

【 0 3 1 9 】

図 2 3 は、セルフリフレッシュ動作終了後の内部電源電圧の復帰状態を示す信号を外部に出力する回路のブロック図である。

【 0 3 2 0 】

図 2 3 を参照して、この回路は、タイミング発生回路 7 0 1 、内部降圧回路 7 0 2 、比較回路 7 0 3 、N O R ゲート 7 0 4 および N M O S トランジスタ 7 0 5 を含む。なお、出力バッファ 7 0 6 は、データを出力するためのバッファである。

【 0 3 2 1 】

タイミング発生回路 7 0 1 は、 $e x t / C A S$ 信号の反転信号である信号 $e x t C A S$ および信号 $S R E$ を受け、それらの信号に応答して、出力信号を発生する。タイミング発生回路 7 0 1 は、信号 $e x t C A S$ が H レベルであり、かつ、信号 $S R E$ が L レベルである場合にのみ出力信号を L レベルとし、それ以外の場合には、出力信号を H レベルとする。

【 0 3 2 2 】

内部降圧回路 7 0 2 は、内部電源電圧 $i n t V c c$ を発生する。比較回路 7 0 3 は、内部

10

20

30

40

50

電源電圧 $i n t V c c$ と所定の基準電圧 $V r e f 0$ を受ける。この基準電圧 $V r e f 0$ は、内部電源電圧 $i n t V c c$ がノーマル動作時のレベルに復帰したことを判別するための基準レベルである。この基準電圧 $V r e f 0$ は、内部降圧回路 702 の内部の基準電圧であってもよく、また、それ以外の信号を用いてもよい。

【0323】

比較回路 703 は、内部電源電圧 $i n t V c c$ が基準電圧 $V r e f 0$ 以上になると出力信号を L レベルとし、内部電源電圧 $i n t V c c$ が基準電圧 $V r e f 0$ よりも低い場合には出力信号を H レベルとする。

【0324】

トランジスタ 705 は、外部電源ノード N1 とデータ出力ピンである出力ノード N6 との間に接続される。NOR ゲート 704 は、比較回路 703 の出力信号およびタイミング発生回路 701 の出力信号を受け、それらの信号に応答する出力信号をトランジスタ 705 のゲートに与える。

10

【0325】

トランジスタ 705 は、ゲートに与えられる信号に応答して導通状態が変化する。出力ノード N6 の電位は、トランジスタ 705 が導通している場合に H レベルとなる。これにより、外部出力信号 $e x t D Q$ が H レベルとなる。この H レベルは、外部電源電圧 $e x t V c c$ に基づく電圧である。逆に、トランジスタ 705 が導通していない場合には、出力ノード N6 の電圧は、ハイインピーダンス状態となり、外部出力信号 $e x t D Q$ もハイインピーダンス状態となる。

20

【0326】

次に、図 23 の回路の動作について説明する。図 24 は、図 23 の回路の動作タイミングを示すタイミングチャートである。

【0327】

図 23 および図 24 を参照して、セルフリフレッシュ動作の終了のトリガとなる信号 $e x t / R A S$ が H レベルに立上ると、信号 $S R E$ が L レベルに立下る。それに応答して、内部電源電圧 $i n t V c c$ が上昇を開始する。その場合、信号 $i n t / C A S$ が L レベルであるため、信号 $e x t C A S$ が H レベルであり、かつ信号 $S R E$ が L レベルであるという条件が満たされるので、タイミング発生回路 701 の出力信号が L レベルになる。

【0328】

30

その後、内部電源電圧 $i n t V c c$ が基準電圧 $V r e f 0$ 以上になると、比較回路 703 の出力信号が L レベルになる。その時点で、トランジスタ 705 がオンし、外部出力信号 $e x t D Q$ が H レベルに立上がる。

【0329】

その後、信号 $e x t / C A S$ が H レベルに立上がるため、信号 $e x t C A S$ が L レベルになり、トランジスタ 705 がオフする。これにより、外部出力信号 $e x t D Q$ が L レベルに立下がる。

【0330】

なお、内部電源電圧がノーマル動作時のレベルに復帰した場合に、外部出力信号 $e x t D Q$ を H レベルになるようにしたが、これに限らず、そのような場合に外部出力信号 $e x t D Q$ を L レベルなどどのようなレベルにしてもよい。

40

【0331】

このように、第 12 実施例においては、セルフリフレッシュ動作の終了後に内部電源電圧が通常動作時のレベルに復帰した場合に所定レベルの信号が出力されるため、外部のシステムにおいてそのような状態を確認することができる。

【0332】

なお、第 12 実施例においては、セルフリフレッシュ動作時に内部降圧回路 702 によって内部電源電圧を制御したが、これに限らず、実施例 2 に示されるような接地電位の制御を行なってもよい。また、それらの制御を併用してもよい。

【0333】

50

第 1 3 実施例

次に、第 1 3 実施例について説明する。この第 1 3 実施例においては、第 1 2 実施例の変形例について説明する。図 2 5 は、第 1 3 実施例によるセルフリフレッシュ動作終了後の内部電源電圧の復帰状態を示す信号を外部に出力する回路のブロック図である。

【 0 3 3 4 】

図 2 5 を参照して、この回路は、タイミング発生回路 7 0 1、トランジスタ 7 0 7 を含む。タイミング発生回路 7 0 1 は、図 2 3 におけるものと同じものである。

【 0 3 3 5 】

トランジスタ 7 0 7 は、内部電源ノード N 4 と出力ノード N 6 との間に接続され、ゲートにタイミング発生回路 7 0 1 の出力信号を受ける。トランジスタ 7 0 7 は、ゲートに受け 10
る信号のレベルに応答して導通状態が変化する。

【 0 3 3 6 】

トランジスタ 7 0 7 がオンすると、外部出力信号 $e x t D Q$ は H レベルとなる。一方、トランジスタ 7 0 7 がオフしている状態では、外部出力信号 $e x t D Q$ がハイインピーダンス状態となる。したがって、外部出力信号 $e x t D Q$ は、内部電源電圧 $i n t V c c$ に依存するレベルの信号となる。

【 0 3 3 7 】

次に、図 2 5 の回路の動作について説明する。図 2 6 は、図 2 5 の回路の動作タイミングを示すタイミングチャートである。図 2 6 および図 2 5 を参照して、信号 $e x t / R A S$ が H レベルに立上り、それに応答して信号 $S R E$ が L レベルに立下がると、それに応答し 20
て内部電源電圧 $i n t V c c$ が上昇を開始する。

【 0 3 3 8 】

その場合、信号 $e x t / C A S$ が L レベルであるため、信号 $e x t C A S$ が H レベルであり、かつ信号 $S R E$ が L レベルになる。このため、タイミング発生回路 7 0 1 の出力信号が L レベルになる時点でトランジスタ 7 0 7 がオンする。

【 0 3 3 9 】

したがって、外部出力信号 $e x t D Q$ が内部電源電圧 $i n t V c c$ の増加に従って増加する。

【 0 3 4 0 】

その後、信号 $e x t / C A S$ が H レベルに立上がるため、信号 $e x t / C A S$ が L レベル 30
になり、トランジスタ 7 0 7 がオフする。これにより外部出力信号 $e x t D Q$ が L レベルに立下がる。

【 0 3 4 1 】

なお、外部出力信号 $e x t D Q$ のレベルは、内部電源電圧 $i n t V c c$ のレベルと同じレベルとなっているが、これに限らず、内部電源電圧 $i n t V c c$ から N M O S トランジスタのしきい値電圧分だけ低下した電圧等、内部電源電圧 $i n t V c c$ に追従して変動するレベルの信号であればその他の信号でもよい。

【 0 3 4 2 】

このように、第 1 3 実施例においては、第 1 2 実施例と同様にセルフリフレッシュ動作終了後に内部電源電圧のレベルがノーマル動作時のレベルまで復帰した状態を示す信号を出力するため、外部のシステムにおいてそのような状態を確認することができる。 40

【 0 3 4 3 】

なお、この第 1 3 実施例においては、セルフリフレッシュ動作時に内部降圧回路によって内部電源電圧を低くする制御をしたが、これに限らず、第 2 実施例に示されるような接地電位の上昇制御を行なってもよい。また、これらの制御を併用してもよい。

【 0 3 4 4 】

第 1 4 実施例

次に、第 1 4 実施例について説明する。第 1 4 実施例においては、セルフリフレッシュ動作時に、内部電源電圧を低下させる制御および接地電位を上昇させる制御を行ない、その際に、 $1 / 2 V c c$ のレベルを変化させないようにする例について説明する。 50

【 0 3 4 5 】

図 2 7 は、第 1 4 実施例による D R A M のセルフリフレッシュに関する部分の回路図である。

【 0 3 4 6 】

図 2 7 を参照して、この D R A M は、内部降圧回路 1 0 0 0、メモリセルアレイ 1 0 1 および疑似 G N D 発生回路 2 0 0 0 を含む。

【 0 3 4 7 】

内部降圧回路 1 0 0 0 は、基準電圧発生回路 1 0 1 0、差動増幅回路 1 0 2 0 および N M O S トランジスタ 1 0 3 0 を含む。

【 0 3 4 8 】

基準電圧発生回路 1 0 1 0 は、P M O S トランジスタ 1 0 1 1、1 0 1 2、1 0 1 8、N M O S トランジスタ 1 0 1 7、1 0 1 9、定電流源 1 0 1 3 および抵抗 1 0 1 4、1 0 1 5、1 0 1 6 を含む。

【 0 3 4 9 】

外部電源ノード N 1 と接地ノード N 2 との間に、トランジスタ 1 0 1 1 および定電流源 1 0 1 3 が直列に接続される。外部電源ノード N 1 と接地ノード N 2 との間には、トランジスタ 1 0 1 2、抵抗 1 0 1 4、1 0 1 5 および 1 0 1 6 も直列に接続される。抵抗 1 0 1 5 および 1 0 1 6 の間のノードと、接地ノード N 2 との間にトランジスタ 1 0 1 7 が接続される。

【 0 3 5 0 】

トランジスタ 1 0 1 1 および 1 0 1 2 のそれぞれのゲートが、トランジスタ 1 0 1 1 および定電流源 1 0 1 3 の間のノード N 1 0 に接続される。

【 0 3 5 1 】

トランジスタ 1 0 3 0 は、外部電源ノード N 1 と出力ノード N 1 0 0 との間に接続される。トランジスタ 1 0 1 2 および抵抗 1 0 1 4 の間のノード N 1 1 と、トランジスタ 1 0 3 0 のゲートとの間にトランジスタ 1 0 1 8 が接続される。トランジスタ 1 0 3 0 のゲートと、接地ノード N 2 との間にトランジスタ 1 0 1 9 が接続される。トランジスタ 1 0 3 0 のゲートが受ける電圧を、以下の説明においてリフレッシュ時基準電圧 V_{refR} と呼ぶ。

【 0 3 5 2 】

トランジスタ 1 0 1 7 は、たとえば、図 1 に示されるような信号 SRE をゲートに受ける。トランジスタ 1 0 1 8 および 1 0 1 9 は、信号 SRE の反転信号 \overline{SRE} をそれぞれのゲートに受ける。

【 0 3 5 3 】

差動増幅回路 1 0 2 0 は、差動増幅器 1 0 2 1、P M O S トランジスタ 1 0 2 2、1 0 2 4 および N M O S トランジスタ 1 0 2 3 を含む。

【 0 3 5 4 】

差動増幅器 1 0 2 1 は、負側入力端子がノード N 1 2 と接続され、正側入力端子が出力ノード N 1 0 0 と接続される。これにより、差動増幅器 1 0 2 1 には、ノード N 1 2 からノーマル時基準電圧 V_{refN} を受けるとともに、出力ノード N 1 0 0 から内部電源電圧 $V_{intVccA}$ を受ける。

【 0 3 5 5 】

外部電源ノード N 1 と出力ノード N 1 0 0 との間にトランジスタ 1 0 2 2 が接続される。このトランジスタ 1 0 2 2 は、ゲートに差動増幅器 1 0 2 1 の出力電圧を受ける。外部電源ノード N 1 と、トランジスタ 1 0 2 2 のゲートとの間にトランジスタ 1 0 2 4 が接続される。差動増幅器 1 0 2 1 と接地ノード N 2 との間にトランジスタ 1 0 2 3 が接続される。トランジスタ 1 0 2 3 および 1 0 2 4 のそれぞれは、ゲートに、信号 \overline{SRE} を受ける。

【 0 3 5 6 】

このように構成された差動増幅回路 1 0 2 0 は、図 1 3 に示されたものとほぼ同様の構成

10

20

30

40

50

である。したがって、この差動増幅回路 1020 は、内部電源電圧 $intV_{ccA}$ がノーマル時基準電圧 V_{refN} と一致するように、内部電源電圧 $intV_{ccA}$ を制御する。出力ノード N100 からメモリセルアレイ 101 に内部電源電圧 $intV_{ccA}$ が供給される。

【0357】

このような内部降圧回路 1000 は、信号 SRE が L レベルである場合にノーマル時基準電圧 V_{refN} に基づく内部電源電圧 $intV_{ccA}$ をメモリセルアレイ 101 に供給する。一方、信号 SRE が H レベルである場合に内部降圧回路 1000 は、リフレッシュ時基準電圧 V_{refR} に基づく内部電源電圧 $intV_{ccA}$ をメモリセルアレイ 101 に供給する。

10

【0358】

疑似 GND 発生回路 2000 は、PMOS トランジスタ 2001、2004、NMOS トランジスタ 2002 および抵抗 2003 を含む。外部電源ノード N1 と接地ノード N2 との間にトランジスタ 2001、2002 および抵抗 2003 が直列に接続される。

【0359】

出力ノード N200 と接地ノード N2 との間にトランジスタ 2004 が接続される。トランジスタ 2004 は、ゲートがトランジスタ 2002 および抵抗 2003 の間のノード N13 に接続される。以下の説明において、トランジスタ 2004 のゲートが受ける電位を V_{BSG} と呼ぶ。トランジスタ 2001 は、ゲートがノード N10 と接続される。トランジスタ 2002 は、ゲートに信号 SRE を受ける。

20

【0360】

このような疑似 GND 発生回路 2000 は、ノード N13 の電位 V_{BSG} に応答する疑似 GND 電位 B_{SG} をノード N200 からメモリセルアレイ 101 に供給する。この疑似 GND 電位 B_{SG} は、信号 SRE が H レベルである場合に、信号 SRE が L レベルである場合よりも高い電位をメモリセルアレイ 101 に供給する。

【0361】

次に、図 27 の回路の動作について説明する。以下の説明においては、抵抗 1014、1015、1016 および 2003 のそれぞれの抵抗値を R_1 、 R_2 、 R_3 および R_4 とする。ここでは、抵抗値 R_3 および R_4 が等しいと仮定する。また、トランジスタ 1030 のしきい値電圧を V_{th1} とし、トランジスタ 2004 のしきい値電圧を V_{th2} とする。また、トランジスタ 1011、1012 および 2001 は、サイズが等しいものとする。

30

【0362】

図 27 の回路においては、定電流源 1013 が一定の電流 i を発生する。トランジスタ 1011、1012 および 2001 の各々は、ゲートにノード N10 の電位を受ける。このため、これらのトランジスタには等しい電流 i が流れる。

【0363】

まず、内部降圧回路 1000 の動作について説明する。

内部降圧回路 1000 は、ノーマル動作時において次のように動作する。

【0364】

この場合、信号 SRE が L レベルであり、信号 \overline{SRE} が H レベルである。このため、基準電圧発生回路 1010 においては、トランジスタ 1017 がオフする。したがって、ノーマル時基準電圧 V_{refN} は、 $i(R_2 + R_3)$ となる。

40

【0365】

この場合、トランジスタ 1018 がオフし、トランジスタ 1019 がオンするため、リフレッシュ時基準電圧 V_{refR} は、接地電位となる。したがって、トランジスタ 1030 がオンせず、このトランジスタ 1030 を介した電圧が出力ノード N100 に供給されない。

【0366】

この場合、差動増幅回路 1020 においては、トランジスタ 1023 がオンし、トランジ

50

スタ１０２４がオフする。したがって、差動増幅回路１０２０が動作する。このため、内部電源電圧 $i n t V c c A$ は、差動増幅回路１０２０によって、下記（８）式に示されるようなノーマル時基準電圧 $V r e f N$ に制御される。

【０３６７】

$$i n t V c c A = V r e f N = i \times (R 2 + R 3) \quad \dots (8)$$

一方、セルフリフレッシュ動作時において内部降圧回路１０００は、次のように動作する。この場合、信号 $S R E$ がＨレベルであり、信号 $/ S R E$ がＬレベルである。このため、差動増幅回路１０２０においては、トランジスタ１０２３がオフし、トランジスタ１０２４がオンする。したがって、差動増幅回路１０２０が停止する。

【０３６８】

この場合、基準電圧発生回路１０１０においては、トランジスタ１０１７がオンし、抵抗１０１６が短絡される。また、トランジスタ１０１８がオンし、トランジスタ１０１９がオフするため、ノード $N 11$ の電圧がリフレッシュ時基準電圧 $V r e f R$ としてトランジスタ１０３０のゲートに供給される。

【０３６９】

この場合のリフレッシュ時基準電圧 $V r e f R$ は、 $i \times (R 1 + R 2)$ となる。そして、そのリフレッシュ時基準電圧 $V r e f R$ からトランジスタ１０３０のしきい値電圧 $V t h 1$ だけ低い電圧が、出力ノード $N 100$ に内部電源電圧 $i n t V c c A$ として供給される。したがって、この場合の内部電源電圧 $i n t V c c A$ は、下記（９）式で表される値となる。

【０３７０】

$$i n t V c c A = V r e f R - V t h 1 = i \times (R 1 + R 2) - V t h 1 = i \times R 2 \quad \dots (9)$$

したがって、セルフリフレッシュ動作時における内部電源電圧 $i n t V c c A$ のレベルは、ノーマル動作時のレベルよりも $i \times R 3$ だけ低くなる。

【０３７１】

次に、疑似 $G N D$ 発生回路２０００の動作について説明する。

まず、疑似 $G N D$ 電位 $B S G$ について説明する。この疑似 $G N D$ 電位 $B S G$ は、下記（１０）式で表される値となる。

【０３７２】

$$B S G = V B S G + V t h 2 \quad \dots (10)$$

疑似 $G N D$ 発生回路２０００は、ノーマル動作時において次のように動作する。この場合、トランジスタ２００２がオフするため、電位 $V B S G$ は、０ V となる。したがって、前記（１０）式に基づいて、疑似 $G N D$ 電位 $B S G$ は、 $V t h 2$ のレベルになる。

【０３７３】

一方、セルフリフレッシュ動作時においては次のように動作する。この場合、トランジスタ２００２がオンする。したがって、電位 $V B S G$ は、 $i \times R 4$ となる。これにより、セルフリフレッシュ動作時の疑似 $G N D$ 電位 $B S G$ は下記（１１）式で表される値となる。

【０３７４】

$$B S G = i \times R 4 + V t h 2 \quad \dots (11)$$

このように、セルフリフレッシュ動作時における疑似 $G N D$ 電位 $B S G$ のレベルは、ノーマル時のレベルよりも $i \times R 4$ だけ上昇する。

【０３７５】

この場合は、抵抗１０１６の抵抗値と抵抗２００３の抵抗値とが等しいため、セルフリフレッシュ動作時に低下する内部電源電圧 $i n t V c c A$ の低下の幅と、疑似 $G N D$ 電位 $B S G$ の上昇幅とが等しくなる。このため、セルフリフレッシュ動作時における $1 / 2 V c c$ のレベルは、ノーマル動作時における $1 / 2 V c c$ のレベルと同じになる。

【０３７６】

このように、第１４実施例による回路においては、セルフリフレッシュ動作時の内部電源電圧 $i n t V c c A$ のレベルがノーマル動作時のそのレベルよりも低く制御され、かつ、

10

20

30

40

50

セルフリフレッシュ動作時の疑似 GND 電位 BSG のレベルがノーマル動作時のそのレベルよりも高く制御される。

【0377】

これにより、セルフリフレッシュ動作時の電圧スイングのスイング幅がノーマル動作時よりも小さくなる。その結果、セルフリフレッシュ動作時の消費電流が低減できる。

【0378】

さらに、第14実施例においては、電圧スイングのスイング幅を変化させる際に、 $1/2 V_{cc}$ のレベルが変化しない。この $1/2 V_{cc}$ のレベルは、データの読出および書込の基準となる電位である。したがって、この $1/2 V_{cc}$ のレベルが、スイング幅の変化時に変化しないことにより、第14実施例では、電圧スイングのスイング幅の変化時にバンプの影響を受けなくなり、動作が安定化される。

10

【0379】

図28は、図27の回路により制御される電圧スイングのスイング幅の一例を示す図である。図28においては、上段に、周辺回路についてのスイング幅の変化の具体例が示され、下段に、メモリセルアレイ101についてのスイング幅の変化の具体例が示される。

【0380】

このように、メモリセルアレイ101においては、電圧スイングのスイング幅が、ノーマル動作時の $2.0 V$ からセルフリフレッシュ動作時には、 $1.2 V$ に変化させられる。一方、周辺回路のスイング幅は、内部電源電圧 $int V_{ccP}$ を低下させる場合について示したが、これに限らず、少なくともメモリセルアレイ101のスイング幅を小さくすればよく、周辺回路の内部電源電圧 $int V_{ccP}$ を低下させなくてもよい。

20

【0381】

第15実施例

次に、第15実施例について説明する。第15実施例は、セルフリフレッシュ動作を行なう期間中の一定期間にて電圧スイングのスイング幅を小さくする制御を行なう場合において、そのスイング幅を減少させる前に、標準のリフレッシュ周期よりも短いリフレッシュ周期でリフレッシュを実行させる例について説明する。

【0382】

図29は、第15実施例によるDRAMのセルフリフレッシュに関する部分の回路のブロック図である。図29を参照して、この回路には、タイミング発生回路3011、内部RAS発生回路3021、3031、カウンタ回路3041、ORゲート3050、内部降圧回路1000および疑似GND発生回路2000が含まれる。

30

【0383】

タイミング発生回路3011は、信号 ext / RAS および信号 ext / CAS を受け、これらの信号に応答して信号 $SREF$ を発生する。

【0384】

内部RAS発生回路3031は、信号 $SREF$ を受け、その信号に応答して、標準のリフレッシュ周期よりもかなり短いリフレッシュ周期 Tcu を規定するパルス信号である内部RAS信号 $int RAS2$ を所定期間発生する。

【0385】

40

カウンタ回路3041は、信号 $SREF$ および信号 $int RAS2$ を受け、これらの信号に応答して、信号 SRE を発生する。カウンタ回路3041において、信号 SRE は、次のように発生される。カウンタ回路3041は、信号 $SREF$ の立上りから信号 $int RAS2$ のカウントを開始し、そのカウント値が所定数になると信号 SRE をHレベルに立上げる。そして、カウンタ回路3041は、信号 $SREF$ の立下りに応答して信号 SRE を立下げる。

【0386】

内部RAS発生回路3021は、信号 SRE を受け、その信号に応答して、標準のリフレッシュ周期 Trc を規定するパルス信号である内部RAS信号 $int RAS1$ を発生する。その信号 $int RAS1$ は、信号 SRE の立上りからその立下りまで出力される。

50

【0387】

内部降圧回路1000および疑似GND発生回路2000は、図27に示されるものと同じものである。したがって、これらは、信号SREにตอบสนองして、前述したようなスイング幅の制御を行なう。

【0388】

信号intRAS1および信号intRAS2のそれぞれは、ORゲート3005を経て、内部ロードレスタブ信号intRASとして出力される。したがって、この信号intRASは、信号intRAS1と信号intRAS2とが合成された信号となる。

【0389】

次に、図29の回路の動作について説明する。

10

図30は、セルフリフレッシュ動作時の図29の回路の動作タイミングを示すタイミングチャートである。図30を参照して、CBRTimingの後、その状態が所定期間（たとえば100μs以上）保持されるとタイミング発生回路3011により信号SREFがHレベルに立上げられ、セルフリフレッシュ動作の期間が開始する。それにตอบสนองして、内部RAS発生回路3031が信号intRAS2の出力を開始する。このために、信号intRASが、短い周期Tcuの信号となる。

【0390】

その後、カウンタ回路3041のカウントアップにより、信号SREFに遅れて、信号SREが立上げられる。この信号SREの立上りと同時に、信号intRAS2の出力が停止されるとともに、内部RAS発生回路3021による信号intRAS1の出力が開始される。したがって、信号SREの立上りと同時に信号intRASの周期が、短い周期Tcuから標準の周期Trcに切換わる。

20

【0391】

また、信号SREの立上りにตอบสนองして、内部降圧回路1000および疑似GND発生回路2000により、電圧スイングのスイング幅が小さくされる。その後、信号ext/RASがHレベルに立上る。それにตอบสนองして、信号SREFがLレベルに立下がる。信号SREFの立下りにตอบสนองして、カウンタ回路3041により信号SREが立下げられる。

【0392】

信号SREの立下りにตอบสนองして、内部降圧回路1000および疑似GND発生回路2000により、電圧スイングのスイング幅がノーマル動作時の値まで増加させられる。この場合は、そのスイング幅がノーマル動作時の値に復帰した時点で、セルフリフレッシュ動作の期間が終了する。

30

【0393】

このような第15実施例においては、次のような効果が得られる。

セルフリフレッシュ動作時の電圧スイングのスイング幅が、ノーマル動作時のスイング幅よりも小さく制御される。その結果、セルフリフレッシュ動作時の消費電流が低減できる。

【0394】

また、セルフリフレッシュ動作の開始前において、メモリセルは、蓄積電荷が減少した厳しい状態となっている。このため、セルフリフレッシュ動作が実行される前においては、蓄積電荷が十分な状態が得られるように、外部からの複雑な制御によりリフレッシュが行なわれるのが一般的である。

40

【0395】

しかし、この第15実施例によれば、電圧スイングのスイング幅を小さくする前に、短周期でセルフリフレッシュが行なわれるため、前述のような外部からの複雑な制御を必要としない。そして、セルフリフレッシュ動作の期間の開始当初において、リフレッシュの実力の初期化が行なえる。

【0396】

さらに、このような短周期のセルフリフレッシュによりメモリセルに十分な電荷が蓄積されるため、電圧スイングのスイング幅を減少させる際のバンプの影響を受けにくくするこ

50

とができる。

【0397】

第16実施例

次に、第16実施例について説明する。第16実施例は、セルフリフレッシュ動作を行なう期間中の一定期間にて電圧スイングのスイング幅を小さくする制御を行なう場合において、そのスイング幅をノーマル動作時の値まで復帰させる前に、標準のリフレッシュ周期よりも短いリフレッシュ周期でリフレッシュを実行させる例について説明する。

【0398】

図31は、第16実施例によるDRAMのセルフリフレッシュに関する部分の回路のブロック図である。図31の回路において図29と同じ部分には同一の参照符号を付し、その説明を省略する。

10

【0399】

図31を参照して、この回路には、タイミング発生回路3011、内部RAS発生回路3022、3032、カウンタ回路3042、ORゲート3050、内部降圧回路1000および疑似GND発生回路2000が含まれる。

【0400】

内部RAS発生回路3022は、信号SREFを受け、その信号に応答して、標準のリフレッシュ周期 T_{rc} を規定するパルス信号である内部RAS信号 $intRAS1$ を発生する。その信号 $intRAS1$ は、信号SREFの立上りからその立下りまで出力される。

【0401】

20

内部RAS発生回路3032は、信号信号SREを受け、その信号に応答して、標準のリフレッシュ周期 T_{rc} よりもかなり短いリフレッシュ周期 T_{cu} を規定するパルス信号である内部RAS信号 $intRAS2$ を所定期間発生する。

【0402】

カウンタ回路3042は、信号SREFおよび信号 $intRAS2$ を受け、それらの信号に応答して信号SREを発生する。カウンタ3042において信号SREは、次のように発生される。カウンタ3042は、信号SREFの立上りに応答して信号SREをHレベルに立上げる。そして、信号SREFの立下りから、信号 $intRAS2$ のカウントを開始し、そのカウント値が所定数になると信号SREをLレベルに立下げる。

【0403】

30

次に、図31の回路の動作について説明する。

図32は、セルフリフレッシュ動作時の図31の回路の動作タイミングを示すタイミングチャートである。

【0404】

図32を参照して、信号SREFの立上りに応答して、内部RAS発生回路3022が信号 $intRAS1$ の出力を開始する。このために、信号 $intRAS$ が標準の周期 T_{rc} の信号となる。それとともに、信号SREFの立上りに応答して、カウンタ回路3042が信号SREをHレベルに立上げる。

【0405】

そして、信号SREの立上りに応答して、内部降圧回路1000および疑似GND発生回路2000により、電圧スイングのスイング幅が小さくされる。

40

【0406】

その後、信号 $extRAS$ がHレベルに立上る。それに応答して、信号SREFがLレベルに立下がる。信号SREFの立下りに応答して、信号 $intRAS1$ の出力が停止するとともに、内部RAS発生回路3032により信号 $intRAS2$ の出力が開始される。したがって、信号SREFの立下りに応答して、信号 $intRAS$ の周期が、標準の周期 T_{rc} から短い周期 T_{cu} に切換わる。

【0407】

また、信号SREFの立下りに応答して、カウンタ回路3042が信号 $intRAS2$ のカウントを開始する。その後、カウンタ回路3042のカウントアップにより、信号SR

50

EがLレベルに立下がる。

【0408】

この信号SREの立下りに応答して、内部降圧回路1000および疑似GND発生回路2000により、電圧スイングのスイング幅が、ノーマル動作時の値まで復帰するように増加させられる。この場合、信号intRASの短い周期Tcuの期間の終了と同時に電圧スイングのスイング幅の増加が開始されることになる。

【0409】

このようにスイング幅がノーマル動作時の値に復帰した時点でセルフリフレッシュ動作の期間が終了する。

【0410】

このような第16実施例においては、次のような効果が得られる。

セルフリフレッシュ動作時の電圧スイングのスイング幅の制御により、第15実施例と同様にセルフリフレッシュ動作時の消費電流が低減できる。

【0411】

また、電圧スイングのスイング幅をノーマル動作時の値まで増加させる前において、一部のメモリセルは、蓄積電荷が減少した状態となっている。このため、前記一部のメモリセルにおいては、そのままの状態では電圧スイングのスイング幅が増加させられると、パンプの影響を受けやすい。

【0412】

しかし、この第16実施例によれば、電圧スイングのスイング幅を増加させる前に短周期でセルフリフレッシュが行なわれるため、スイング幅の増加前にすべてのメモリセルが十分な蓄積電荷を有する状態となる。したがって、電圧スイングのスイング幅を増加させる際にパンプの影響を受けにくくなる。

【0413】

第17実施例

次に、第17実施例について説明する。第17実施例は、セルフリフレッシュ動作を行なう期間中の一定期間にて電圧スイングのスイング幅を小さくする制御を行なう場合において、そのスイング幅をノーマル動作時の値まで復帰させた後に、標準のリフレッシュ周期よりも短いリフレッシュ周期でリフレッシュを実行させる例について説明する。

【0414】

図33は、第17実施例によるDRAMのセルフリフレッシュに関する部分の回路のブロック図である。図33において、図29と同じ部分には同一の参照符号を付し、その説明を省略する。

【0415】

図33を参照して、この回路には、タイミング発生回路3012、内部RAS発生回路3023、3033、ORゲート3050、遅延回路3061、内部降圧回路1000および疑似GND発生回路2000が含まれる。

【0416】

タイミング発生回路3012は、信号ext/RASおよび信号ext/CASを受け、これらの信号に応答して信号SREを発生する。

【0417】

内部RAS発生回路3023は、信号SREを受け、その信号に応答して、周期Trcを規定する内部RAS信号intRAS1を発生する。その信号intRAS1は、信号SREの立上りからその立下りまで出力される。

【0418】

遅延回路3061は、信号SREを、所定期間遅延させて内部RAS発生回路3033に与える。内部RAS発生回路3033は、遅延した信号SREを受け、その信号に応答して周期Tcuを規定する内部RAS信号intRAS2を発生する。その信号intRAS2は、遅延した信号SREの立下りから所定期間発生される。

【0419】

10

20

30

40

50

次に、図 3 3 の回路の動作について説明する。

図 3 4 は、セルフリフレッシュ動作時の図 3 3 の回路の動作タイミングを示すタイミングチャートである。

【 0 4 2 0 】

図 3 3 を参照して、C B R タイミングの後、タイミング発生回路 3 0 1 2 により信号 S R E が H レベルに立上げられる。この場合のセルフリフレッシュ動作の期間は、C B R タイミングの後、その状態が所定期間（たとえば $100\mu s$ 以上）継続した時点から始まる。

【 0 4 2 1 】

信号 S R E の立上りに応答して、内部 R A S 発生回路 3 0 2 3 が信号 i n t R A S 1 の出力を開始する。このために、信号 i n t / R A S が標準の周期 T r c の信号となる。

10

【 0 4 2 2 】

それとともに、信号 S R E F の立上りに応答して、内部降圧回路 1 0 0 0 および疑似 G N D 発生回路 2 0 0 0 により、電圧スイングのスイング幅が小さくされる。

【 0 4 2 3 】

その後、信号 e x t / R A S が H レベルに立上る。それに応答して、信号 S R E が L レベルに立下がる。その信号 S R E の立下りに応答して、信号 i n t R A S 1 の出力が停止する。それとともに、内部降圧回路 1 0 0 0 および疑似 G N D 発生回路 2 0 0 0 により電圧スイングのスイング幅が、ノーマル動作時の値まで増加を開始させられる。

【 0 4 2 4 】

遅延回路 3 0 6 1 は、電圧スイングのスイング幅の増加開始から終了までの期間だけ信号 S R E を遅延させる。したがって、内部 R A S 発生回路 3 0 3 3 に与えられる遅延した信号 S R E は、電圧スイングの増加が終了した時点で L レベルに立下がる。

20

【 0 4 2 5 】

内部 R A S 発生回路 3 0 3 3 では、与えられる信号 S R E の立下りに応答して、信号 i n t R A S 2 の出力を開始する。したがって、信号 i n t / R A S は、電圧スイングのスイング幅の増加が終了した時点から所定期間短い周期 T c u の信号となる。

【 0 4 2 6 】

このような信号 i n t R A S 2 の出力が停止した時点で、この場合のセルフリフレッシュ動作の期間が終了する。

【 0 4 2 7 】

30

このような第 1 7 実施例においては、次のような効果が得られる。

セルフリフレッシュ動作時の電圧スイングのスイング幅の制御により、セルフリフレッシュ動作時の消費電流が低減できる。

【 0 4 2 8 】

また、セルフリフレッシュ動作からノーマル動作に移行する前に、メモリセルの一部は、蓄積電荷が減少した厳しい状態となっている。このため、セルフリフレッシュ動作からノーマル動作に移行する前においては、すべてのメモリセルが十分な蓄積電荷を有する状態が実現できるように、外部からの制御によりリフレッシュが行なわれるのが一般的である。

【 0 4 2 9 】

40

しかし、この第 1 7 実施例によれば、電圧スイングのスイング幅の増加が完了した後に、短周期でセルフリフレッシュが行なわれるため、前述のような外部からの複雑な制御を必要としない。そして、このために、セルフリフレッシュ動作の終了直前において、リフレッシュの実力の初期化が行なえる。

【 0 4 3 0 】

第 1 8 実施例

次に、第 1 8 実施例について説明する。第 1 8 実施例は、セルフリフレッシュ動作を行なう期間中の一定期間にて電圧スイングのスイング幅を小さくする制御を行なう場合において、そのスイング幅を減少させた直後に、標準のリフレッシュ周期よりも短いリフレッシュ周期でリフレッシュを実行させる例について説明する。

50

【0431】

図35は、第18実施例によるDRAMのセルフリフレッシュに関する部分の回路のブロック図である。図35において、図33と同じ部分には同一の参照符号を付し、その説明を省略する。

【0432】

図35を参照して、この回路には、タイミング発生回路3012、内部RAS発生回路3024、3034、カウンタ回路3043、ORゲート3050、遅延回路3062、内部降圧回路1000および疑似GND発生回路2000が含まれる。

【0433】

内部RAS発生回路3034は、信号SREを受け、その信号に応答して、短いリフレッシュ周期Tcuを規定するパルス信号であるintRAS2を所定期間発生する。

10

【0434】

遅延回路3062は、信号SREを、電圧スイングのスイング幅の減少開始から終了までの期間と同じ期間だけ遅延させた信号SREDを発生する。内部RAS発生回路3034は、信号SREDを受け、その信号に応答して、短いリフレッシュ周期Tcuを規定するパルス信号である信号intRAS2を所定期間発生する。

【0435】

カウンタ回路3043は、信号SREDおよび信号intRAS2を受け、それらの信号に応答して、内部RAS発生回路3024を動作させるための信号SRED1を発生する。

20

【0436】

カウンタ回路3043において、信号SRED1は、次のように発生される。カウンタ回路3043は、信号SREDの立上りから、信号intRAS2のカウントを開始し、そのカウント値が所定数になると信号SRED1をHレベルに立上げる。そして、カウンタ回路3043は、信号SREDの立下がりに応答して信号SRED1を下下げる。

【0437】

内部RAS発生回路3024は、信号SRED1を受け、その信号に応答して、標準のリフレッシュ周期Trcを規定するパルス信号である信号intRAS1を発生する。その信号intRAS1は、信号SRED1の立上りからその立下りまで出力される。

【0438】

次に、図35の回路の動作について説明する。

30

図36は、セルフリフレッシュ動作時の図35の回路の動作タイミングを示すタイミングチャートである。図36を参照して、CBRTimingの後、その状態が所定期間継続されると、タイミング発生回路3012により信号SREがHレベルに立上げられ、セルフリフレッシュ動作の期間が開始する。

【0439】

信号SREの立上りに応答して、内部降圧回路1000および疑似GND発生回路2000により電圧スイングのスイング幅の減少が開始される。そのスイング幅の減少の終了と同時に信号SREDがHレベルに立上る。

【0440】

信号SREDの立上りに応答して、内部RAS発生回路3034が、信号intRAS2の出力を開始する。このために、信号int/RASが、短い周期Tcuの信号となる。

40

【0441】

その後、カウンタ回路3043のカウントアップにより、信号SRED1が立上る。この信号SRED1の立上りと同時に、信号intRAS2の出力が停止するとともに、内部RAS発生回路3024により信号intRAS1の出力が開始される。したがって、信号SRED1の立上りと同時に、信号intRASの周期が、短い周期Tcuから標準の周期Trcに切換わる。

【0442】

その後、信号ext/RASの立上りに応答して、信号SREがLレベルに立下がる。そ

50

れに応答して、内部降圧回路 1 0 0 0 および疑似 G N D 発生回路 2 0 0 0 により、電圧スイングのスイング幅がノーマル動作時の値まで増加させられる。また、信号 S R E の立下りに遅延して信号 S R E D 1 が立下がる。その立下りに応答して、信号 i n t R A S 1 の出力が停止される。

【 0 4 4 3 】

この場合は、電圧スイングのスイング幅がノーマル動作時の値に復帰した時点で、セルフリフレッシュ動作の期間が終了する。

【 0 4 4 4 】

このような第 1 8 実施例においては、次のような効果が得られる。

セルフリフレッシュ動作時の開始当初において、メモリセルに十分な電荷が蓄積された状態が実現できる。これにより、その時点で、リフレッシュの実力の初期化が行なえる。 10

【 0 4 4 5 】

なお、この第 1 8 実施例においては、短い周期でのセルフリフレッシュを、電圧スイングのスイング幅の減少終了直後に実行したが、これに限らず、このような短い周期のセルフリフレッシュは、電圧スイングのスイング幅を変更しない場合のセルフリフレッシュ動作の開始当初に行なっても、同様に、リフレッシュの実力の初期化を行なうことができる。

【 0 4 4 6 】

【 発明の効果 】

請求項 1 に記載の本発明によれば、セルフリフレッシュ動作時に、基準電圧発生手段のスィッチング手段により調整可能な基準電圧に基づいて内部電源電位差発生手段により発生される、内部電源電位と接地電位との差である内部電源電位差は、通常動作時よりも電位スイングのスイング幅が小さくなるような電位差にされる。したがって、内部回路における容易な制御によってセルフリフレッシュ動作時の消費電流を低減することができる。 20

【 0 4 4 7 】

請求項 2 に記載の本発明によれば、内部電源電位差発生手段は内部降圧手段であるので、セルフリフレッシュ動作時に内部電源電位差発生手段により発生される内部電源電圧は、通常動作時よりも低くされる。したがって、内部回路における容易な制御によってセルフリフレッシュ動作時の消費電流を低減することができる。

【 0 4 4 8 】

請求項 3 に記載の本発明によれば、セルフリフレッシュ動作の開始時に接地電位が第 1 の電位から第 2 の電位まで上昇され、セルフリフレッシュ動作の終了時に接地電位が第 2 の電位から第 1 の電位まで降下される制御が行なわれる。したがって、セルフリフレッシュ動作において、通常動作時よりも内部電源電位差が減少される。このため、内部回路における容易な制御によってセルフリフレッシュ動作時の消費電流を低減できる。 30

【 0 4 4 9 】

請求項 4 に記載の本発明によれば、内部電源電位差が減少される期間と、内部電源電位差が増加される期間とが異なるため、内部電源電位差の減少期間および増加期間のそれぞれに適した動作の安定化を図ることができる。

【 0 4 5 0 】

請求項 5 に記載の本発明によれば、内部電源電位差の減少期間および増加期間に対応して設定される第 1 および第 2 のセルフリフレッシュ周期は、第 3 のセルフリフレッシュ周期よりも短い。したがって、内部電源電位差の増加期間および減少期間においては、保持期間よりも短い周期でセルフリフレッシュが行なわれる。このため、内部電源電位差の増加期間および減少期間におけるメモリセルの蓄積電荷の低下に起因するパンプ等の影響を受けにくくすることができ、その結果、動作を安定化することができる。 40

【 0 4 5 1 】

請求項 6 に記載の本発明によれば、第 1 のリフレッシュ周期と第 2 のリフレッシュ周期とが異なるため、内部電源電位差の増加および減少のそれぞれに適した周期でのリフレッシュが実行でき、請求項 5 に記載の発明よりもさらに動作を安定化することができる。

【 0 4 5 2 】

請求項 7 に記載の本発明によれば、内部電源電位差の減少および増加のそれぞれが複数段階で行なわれるため、内部電源電位差が急激に変化しない。したがって、パンプ等により動作が不安定化される、内部電源電位差の増加期間および減少期間のそれぞれの動作が、安定化できる。

【 0 4 5 3 】

請求項 8 に記載の本発明によれば、内部電源電位差のステップ状の減少および増加のそれぞれの 1 段階が、すべてのメモリセルがリフレッシュされる周期の倍数であるため、内部電源電位差の増加期間および減少期間のパンプ等の影響を減少させることができ、それぞれの動作を安定化することができる。

【 0 4 5 4 】

請求項 9 に記載の本発明によれば、セルフリフレッシュ期間規定信号に応答してトランジスタ手段がオンすると、抵抗手段の抵抗値が減少する。このため、その場合には、出力ノードの電圧、すなわち、内部電源電圧の基準電圧が減少する。これにより、内部電源電圧が減少する。したがって、セルフリフレッシュ動作時の消費電流を低減することができる。

【 0 4 5 5 】

請求項 10 に記載の本発明によれば、セルフリフレッシュ動作時において、供給停止手段によってセルフリフレッシュ動作時に使用されない第 2 の基準電圧供給手段が停止される。これにより、セルフリフレッシュ動作時の消費電流を低減することができる。

【 0 4 5 6 】

請求項 11 に記載の本発明によれば、セルフリフレッシュ動作時においては、差動増幅手段の動作が停止され、N チャネルトランジスタが導通させられる。N チャネルトランジスタが導通すると、外部電源電圧に基づく内部電源電圧が電圧出力ノードに供給される。したがって、セルフリフレッシュ動作のスタンバイ時にも電流を消費する差動増幅手段がセルフリフレッシュ時に停止されるので、セルフリフレッシュ動作時における消費電流が低減できる。

【 0 4 5 7 】

請求項 12 に記載の本発明によれば、メモリセルアレイと周辺回路とで別の内部電源電圧を供給可能である。このため、特に、セルフリフレッシュ時において、メモリセルアレイおよび周辺回路のそれぞれを最適な内部電源電圧で作動させることができる。

【 0 4 5 8 】

請求項 13 に記載の本発明によれば、セルフリフレッシュ動作時に、リング発信手段の発信するパルス信号の周波数が通常動作時よりも低くされる。このため、ポンピング手段のポンピング周波数が低くなる。したがって、セルフリフレッシュ動作時の消費電流を低減することができる。

【 0 4 5 9 】

請求項 14 に記載の本発明によれば、セルフリフレッシュ動作時にリング発信手段の動作が停止され、それに従って、ポンピング手段の動作も停止され、別の供給経路から昇圧電圧が供給されるため、セルフリフレッシュ時の消費電流を低減することができる。

【 0 4 6 0 】

請求項 15 に記載の本発明によれば、請求項 14 に記載の基準電源電圧として外部電源電圧が用いられる。これにより、N チャネルトランジスタにより外部電源電圧よりもしきい値電圧分だけ低い電圧を昇圧電圧にすることができる。

【 0 4 6 1 】

請求項 16 に記載の本発明によれば、セルフリフレッシュ動作時にリング発振手段の動作が停止され、それに従ってポンピング手段の動作も停止され、別の供給経路から昇圧電圧が供給されるためセルフリフレッシュ動作時の消費電流を低減することができる。さらに、この装置は、昇圧電圧が外部電源電圧のレベルとなるため、セルフリフレッシュ動作を通常動作よりも低い内部電源電圧で行なう場合のみならず、セルフリフレッシュ動作を通常動作時と同じレベルの内部電源電圧で行なう場合にも用いることができる。

10

20

30

40

50

【0462】

請求項17に記載の本発明によれば、CMOS回路およびアナログ回路には、それぞれに対応する第1および第2の内部電源電圧供給手段から第1および第2の内部電源電圧が供給される。第1および第2の内部電源電圧のそれぞれは、セルフリフレッシュ時に、通常動作時よりも低い電圧にされる。これにより、セルフリフレッシュ動作時の消費電流を低減できる。

【0463】

さらに、内部電源電圧の供給源が異なるため、セルフリフレッシュ時の第1および第2の内部電源電圧をCMOS回路およびアナログ回路の各々の安定動作に最適な電圧にすることができ、このようにすれば、CMOS回路およびアナログ回路を安定して動作させることができる。

10

【0464】

請求項18に記載の本発明によれば、セルフリフレッシュ動作の終了時においては、内部電源電位差が通常動作時のレベルに復帰する場合に、その内部電源電位差が所定値と同じ、もしくは同程度になると、比較手段の出力信号が活性化される。そして、その活性化に 응답して外部出力手段により所定レベルの信号が外部に出力される。

【0465】

したがって、セルフリフレッシュ動作の終了後、内部電源電位差が通常動作時の電位差に復帰したことを外部にて知ることができる。

【0466】

20

請求項19に記載の本発明によれば、セルフリフレッシュ動作時の内部電源電位差が通常動作時のその電位差よりも小さくされるため、セルフリフレッシュ動作時の消費電流を低減できる。また、その場合における第1の内部電源電位の変化幅と、第2の内部電源電位の変化幅とが等しく、かつ、それらが逆に変化するため、セルフリフレッシュ動作時における電位スイングの中心値である内部電源電位差の1/2のレベルの値が、通常動作時のその値に対して変化しないようにすることができる。

【0467】

このように、セルフリフレッシュ動作時に内部電源電位差を変化させても、内部電源電位差の1/2のレベルの値が変化しないため、内部電源電位差の変化時におけるバンプの影響をなくすることができる。

30

【0468】

請求項20に記載の本発明によれば、セルフリフレッシュ動作時において、少なくとも一定期間、内部電源電位差が通常動作時のその電位差よりも小さくされる。したがって、セルフリフレッシュ動作時の消費電流を低減することができる。

【0469】

また、内部電源電位差の減少前において、標準の周期よりも短いリフレッシュ周期でセルフリフレッシュが行なわれるため、内部電源電位差を減少させる前にリフレッシュの実力の初期化が行なえる。それとともに、内部電源電位差を減少させる場合におけるバンプの影響を受けにくくすることができ、その結果、動作を安定化することができる。

【0470】

40

さらに、セルフリフレッシュ動作の開始時において短い周期でセルフリフレッシュが実行されるため、リフレッシュ動作の開始時に要求されるリフレッシュの実力に関する条件を、複雑な外部制御を行なうことなく満足させることができる。

【0471】

請求項21に記載の本発明によれば、セルフリフレッシュ動作時において、内部電源電位差が、少なくとも一定期間、通常動作時のその電位差よりも小さくさえる。したがって、セルフリフレッシュ動作時の消費電流を低減することができる。

【0472】

また、内部電源電位差を通常動作時の値まで増加させる前において標準よりも短いリフレッシュ周期でセルフリフレッシュが実行されるため、その時点で、リフレッシュの実力の

50

初期化を行なうことができる。それとともに、内部電源電位差を増加させる場合におけるパンプの影響を受けにくくすることができ、その結果、動作を安定化することができる。

【0473】

請求項22に記載の本発明によれば、セルフリフレッシュ動作時において、内部電源電位差が、少なくとも一定期間、通常動作時のその電位差よりも小さくさえる。したがって、セルフリフレッシュ動作時の消費電流を低減することができる。

【0474】

また、内部電源電位差の増加完了後において、標準よりも短いリフレッシュ周期でセルフリフレッシュが実行されるため、その時点で、リフレッシュの実力の初期化を行なうことができる。

【0475】

このように、セルフリフレッシュ動作の終了前において、短いリフレッシュ周期でセルフリフレッシュが実行されるため、リフレッシュ動作の終了時に要求されるリフレッシュの実力に関する条件を複雑な外部制御を行なうことなく満足させることができる。

【0476】

請求項23に記載の本発明によれば、セルフリフレッシュ動作の開始当初の所定期間において、標準よりも短いリフレッシュ周期でセルフリフレッシュが実行されるため、その時点で、リフレッシュの実力の初期化を行なうことができる。請求項24に記載の本発明によれば、セルフリフレッシュ動作時に、基準電圧発生手段のスイッチング手段により調整可能な基準電圧に基づいて内部電源電位差発生手段により発生される内部電源電位と接地電位との差である内部電源電位差は、通常動作時よりも電位スイングのスイング幅が小さくなるような電位差にされる。したがって、内部回路における容易な制御によってセルフリフレッシュ時の消費電流を低減することができる。

【図面の簡単な説明】

【図1】第1実施例によるDRAMのセルフリフレッシュに関する部分の回路のブロック図である。

【図2】第1実施例による内部RAS発生回路の構成を示す回路図である。

【図3】第1実施例による内部降圧回路の構成を示す回路図である。

【図4】セルフリフレッシュ動作時の図1の回路の動作タイミングを示すタイミングチャートである。

【図5】第2実施例によるDRAMのセルフリフレッシュに関連する部分の回路のブロック図である。

【図6】第3実施例によるDRAMのセルフリフレッシュに関連する部分の回路のブロック図である。

【図7】内部RAS発生回路の構成を示すブロック図である。

【図8】セルフリフレッシュ動作時の図6の回路の動作タイミングを示すタイミングチャートである。

【図9】第4実施例によるDRAMのセルフリフレッシュに関連する部分の回路のブロック図である。

【図10】第4実施例による内部降圧回路の構成を示す回路図である。

【図11】セルフリフレッシュ動作時の図9の回路の動作タイミングを示すタイミングチャートである。

【図12】第5実施例による内部降圧回路の基準電圧発生回路の構成を示すブロック図である。

【図13】第6実施例による内部降圧回路の構成を示す回路図である。

【図14】図13の内部降圧回路の基準電圧および内部電源電圧の一例を示す図である。

【図15】第7実施例によるDRAMのセルフリフレッシュに関連する部分の回路のブロック図である。

【図16】図15の周辺回路およびメモリセルアレイの各々の内部電源電圧の制御方法を示す図である。

10

20

30

40

50

【図 17】図 15 の周辺回路およびメモリセルアレイの各々の内部電源電圧の制御方法を示す図である。

【図 18】第 8 実施例による昇圧電圧発生回路の構成を示す回路図である。

【図 19】第 9 実施例による昇圧電圧発生回路の構成を示す回路図である。

【図 20】第 10 実施例による昇圧電圧発生回路の外部電圧供給回路の構成を示す回路図である。

【図 21】第 11 実施例による周辺回路の電源供給系の回路構成を示すブロック図である。

【図 22】図 21 の第 1 および第 2 の内部降圧回路の動作タイミングを示すタイミングチャートである。

10

【図 23】第 12 実施例によるセルフリフレッシュ終了後の内部電源電圧の復帰状態を示す信号を外部に出力する回路のブロック図である。

【図 24】図 23 の回路の動作タイミングを示すタイミングチャートである。

【図 25】第 13 実施例によるセルフリフレッシュ終了後の内部電源電圧の復帰状態を示す信号を外部に出力する回路のブロック図である。

【図 26】図 25 の回路の動作タイミングを示すタイミングチャートである。

【図 27】第 14 実施例による D R A M のセルフリフレッシュに関する部分の回路図である。

【図 28】図 27 の回路により制御される電圧スイングのスイング幅の一例を示す図である。

20

【図 29】第 15 実施例による D R A M のセルフリフレッシュに関する部分の回路のブロック図である。

【図 30】セルフリフレッシュ動作時の図 29 の回路の動作タイミングを示すタイミングチャートである。

【図 31】第 16 実施例による D R A M のセルフリフレッシュに関する部分の回路のブロック図である。

【図 32】セルフリフレッシュ動作時の図 31 の回路の動作タイミングを示すタイミングチャートである。

【図 33】第 17 実施例による D R A M のセルフリフレッシュに関する部分の回路のブロック図である。

30

【図 34】セルフリフレッシュ動作時の図 33 の回路の動作タイミングを示すタイミングチャートである。

【図 35】第 18 実施例による D R A M のセルフリフレッシュに関する部分の回路のブロック図である。

【図 36】セルフリフレッシュ動作時の図 35 の回路の動作タイミングを示すタイミングチャートである。

【図 37】従来のセルフリフレッシュ動作のタイミングの一例を示すタイミングチャートである。

【符号の説明】

1 タイミング発生回路

40

2 , 1 0 0 0 内部降圧回路

5 1 , 3 0 2 1 ~ 3 0 2 4 , 3 0 3 1 ~ 3 0 3 4 内部 R A S 発生回路

5 0 5 , 5 0 6 , 5 0 7 サイクル変換器

2 4 , 1 0 1 0 基準電圧発生回路

2 2 差動増幅回路

1 0 1 メモリセルアレイ

1 0 2 周辺回路

1 1 0 アレイ用内部降圧回路

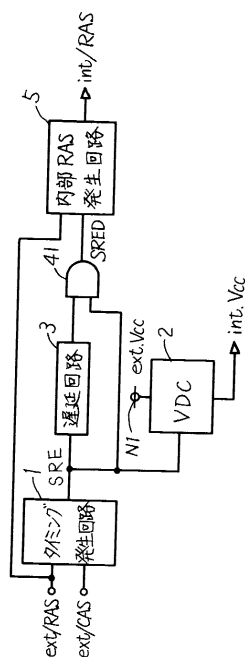
1 1 2 周辺用内部降圧回路

6 1 リング発振器

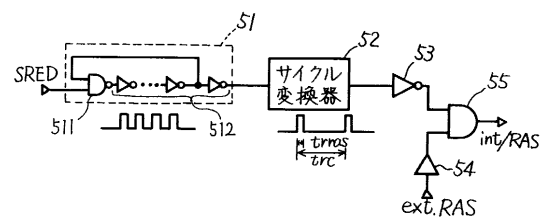
50

- 6 2 ポンピング回路
- 6 3 外部電圧供給回路
- 6 4 遮断回路
- 1 1 3 C M O S 回路
- 1 1 4 アナログ回路
- 1 1 5 第 1 の内部降圧回路
- 1 1 6 第 2 の内部降圧回路
- 7 0 3 比較回路
- 7 0 1 タイミング発生回路
- 1 0 4 , 2 0 0 0 疑似 G N D 発生回路

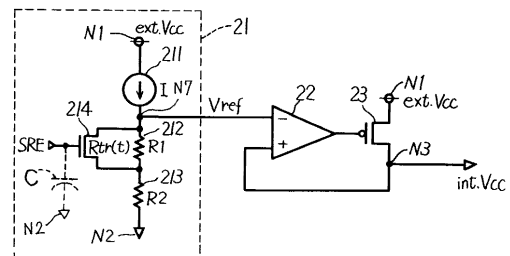
【図 1】



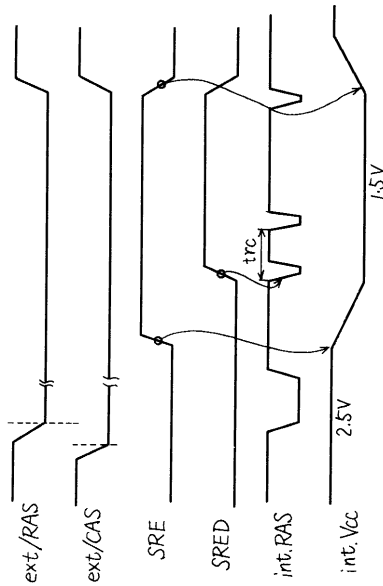
【図 2】



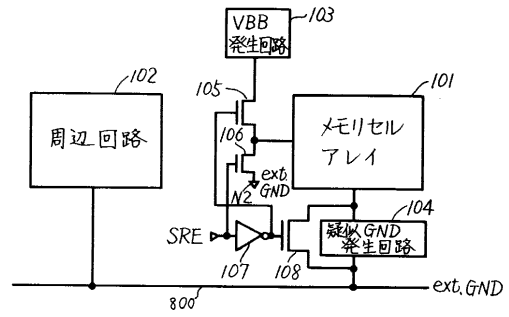
【図 3】



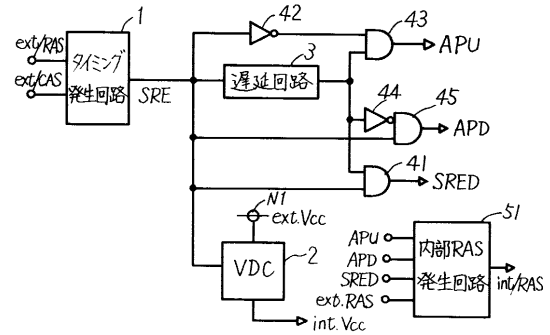
【図4】



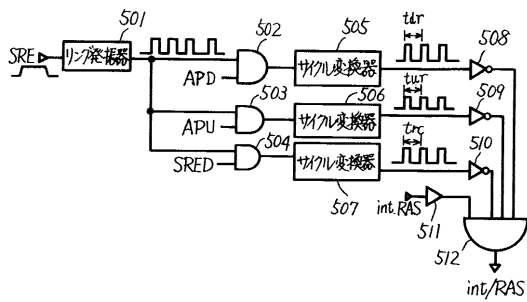
【図5】



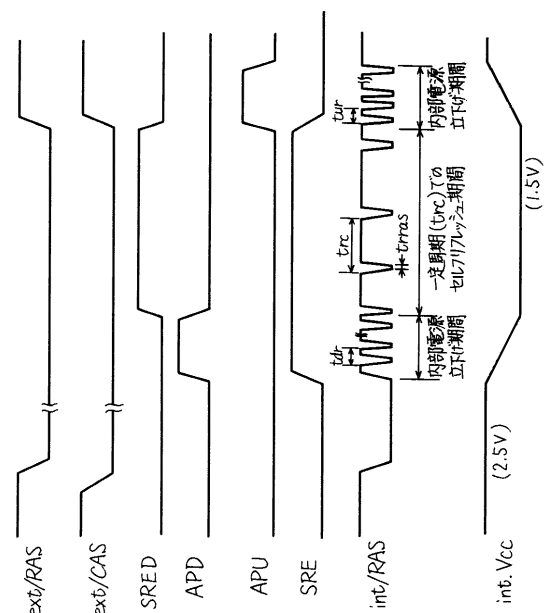
【図6】



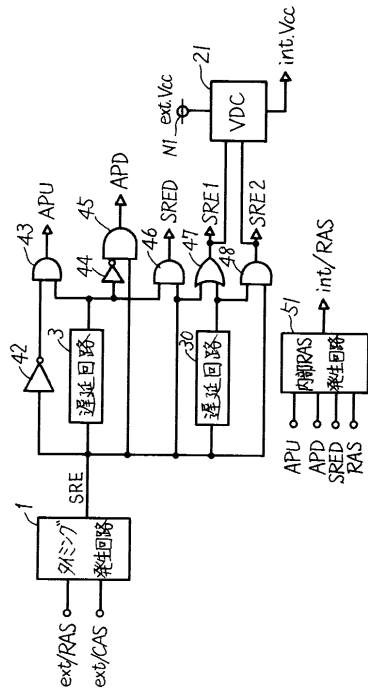
【図7】



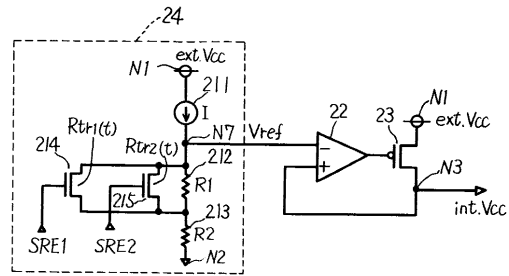
【図8】



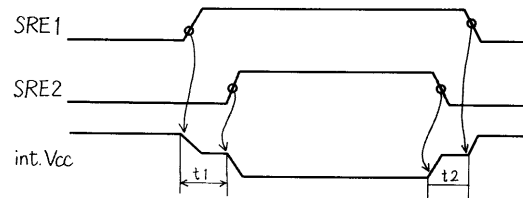
【図 9】



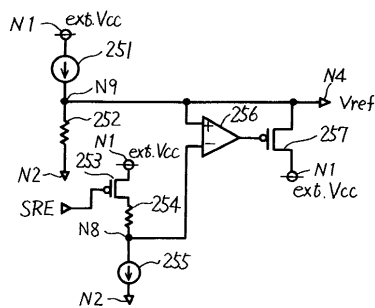
【図 10】



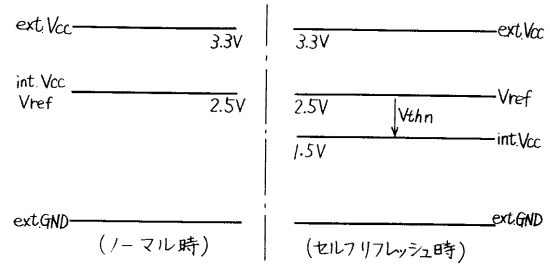
【図 11】



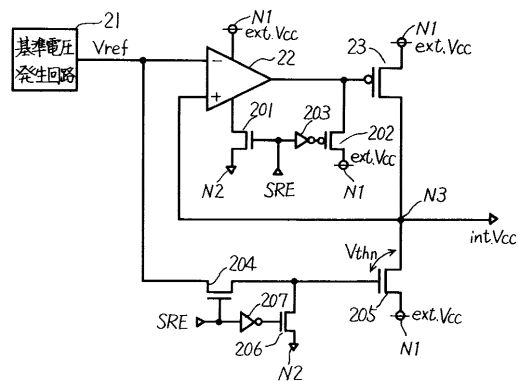
【図 12】



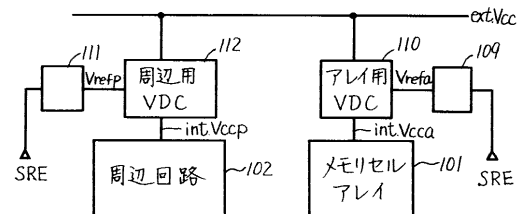
【図 14】



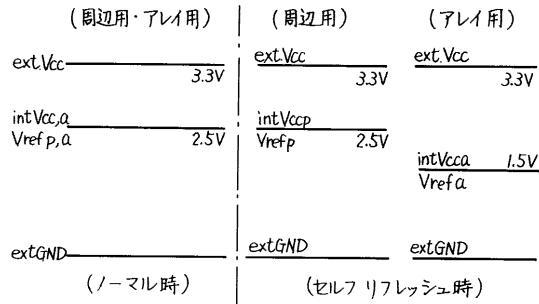
【図 13】



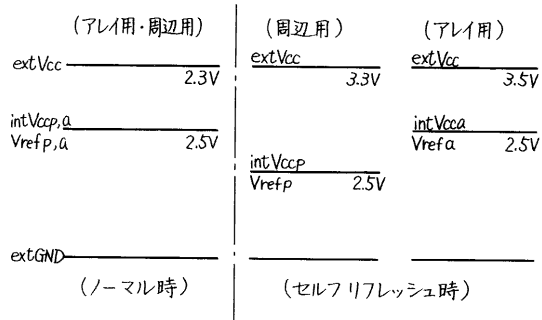
【図 15】



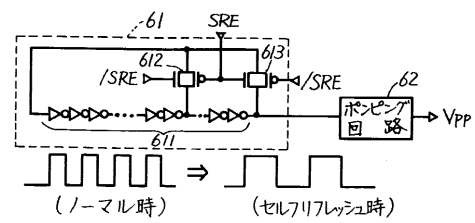
【図 16】



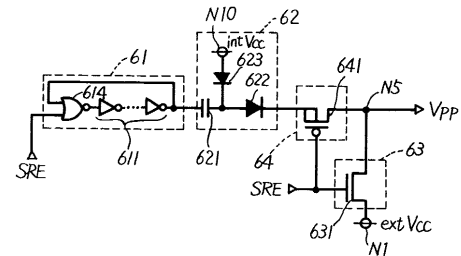
【図 17】



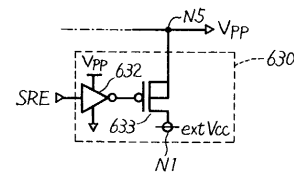
【図 18】



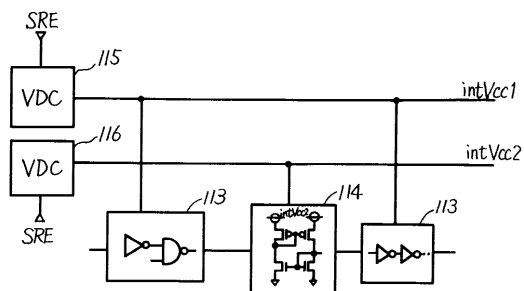
【図 19】



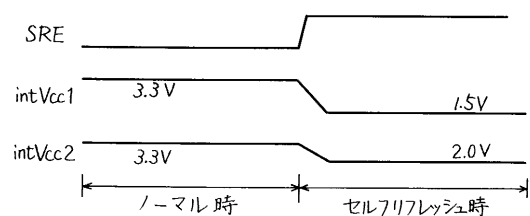
【図 20】



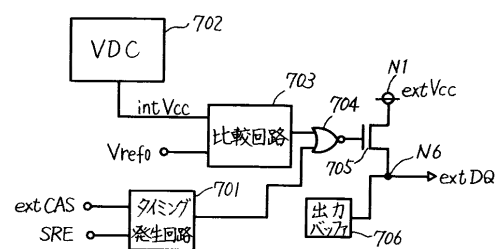
【図 21】



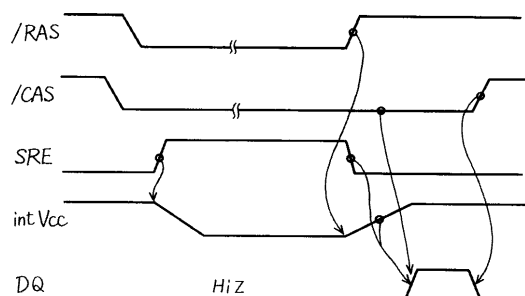
【図 22】



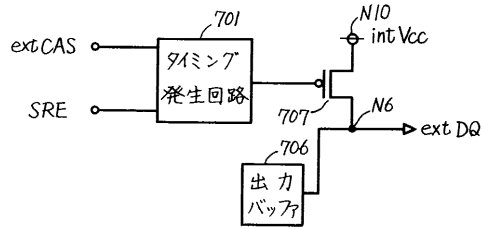
【図 23】



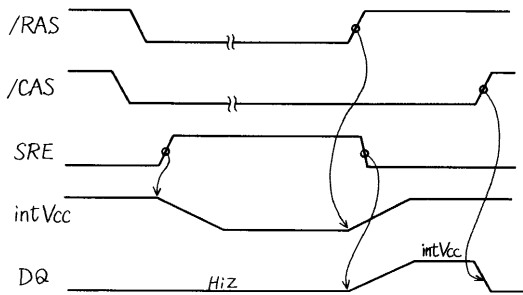
【図 24】



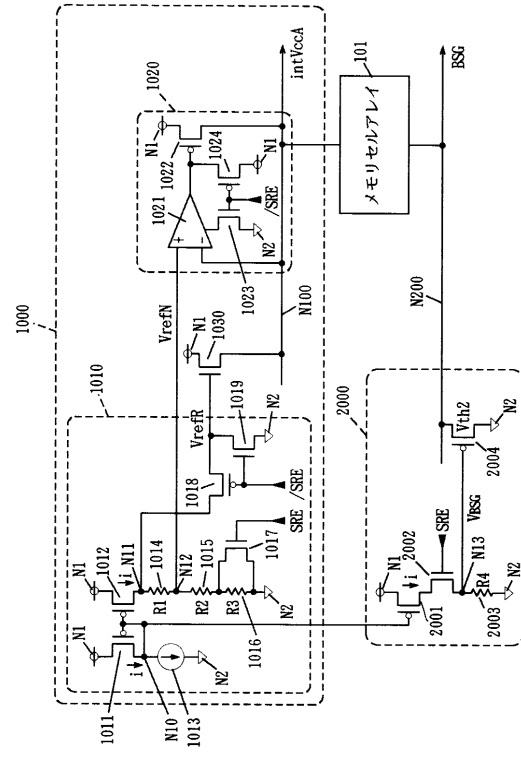
【図 25】



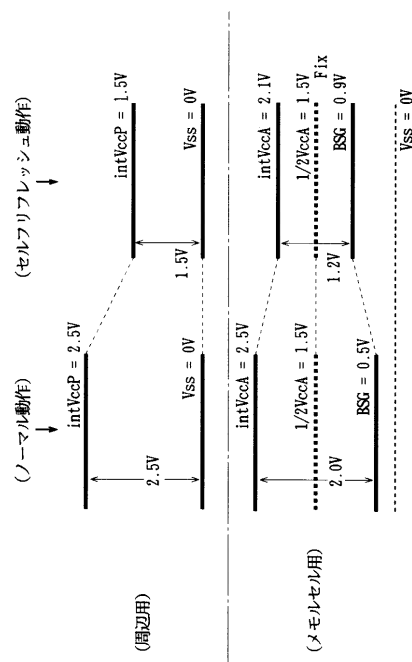
【図 26】



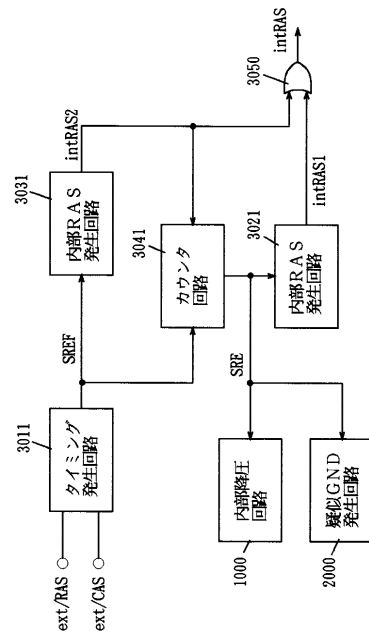
【図 27】



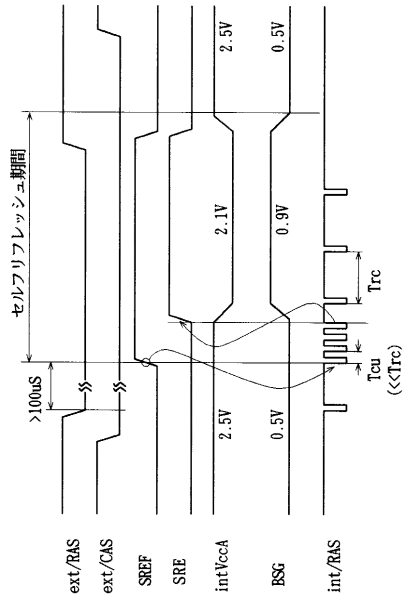
【図 28】



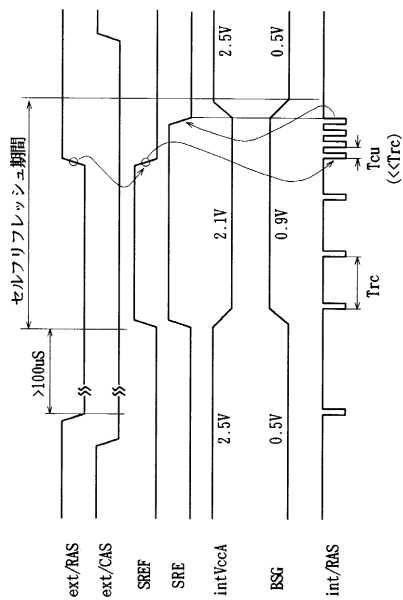
【図 29】



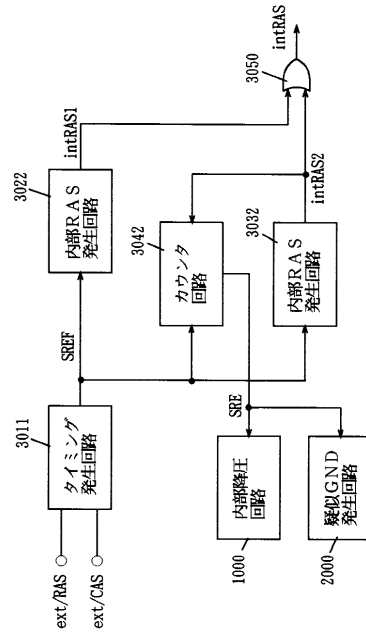
【図 30】



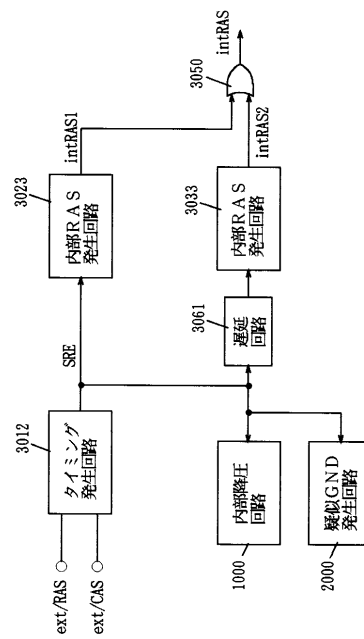
【図 32】



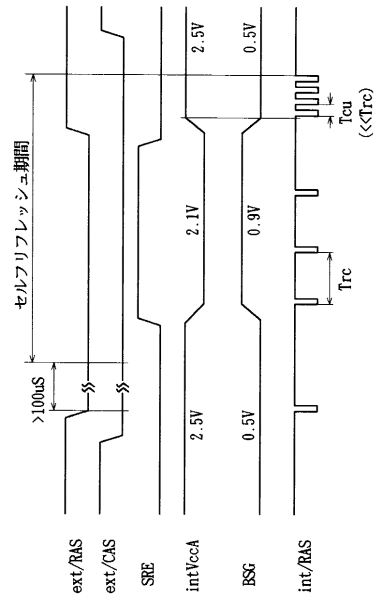
【図 31】



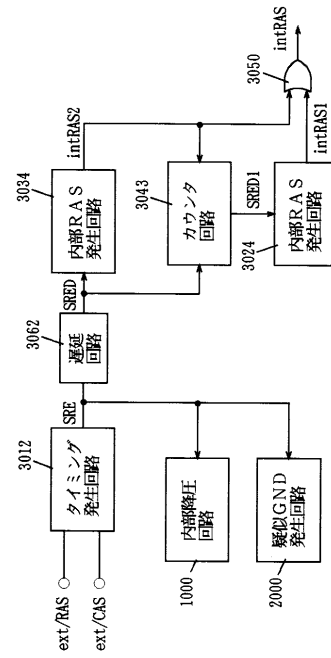
【図 33】



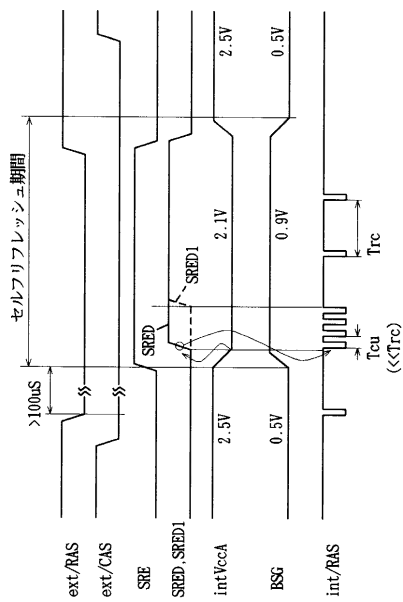
【図 34】



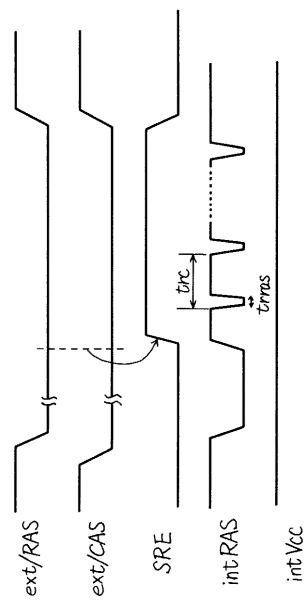
【図 35】



【図 36】



【図 37】



フロントページの続き

(72)発明者 築出 正樹

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社ユー・エル・エス・アイ開発研究所内

(72)発明者 有本 和民

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社ユー・エル・エス・アイ開発研究所内

審査官 堀田 和義

(56)参考文献 特開平06-060642(JP,A)

特開平07-085658(JP,A)

特開平06-208791(JP,A)

特開平02-210688(JP,A)

特開昭61-073299(JP,A)

特開平05-347550(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/407