

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年10月26日(26.10.2017)



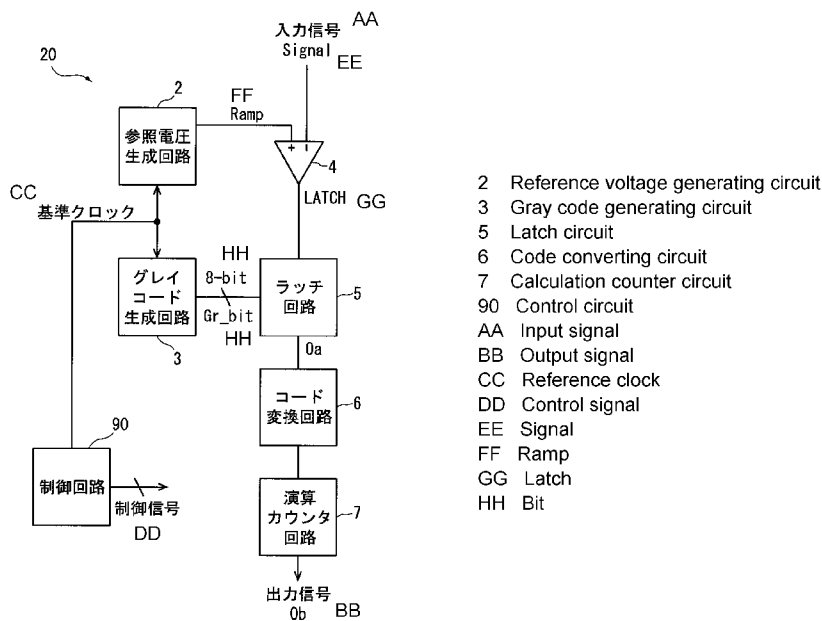
(10) 国際公開番号

WO 2017/183117 A1

- (51) 国際特許分類:
H04N 5/378 (2011.01) *H03M 1/56* (2006.01)
H03M 1/12 (2006.01)
- (21) 国際出願番号: PCT/JP2016/062429
- (22) 国際出願日: 2016年4月19日(19.04.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: オリンパス株式会社 (OLYMPUS CORPORATION) [JP/JP]; 〒1928507 東京都八王子市石川町2951番地 Tokyo (JP).
- (72) 発明者: 小山 友作 (KOYAMA Yusaku); 〒1928507 東京都八王子市石川町2951番地 オリンパス株式会社内 Tokyo (JP).
- (74) 代理人: 棚井 澄雄, 外 (TANAI Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,

(54) Title: A/D CONVERTER, SOLID-STATE IMAGING DEVICE, METHOD FOR DRIVING SOLID-STATE IMAGING DEVICE, AND ELECTRONIC APPARATUS

(54) 発明の名称: A/D変換器、固体撮像装置、固体撮像装置の駆動方法及び電子機器



(57) Abstract: This A/D converter is provided with: a reference voltage generating circuit for generating a reference voltage having a ramp waveform in which a voltage value varies with time; a gray code generating circuit for outputting a gray code on the basis of the same reference clock as that of the reference voltage generating circuit; a comparison circuit for comparing the reference voltage and an input voltage; a latch circuit for holding a count value of the gray code on the

NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY,
TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 国際調査報告 (条約第21条(3))

basis of an output signal of the comparison circuit; a code converting circuit for converting, into a binary code in a serial, the count value of the gray code held in the latch circuit; and a calculation processing circuit which stores the count value of the binary code outputted from the code converting circuit and performs a calculation process on the basis of the count value of the stored binary code and a count value of the binary code to be inputted next.

(57) 要約：A/D変換器は、時間とともに電圧値が変化するランプ波形の参照電圧を生成する参照電圧生成回路と、前記参照電圧生成回路と同じ基準クロックに基づいてグレイコードを出力するグレイコード生成回路と、前記参照電圧と入力電圧とを比較する比較回路と、前記比較回路の出力信号に基づいて前記グレイコードのカウント値を保持するラッチ回路と、前記ラッチ回路に保持された前記グレイコードのカウント値をシリアルにバイナリコードに変換するコード変換回路と、前記コード変換回路から出力されたバイナリコードのカウント値を記憶すると共に、その記憶されたバイナリコードのカウント値と、次に入力されるバイナリコードのカウント値とに基づいて演算処理を行う演算処理回路と、を備える。

明 細 書

発明の名称：

A／D変換器、固体撮像装置、固体撮像装置の駆動方法及び電子機器 技術分野

[0001] 本発明は、A／D変換器、固体撮像装置、固体撮像装置の駆動方法及び電子機器に関する。

背景技術

[0002] カラム部にA／D変換（アナログ／デジタル変換）機能を内蔵した、所謂カラムADC（A／D変換）型固体撮像装置が開発及び商品化されている。前記A／D変換機能を実現するA／D変換方式の1つとして、シングルスロープ（SS：Single Slope）型A／D変換方式が知られている。これは、スロープ状に変化するランプ波と呼ばれる参照電圧とA／D変換の対象となる信号電圧とを比較することで信号電圧に応じたタイムインターバル（時間軸の大きさ／パルス幅）を生成し、そのタイムインターバルに対応した基準クロックをカウンタなどで計数し数値化することによりA／D変換するものである。

[0003] シングルスロープ方式を用いたカラムADC型固体撮像装置は、固体撮像装置の性能向上に伴う消費電力の増加が課題となっている。特にカウンタ回路は列毎に設けられており、多画素化、高フレームレート化、高ビット化等により動作回数が増加することから消費電力増加の大きな原因となる。

[0004] カウンタ回路動作の低減を実現する技術として、例えば特許文献1のような提案がなされている。以下、図17を参照して特許文献1に記載されているイメージセンサについて説明する。図17に示したイメージセンサは、画素部2102と、DAC（デジタル／アナログ変換器）2108と、グレイコード→バイナリ変換器2109と、グレイコードカウンタ2103と、複数のA／D変換器2105と、グレイコード→バイナリ変換器2112と、出力バッファ2113とを備える。画素部2102は、行列状に並べられて

いる複数の画素 2101 を有する。各 A/D 変換器 2105 は、比較器 2106 とデジタルメモリ 2107 とを有し、各列の画素 2101 からのアナログ信号 2110 をデジタル信号に変換する。これらの構成のうち、複数の A/D 変換器 2105 は、画素 2101 の各列に対応させて複数配置された回路（これを、カラム内に配置した回路又はカラム回路と呼ぶ）である。一方、グレイコードカウンタ 2103 と、グレイコード→バイナリ変換器 2109 と、DAC 2108 と、グレイコード→バイナリ変換器 2112 とは、画素 2101 の各列に対して共通に配置された回路（これを、カラム外に配置した回路と呼ぶ）とを備えている。

[0005] カラム外に配置した回路のうち、グレイコードカウンタ 2103 は、計数したグレイコードをグレイコード→バイナリ変換器 2109 に出力すると同時にカラム回路の各デジタルメモリ 2107 に出力する。グレイコード→バイナリ変換器 2109 は、入力されたグレイコードをバイナリコードに変換して DAC 2108 に出力する。DAC 2108 は、入力されたバイナリコードに応じて変化するランプ波をカラム回路の各比較回路 106 に出力する。グレイコード→バイナリ変換器 2112 は、カラム回路の各 A/D 変換器 2105 から読み出されたグレイコード 2111 をバイナリコードに変換し出力する。出力バッファ 2113 は、グレイコード→バイナリ変換器 2112 から入力した信号を所定の電圧レベルに整えて出力する。

[0006] 一方、カラム内に配置した回路のうち、比較回路 106 は、画素 2101 からの出力信号と DAC 2108 から入力されたランプ波を比較して一致したタイミングで反転する出力信号をデジタルメモリ 2107 に入力する。デジタルメモリ 2107 は、グレイコードの信号線数（ビット数）に対応した数のメモリが設けられており、比較回路 2106 からの信号の入力タイミングでグレイコードをラッチ（メモリ）する。

[0007] 図 17 に示すイメージセンサは、次のように動作する。A/D 変換動作の開始と同時に DAC 2108 からランプ波が比較回路 2106 に送られると共に、A/D 変換動作の開始タイミングからのタイムインターバルに応じた

グレイコードがデジタルメモリ 2107 に送られる。ランプ波と画素信号を比較し一致したタイミングのグレイコードをデジタルメモリ 2107 で保持する。その後、複数の A/D 変換器 2105 から読み出されたグレイコードはグレイコード→バイナリ変換器 2112 を通してバイナリコードに変換され出力される。

[0008] 図 17 に示すイメージセンサは、次のような効果を奏する。カラム外から基準クロックを送り、各カラムに設けたカウンタ回路で計数する方式と比較した場合、カウンタ回路と比較してデジタルメモリは回路規模が小さく駆動に伴う消費電流も小さい為、より消費電流を低減することが出来る。より具体的には、1 ビット分の回路が、メモリ回路は D ラッチ回路 1 個で構成されるのに対し、カウンタ回路は 2 個で構成されるため、駆動時の消費電流が小さい。

[0009] なお、バイナリコードをグレイコードに変換してカラム回路に出力する理由は次の通りである。すなわち、バイナリコードは 1 ビットの遷移で複数のビットが反転する場合があるため、カラム外から複数ビットの信号を転送した場合、各ビットの反転タイミングのずれ（ジッタ成分や各ビットの信号を出力するバッファの能力差などによる）によってそのタイムインターバルに対応したコードとは異なるエラーコードが発生してしまう。エラーコードが発生した場合、それが上位の桁な程、本来のコードとのずれが大きくなってしまう。一方、グレイコードは 1 ビットの遷移では 1 つのビットしか反転しない。そのため、カラム外から複数ビットの信号を転送した場合に各ビットの反転タイミングのずれが発生したとしても、本来のコードとのずれは 1 ビットに収めることが出来る。

先行技術文献

特許文献

[0010] 特許文献1：日本国特許第 4423111 号公報

発明の概要

発明が解決しようとする課題

- [0011] しかしながら特許文献1が示す技術には次のような課題がある。
- [0012] 一般的に、画素には出力特性のばらつきがあるため、より正確な画素信号情報を得る際に、画素に光が入射していない状態（リセット状態）の信号電圧又はA/D変換結果（これをリセット信号という）と、所望の光が入射した状態での信号電圧又はA/D変換結果（これを画素信号という）とで差分をとる、いわゆるCDS（Correlated Double Sampling：相関2重サンプリング）動作をさせることが行われている。
- [0013] また、低照度下等で同じカラーフィルターを備えた画素のA/D結果を加算する演算機能を持つ固体撮像装置もある。
- [0014] これらに対し、特許文献1ではグレイコードでA/D変換結果を得た後の演算方法に関しては提示されていないため、上記のCDS動作や加算等の演算動作をさせる際に、下記のような課題が生じる。すなわち、特許文献1の構成のまま、チップ外にA/D変換結果を読み出してからCDS動作や加算等の演算処理をする場合、1画素につき複数回（例えばリセット信号と画素信号）のA/D変換結果の読出しが必要な為、データ読み出し時間が長くなり、フレームレートが低下してしまう。
- [0015] また、例えば、特許文献1の構成に加え、グレイコード→バイナリ変換器2112の先に演算処理回路を配置してチップ内で演算処理する場合でも、カラム外に設けたグレイコード→バイナリ変換器2112の個数分しか同時に処理できない為、データ読み出し時間が長くなり、上記同様フレームレートが低下してしまう。
- [0016] また上記いずれの方法でも、カラムには2回分のデータを保持するためのラッチ回路が必要になる為、回路規模が増大してしまうという課題がある。
- [0017] また、A/D変換動作を行う前に、画素から読み出したアナログ信号同士でCDS動作や加算動作を行う場合においても、カラム内に対象となる信号を保持する為の大きいサイズのサンプルキャパシタが必要になり、それによりカラム回路が大型化してしまう、また信号電圧をサンプリングする際にも

信号電圧が安定するまでの読み出し時間が長くなり、結果としてフレームレートが低下してしまう。

[0018] 本発明は、上記の事情に鑑みなされたものであって、A／D変換の際に、簡易な構成で、2以上のアナログ信号に基づく演算処理結果をデジタル信号として出力することができるA／D変換器、固体撮像装置、固体撮像装置の駆動方法及び電子機器を提供することを目的とする。

課題を解決するための手段

[0019] 本発明の第1の態様に係るA／D変換器は、時間とともに電圧値が変化するランプ波形の参照電圧を生成する参照電圧生成回路と、前記参照電圧生成回路と同じ基準クロックに基づいてグレイコードを出力するグレイコード生成回路と、前記参照電圧と入力電圧とを比較する比較回路と、前記比較回路の出力信号に基づいて前記グレイコードのカウント値を保持するラッチ回路と、前記ラッチ回路に保持された前記グレイコードのカウント値をシリアルにバイナリコードに変換するコード変換回路と、前記コード変換回路から出力されたバイナリコードのカウント値を記憶すると共に、その記憶されたバイナリコードのカウント値と、次に入力されるバイナリコードのカウント値とに基づいて演算処理を行う演算処理回路と、を備える。

[0020] 本発明の第2の態様によれば、上記第1の態様において、前記コード変換回路は、2つの入力端子から入力される信号の論理演算を行う論理演算回路と、前記論理演算回路の出力端子と前記論理演算回路の一方の入力端子との間に接続されたフィードバック回路と、を備え、前記論理演算回路の他方の入力端子に前記ラッチ回路が接続されている。

[0021] 本発明の第3の態様によれば、上記第2の態様において、前記論理演算回路が、排他的論理和を演算する回路である。

[0022] 本発明の第4の態様によれば、上記第2又は3の態様において、前記コード変換回路は、前記コード変換回路の出力として、前記論理演算回路の演算結果を出力又は前記論理演算回路の演算結果にかかわらずクロック信号を出力、のいずれかを選択する選択回路を備える。

- [0023] 本発明の第5の態様によれば、上記第1の態様において、前記演算処理回路は、第1の入力信号と第2の入力信号とを切り替える信号切替回路と、前記第1又は第2の入力信号に基づいてカウント動作を行う第1の動作状態と前記カウント動作を行わずに信号を保持する第2の動作状態との切り替えを行う動作切替回路と、を備える。
- [0024] 本発明の第6の態様によれば、上記第1の態様において、前記比較回路の出力信号に基づいてパルス信号を生成するパルス信号生成回路を備え、前記ラッチ回路は前記パルス信号に対応した期間だけ動作を行う。
- [0025] 本発明の第7の態様に係る固体撮像装置は、光電変換を行う複数の画素が行列状に配置された画素アレイと、前記画素の1列又は複数列毎に設けられ、前記画素から出力されるアナログ信号をデジタル信号に変換するA/D変換器と、を備え、前記A/D変換器は、列外に設けられた参照電圧生成回路から入力されるランプ波形の参照電圧と、前記画素からの画素信号に対応する入力電圧とを比較する比較回路と、前記比較回路からの出力信号に基づいて、列外に設けられたグレイコード生成回路から入力されるグレイコードのカウント値を保持するラッチ回路と、前記ラッチ回路に保持された前記グレイコードのカウント値をシリアルにバイナリコードに変換するコード変換回路と、前記コード変換回路から出力されたバイナリコードのカウント値を記憶すると共に、その記憶されたバイナリコードのカウント値と、次に入力されるバイナリコードのカウント値とに基づいて演算処理を行う演算処理回路と、を備える。
- [0026] 本発明の第8の態様によれば、上記第7の態様において、前記コード変換回路は、2つの入力端子から入力される信号の論理演算を行う論理演算回路と、前記論理演算回路の出力端子と前記論理演算回路の一方の入力端子との間に接続されたフィードバック回路と、を備え、前記論理演算回路の他方の入力端子に前記ラッチ回路が接続されている。
- [0027] 本発明の第9の態様によれば、上記第8の態様において、前記コード変換回路は、前記コード変換回路の出力として、前記論理演算回路の演算結果を

出力又は前記論理演算回路の演算結果にかかわらずクロック信号を出力、のいずれかを選択する選択回路を備える。

[0028] 本発明の第10の態様によれば、上記第7の態様において、前記演算処理回路は、第1の入力信号と第2の入力信号とを切り替える信号切替回路と、前記第1又は第2の入力信号に基づいてカウント動作を行う第1の動作状態と前記カウント動作を行わずに信号を保持する第2の動作状態との切り替えを行う動作切替回路と、を備える。

[0029] 本発明の第11の態様によれば、上記第7の態様において、前記比較回路の出力信号に基づいてパルス信号を生成するパルス信号生成回路を備え、前記ラッチ回路は前記パルス信号に対応した期間だけ動作を行う。

[0030] 本発明の第12の態様に係る固体撮像装置の駆動方法は、光電変換を行う複数の画素が行列状に配置された画素アレイと、前記画素の1列又は複数列毎に設けられ、前記画素から出力されるアナログ信号をデジタル信号に変換するA/D変換器と、を備える固体撮像装置の駆動方法であって、前記A/D変換器が、列外から入力されるランプ波形の参照電圧と、前記画素からの画素信号に対応する入力電圧とを比較する比較ステップと、前記比較結果に基づいて、列外から入力されるグレイコードのカウント値を保持する記憶保持ステップと、前記保持された前記グレイコードのカウント値をシリアルにバイナリコードに変換するコード変換ステップと、前記バイナリコードのカウント値を記憶すると共に、その記憶されたバイナリコードのカウント値と、次に入力されるバイナリコードのカウント値とに基づいて演算処理を行う演算処理ステップと、を備える。

[0031] 本発明の第13の態様に係る電子機器は、光電変換を行う複数の画素が行列状に配置された画素アレイと、前記画素の1列又は複数列毎に設けられ、前記画素から出力されるアナログ信号をデジタル信号に変換するA/D変換器と、を備え、前記A/D変換器は、列外に設けられた参照電圧生成回路から入力されるランプ波形の参照電圧と、前記画素からの画素信号に対応する入力電圧とを比較する比較回路と、前記比較回路からの出力信号に基づいて

、列外に設けられたグレイコード生成回路から入力されるグレイコードのカウント値を保持するラッチ回路と、前記ラッチ回路に保持された前記グレイコードのカウント値をシリアルにバイナリコードに変換するコード変換回路と、前記コード変換回路から出力されたバイナリコードのカウント値を記憶すると共に、その記憶されたバイナリコードのカウント値と、次に入力されるバイナリコードのカウント値とに基づいて演算処理を行う演算処理回路と、を備える固体撮像装置を備える。

発明の効果

[0032] 本発明の各態様によれば、少なくとも、A/D変換の際に、簡易な構成で、2以上のアナログ信号に基づく演算処理結果をデジタル信号として出力することができる。

図面の簡単な説明

[0033] [図1]本発明の一実施形態に係るA/D変換器20の構成例を示すブロック図である。

[図2]本発明の一実施形態に係る固体撮像装置100の構成例を示すブロック図である。

[図3]図1に示すグレイコード生成回路3の構成例を示すブロック図である。

[図4]図1に示すラッチ回路5の構成例を示すブロック図である。

[図5]図4に示す1ビットラッチ回路50～57の構成例を示す回路図である。

[図6]図1に示すコード変換回路6の構成例を示す回路図である。

[図7]図6に示すコード変換回路6の動作状態を示す図である。

[図8]図1に示す演算カウンタ回路7の構成例を示すブロック図である。

[図9]図8に示す1ビット演算カウンタ回路70～77の構成例を示す回路図である。

[図10]図9に示す1ビット演算カウンタ回路70～77の動作状態を示す図である。

[図11A]図1に示すA/D変換器20の動作例を説明するための説明図である。

。

[図11B]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11C]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11D]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11E]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11F]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11G]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11H]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11I]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11J]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11K]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11L]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11M]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11N]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11O]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11P]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11Q]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11R]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11S]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11T]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11U]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11V]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図11W]図1に示すA／D変換器20の動作例を説明するための説明図である

。

[図12A]図1に示すA／D変換器20の他の動作例を説明するための説明図である。

[図12B]図1に示すA／D変換器20の他の動作例を説明するための説明図である。

[図12C]図1に示すA／D変換器20の他の動作例を説明するための説明図である。

[図12D]図1に示すA／D変換器20の他の動作例を説明するための説明図である。

[図12E]図1に示すA／D変換器20の他の動作例を説明するための説明図である。

[図12F]図1に示すA／D変換器20の他の動作例を説明するための説明図で

ある。

[図12G]図1に示すA/D変換器20の他の動作例を説明するための説明図である。

[図12H]図1に示すA/D変換器20の他の動作例を説明するための説明図である。

[図12I]図1に示すA/D変換器20の他の動作例を説明するための説明図である。

[図12J]図1に示すA/D変換器20の他の動作例を説明するための説明図である。

[図13]本発明の他の実施形態に係るA/D変換器20aの構成例を示すブロック図である。

[図14]図13に示すラッチ制御回路8の構成例を示す回路図である。

[図15]図14に示すラッチ制御回路8の動作例を説明するためのタイミング図である。

[図16]本発明の他の実施形態に係る電子機器1007の構成例を示すブロック図である。

[図17]特許文献1に記載されているイメージセンサの構成を説明するためのブロック図である。

発明を実施するための形態

[0034] 以下、図面を参照して本発明に係る実施形態について説明する。図1は、本発明の一実施形態に係るA/D変換器20の構成例を示すブロック図である。また図2は、図1に示すA/D変換器20を備える固体撮像装置100の構成例を示すブロック図である。なお、各図において、同一又は対応する構成には同一の符号を用いて説明を適宜省略する。

[0035] 図1に示すA/D変換器20は、参照電圧生成回路2と、グレイコード生成回路3と、比較回路4と、ラッチ回路5と、コード変換回路6と、演算カウンタ回路7と、制御回路90とを備える。A/D変換器20は、2以上のアナログ信号を時分割で入力信号Signalとして入力し、入力した2以

上のアナログ信号に基づく所定の演算処理結果をデジタル信号 O_b として出力する。所定の演算処理結果とは、2 以上のアナログ信号のデジタル変換値を用いた任意の演算処理の結果である。所定の演算処理とは、例えば、2 以上のアナログ信号のデジタル変換値を用いて減算処理、加算処理、あるいは加減算処理であったり、さらに2 倍あるいは2 分の1 といった所定の乗除算処理を加えた演算処理であったりする。入力信号 $Signal$ には限定が無く、後述する画素信号に限らず、他のセンサの出力信号としたり、回路内の複数の節点の電圧信号としたりすることができる。ただし、以下では、一例として画素信号を入力する場合を例に挙げて A/D 変換器 20 とその応用例について説明する。

[0036] 図2 に示す固体撮像装置 100 は、画素アレイ 10 と、垂直走査回路 200 と、水平走査回路 300 と、駆動制御回路 90a と、 A/D 変換器 20 と、 A/D 変換器 20-2 ~ 20-n とを備える。図2 に示す固体撮像装置 100 において、 A/D 変換器 20 が図1 に示す A/D 変換器 20 に対応する。ただし、図2 に示す固体撮像装置 100 では、図1 に示す制御回路 90 が、図2 に示す駆動制御回路 90a 内に含まれている。また、 A/D 変換器 20-2 ~ 20-n は、図1 及び図2 に示す A/D 変換器 20 と同一の機能を有する構成である。ただし、 A/D 変換器 20-2 ~ 20-n は、 A/D 変換器 20 が有する1 組の参照電圧生成回路 2、グレイコード生成回路 3 及び制御回路 90 を共用する。そのため、 A/D 変換器 20-2 ~ 20-n を示す破線のブロック内には、参照電圧生成回路 2、グレイコード生成回路 3 及び制御回路 90 が含まれていない。

[0037] 図2 において、画素アレイ 10 は、行列状に配置された光電変換を行う複数の画素 1 を有する。垂直走査回路 200 は、画素アレイ 10 の複数の画素 1 を行毎に走査して各画素 1 に対して所定の制御信号を供給する。水平走査回路 300 は、画素アレイ 10 の複数の画素 1 を列毎に走査して各画素 1 に対して所定の制御信号を供給する。画素アレイ 10 は、垂直走査回路 200 及び水平走査回路 300 から供給される所定の制御信号に基づき各画素 1 が

ら画素信号を出力し、A/D変換器20又はA/D変換器20-2~20-nへ入力する。駆動制御回路90aは、垂直走査回路200及び水平走査回路300を駆動制御するとともに、制御回路90としてA/D変換器20及びA/D変換器20-2~20-nに対して所定の制御信号を供給する。

[0038] 図2に示す例では、A/D変換器20及びA/D変換器20-2~20-nが行列状に配置された複数の画素1の1列毎に設けられていて、A/D変換器20及びA/D変換器20-2~20-nが、各列の各画素1から出力されるアナログ信号をデジタル信号にそれぞれ変換する。ただし、A/D変換器20及びA/D変換器20-2~20-nは、画素アレイ10における画素1の複数の列毎に設けられていて、複数の列の各画素1が出力した画素信号を入力するものであってもよい。すなわち、A/D変換器20及びA/D変換器20-2~20-nは、各画素1の複数の列分の画素信号の例えば合計値や差分値を求めるようにしてもよい。

[0039] 図1に戻り、A/D変換器20において、参照電圧生成回路2は、画素1から読み出した信号と比較されるランプ波を生成して出力する。すなわち、参照電圧生成回路2は、時間とともに電圧値が変化するランプ波形の参照電圧Rampを生成して出力する。

[0040] グレイコード生成回路3は、ランプ波の出力と同時にカウントを開始し、基準クロックのクロック数に対応したグレイコードGr_bitを生成して出力する。例えば、グレイコード生成回路3は、参照電圧生成回路2と同じ基準クロックに基づいて8ビットのグレイコードGr_bitを生成して、パラレルに出力する。

[0041] 比較回路4は、ランプ波の参照電圧Rampと画素1から読み出した信号（入力信号Signal）の電圧とを比較する。すなわち、比較回路4は、参照電圧生成回路2が出力した参照電圧Rampと入力信号Signalの入力電圧とを比較し、比較結果を示す信号LATCHを出力する。図1に示す例では、比較回路4の非反転入力端子に参照電圧Rampが入力され、反転入力端子に入力信号Signalの電圧が印加されているが、逆であって

もよい。

- [0042] ラッチ回路5は、グレイコード生成回路3から出力されたグレイコード G_r_bit が入力され、比較回路4からの出力信号 $LATCH$ を受けたタイミングでその時点でのグレイコード G_r_bit の信号情報を保持する。すなわち、ラッチ回路5は、比較回路4の出力信号 $LATCH$ に基づいてグレイコード生成回路3によるグレイコード G_r_bit のカウント値を保持する。
- [0043] コード変換回路6は、ラッチ回路5で保持したグレイコード G_r_bit の各ビットがシリアルに順次入力され、その信号情報をバイナリコードに変換する。すなわち、コード変換回路6は、ラッチ回路5に保持されたグレイコード G_r_bit のカウント値の各ビットをシリアル信号 O_a としてシリアルに入力し、バイナリコードに変換して、 $DATAOUT$ 端子からシリアルに出力する。
- [0044] 演算カウンタ回路7は、コード変換回路6から出力されたバイナリコードを記憶すると共に、例えば2つのバイナリコードの加算または減算の演算処理を行って、演算結果を示す出力信号 O_b を出力する。すなわち、演算カウンタ回路7（演算処理回路）は、コード変換回路6から出力されたバイナリコードのカウント値を記憶すると共に、その記憶されたバイナリコードのカウント値と、次に入力されるバイナリコードのカウント値とに基づいて演算処理を行い、その演算処理の結果を出力する。
- [0045] 制御回路90は、基準クロックを生成して、参照電圧生成回路2及びグレイコード生成回路3へ供給するとともに、その他の所定の制御信号を生成して図1に示す各部に対して供給する。
- [0046] 一方、図2に示す固体撮像装置100においては、参照電圧生成回路2及びグレイコード生成回路3がカラム外へ配置され、比較回路4、ラッチ回路5、コード変換回路6及び演算カウンタ回路7はカラム内（各カラム）へ配置されている。A/D変換回路20及びA/D変換回路20-2～20-nに対しては、参照電圧生成回路2が出力した同一の参照電圧 $Ramp$ と、グ

レイコード生成回路3が出力した同一のグレイコード Gr_bit とが入力される。

[0047] 図3に、図1に示すグレイコード生成回路3の構成例を示す。グレイコード生成回路3は、バイナリカウンタ回路31と、複数のEXOR回路（排他的論理和回路）32～39とを備える。バイナリカウンタ回路31は、基準クロックを受け、クロック数を計数しバイナリコード Bi_bit を出力する。複数のEXOR回路32～39へは、バイナリカウンタ回路31が出力したバイナリコード Bi_bit のうち、そのビット<0>とビット<1>、ビット<1>とビット<2>というように連続した桁のビット信号が入力される。例えば、最下位の $Gr_bit<0>$ を出力するEXOR回路32には、最下位 $Bi_bit<0>$ とその1つ上位の $Bi_bit<1>$ が入力される。最下位の1つ上位の $Gr_bit<1>$ を出力するEXOR回路33には、最下位の1つ上位の $Bi_bit<1>$ とその1つ上位の $Bi_bit<2>$ が入力される。なお、 $Bi_bit<0>$ はバイナリコード Bi_bit の最下位ビット、 $Bi_bit<7>$ はバイナリコード Bi_bit の最上位ビット、 $Gr_bit<0>$ はグレイコード Gr_bit の最下位ビット、及び $Gr_bit<7>$ はグレイコード Gr_bit の最上位ビットである。また、ビット<2>～ビット<6>は最下位の1つ上位のビット～最上位の1つ下位のビットである。なお、バイナリコード Bi_bit の最上位ビット（ここではビット<7>）が入力されるEXOR回路39は、片側の入力がGNDに接続されている。この構成によって、グレイコード生成回路3は、バイナリコードの最上位ビット $Bi_bit<7>$ をそのままグレイコードの最上位ビット $Gr_bit<7>$ とし、バイナリコードの $Bi_bit<6>\sim<0>$ と、その1つ上位のビット<7>～<1>との排他的論理和を、グレイコードの $Gr_bit<6>\sim<0>$ とする。このEXOR回路32～39によって出力される信号情報はグレイコード Gr_bit （ $Gr_bit<0>\sim Gr_bit<7>$ ）としてパラレルにラッチ回路5へ入力される。なお、バイナリカウンタ回路31の出力端子の駆

動能力によっては、EXOR回路39を省略して、Bi__bit<7>をそのままGr__bit<7>として出力してもよい。

[0048] 図4に、図1に示すラッチ回路5の構成例を示す。ラッチ回路5は、ビット数分（この例では8ビット分）の同一構成の1ビットラッチ回路50～57を備える。1ビットラッチ回路50～57は、それぞれが、D__IN端子に入力されたグレイコード信号Gr__bit<0>～<7>の一つを、L__ON端子に入力される比較回路4から出力信号LATCHを受けたタイミングでラッチ、保持する。また、1ビットラッチ回路50～57は、それぞれの出力端子Oが共通の信号線（L DATA OUT）に接続されており、sel端子に入力される各SEL信号（SEL<7>～<0>）を受け、保持している信号をL AT DATA OUT端子からシリアルに信号Oa<7>～<0>として出力する。

[0049] また、1ビットラッチ回路50～57は、rst端子に所定レベルの信号を入力することでラッチしている信号のレベルを初期化することができる。

[0050] なお、各SEL信号（SEL<0>～<7>）及びrst端子に入力される信号は、制御回路90が所定のタイミングで生成及び出力する信号である。

[0051] 図5に、図4に示す1ビットラッチ回路50～57の構成例を示す。1ビットラッチ回路50～57は、フィードバックループを作り信号を保持するいわゆるDラッチ回路500とその出力を選択的に出力できるスイッチ501を備えている。Dラッチ回路500は、スイッチ502及び503と、インバータ回路504及び505と、NOR回路（否定論理和回路）506とを備える。スイッチ502はL__ON端子に入力される信号によってオン又はオフに制御される。スイッチ503は、L__ON端子に入力端子が接続されたインバータ回路504の出力信号によってオン又はオフに制御される。したがってスイッチ502とスイッチ503は互いに逆のオン又はオフ状態となる。スイッチ502の開閉回路の一端はD__IN端子に接続され、他端はスイッチ503の開閉回路の一端とインバータ回路505の入力端子とに

接続されている。インバータ回路505の出力端子はNOR回路506の一方の入力端子に接続され、NOR回路506の他方の入力端子はrst端子に接続されている。NOR回路506の出力端子はスイッチ503の開閉回路の他端とスイッチ501の開閉回路の一端とに接続されている。スイッチ501の開閉回路の他端はO端子に接続されている。スイッチ501はsel端子に入力される信号によってオン又はオフに制御される。

[0052] 以上の構成で図5に示す1ビットラッチ回路50～57は、L__ON端子に入力される信号LATCHが“1”（“Hi”信号）の場合にD__IN端子に入力された信号をDラッチ回路500に取り込み、信号LATCHが“0”（“Lo”信号）の場合に取り込んだ信号をDラッチ回路500に保持する。このL__ON端子に“1”が入力された後に“0”が入力される動作状態を、動作状態< latch>と呼ぶ。また、1ビットラッチ回路50～57は、rst端子に“1”を入力することでDラッチ回路500が保持する信号を“0”にリセットする。また、1ビットラッチ回路50～57は、sel端子に“1”が入力された場合にスイッチ501をオンして、Dラッチ回路500が保持している信号をO端子から出力する。このsel端子に“1”が入力されたときの動作状態を、動作状態< sel>と呼ぶ。なお、sel端子に入力されるSEL信号（SEL<0>～<7>）は、所定の時間幅を有する信号であり、O端子から“1”を出力する場合に、“1”信号は所定の時間幅を有するパルス信号となる。

[0053] 次に図6を参照して図1に示すコード変換回路6の構成例について説明する。図6に示すコード変換回路6は、EXOR回路63と、フィードバックループ回路601と、ロジック回路602と、スイッチ67及び68とを備える。EXOR回路63は、ラッチ回路5がLATDATAOUT端子から信号Oa<7>～<0>としてシリアルに出力したグレイコードを、DATAIN端子に接続されている一方の入力端子に順次、入力する。フィードバックループ回路601は、NOR回路61とインバータ回路62とスイッチ66を備え、EXOR回路63の出力端子と入力端子の他方との間にスイッ

チ68とスイッチ67を介して接続されている。ロジック回路602は、2個のNAND回路64及び65（否定論理積回路）を備え、EXOR回路63の出力端子、FBCLK端子、及びENCLK端子等に接続され、DATAOUT端子からの出力信号の出力を制御する。NAND回路64は一方の入力端子を負論理入力とする。

[0054] スイッチ67は、INPUTCLK端子に入力される信号によってオン又はオフに制御され、スイッチ67の開閉回路の一端をEXOR回路63の入力端子の他方に接続し、他端をNOR回路61の出力端子とスイッチ66の開閉回路の一端とに接続する。スイッチ68は、FBCLK端子に入力される信号によってオン又はオフに制御され、スイッチ68の開閉回路の一端をEXOR回路63の出力端子とNAND回路64の一方の入力端子に接続し、他端をインバータ回路62の入力端子とスイッチ66の開閉回路の他端とに接続する。

[0055] NOR回路61は、一方の入力端子にインバータ回路62の出力端子を接続し、他方の入力端子にRST端子を接続する。NAND回路64の他方の負論理入力の入力端子はFBCLK端子に接続されている。NAND回路64の出力端子は、NAND回路65の一方の入力端子に接続されている。NAND回路65の他方の入力端子はENCLK端子に接続されている。NAND回路65の出力端子はDATAOUT端子に接続されている。

[0056] なお、HOLDCLK端子、RST端子、INPUTCLK端子、FBCLK端子及びENCLK端子に入力される各信号は、制御回路90が所定のタイミングで生成及び出力する信号である。

[0057] コード変換回路6は次の機能を持つ。（1）DATAIN端子に入力されたグレイコードと、フィードバックループ回路601から入力される信号の論理結果を出力端子DATAOUTから出力する機能。（2）その出力結果をフィードバックループ回路601に保持する機能。（3）EXOR回路63の出力によらずクロック信号を出力する機能。

[0058] ここで図7を参照して図6に示すコード変換回路6の動作について説明す

る。図 7 は、コード変換回路 6 における RST 端子、INPUTCLK 端子、HOLDCLK 端子、FBCLK 端子及び ENCLK 端子に入力される信号の状態と、コード変換回路 6 がとる動作状態との関係を示す図である。図 7 において、“1” は、入力信号では“Hi”、スイッチではオン状態を示す（※1）。また、“0” は、入力信号では“Lo”、スイッチではオフ状態を示す（※2）。

[0059] 状態<reset>は、フィードバックループ回路 601 が保持する値を“0”に初期化するとともに、DATAOUT 端子から“0”を出力する動作状態である。状態<reset>では、RST 端子が“1”、INPUTCLK 端子が“0”、HOLDCLK 端子が“0”、FBCLK 端子が“0”、ENCLK 端子が“1”に設定される。この場合、スイッチ 66 がオフ、スイッチ 67 がオフ、スイッチ 68 がオフ、DATAOUT 端子は EXOR 回路 63 の出力と同じレベルを出力する。

[0060] 状態<latch>は、フィードバックループ回路 601 に EXOR 回路 63 の出力信号を取り込む動作状態である。状態<latch>では、RST 端子が“0”、INPUTCLK 端子が“0”、HOLDCLK 端子が“0”、FBCLK 端子が“1”、ENCLK 端子が“1”に設定される。この場合、スイッチ 66 がオフ、スイッチ 67 がオフ、スイッチ 68 がオン、DATAOUT 端子が“0”を出力する。

[0061] 状態<hold>は、状態<latch>から状態<input>へ移行する中間の動作状態、又は、状態<reset>から状態<input>へ移行する中間の動作状態である（※3）。状態<hold>では、フィードバックループ回路 601 において、状態<latch>で取り込んだ EXOR 回路 63 の出力レベル、又は、状態<reset>で初期化した“0”が保持される。状態<hold>では、RST 端子が“0”、INPUTCLK 端子が“0”、HOLDCLK 端子が“1”、FBCLK 端子が“0”、ENCLK 端子が“1”に設定される。この場合、スイッチ 66 がオン、スイッチ 67 がオフ、スイッチ 68 がオフ、DATAOUT 端子は EXOR 回

路63の出力と同じレベルを出力する。

[0062] 状態<input>は、フィードバックループ回路601が保持している信号をEXOR回路63に入力する動作状態である。状態<input>では、RST端子が“0”、INPUTCLK端子が“1”、HOLDCLK端子が“1”、FBCLK端子が“0”、ENCLK端子が“1”に設定される。この場合、スイッチ66がオン、スイッチ67がオン、スイッチ68がオフ、DATAOUT端子はEXOR回路63の出力と同じレベルを出力する。

[0063] 状態<clk in>は、DATAOUT端子から所定の時間幅を有する“1”信号を出力する動作状態である。状態<input>では、ENCLK端子に入力される信号が“1”→“0”→“1”に遷移することで、DATAOUT端子から1パルスの“1”が出力される。状態<clk in>では、FBCLK端子が“1”、ENCLK端子が“1”→“0”→“1”に設定される。RST端子、INPUTCLK端子及びHOLDCLK端子の信号レベルは任意である。この場合、スイッチ66、スイッチ67及びスイッチ68はオン又はオフであり、DATAOUT端子から所定の時間幅を有する“1”が出力される。

[0064] コード変換回路6は、図7に示した状態<reset>、状態<input>、状態<latch>及び状態<hold>の各動作状態を所定の順序で繰り返すことで、ラッチ回路5がラッチして出力したグレイコードGr__bitの各ビットGr__bit<7>~<0> (=ラッチ回路5の出力信号Oa<7>~<0>)をDATAIN端子から入力して、バイナリコードに変換してDATAOUT端子からシリアルに出力する。この場合、コード変換回路6は、グレイコードGr__bit<7>については“0”と排他的論理和をとってバイナリコードのビット<7>に変換し、グレイコードGr__bit<6>~<0>については変換して求めた1つ上位のバイナリコードのビット<7>~<1>と排他的論理和をとって、バイナリコードのビット<6>~<0>に変換する。

- [0065] また、コード変換回路6は、図7に示した状態<clk in>では、EXOR回路63の出力レベルに関わらず、1パルスの“1”信号を出力する。この信号は、演算カウンタ回路7において、カウント値に「1」を加算する処理で用いられる。詳細については後述する。
- [0066] 次に図8を参照して、図1に示す演算カウンタ回路7の構成例について説明する。図8に示す演算カウンタ回路7は、ビット数分（8ビット分）の1ビット演算カウンタ回路70～77を備える。1ビット演算カウンタ回路70～77は、同一構成である。1ビット演算カウンタ回路70～77は、clk in 0端子、clk in 1端子、sel clk端子、state端子、及びrst端子の各入力端子と、出力端子であるO端子を備える。
- [0067] 1ビット演算カウンタ回路70のO端子は1ビット演算カウンタ回路71のclk in 0端子に接続されている。1ビット演算カウンタ回路71のO端子は1ビット演算カウンタ回路72のclk in 0端子に接続されている。以後同様に、1ビット演算カウンタ回路73～76の各O端子は1ビット演算カウンタ回路74～77の各clk in 0端子にそれぞれ接続されている。1ビット演算カウンタ回路70～77の各O端子から出力される各信号Ob<0>～<7>が図1に示す演算カウンタ回路7の出力信号Obの各ビットである。1ビット演算カウンタ回路70～77の各clk in 1端子はdclk in端子に共通に接続されている。このdclk in端子は、図6に示すコード変換回路6の出力端子であるDATAOUT端子に接続される。1ビット演算カウンタ回路70～77の各rst端子は演算カウンタ回路7のrst端子に共通に接続されている。このrst端子には図1に示す制御回路90が生成及び出力した所定の制御信号が入力される。1ビット演算カウンタ回路70～77の各sel clk端子には、図1に示す制御回路90が生成及び出力した信号sel clk<0>～<7>がそれぞれ入力される。1ビット演算カウンタ回路70～77の各state端子には、図1に示す制御回路90が生成及び出力した信号state<0>～<7>がそれぞれ入力される。

[0068] 図8に示す1ビット演算カウンタ回路70～77は、次の機能を有する。

すなわち、1ビット演算カウンタ回路70～77は、(1) `selclk` 信号 (信号 `selclk<0>～<7>`) によりカウント動作を行うクロックを `clk in 0` 端子に入力された信号 (第1の入力信号) と `clk in 1` 端子に入力された信号 (第2の入力信号) のいずれかに切り替える機能と、(2) `state` 信号 (信号 `state<0>～<7>`) によって、クロックが入力された場合に、`clk in 0` 端子に入力された信号 (第1の入力信号) 又は `clk in 1` 端子に入力された信号 (第2の入力信号) に基づいてカウント動作を行うカウントモード `<count>` と、カウント動作をせず信号を保持する行う状態モード `<state>` を切り替える機能をもつ。

[0069] 次に、図9を参照して、図8に示す1ビット演算カウンタ回路70～77の構成例について説明する。図9に示す1ビット演算カウンタ回路70～77は、セレクタ701と、インバータ回路702及び703と、スイッチ704～707と、インバータ回路708と、NOR回路709と、インバータ回路710と、NOR回路711と、セレクタ712とを備える。セレクタ701は、`selclk` 端子に“0”が入力された場合に `clk in 0` 端子に入力された信号を選択して出力し、`selclk` 端子に“1”が入力された場合に `clk in 1` 端子に入力された信号を選択して出力する。インバータ回路702は、セレクタ701の出力信号を入力し、反転して `xck` 信号を生成して、スイッチ705及びスイッチ706に対してオン又はオフの動作制御信号として供給する。インバータ回路703は、インバータ回路702の出力信号 `xck` を入力し、反転して `ck` 信号を生成して、スイッチ704及びスイッチ707に対してオン又はオフの動作制御信号として供給する。`ck` 信号はセレクタ701が選択した `clk in 0` 端子又は `clk in 1` 端子に入力される信号と同じレベルの信号であり、`xck` 信号はセレクタ701が選択した `clk in 0` 端子又は `clk in 1` 端子に入力される信号を反転したレベルの信号である。したがって、`clk in 0` 及び `clk in 1` に入力される信号の駆動能力によっては、インバータ回路703を省略し

て、セクタ 701 の出力端子をそのまま c k としてもよい。

[0070] スイッチ 704 の開閉回路の一端はセクタ 712 の出力端子に接続され、他端はインバータ回路 708 の入力端子とスイッチ 705 の開閉回路の一端に接続されている。スイッチ 705 の開閉回路の他端は、NOR 回路 709 の出力端子とスイッチ 706 の開閉回路の一端に接続されている。スイッチ 706 の開閉回路の他端は、インバータ回路 710 の入力端子とスイッチ 707 の開閉回路の一端に接続されている。インバータ回路 708 の出力端子は NOR 回路 709 の一方の入力端子に接続されている。NOR 回路 709 の他方の入力端子は、r s t 端子と NOR 回路 711 の一方の入力端子に接続されている。スイッチ 707 の開閉回路の他端は、NOR 回路 711 の出力端子と 0 端子とセクタ 712 の一方の入力端子に接続されている。インバータ回路 710 の出力端子は、NOR 回路 711 の他方の入力端子とセクタ 712 の他方の入力端子に接続されている。セクタ 712 は、s t a t e 端子に “0” が入力された場合にインバータ回路 710 の出力信号を選択して出力し、s t a t e 端子に “1” が入力された場合に NOR 回路 711 の出力信号を選択して出力する。

[0071] 上記の構成において、図 9 に示す 1 ビット演算カウンタ回路 70～77 は、c k 信号が “1” の場合（x c k 信号が “0” の場合）、スイッチ 704 とスイッチ 707 をオンし、スイッチ 705 とスイッチ 706 をオフする。この場合、NOR 回路 709 は、セクタ 712 の出力信号のレベルに出力信号のレベルを一致させる。一方、インバータ回路 710 と NOR 回路 711 は c k 信号が “1” に変化する前の値を保持する。次に、c k 信号が “1” から “0” に変化すると（x c k 信号が “0” から “1” に変化すると）、スイッチ 704 とスイッチ 707 がオフし、スイッチ 705 とスイッチ 706 がオンする。この場合、NOR 回路 709 は、c k 信号が “0” に変化する前の値を保持する。一方、NOR 回路 711 は、NOR 回路 709 の出力信号のレベルに出力信号のレベルを一致させる。ここで、NOR 回路 711 の出力信号のレベルは NOR 回路 709 の出力信号のレベルと同相であり

、インバータ回路710の出力信号のレベルはNOR回路709の出力信号のレベルと逆相である。したがって、state端子が“1”でセクタ712がNOR回路711の出力を選択した場合には、インバータ回路708に入力される信号のレベルは、NOR回路709の信号のレベルと同一である。したがって、この場合、ck信号が“1”から“0”に変化したときに、NOR回路711の出力信号のレベルは変化しない。一方、state端子が“0”でセクタ712がインバータ回路710の出力を選択した場合には、インバータ回路708に入力される信号のレベルは、NOR回路709の信号のレベルを反転したレベルである。したがって、この場合、ck信号が“1”から“0”に変化したときに、NOR回路711の出力信号のレベルは反転する。

[0072] なお、rst端子に“1”が入力された場合、NOR回路709の出力とNOR回路711の出力は“0”に初期化される。

[0073] 次に、図10を参照して、図9に示す1ビット演算カウンタ回路70～77の動作について説明する。図10は、selclk端子、clk in 0端子、clk in 1端子、及びstate端子における信号の入力状態と、clk in 0端子又はclk in 1端子からのクロック信号の入力前のO端子の出力状態との組み合わせ条件（入力条件とする）と、clk in 0端子又はclk in 1端子からクロック信号を入力した後の動作結果として得られるO端子の出力状態との対応関係をまとめた図である。なお、clk in 0端子又はclk in 1端子から入力するクロック信号（入力clk）は、“1”→“0”に変化する信号である。

[0074] 図10に示す入力条件は、入力clkについて、入力clkがclk in 0端子から入力される場合と、入力clkがclk in 1端子から入力される場合との2通りに場合分けされている。「入力clk」の欄が「clk in 0」となっている場合がclk in 0端子から入力clkが入力されることを示す。入力clkの欄が「clk in 1」となっている場合がclk in 1端子から入力clkが入力されることを示す。

[0075] また、「`selclk`」の欄は、`selclk`端子に入力される`selclk`信号（信号`selclk`<0>～<7>）のレベルを示す。「`selclk`」が「0」の場合はセレクタ701によって`clk_in0`端子が選択される。また、「`selclk`」が「1」の場合はセレクタ701によって`clk_in1`端子が選択される。

[0076] また、「`state`」の欄は、`state`端子に入力される`state`信号（信号`state`<0>～<7>）のレベルを示す。「`state`」が「0」の場合はセレクタ712がインバータ回路710の出力端子を選択する。このセレクタ712がインバータ回路710の出力端子を選択する場合は、上述した入力`clk`（クロック）が入力された場合にカウント動作を行うカウントモード<`count`>に対応する。「`selclk`」が「1」の場合はセレクタ712がNOR回路711の出力端子を選択する。このセレクタ712がNOR回路711の出力端子を選択する場合は、上述したカウント動作をせず信号を保持する行うステートモード<`state`>に対応する。

[0077] また、「O（入力前）」の欄は、クロック信号（入力`clk`）の入力前のO端子のレベルを示す。また、結果の「O（入力後）」の欄は、クロック信号（入力`clk`）の入力後のO端子のレベルを示す。

[0078] 例えば、`selclk`端子に入力されている`selclk`信号が“0”で、`state`端子に入力されている`state`信号が“0”で、クロック信号（入力`clk`）が入力される前のO端子が“0”のとき、`clk_in0`端子にクロック信号（入力`clk`）が入力された場合、O端子は“1”に変化する。また、例えば、`selclk`端子に入力されている`selclk`信号が“0”で、`state`端子に入力されている`state`信号が“0”で、クロック信号（入力`clk`）が入力される前のO端子が“1”のとき、`clk_in0`端子にクロック信号（入力`clk`）が入力された場合、O端子は“0”に変化する。

[0079] 一方、`state`端子に入力されている`state`信号が“1”の場合又

は `selclk` 端子に入力されている `selclk` 信号が “1” の場合には、`clk in 0` 端子にクロック信号（入力 `clk`）が入力されたときに、入力前後で `O` 端子のレベルは変化しない。

[0080] また、例えば、`selclk` 端子に入力されている `selclk` 信号が “1” で、`state` 端子に入力されている `state` 信号が “0” で、クロック信号（入力 `clk`）が入力される前の `O` 端子が “0” のとき、`clk in 1` 端子にクロック信号（入力 `clk`）が入力された場合、`O` 端子は “1” に変化する。また、例えば、`selclk` 端子に入力されている `selclk` 信号が “1” で、`state` 端子に入力されている `state` 信号が “0” で、クロック信号（入力 `clk`）が入力される前の `O` 端子が “1” のとき、`clk in 1` 端子にクロック信号（入力 `clk`）が入力された場合、`O` 端子は “0” に変化する。

[0081] 一方、`state` 端子に入力されている `state` 信号が “1” の場合又は `selclk` 端子に入力されている `selclk` 信号が “0” の場合には、`clk in 1` 端子にクロック信号（入力 `clk`）が入力されたときに、入力前後で `O` 端子のレベルは変化しない。

[0082] 図 10 では、クロック信号（入力 `clk`）が入力された場合に、入力前後で `O` 端子のレベルが変化する時の入力条件を、備考欄に「`bit 変化`」が「有」として示している。また、クロック信号（入力 `clk`）が入力された場合に、入力前後で `O` 端子のレベルが変化しない時の入力条件を、備考欄に「`bit 変化`」が「無」として示している。

[0083] また、備考欄に示す「桁上がり」の項目は次の動作の有無を示す。すなわち、図 8 に示すように接続された 1 ビット演算カウンタ回路 70～77 において、連続する 2 つの 1 ビット演算カウンタ回路（例えば 1 ビット演算カウンタ回路 76 と 1 ビット演算カウンタ回路 77 とする）のうち、下位の 1 ビット演算カウンタ回路 76 で発生したビット変化によって、上位の 1 ビット演算カウンタ回路 77 でビット変化が発生する場合の設定状態を示す。図 8 に示すように、`selclk` 信号が “0”（`<clk in 0>`）で `stat`

e信号が“0”(<count>)であり、clk_{in0}端子にクロック信号(入力clk)が入力されたときに、O端子が“1”(入力前)から“0”(入力後)に変化したとき桁上がりが発生する。また、selclk信号が“1”(<clk_{in1}>)でstate信号が“0”(<count>)であり、clk_{in1}端子にクロック信号(入力clk)が入力されたときに、O端子が“1”(入力前)から“0”(入力後)に変化したときにも桁上がりが発生する。例えば、1ビット演算カウンタ回路77において、selclk信号が“0”(<clk_{in0}>)で、state信号が“0”(<count>)であり、1ビット演算カウンタ回路76において、selclk信号が“1”(<clk_{in1}>)で、state信号が“0”(<count>)であり、clk_{in1}端子にクロック信号(入力clk)が入力されたとき、O端子が“1”(入力前)から“0”(入力後)に変化したときに桁上がりが発生する。あるいは、例えば、1ビット演算カウンタ回路77において、selclk信号が“0”(<clk_{in0}>)で、state信号が“0”(<count>)であり、1ビット演算カウンタ回路76において、selclk信号が“0”(<clk_{in0}>)で、state信号が“0”(<count>)であり、clk_{in0}端子にクロック信号(入力clk)が入力されたとき、O端子が“1”(入力前)から“0”(入力後)に変化したときに桁上がりが発生する。

[0084] 次に、図11A～図11Wを参照して、本実施形態のA/D変換器20のグレイコードからバイナリコードへの変換動作及びリセット信号と画素信号との演算動作(CDS動作)について説明する。図11A～図11Wは、各部が入出力したり保持したりする信号の変化(“0”又は“1”で示す)と、セクタまたはスイッチの動作の変化(回路図記号で示す)と、各回路の動作状態あるいはモードの変化(< >で囲んだ文字で示す)とを示している。なお以下の説明ではデータは4ビットとし、リセット信号としてグレイコードの“0110”=“4”(10進数)、画素信号としてグレイコードの“1011”=“13”(10進数)がラッチされた時に差分結果として

“9”（10進数）を得る過程を説明する。また、ここでは参照電圧生成回路2の動作及び比較回路4の動作については説明を省略する。また、ラッチ回路5と演算カウンタ回路7の構成についても4ビット分の回路構成に簡略化して動作を説明する。

[0085] 図11A～図11Wでは、ラッチ回路5が1ビットラッチ回路50～53から構成されている。また、演算カウンタ回路7が1ビット演算カウンタ回路70～73から構成されている。また、図11A～図11Wでは、1ビット演算カウンタ回路70～73が有するセクタ701を2つのスイッチを示す回路図記号で示している。なお、図11A～図11Wにおいて、図4～図6及び図8～図9に示した構成と対応する構成に同一の符号を付けている。

[0086] この動作例では、まず、A/D変換器20が、リセット信号のA/D変換を開始し、グレイコード生成回路3が出力するグレイコード Gr_bit が“0110”＝“4”（10進数）となったタイミングで、比較回路4が出力信号を反転し、図11Aに示すように、ラッチ回路5の1ビットラッチ回路50～53にグレイコード $Gr_bit<0>\sim<3>$ の“0”、“1”、“1”、“0”がラッチされる。このとき、図11Bに示すように、1ビットラッチ回路50～53の動作状態は $<latch>$ であり、コード変換回路6の動作状態は $<reset>$ である。また、1ビット演算カウンタ回路70～73の入力 clk は $<clk_{in0}>$ であり、動作モードは $<state>$ である。なお、以下では、このような動作モードについて、1ビット演算カウンタ回路70～73の入力 clk の選択状態と動作モードとを組み合わせ、 $<clk_{in0}><state>$ モードと記す。このときコード変換回路6のフィードバックループ回路601にはリセットした信号“0”が保持されている。

[0087] 次に、コード変換動作を開始すると、図11Cに示すように、まず1ビットラッチ回路53の動作状態が $<sel>$ に設定される。また、コード変換回路6の動作状態が $<input>$ に設定される。この結果、1ビットラッ

チ回路53が保持している“0”がコード変換回路6のEXOR回路63に入力される。また、EXOR回路63にフィードバックループ回路601の“0”が入力された結果、コード変換回路6から“0”が出力される。このとき1ビット演算カウンタ回路73が<clk in 1><count>モードとされ、1ビット演算カウンタ回路73に“0”が保持される。

[0088] 次に、図11Dに示すように、1ビットラッチ回路53の動作状態が<latch>に設定される。また、1ビット演算カウンタ回路73が<clk in 0><state>モードに設定される。また、コード変換回路6の動作状態が<latch>に設定され、フィードバックループ回路601に“0”が入力されて保持される。

[0089] 次に、2回目のコード変換動作を開始すると、図11Eに示すように、まず1ビットラッチ回路52の動作状態が<sel>に設定される。また、コード変換回路6の動作状態が<input>に設定される。この結果、1ビットラッチ回路52が保持している“1”がコード変換回路6のEXOR回路63に入力される。また、EXOR回路63にフィードバックループ回路601の“0”が入力された結果、コード変換回路6から“1”が出力される。このとき1ビット演算カウンタ回路72が<clk in 1><count>モードとされ、1ビット演算カウンタ回路72に“1”が保持される。

[0090] 次に、図11Fに示すように、1ビットラッチ回路52の動作状態が<latch>に設定される。また、1ビット演算カウンタ回路72が<clk in 0><state>モードに設定される。また、コード変換回路6の動作状態が<latch>に設定され、フィードバックループ回路601に“1”が入力されて保持される。

[0091] 次に、3回目のコード変換動作を開始すると、図11Gに示すように、まず1ビットラッチ回路51の動作状態が<sel>に設定される。また、コード変換回路6の動作状態が<input>に設定される。この結果、1ビットラッチ回路51が保持している“1”がコード変換回路6のEXOR回路63に入力される。また、EXOR回路63にフィードバックループ回路

601の“1”が入力された結果、コード変換回路6から“0”が出力される。このとき1ビット演算カウンタ回路71が<clk in 1><count>モードとされ、1ビット演算カウンタ回路71に“0”が保持される。

[0092] 次に、図11Hに示すように、1ビットラッチ回路51の動作状態が<latch>に設定される。また、1ビット演算カウンタ回路71が<clk in 0><state>モードに設定される。また、コード変換回路6の動作状態が<latch>に設定され、フィードバックループ回路601に“0”が入力されて保持される。

[0093] 次に、4回目のコード変換動作を開始すると、図11Iに示すように、まず1ビットラッチ回路50の動作状態が<sel>に設定される。また、コード変換回路6の動作状態が<input>に設定される。この結果、1ビットラッチ回路50が保持している“0”がコード変換回路6のEXOR回路63に入力される。また、EXOR回路63にフィードバックループ回路601の“0”が入力された結果、コード変換回路6から“0”が出力される。このとき1ビット演算カウンタ回路70が<clk in 1><count>モードとされ、1ビット演算カウンタ回路70に“0”が保持される。

[0094] 次に、図11Jに示すように、1ビットラッチ回路50の動作状態が<latch>に設定される。また、1ビット演算カウンタ回路70が<clk in 0><state>モードに設定される。また、コード変換回路6の動作状態が<reset>に設定され、フィードバックループ回路601に“0”が保持される。

[0095] 以上の4回のコード変換動作によって、順次、1ビット演算カウンタ回路73、72、71及び70に“0”、“1”、“0”及び“0”が保持される。この結果、演算カウンタ回路7にバイナリコードの“4”（10進数）に相当する“0100”が保持される。

[0096] 次に、図11Kに示すように、1ビット演算カウンタ回路70～73がすべて<clk in 1><count>モードに設定される。また、コード変換回路6の動作状態が<clk in>に設定され、コード変換回路6が“1

”を出力する。このとき、演算カウンタ回路7の全ビットが“0100”から“1011”に反転される。すなわち、1ビット演算カウンタ回路73が“1”を保持し、1ビット演算カウンタ回路72が“0”を保持し、1ビット演算カウンタ回路71が“1”を保持し、1ビット演算カウンタ回路70が“1”を保持する。この処理は、演算カウンタ回路7が保持するバイナリコード $Ob<3>\sim<0>$ の2の補数を求める処理である。2の補数は、各ビットを反転して“1”を加えることで求めることができるが、ここでの各ビットの反転処理に加えて行う“1”を加える処理（図11V）は後で実行される。

[0097] 次に、A/D変換器20は、画素信号のA/D変換を開始し、グレイコード生成回路3が出力するグレイコード Gr_bit が“1011”＝“13”（10進数）となったタイミングで、比較回路4が出力信号を反転し、図11Lに示すように、ラッチ回路5の1ビットラッチ回路50～53にグレイコード $Gr_bit<0>\sim<3>$ の“1”、“1”、“0”、“1”がラッチされる。このとき、図11Mに示すように、1ビットラッチ回路50～53の動作状態は $<latch>$ であり、コード変換回路6の動作状態は $<reset>$ である。また、1ビット演算カウンタ回路70～73は、 $<clk_in0><state>$ モードである。このときコード変換回路6のフィードバックループ回路601にはリセットした信号“0”が保持されている。

[0098] 次に、画素信号のコード変換動作を開始すると、図11Nに示すように、まず1ビットラッチ回路53の動作状態が $<sel>$ に設定される。また、コード変換回路6の動作状態が $<input>$ に設定される。この結果、1ビットラッチ回路53が保持している“1”がコード変換回路6のEXOR回路63に入力される。また、EXOR回路63にフィードバックループ回路601の“0”が入力された結果、コード変換回路6から“1”が出力される。このとき1ビット演算カウンタ回路73が $<clk_in1><count>$ モードとされる。1ビット演算カウンタ回路73は、 clk_in1 端

子から“1”が入力されると、入力前のO端子のレベルが“1”なので、入力後のO端子のレベルを“0”に反転させて保持する。

[0099] 次に、図11Oに示すように、1ビットラッチ回路53の動作状態が<latch>に設定される。また、1ビット演算カウンタ回路73が<clk in 0><count>モードに設定される。ここで、1ビット演算カウンタ回路73は、1ビット演算カウンタ回路72からの桁上りを入力可能な状態（すなわち1ビット演算カウンタ回路72の出力信号Ob<2>が“1”から“0”に変化した場合に1ビット演算カウンタ回路73が保持する信号のレベルを反転させる状態）に設定される。また、コード変換回路6の動作状態が<latch>に設定され、フィードバックループ回路601に“1”が入力されて保持される。

[0100] 次に、2回目のコード変換動作を開始すると、図11Pに示すように、まず1ビットラッチ回路52の動作状態が<sel>に設定される。また、コード変換回路6の動作状態が<input>に設定される。この結果、1ビットラッチ回路52が保持している“0”がコード変換回路6のEXOR回路63に入力される。また、EXOR回路63にフィードバックループ回路601の“1”が入力された結果、コード変換回路6から“1”が出力される。このとき1ビット演算カウンタ回路72が<clk in 1><count>モードとされ、1ビット演算カウンタ回路72は、入力前のO端子のレベルが“0”なので、入力後のO端子のレベルを“1”に反転させて保持する。この場合、1ビット演算カウンタ回路72の出力信号Ob<2>の変化は“0”から“1”なので、桁上りは発生しない。

[0101] 次に、図11Qに示すように、1ビットラッチ回路52の動作状態が<latch>に設定される。また、1ビット演算カウンタ回路72が<clk in 0><state>モードに設定される。ここで、1ビット演算カウンタ回路72は、1ビット演算カウンタ回路71からの桁上りを入力可能な状態（すなわち1ビット演算カウンタ回路71の出力信号Ob<1>が“1”から“0”に変化した場合に1ビット演算カウンタ回路72が保持する信

号のレベルを反転させる状態)に設定される。また、コード変換回路6の動作状態が<l a t c h>に設定され、フィードバックループ回路601に“1”が入力されて保持される。

[0102] 次に、3回目のコード変換動作を開始すると、図11Rに示すように、まず1ビットラッチ回路51の動作状態が<s e l>に設定される。また、コード変換回路6の動作状態が<i n p u t>に設定される。この結果、1ビットラッチ回路51が保持している“1”がコード変換回路6のE X O R回路63に入力される。また、E X O R回路63にフィードバックループ回路601の“1”が入力された結果、コード変換回路6から“0”が出力される。このとき1ビット演算カウンタ回路71が<c l k i n 1><c o u n t>モードとされ、1ビット演算カウンタ回路71は、c l k i n 1端子の信号が“0”のまま変化しないので、保持している信号“1”をそのまま保持する。この場合、1ビット演算カウンタ回路71の出力信号O b<1>は“1”のまま変化しないので桁上がりは発生しない。

[0103] 次に、図11Sに示すように、1ビットラッチ回路51の動作状態が<l a t c h>に設定される。また、1ビット演算カウンタ回路71が<c l k i n 0><s t a t e>モードに設定される。ここで、1ビット演算カウンタ回路71は、1ビット演算カウンタ回路70からの桁上がりを入力可能な状態(すなわち1ビット演算カウンタ回路70の出力信号O b<0>が“1”から“0”に変化した場合に1ビット演算カウンタ回路71が保持する信号のレベルを反転させる状態)に設定される。また、コード変換回路6の動作状態が<l a t c h>に設定され、フィードバックループ回路601に“0”が入力されて保持される。

[0104] 次に、4回目のコード変換動作を開始すると、図11Tに示すように、まず1ビットラッチ回路50の動作状態が<s e l>に設定される。また、コード変換回路6の動作状態が<i n p u t>に設定される。この結果、1ビットラッチ回路50が保持している“1”がコード変換回路6のE X O R回路63に入力される。また、E X O R回路63にフィードバックループ回路

601の“0”が入力された結果、コード変換回路6から“1”が出力される。このとき1ビット演算カウンタ回路70が<clk in 1><count>モードとされ、1ビット演算カウンタ回路70は、入力前の0端子のレベルが“1”なので、入力後の0端子のレベルを“0”に反転させて保持する。この場合、1ビット演算カウンタ回路70の出力信号Ob<0>の変化は“1”から“0”なので、桁上がりが発生する。すなわち、信号Ob<0>の“1”から“0”への変化を受けて、1ビット演算カウンタ回路71は、入力前の0端子のレベルが“1”なので、入力後の0端子のレベルを“0”に反転させて保持する。すなわち、1ビット演算カウンタ回路71の出力信号Ob<1>が“1”から“0”へ変化する。ここで、1ビット演算カウンタ回路71の出力信号Ob<1>の“1”から“0”への変化を受けて、1ビット演算カウンタ回路72は、入力前の0端子のレベルが“1”なので、入力後の0端子のレベルを“0”に反転させて保持する。すなわち、1ビット演算カウンタ回路72の出力信号Ob<2>が“1”から“0”へ変化する。ここで、1ビット演算カウンタ回路72の出力信号Ob<2>の“1”から“0”への変化を受けて、1ビット演算カウンタ回路73は、入力前の0端子のレベルが“0”なので、入力後の0端子のレベルを“1”に反転させて保持する。

[0105] 次に、図11Uに示すように、1ビットラッチ回路50の動作状態が<latch>に設定される。また、1ビット演算カウンタ回路70が<clk in 0><state>モードに設定される。また、コード変換回路6の動作状態が<reset>に設定され、フィードバックループ回路601に“0”が保持される。

[0106] 次に、図11Vに示すように、コード変換回路6の動作状態が<clk in>に設定され、コード変換回路6が“1”を出力する。また、1ビット演算カウンタ回路70が<clk in 1><count>モードに設定される。この場合、1ビット演算カウンタ回路70は、入力前の0端子のレベルが“0”なので、入力後の0端子のレベルを“1”に反転させて保持する。こ

の結果、バイナリコード $Ob<3>\sim<0>$ は “1001” = “9” (10進数) となる。また、図11Wに示すように、1ビット演算カウンタ回路70が $<clockin0><state>$ モードに設定される。

[0107] 以上のように、図11A～図11Wを参照して説明した動作によって、A/D変換回路20は、グレイコードの “0110” = “4” (10進数) レベルのアナログのリセット信号と、グレイコードの “1011” = “13” (10進数) レベルのアナログの画素信号を入力し、差分結果として “1001” = “9” (10進数) のデジタル信号を得ることができる。

[0108] なお、図11Vに示した過程は、ただ単に演算後にオフセットの “1” を足しているだけなので必ずしも必要ではない。

[0109] 次に、図12A～図12Jを参照して、本実施形態のA/D変換器20のグレイコードからバイナリコードへの変換動作及び画素信号と画素信号との演算動作(加算動作)について、図11A等に示す4ビット分の構成を用いて説明する。すなわち以下の説明ではデータは4ビットとする。また、第一の画素信号としてグレイコードの “0110” = “4” (10進数)、第二の画素信号としてグレイコードの “0101” = “6” (10進数) がラッチされた時に加算結果として “10” (10進数) を得る過程を説明する。また、ここでは参照電圧生成回路2の動作及び比較回路4の動作については説明を省略する。図12A～図12Jは、図11A～図11Wと同様、各部が入出力したり保持したりする信号の変化(“0”又は“1”で示す)と、セレクトまたはスイッチの動作の変化(回路図記号で示す)と、各回路の動作状態あるいはモードの変化($< >$ で囲んだ文字で示す)とを示している。

[0110] この動作例において、グレイコードの “0110” = “4” (10進数) のレベルのアナログの第一の画素信号をA/D変換して得たグレイコードを、バイナリコードに変換して、1ビット演算カウンタ回路70～73に保持するまでの過程は、図11A～図11Jに示すCDS動作の場合と同一である。ただし、この動作例では、リセット信号ではなく、第一の画素信号を変

換処理対象とする。この動作例においても、図 1 1 A～図 1 1 J を参照した説明した各過程と同様にして、1 ビット演算カウンタ回路 7 3、7 2、7 1 及び 7 0 に “0”、“1”、“0” 及び “0” が保持される。すなわち、演算カウンタ回路 7 にバイナリコードの “4”（10 進数）に相当する “0 1 0 0” が保持される。

[0111] 次に、A/D 変換器 2 0 は、第二の画素信号の A/D 変換を開始し、グレイコード生成回路 3 が出力するグレイコード $G r_b i t$ が “0 1 0 1” = “6”（10 進数）となったタイミングで、比較回路 4 が出力信号を反転し、図 1 2 A に示すように、ラッチ回路 5 の 1 ビットラッチ回路 5 0～5 3 にグレイコード $G r_b i t < 0 > \sim < 3 >$ の “1”、“0”、“1”、“0” がラッチされる。このとき、図 1 2 B に示すように、1 ビットラッチ回路 5 0～5 3 の動作状態は $< l a t c h >$ であり、コード変換回路 6 の動作状態は $< r e s e t >$ である。また、1 ビット演算カウンタ回路 7 0～7 3 は、 $< c l k i n 0 > < s t a t e >$ モードである。このときコード変換回路 6 のフィードバックループ回路 6 0 1 にはリセットした信号 “0” が保持されている。

[0112] 次に、第二の画素信号のコード変換動作を開始すると、図 1 2 C に示すように、まず 1 ビットラッチ回路 5 3 の動作状態が $< s e l >$ に設定される。また、コード変換回路 6 の動作状態が $< i n p u t >$ に設定される。この結果、1 ビットラッチ回路 5 3 が保持している “0” がコード変換回路 6 の EXOR 回路 6 3 に入力される。また、EXOR 回路 6 3 にフィードバックループ回路 6 0 1 の “0” が入力された結果、コード変換回路 6 から “0” が出力される。このとき 1 ビット演算カウンタ回路 7 3 が $< c l k i n 1 > < c o u n t >$ モードとされる。1 ビット演算カウンタ回路 7 3 は、 $c l k i n 1$ 端子の信号が “0” のまま変化しないので、保持している信号 “0” をそのまま保持する。

[0113] 次に、図 1 2 D に示すように、1 ビットラッチ回路 5 3 の動作状態が $< l a t c h >$ に設定される。また、1 ビット演算カウンタ回路 7 3 が $< c l k$

$in0 < count >$ モードに設定される。ここで、1ビット演算カウンタ回路73は、1ビット演算カウンタ回路72からの桁上がりを入力可能な状態（すなわち1ビット演算カウンタ回路72の出力信号 $Ob < 2 >$ が“1”から“0”に変化した場合に1ビット演算カウンタ回路73が保持する信号のレベルを反転させる状態）に設定される。また、コード変換回路6の動作状態が $latch <$ に設定され、フィードバックループ回路601に“0”が入力されて保持される。

[0114] 次に、2回目のコード変換動作を開始すると、図12Eに示すように、まず1ビットラッチ回路52の動作状態が $sel <$ に設定される。また、コード変換回路6の動作状態が $input <$ に設定される。この結果、1ビットラッチ回路52が保持している“1”がコード変換回路6のEXOR回路63に入力される。また、EXOR回路63にフィードバックループ回路601の“0”が入力された結果、コード変換回路6から“1”が出力される。このとき1ビット演算カウンタ回路72が $clk in1 < count >$ モードとされ、1ビット演算カウンタ回路72は、入力前のO端子のレベルが“1”なので、入力後のO端子のレベルを“0”に反転させて保持する。この場合、1ビット演算カウンタ回路72の出力信号 $Ob < 2 >$ の変化は“1”から“0”なので、桁上がりが発生する。したがって、1ビット演算カウンタ回路73は、入力前のO端子のレベルが“0”なので、入力後のO端子のレベルを“1”に反転させて保持する。

[0115] 次に、図12Fに示すように、1ビットラッチ回路52の動作状態が $latch <$ に設定される。また、1ビット演算カウンタ回路72が $clk in0 < state >$ モードに設定される。ここで、1ビット演算カウンタ回路72は、1ビット演算カウンタ回路71からの桁上がりを入力可能な状態（すなわち1ビット演算カウンタ回路71の出力信号 $Ob < 1 >$ が“1”から“0”に変化した場合に1ビット演算カウンタ回路72が保持する信号のレベルを反転させる状態）に設定される。また、コード変換回路6の動作状態が $latch <$ に設定され、フィードバックループ回路601に“

“1”が入力されて保持される。

[0116] 次に、3回目のコード変換動作を開始すると、図12Gに示すように、まず1ビットラッチ回路51の動作状態が<sel>に設定される。また、コード変換回路6の動作状態が<input>に設定される。この結果、1ビットラッチ回路51が保持している“0”がコード変換回路6のEXOR回路63に入力される。また、EXOR回路63にフィードバックループ回路601の“1”が入力された結果、コード変換回路6から“1”が出力される。このとき1ビット演算カウンタ回路71が<clk in 1><count>モードとされ、1ビット演算カウンタ回路71は、入力前のO端子のレベルが“0”なので、入力後のO端子のレベルを“1”に反転させて保持する。この場合、1ビット演算カウンタ回路71の出力信号Ob<1>の変化は“0”から“1”なので、桁上がりは発生しない。

[0117] 次に、図12Hに示すように、1ビットラッチ回路51の動作状態が<latch>に設定される。また、1ビット演算カウンタ回路71が<clk in 0><state>モードに設定される。ここで、1ビット演算カウンタ回路71は、1ビット演算カウンタ回路70からの桁上がりを入力可能な状態（すなわち1ビット演算カウンタ回路70の出力信号Ob<0>が“1”から“0”に変化した場合に1ビット演算カウンタ回路71が保持する信号のレベルを反転させる状態）に設定される。また、コード変換回路6の動作状態が<latch>に設定され、フィードバックループ回路601に“1”が入力されて保持される。

[0118] 次に、4回目のコード変換動作を開始すると、図12Iに示すように、まず1ビットラッチ回路50の動作状態が<sel>に設定される。また、コード変換回路6の動作状態が<input>に設定される。この結果、1ビットラッチ回路50が保持している“1”がコード変換回路6のEXOR回路63に入力される。また、EXOR回路63にフィードバックループ回路601の“1”が入力された結果、コード変換回路6から“0”が出力される。このとき1ビット演算カウンタ回路70が<clk in 1><count>

t > モードとされ、1ビット演算カウンタ回路70は、clk in 1端子の信号が“0”のまま変化しないので、保持している信号“0”をそのまま保持する。

[0119] 次に、図12Jに示すように、1ビットラッチ回路50の動作状態が< latch >に設定される。また、1ビット演算カウンタ回路70が< clk in 0 > < state >モードに設定される。また、コード変換回路6の動作状態が< reset >に設定され、フィードバックループ回路601に“0”が保持される。この結果、バイナリコードOb<3>~<0>は“1010” = “10”（10進数）となる。また、図11Wに示すように、1ビット演算カウンタ回路70が< clk in 0 > < state >モードに設定される。

[0120] 以上のように、図11A~図11J及び図12A~図12Jを参照して説明した動作によって、A/D変換回路20は、グレイコードの“0110” = “4”（10進数）レベルのアナログの第一の画素信号と、グレイコードの“0101” = “6”（10進数）レベルのアナログの第二の画素信号を入力し、加算結果として“1010” = “10”（10進数）のデジタル信号を得ることができる。

[0121] なお、この動作例においては、上述したCDS動作と、グレイコードからバイナリコードへの変換動作については全く同じである。加算動作させる際にはCDS（減算）動作をさせる際に図11Kで強制的にクロックを入れて全ビットを反転させる動作を行わないだけである。

[0122] 以上のように、本実施形態では、A/D変換器20が、ラッチ回路5に保持されたグレイコードのカウント値をシリアルにバイナリコードに変換するコード変換回路6と、コード変換回路6から出力されたバイナリコードのカウント値を記憶すると共に、その記憶されたバイナリコードのカウント値と、次に入力されるバイナリコードのカウント値とに基づいて演算処理を行う演算カウンタ回路7（演算処理回路）とを備える。したがって、本実施形態によれば、A/D変換の際に、簡易な構成で、2以上のアナログ信号に基づ

く演算処理結果をデジタル信号として出力することができる。

[0123] また、本実施形態によれば、グレイコードを用いたA/D変換器20において、カラム内でA/D変換結果同士のCDS動作や加算などの演算動作が可能になる。そのため、必要な演算結果のみを読み出せばよいので、カラム列1列当たりでの読み出し動作にかかる時間を削減することが出来、特許文献1を参照して示した課題であるフレームレートの低下の課題を解決することが可能となる。

[0124] また、本実施形態によれば、先述した課題の解決だけでなく、以下に示す機能を実現できる。

[0125] (1) 加算及び減算機能の実現：上記説明した通り一回のA/D変換毎に加算動作及び減算動作を選択し何回でも行うことが出来る。例えば二つの画素のCDS結果を加算することも可能である。またコード変換回路6の先から他の列の演算カウンタに接続するようにすれば他の列の画素との演算結果を得ることも容易に出来る。

[0126] (2) デジタルゲイン機能：上記説明ではラッチ回路5から演算カウンタ回路7へは、ビット<0>同士等、同一のビットを対応させて変換したコードを送ったが、例えばラッチ回路5のビット<0>の変換コードを演算カウンタ回路7のビット<1>にシフトして送れば2倍のゲインをかけたのと同等になる。同様に1/4、1/2、4、…のゲインをかけることが容易にできる。

[0127] 次に、図13～図15を参照して、本発明に係る他の実施形態について説明する。図13は、本発明の他の実施形態に係るA/D変換器20aの構成例を示すブロック図である。図13に示すA/D変換器20aは、図1に示すA/D変換器20と比較して、図1に示す比較回路4とラッチ回路5に対応する比較回路4aとラッチ回路5aの内部構成が一部異なる点と、比較回路4aとラッチ回路5aとの間にラッチ制御回路8を新たに設けた点が異なる。ラッチ制御回路8は、比較回路4aが出力する信号LATC Hを入力し、信号LATC Hのレベルが変化した場合に所定の期間だけ所定のレベルと

なる信号 $H o l d_L$ を生成して出力する。比較回路 4 a は、比較回路 4 と入力端子の符号が異なる。また、ラッチ回路 5 a は、信号 $H o l d_L$ のレベルが変化したときにグレイコード $G r_b i t$ をラッチし、所定の制御信号に基づいてシリアルに出力する点はラッチ回路 5 と同一である。ただし、ラッチ回路 5 a は、信号 $H o l d_L$ のレベルが変化した後、そのレベルが継続している期間にのみ通常の動作が可能となり、そのレベルがさらに変化した場合に消費電力を低減する動作状態となるよう各部の動作を停止するための回路を備えている点異なる。各部の動作を停止するための回路は、例えば、各回路に供給される電源を遮断する回路である。

[0128] 図 1 4 は、図 1 3 に示すラッチ制御回路 8 の構成例を示す。図 1 4 に示すラッチ制御回路 8 は、7 個のバッファ回路 8 1 ~ 8 7 と、一方の入力が負論理入力である $A N D$ 回路 8 8 (論理積回路) とを備える。バッファ回路 8 1 は、入力端子を比較回路 4 a の出力端子に接続し、出力端子をバッファ回路 8 2 の入力端子とバッファ回路 8 3 の入力端子に接続する。バッファ回路 8 2 は、出力端子を $A N D$ 回路 8 8 の一方の入力端子に接続する。バッファ回路 8 3 は、出力端子をバッファ回路 8 4 の入力端子に接続する。バッファ回路 8 4 からバッファ回路 8 7 は直列接続され、バッファ回路 8 7 の出力端子が $A N D$ 回路 8 8 の負論理入力端子に接続されている。

[0129] 図 1 5 は、図 1 4 に示す比較回路 4 a の入力電圧 $V i n 1$ 及び $V i n 2$ と、ラッチ制御回路 8 内のバッファ回路 8 1 の出力 $C O_0$ 、バッファ回路 8 7 の出力 $C O_1$ 、バッファ回路 8 2 の出力 $C O_2$ 及び出力信号 $H o l d_L$ のレベルの変化を示すタイミングチャートである。時刻 $t 0$ で電圧 $V i n 2$ が変化を開始し、時刻 $t 1$ で電圧 $V i n 1$ が電圧 $V i n 2$ を超えて比較回路 4 a の出力信号が反転した場合、一定時間後の時刻 $t 2$ で出力 $C O_0$ が反転する。さらに、一定時間後の時刻 $t 3$ で出力 $C O_2$ が反転し、出力信号 $H o l d_L$ が反転する。さらに、一定時間後の時刻 $t 4$ で出力 $C O_1$ が反転し、出力信号 $H o l d_L$ が再度、反転する。時刻 $t 0$ から時刻 $t 4$ までの期間 $T 1$ を第 1 のインターバルとし、時刻 $t 0$ から時刻 $t 3$ までの

期間 T_2 を第2のインターバルとすると、第1のインターバル期間 T_1 と第2のインターバル期間 T_2 の差分の期間 T_4 が、ラッチ回路5aの動作期間となる。また、時刻 t_0 から時刻 t_3 までの期間 T_3 は、ラッチ回路5aの停止期間となる。

[0130] 本実施形態では、ラッチ制御回路8が、比較回路4aの出力信号 $LATCH$ を受けて一定期間 T_4 の幅を持つパルス信号 $Hold_L$ を生成する。ラッチ回路5aは、そのパルス信号 $Hold_L$ が入力されている期間のみラッチ回路5a内の各部を動作させる。このような動作をさせることにより、ラッチ回路5aがグレイコードをラッチする動作をごく短時間に制御することが出来、ラッチ動作に伴う消費電流を大幅に低減することが可能となる。例えば本来のA/D変換期間が $100\mu s$ である場合、パルス幅を $1\mu s$ に設定すればラッチ動作にかかる消費電流を $1/100$ 程度にすることが出来る。

[0131] 次に、図16を参照して本発明に係る他の実施形態について説明する。図16は、本発明の他の実施形態に係る撮像装置1007の構成を示している。撮像装置1007は、撮像機能を有する電子機器であればよい。例えば、撮像装置1007は、デジタルカメラと、デジタルビデオカメラと、監視カメラと、内視鏡と、顕微鏡とのいずれか1つである。図16に示すように、撮像装置1007は、固体撮像装置1001と、レンズユニット部1002と、画像信号処理装置1003と、記録装置1004と、カメラ制御装置1005と、表示装置1006とを有する。

[0132] 固体撮像装置1001は、図2に示す実施形態の固体撮像装置100である。レンズユニット部1002は、ズームレンズとフォーカスレンズとを有する。レンズユニット部1002は、被写体からの光に基づく被写体像を固体撮像装置1001の受光面に形成する。レンズユニット部1002を介して取り込まれた光は固体撮像装置1001の受光面に結像される。固体撮像装置1001は、受光面に結像された被写体像を撮像信号に変換し、その撮像信号を出力する。

- [0133] 画像信号処理装置 1003 は、固体撮像装置 1001 から出力された撮像信号に対して、予め定められた処理を行う。画像信号処理装置 1003 によって行われる処理は、画像データへの変換、画像データの各種の補正、及び画像データの圧縮などである。
- [0134] 記録装置 1004 は、画像データの記録または読み出しを行うための半導体メモリなどを有する。記録装置 1004 は、撮像装置 1007 に対して着脱可能である。表示装置 1006 は、画像信号処理装置 1003 によって処理された画像データ、または記録装置 1004 から読み出された画像データに基づく画像を表示する。
- [0135] カメラ制御装置 1005 は、撮像装置 1007 全体の制御を行う。カメラ制御装置 1005 の動作は、撮像装置 1007 に内蔵された ROM (Read Only Memory) に格納されているプログラムに規定されている。カメラ制御装置 1005 は、このプログラムを読み出して、プログラムが規定する内容に従って、各種の制御を行う。
- [0136] 以上、本発明の好ましい実施形態を説明したが、本発明はこれら実施形態及びその変形例に限定されることはない。本発明の趣旨を逸脱しない範囲で、構成の付加、省略、置換、及びその他の変更が可能である。また、本発明は前述した説明によって限定されることはなく、添付のクレームの範囲によってのみ限定される。

産業上の利用可能性

- [0137] 上記各態様の A/D 変換器、固体撮像装置、固体撮像装置の駆動方法及び電子機器によれば、少なくとも、A/D 変換の際に、簡易な構成で、2 以上のアナログ信号に基づく演算処理結果をデジタル信号として出力することができる。

符号の説明

- [0138] 1 画素
2 参照電圧生成回路
3 グレイコード生成回路

- 4 比較回路
- 5 ラッチ回路
- 6 コード変換回路
- 7 演算カウンタ回路（演算処理回路）
- 8 ラッチ制御回路（パルス信号生成回路）
- 10 画素アレイ
- 20、20a、20-2～20-n A/D変換器
- 63 EXOR回路（論理演算回路）
- 90 制御回路
- 90a 駆動制御回路
- 100、1001 固体撮像装置
- 200 垂直走査回路
- 300 水平走査回路
- 601 フィードバックループ回路（フィードバック回路）
- 602 ロジック回路（選択回路）
- 701 セレクタ（信号切替回路）
- 702 セレクタ（動作切替回路）
- 1007 撮像装置（電子機器）

請求の範囲

- [請求項1] 時間とともに電圧値が変化するランプ波形の参照電圧を生成する参照電圧生成回路と、
- 前記参照電圧生成回路と同じ基準クロックに基づいてグレイコードを出力するグレイコード生成回路と、
- 前記参照電圧と入力電圧とを比較する比較回路と、
- 前記比較回路の出力信号に基づいて前記グレイコードのカウント値を保持するラッチ回路と、
- 前記ラッチ回路に保持された前記グレイコードのカウント値をシリアルにバイナリコードに変換するコード変換回路と、
- 前記コード変換回路から出力されたバイナリコードのカウント値を記憶すると共に、その記憶されたバイナリコードのカウント値と、次に入力されるバイナリコードのカウント値とに基づいて演算処理を行う演算処理回路と、
- を備える
- A/D変換器。
- [請求項2] 前記コード変換回路は、2つの入力端子から入力される信号の論理演算を行う論理演算回路と、
- 前記論理演算回路の出力端子と前記論理演算回路の一方の入力端子との間に接続されたフィードバック回路と、を備え、
- 前記論理演算回路の他方の入力端子に前記ラッチ回路が接続されている
- 請求項1に記載のA/D変換器。
- [請求項3] 前記論理演算回路が、排他的論理和を演算する回路である
- 請求項2に記載のA/D変換器。
- [請求項4] 前記コード変換回路は、前記コード変換回路の出力として、前記論理演算回路の演算結果を出力又は前記論理演算回路の演算結果にかかわらずクロック信号を出力、のいずれかを選択する選択回路を備える

請求項 2 又は 3 に記載の A/D 変換器。

[請求項 5]

前記演算処理回路は、

第 1 の入力信号と第 2 の入力信号とを切り替える信号切替回路と、

前記第 1 の入力信号又は第 2 の入力信号に基づいてカウント動作を行う第 1 の動作状態と前記カウント動作を行わずに信号を保持する第 2 の動作状態との切り替えを行う動作切替回路と、

を備える請求項 1 に記載の A/D 変換器。

[請求項 6]

前記比較回路の出力信号に基づいてパルス信号を生成するパルス信号生成回路を備え、

前記ラッチ回路は前記パルス信号に対応した期間だけ動作を行う

請求項 1 に記載の A/D 変換器。

[請求項 7]

光電変換を行う複数の画素が行列状に配置された画素アレイと、

前記画素の 1 列又は複数列毎に設けられ、前記画素から出力されるアナログ信号をデジタル信号に変換する A/D 変換器と、を備え、

前記 A/D 変換器は、

列外に設けられた参照電圧生成回路から入力されるランプ波形の参照電圧と、前記画素からの画素信号に対応する入力電圧とを比較する比較回路と、

前記比較回路からの出力信号に基づいて、列外に設けられたグレイコード生成回路から入力されるグレイコードのカウント値を保持するラッチ回路と、

前記ラッチ回路に保持された前記グレイコードのカウント値をシリアルにバイナリコードに変換するコード変換回路と、

前記コード変換回路から出力されたバイナリコードのカウント値を記憶すると共に、その記憶されたバイナリコードのカウント値と、次に入力されるバイナリコードのカウント値とに基づいて演算処理を行う演算処理回路と、

を備える

固体撮像装置。

[請求項8] 前記コード変換回路は、2つの入力端子から入力される信号の論理演算を行う論理演算回路と、

前記論理演算回路の出力端子と前記論理演算回路の一方の入力端子との間に接続されたフィードバック回路と、を備え、

前記論理演算回路の他方の入力端子に前記ラッチ回路が接続されている

請求項7に記載の固体撮像装置。

[請求項9] 前記コード変換回路は、前記コード変換回路の出力として、前記論理演算回路の演算結果を出力又は前記論理演算回路の演算結果にかかわらずクロック信号を出力、のいずれかを選択する選択回路を備える
請求項8に記載の固体撮像装置。

[請求項10] 前記演算処理回路は、
第1の入力信号と第2の入力信号とを切り替える信号切替回路と、

前記第1の入力信号又は第2の入力信号に基づいてカウント動作を行う第1の動作状態と前記カウント動作を行わずに信号を保持する第2の動作状態との切り替えを行う動作切替回路と、

を備える請求項7に記載の固体撮像装置。

[請求項11] 前記比較回路の出力信号に基づいてパルス信号を生成するパルス信号生成回路を備え、

前記ラッチ回路は前記パルス信号に対応した期間だけ動作を行う
請求項7に記載の固体撮像装置。

[請求項12] 光電変換を行う複数の画素が行列状に配置された画素アレイと、
前記画素の1列又は複数列毎に設けられ、前記画素から出力されるアナログ信号をデジタル信号に変換するA/D変換器と、を備える固体撮像装置の駆動方法であって、

前記A/D変換器が、

列外から入力されるランプ波形の参照電圧と、前記画素からの画素信号に対応する入力電圧とを比較する比較ステップと、

前記比較結果に基づいて、列外から入力されるグレイコードのカウント値を保持する記憶保持ステップと、

前記保持された前記グレイコードのカウント値をシリアルにバイナリコードに変換するコード変換ステップと、

前記バイナリコードのカウント値を記憶すると共に、その記憶されたバイナリコードのカウント値と、次に入力されるバイナリコードのカウント値とに基づいて演算処理を行う演算処理ステップと、

を備える

固体撮像装置の駆動方法。

[請求項13]

光電変換を行う複数の画素が行列状に配置された画素アレイと、

前記画素の1列又は複数列毎に設けられ、前記画素から出力されるアナログ信号をデジタル信号に変換するA/D変換器と、を備え、

前記A/D変換器は、

列外に設けられた参照電圧生成回路から入力されるランプ波形の参照電圧と、前記画素からの画素信号に対応する入力電圧とを比較する比較回路と、

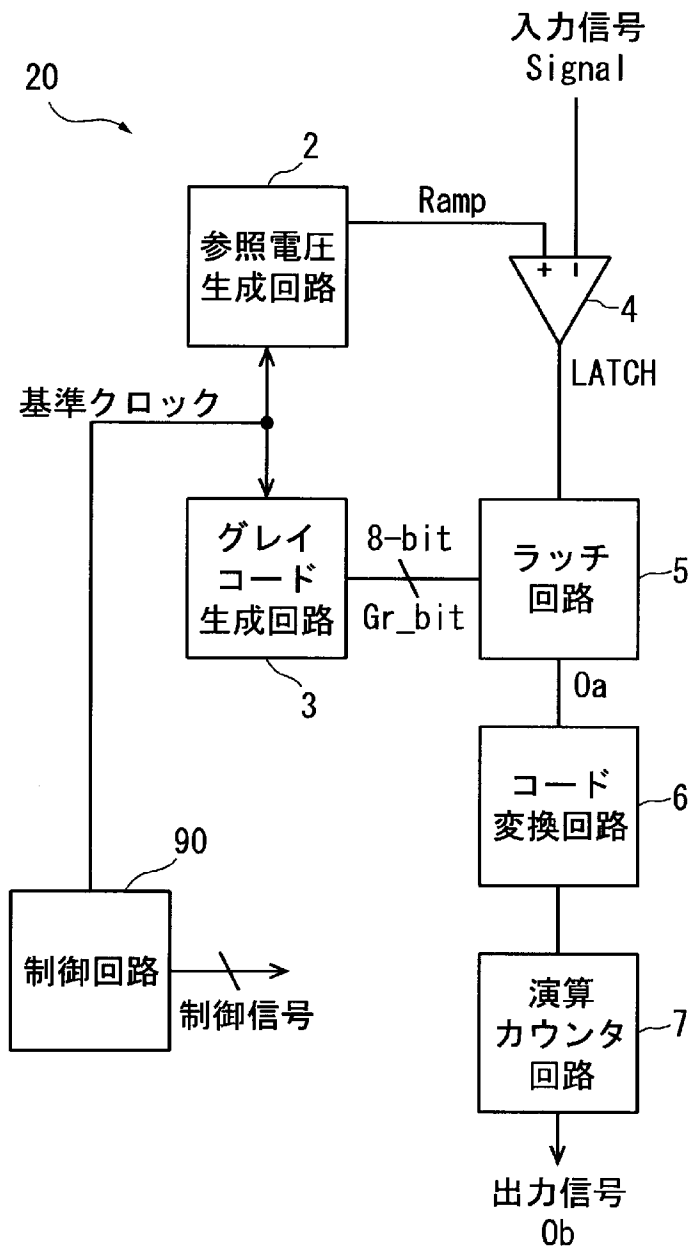
前記比較回路からの出力信号に基づいて、列外に設けられたグレイコード生成回路から入力されるグレイコードのカウント値を保持するラッチ回路と、

前記ラッチ回路に保持された前記グレイコードのカウント値をシリアルにバイナリコードに変換するコード変換回路と、

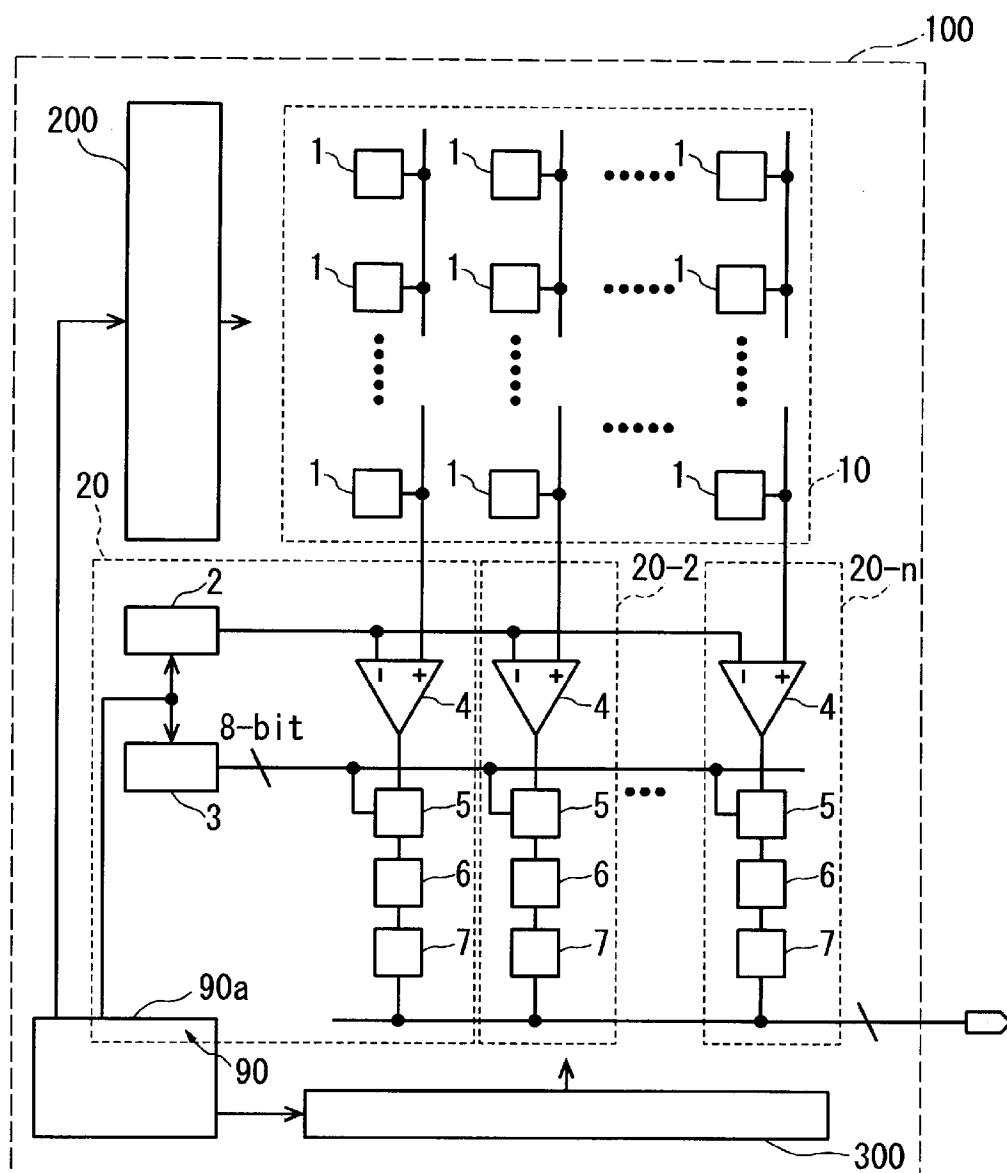
前記コード変換回路から出力されたバイナリコードのカウント値を記憶すると共に、その記憶されたバイナリコードのカウント値と、次に入力されるバイナリコードのカウント値とに基づいて演算処理を行う演算処理回路と、を備える固体撮像装置

を備える電子機器。

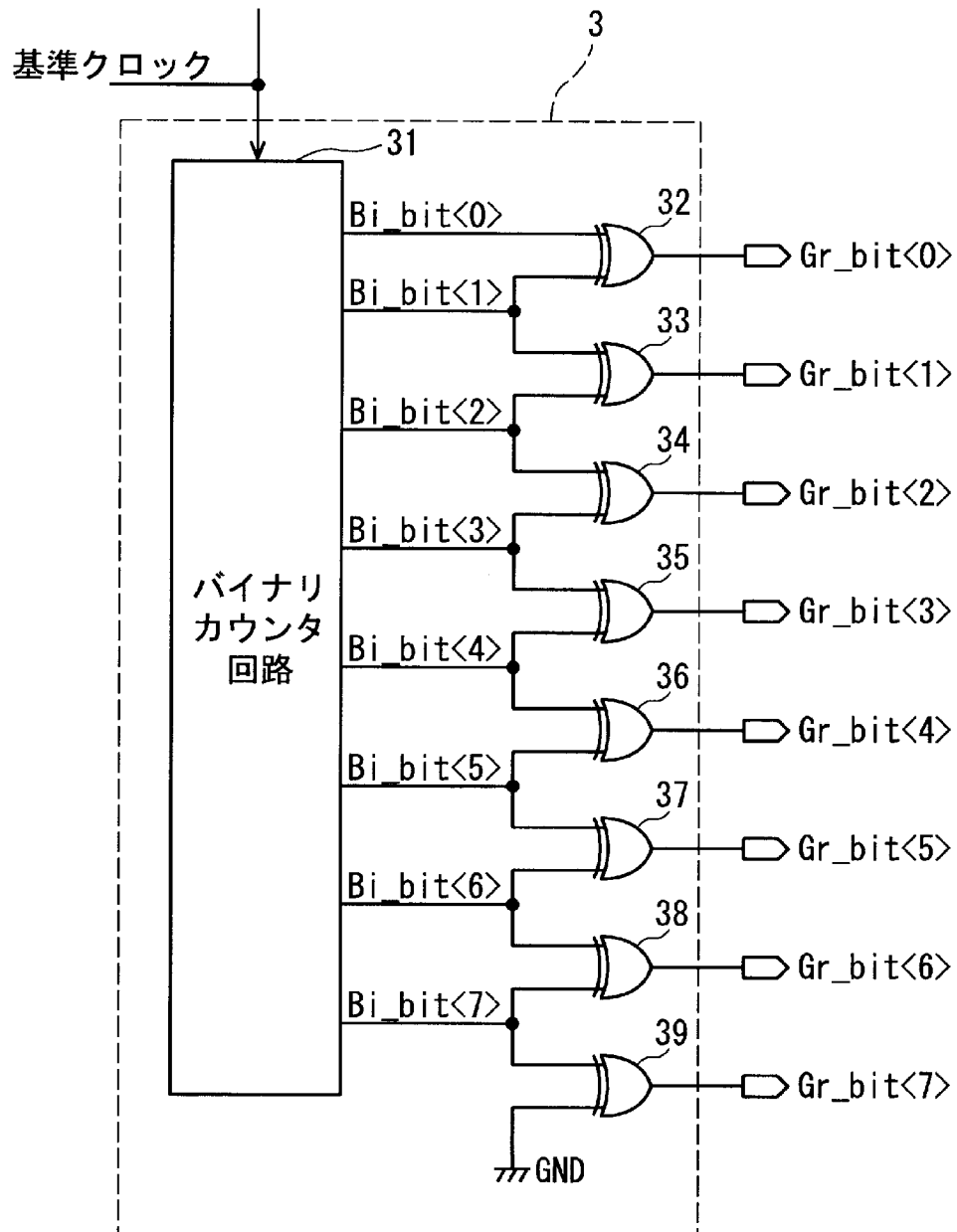
[図1]



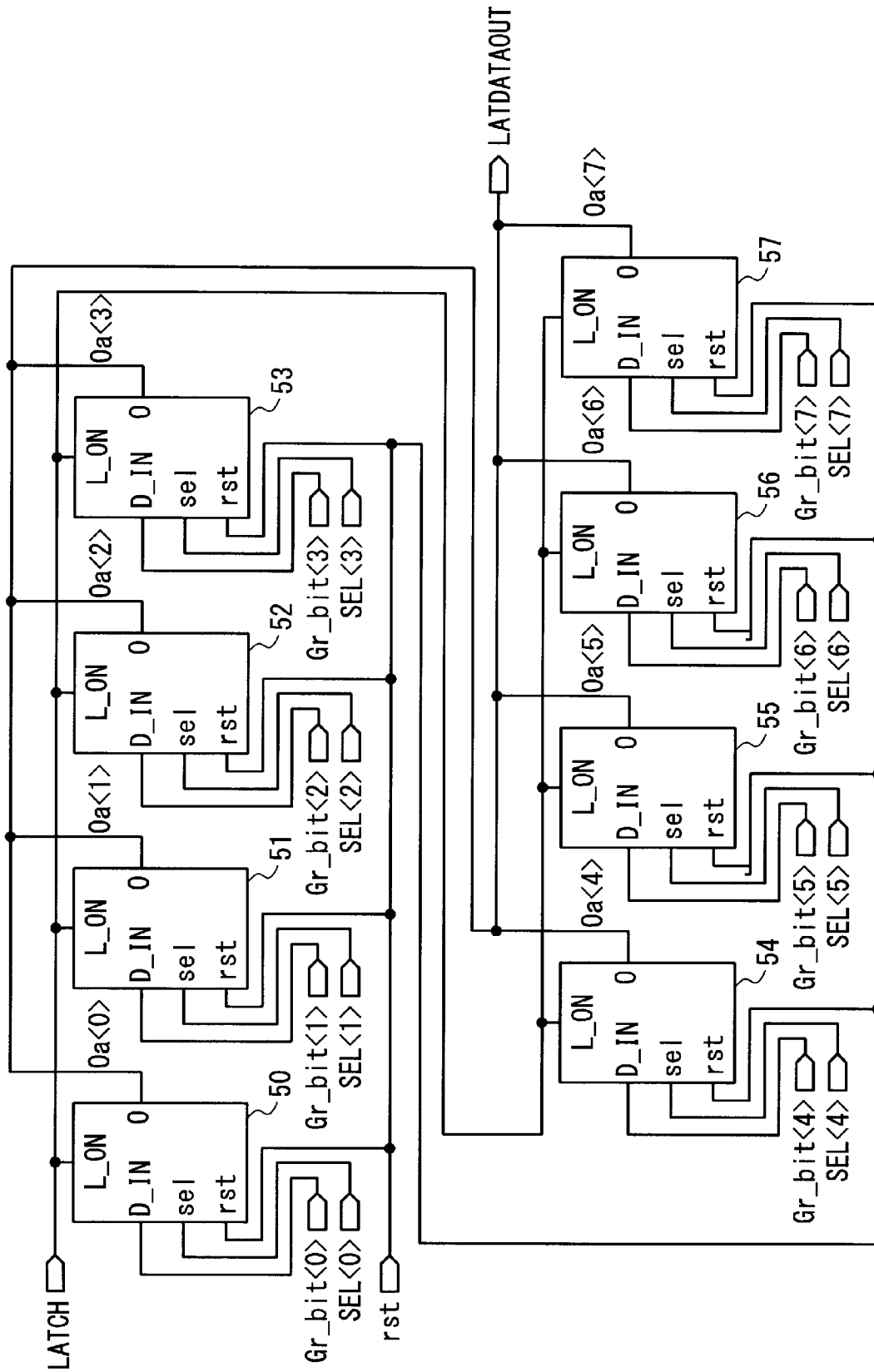
[図2]

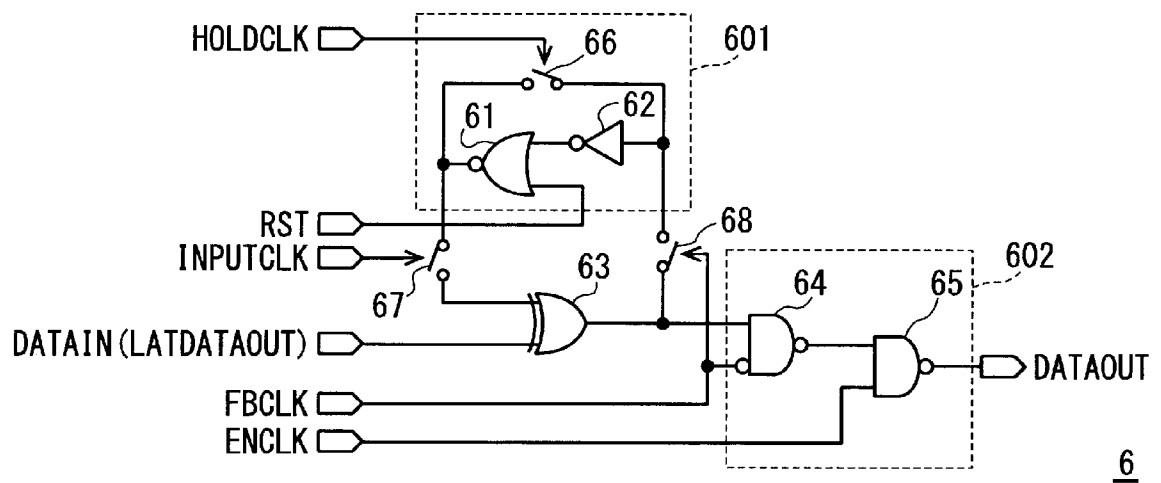
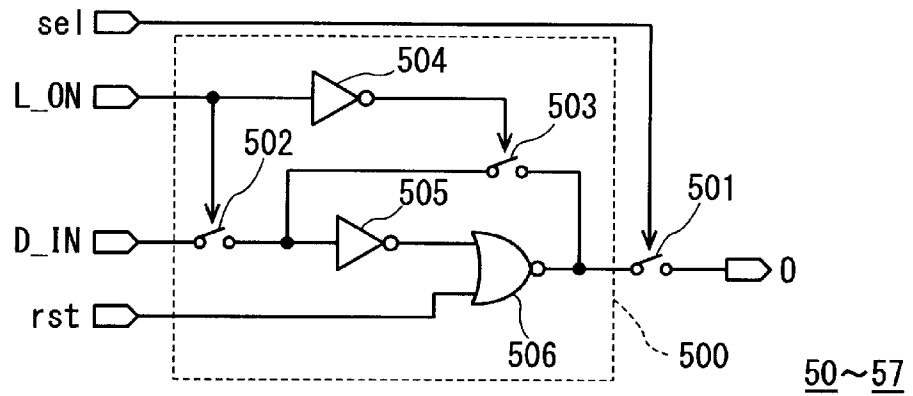


[図3]



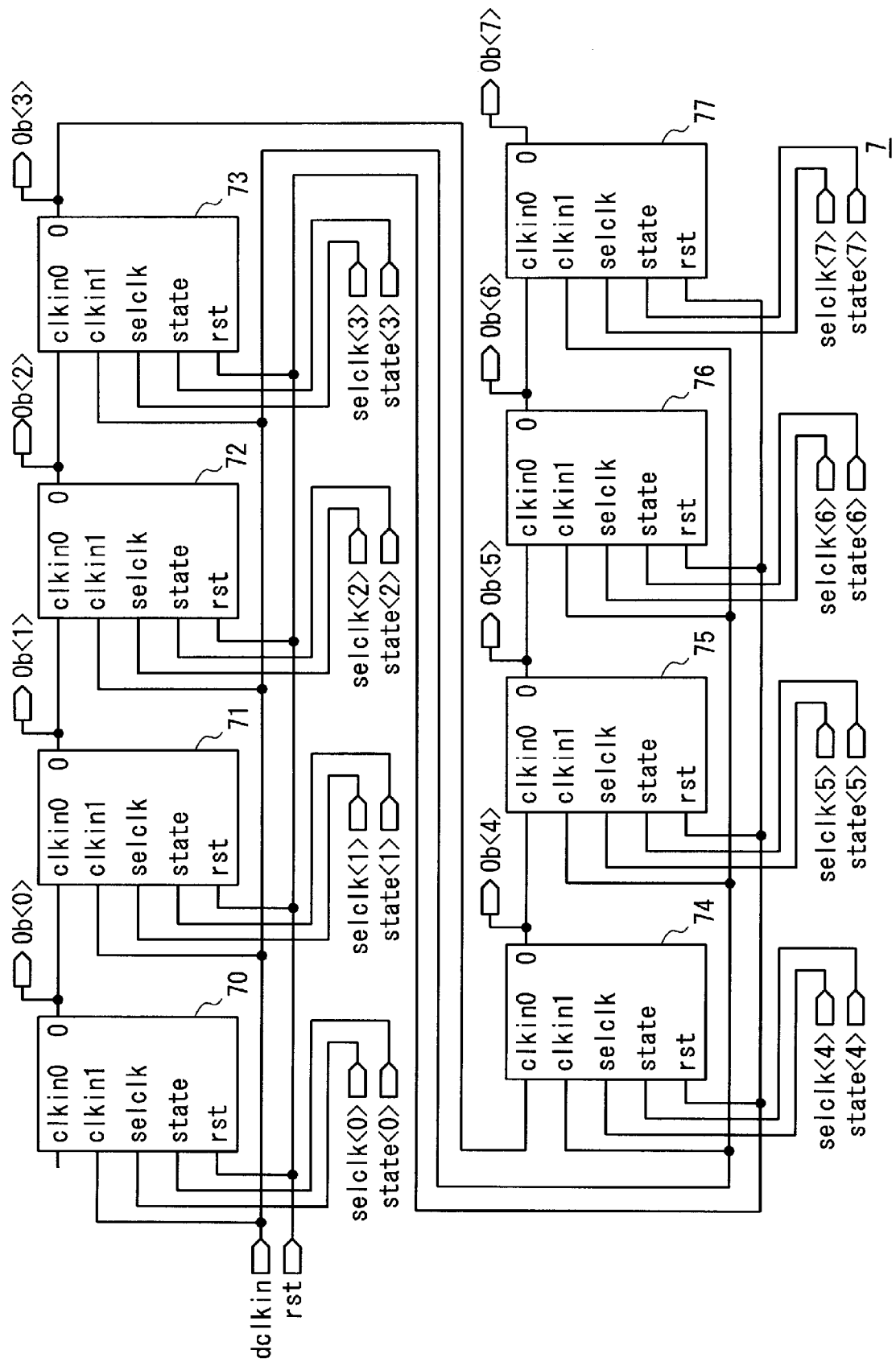
[図4]



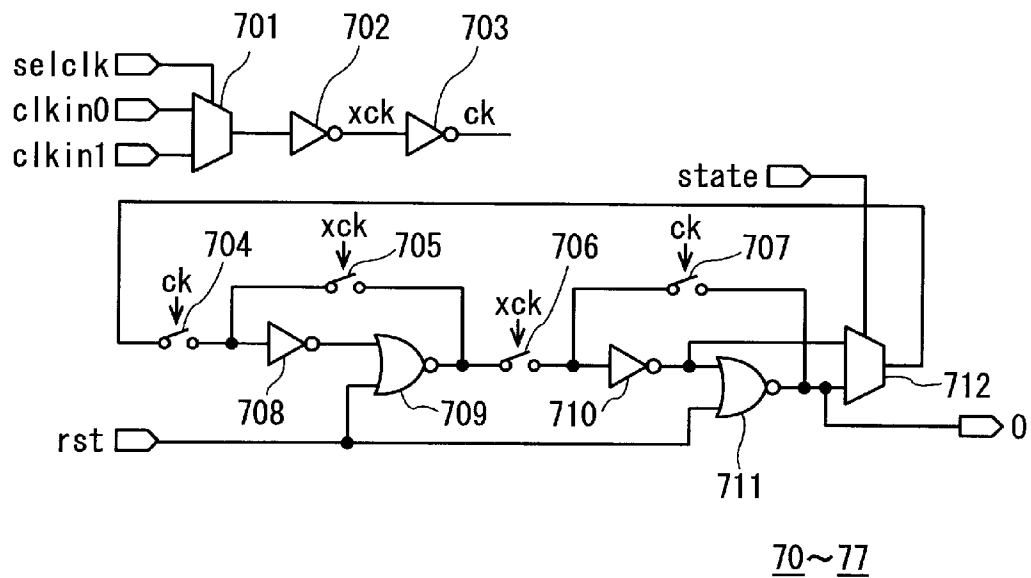


	RST	INPUTCLK	HOLDCLK	FBCLK	ENCLK
<reset>	1 ※1	0	0	0	1
<latch>	0 ※2	0	0	1	1
<hold>※3	0	0	1	0	1
<input>	0	1	1	0	1
<clkin>※4	任意	任意	任意	1	1→0→1

[図8]



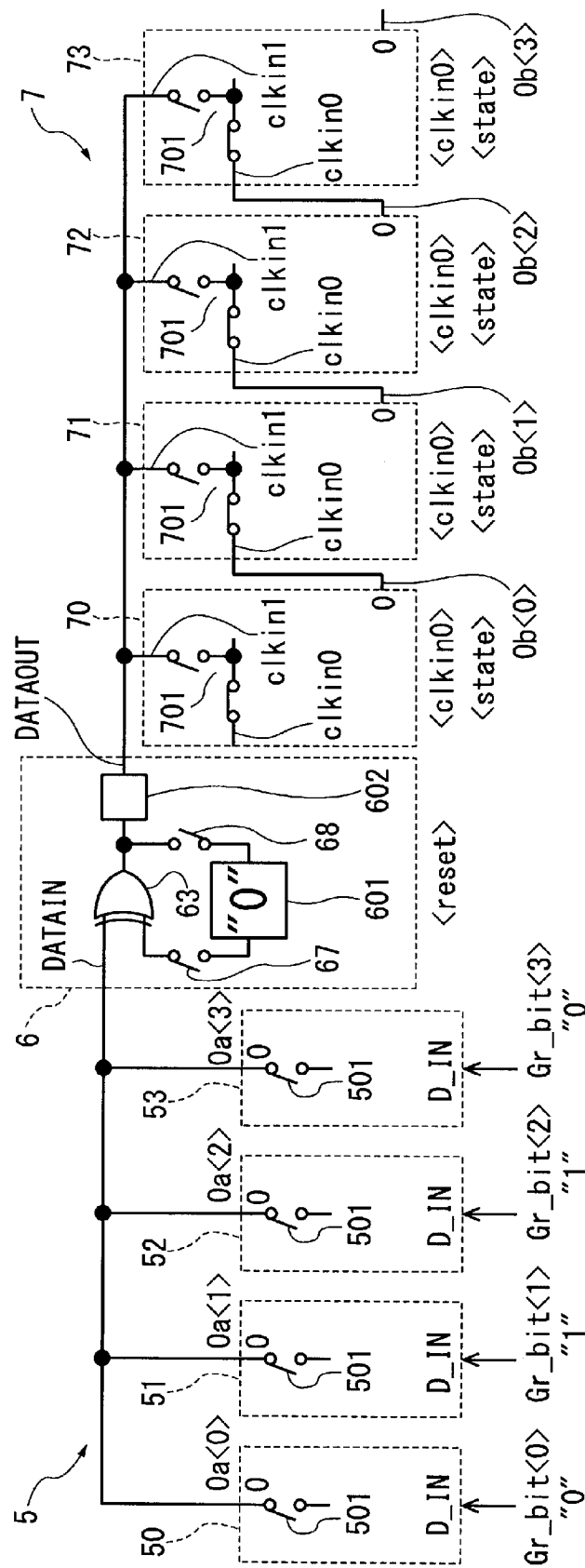
[図9]



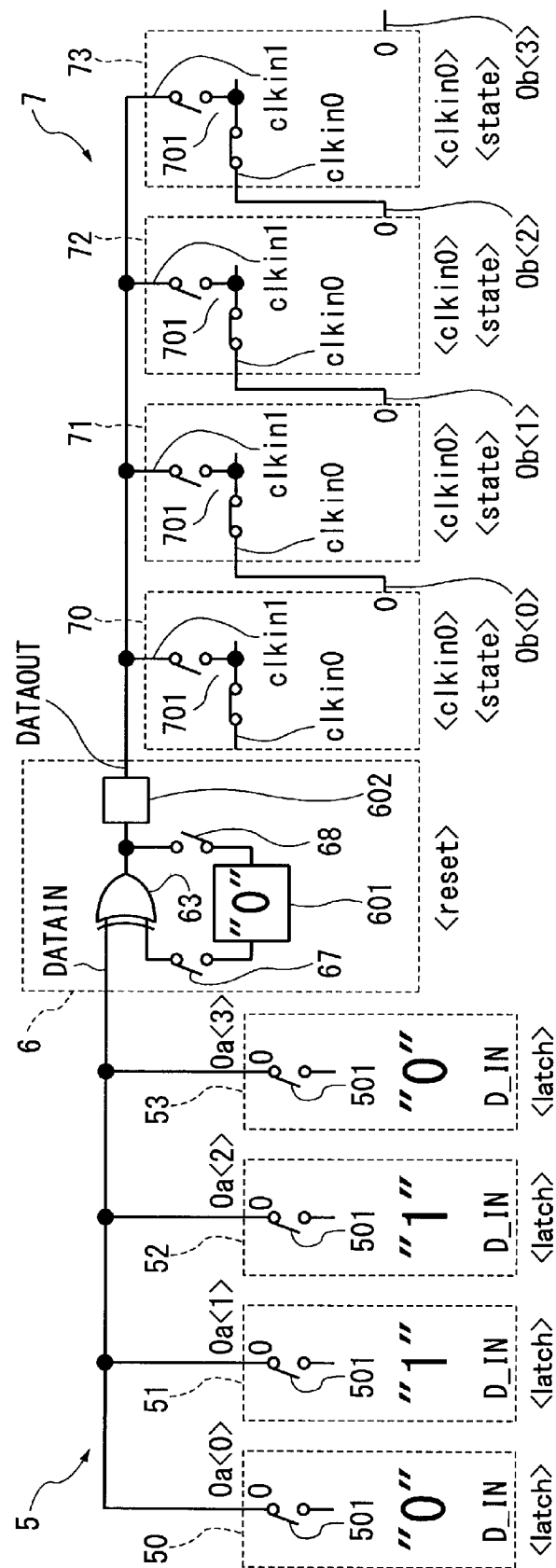
[図10]

入力条件				結果	備考	
入力clk	selclk	state	0(入力前)	0(入力後)	bit変化	桁上がり
clk0	0 (=clk0)	0 (=count)	0	1	有	無
			1	0	有	有
		1 (=state)	0	0	無	無
			1	1	無	無
	1 (=clk1)	0 (=count)	0	0	無	無
			1	1	無	無
		1 (=state)	0	0	無	無
			1	1	無	無
clk1	0	0	0	0	無	無
			1	1	無	無
		1	0	0	無	無
			1	1	無	無
	1	0	0	1	有	無
			1	0	有	有
		1	0	0	無	無
			1	1	無	無

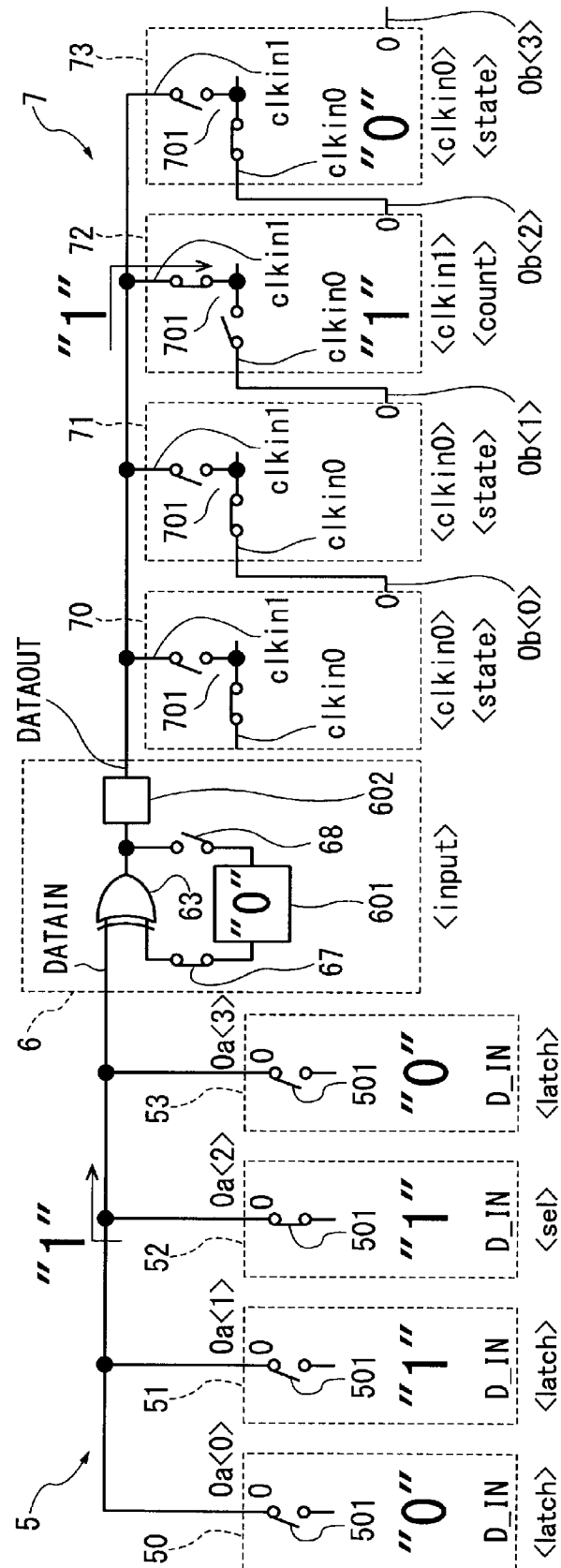
[図11A]



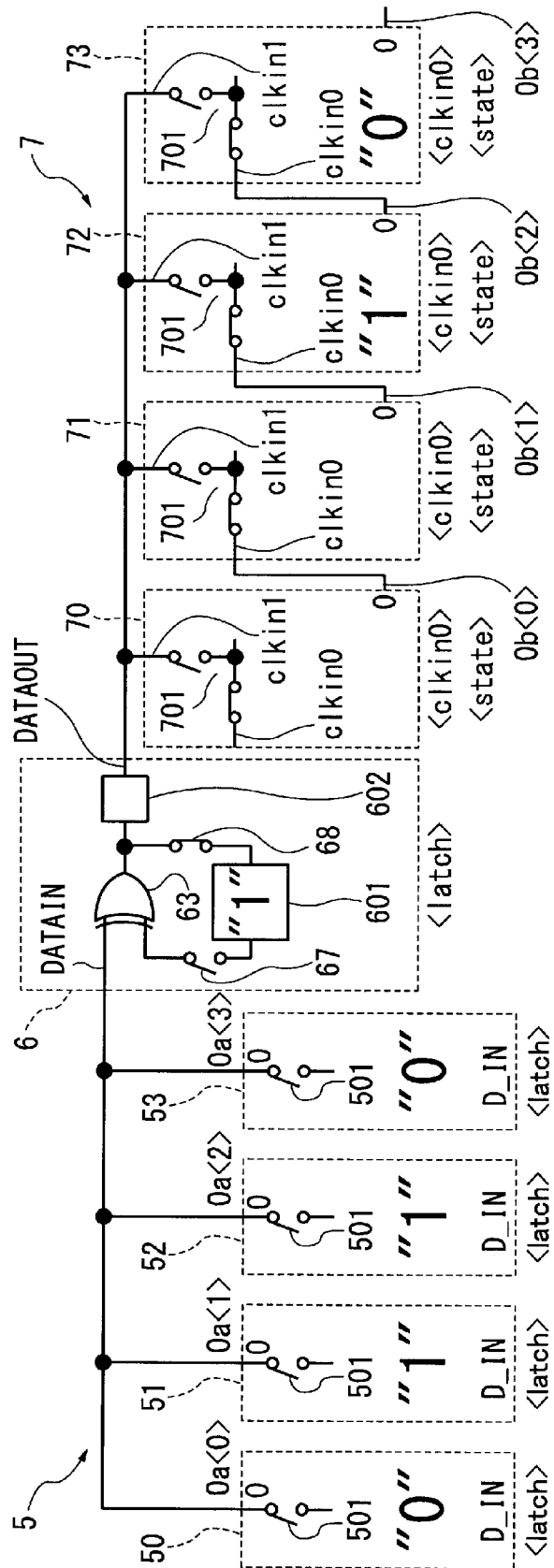
[図11B]



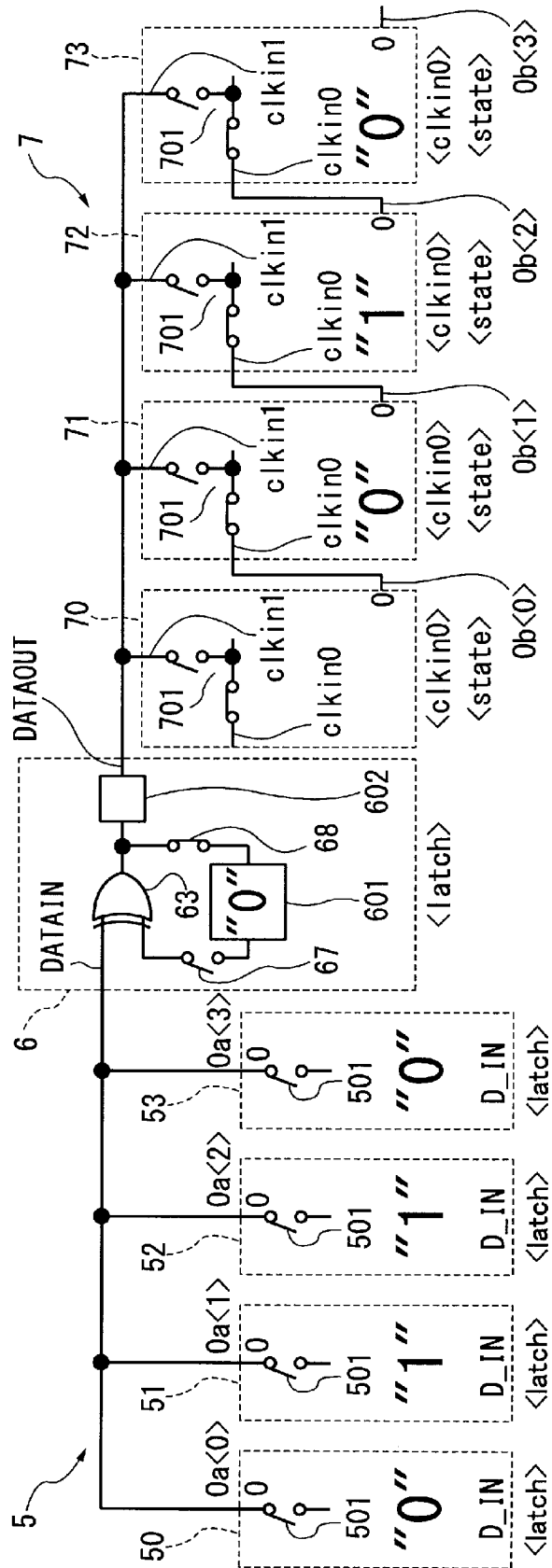
[図11E]



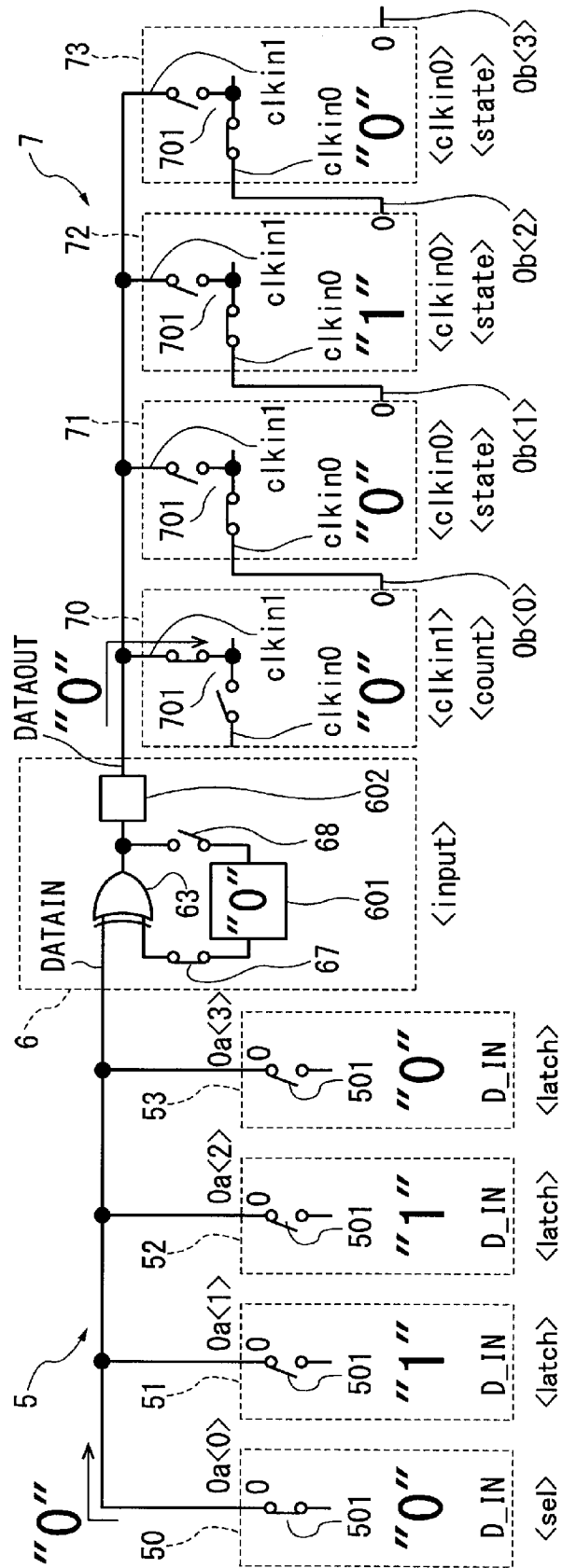
[図11F]



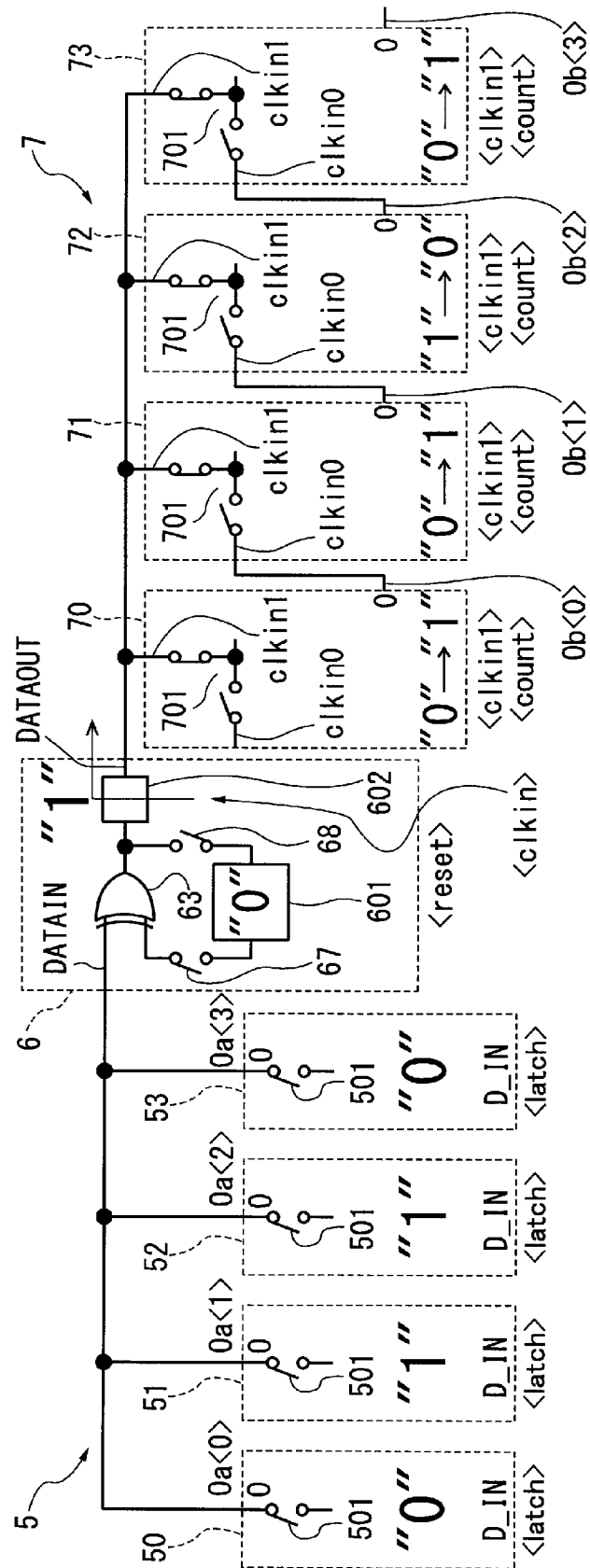
[図11H]



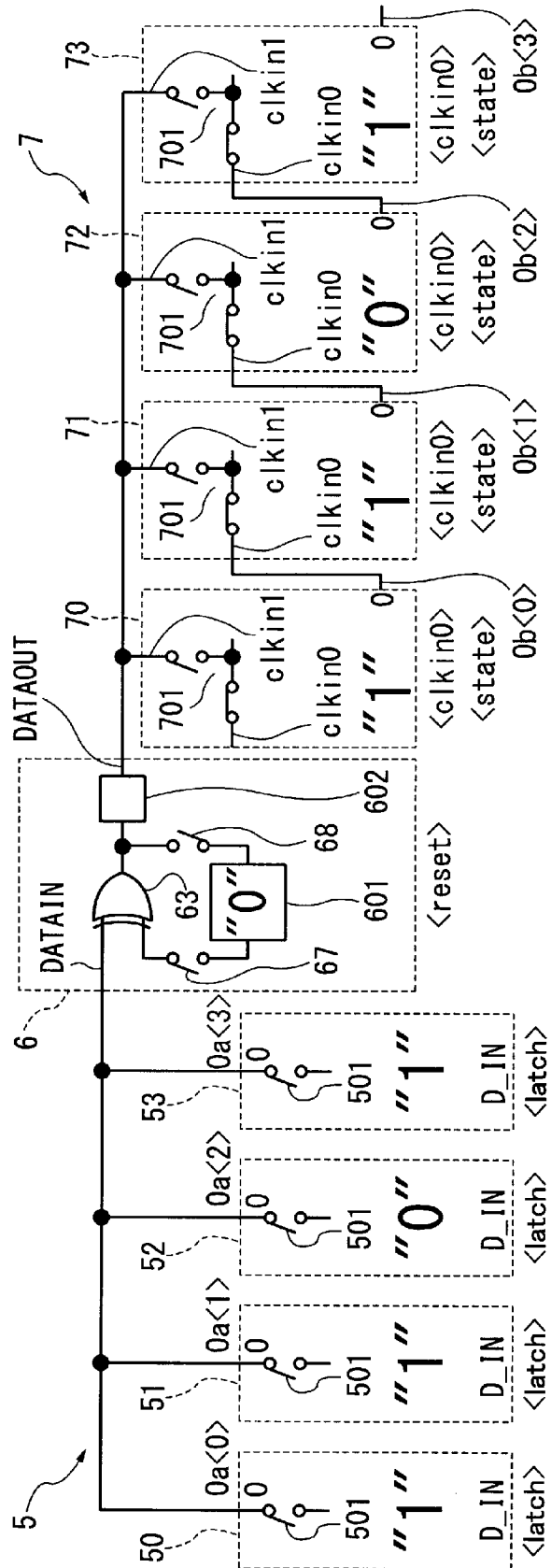
[図11I]



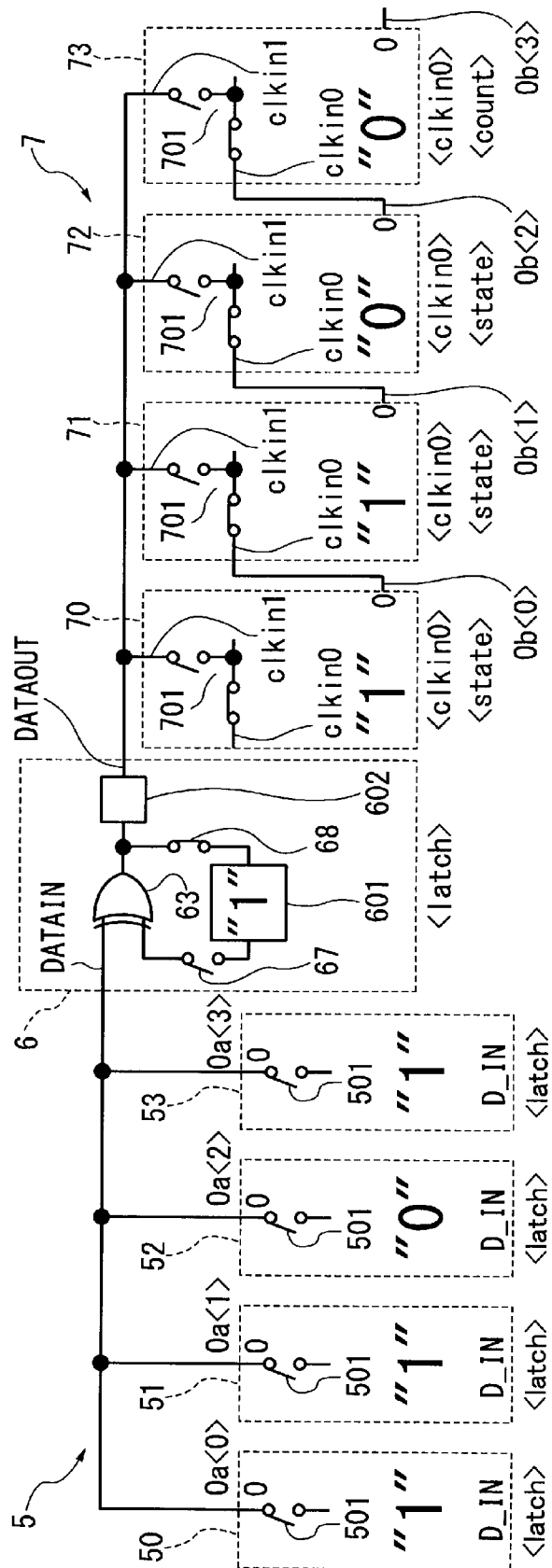
[図11K]



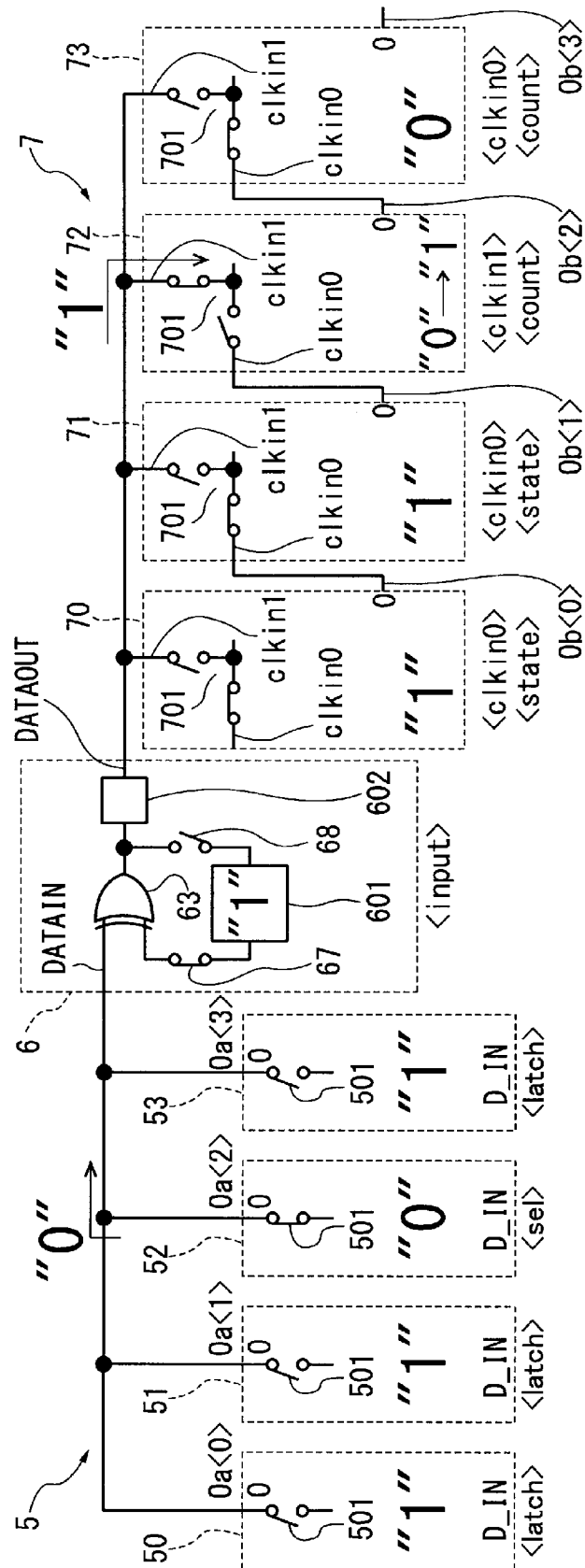
[図11M]



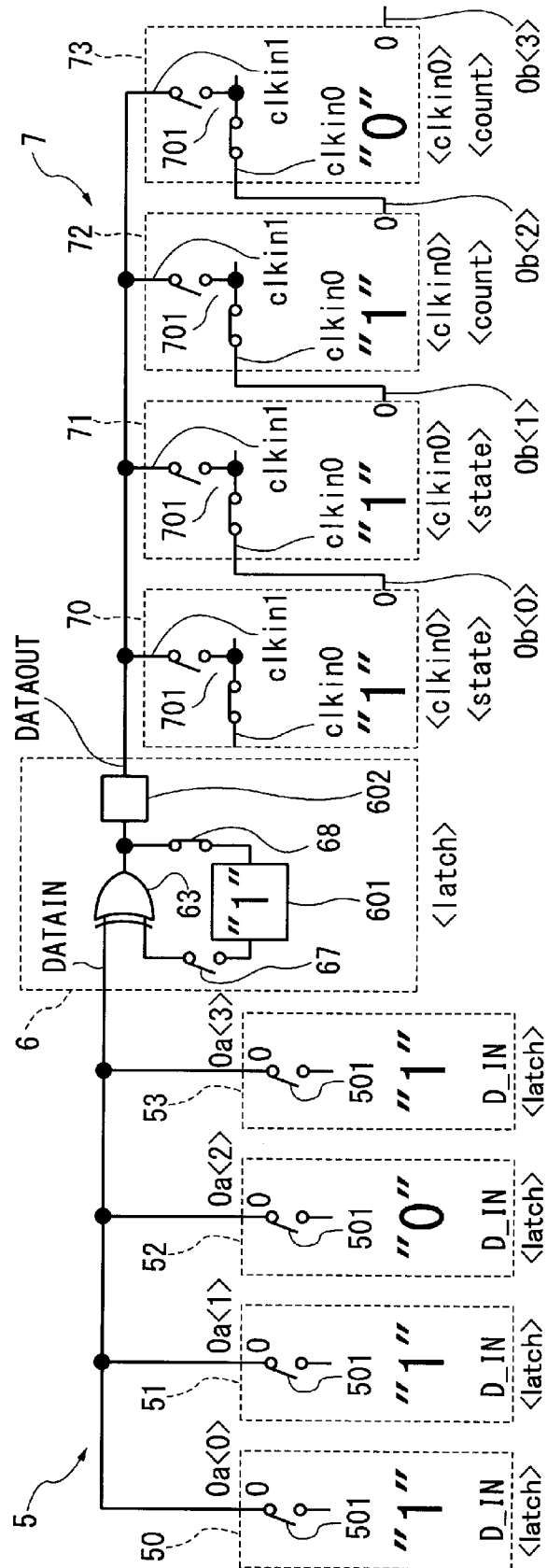
[図110]



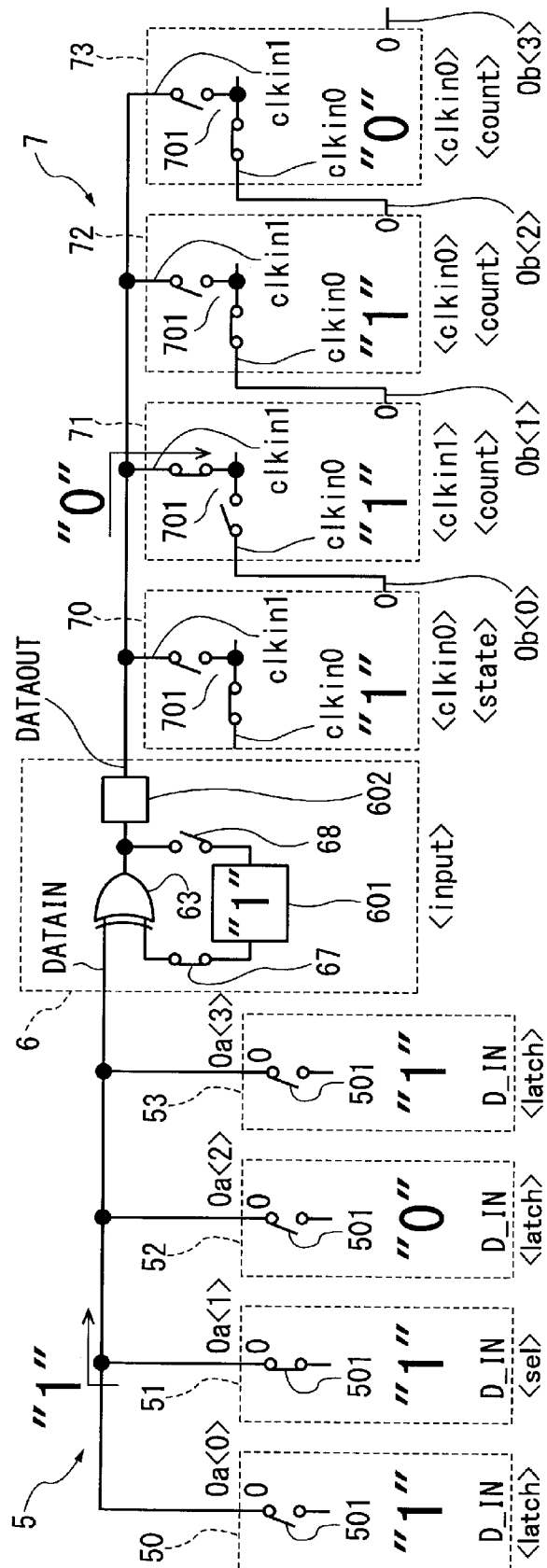
[図11P]



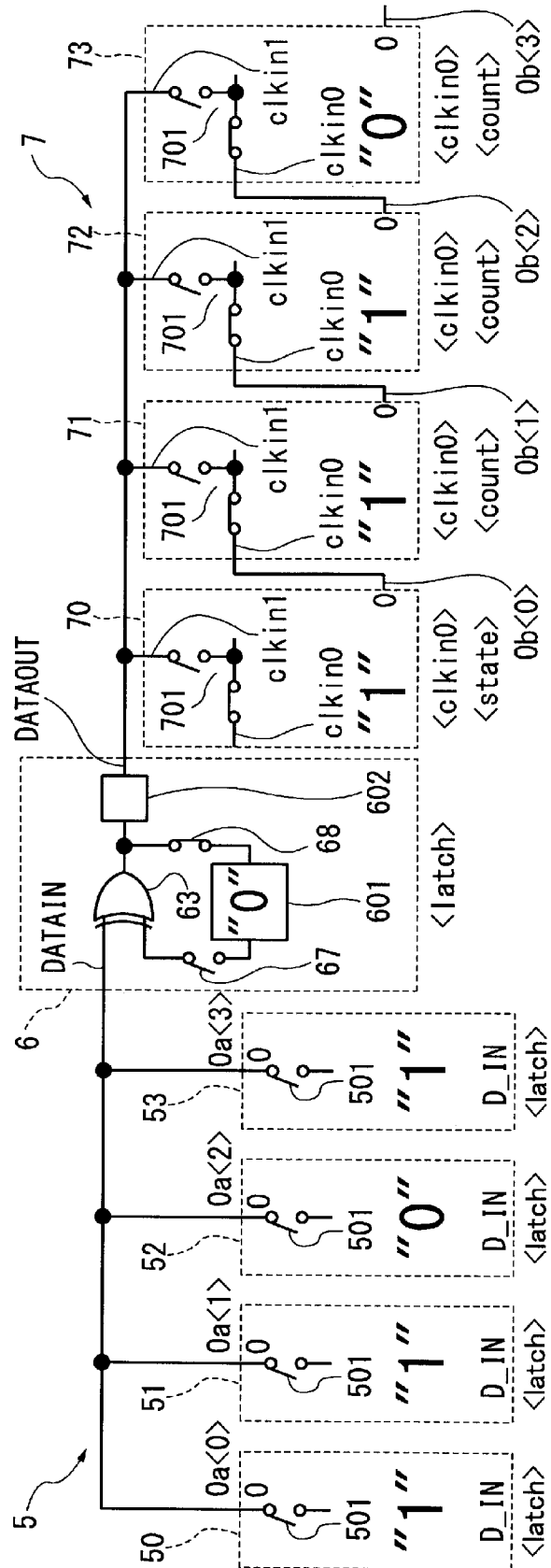
[図11Q]



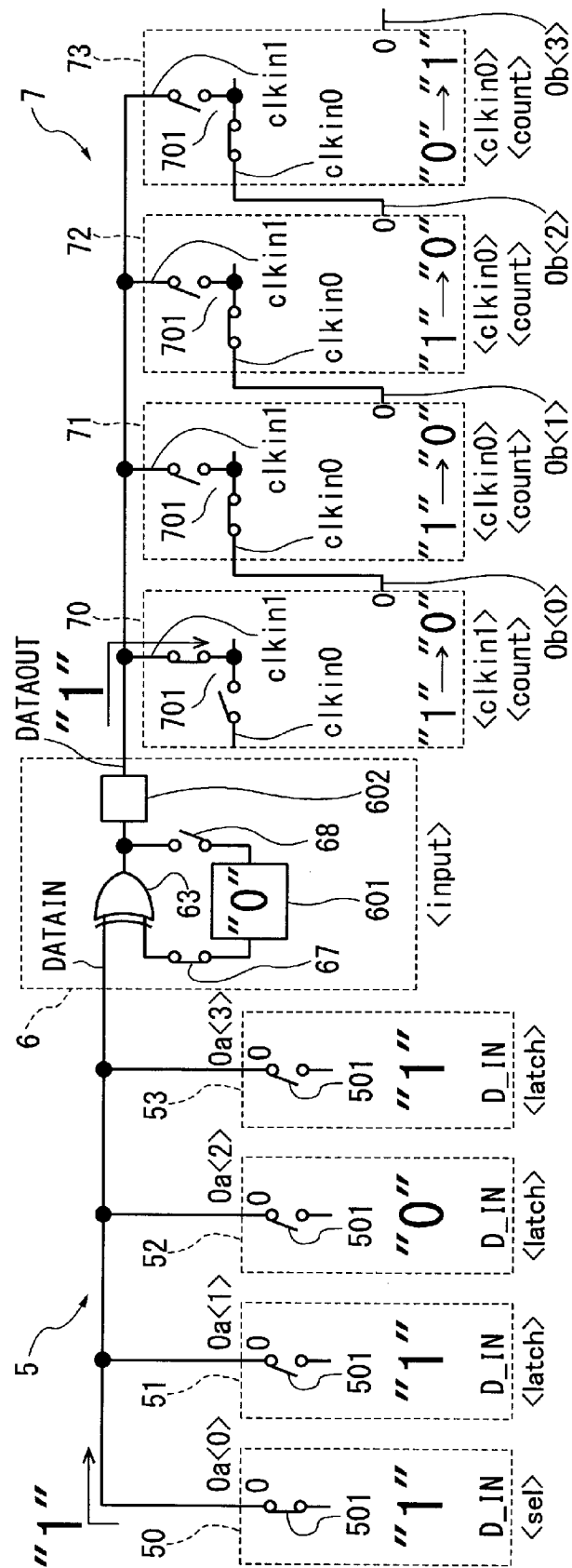
[図11R]



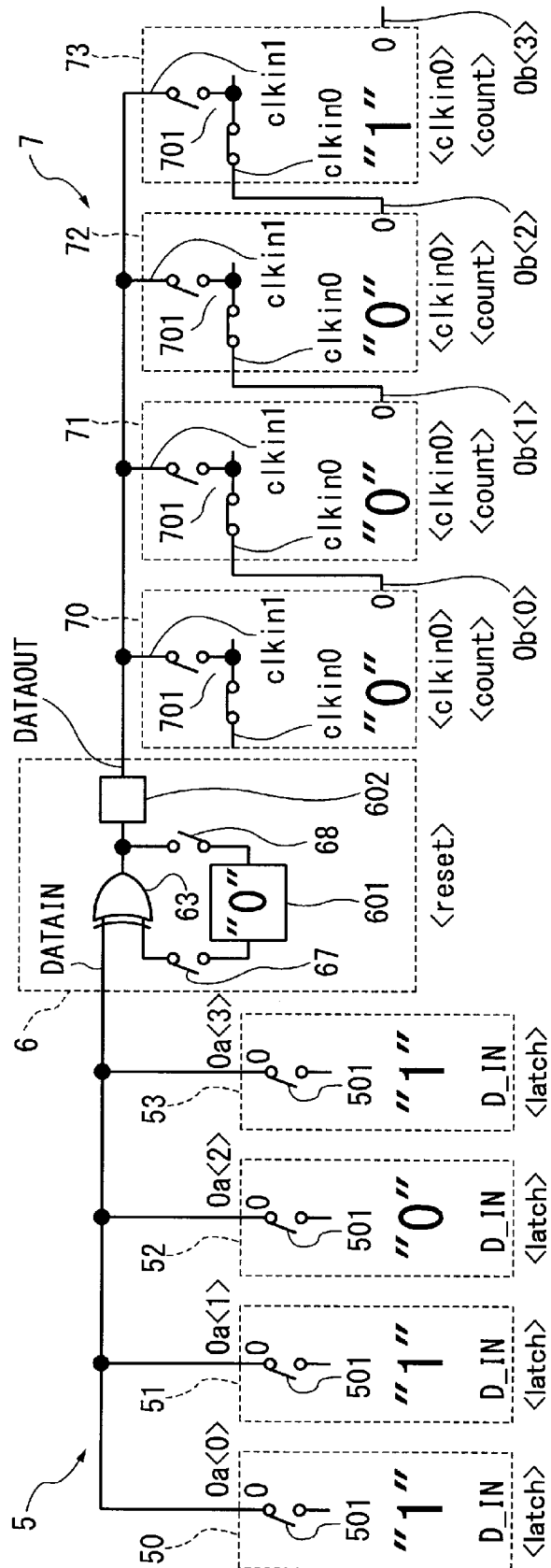
[図11S]



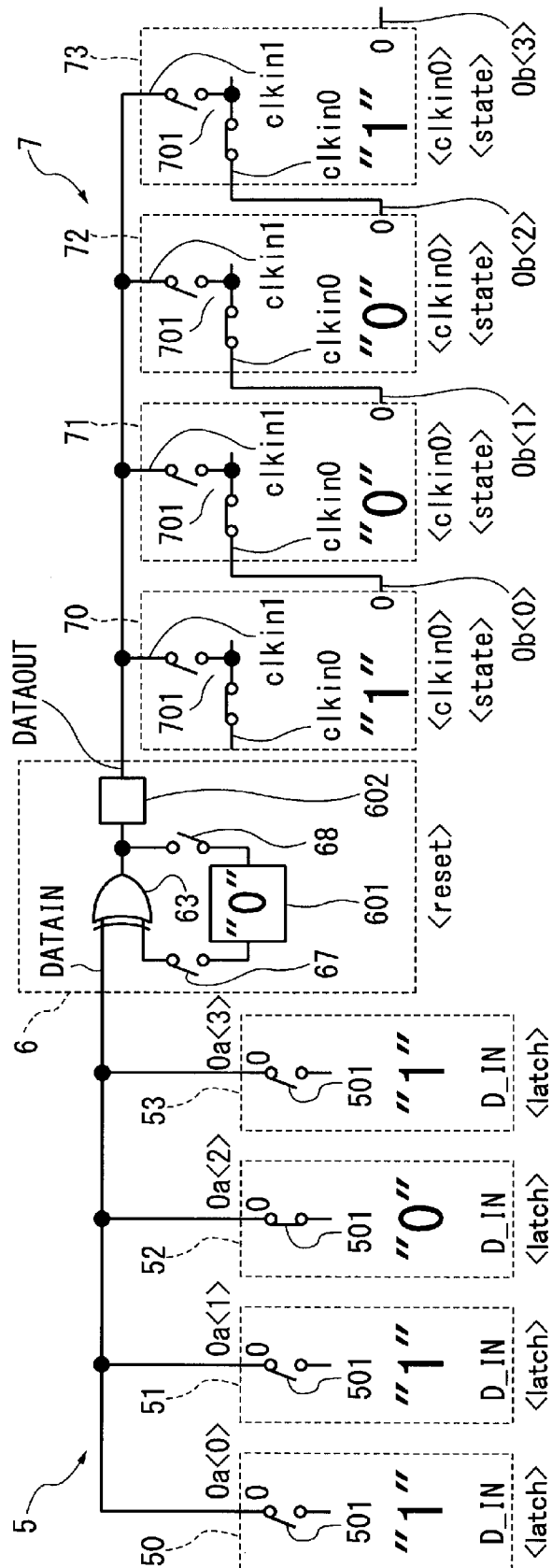
[図11T]

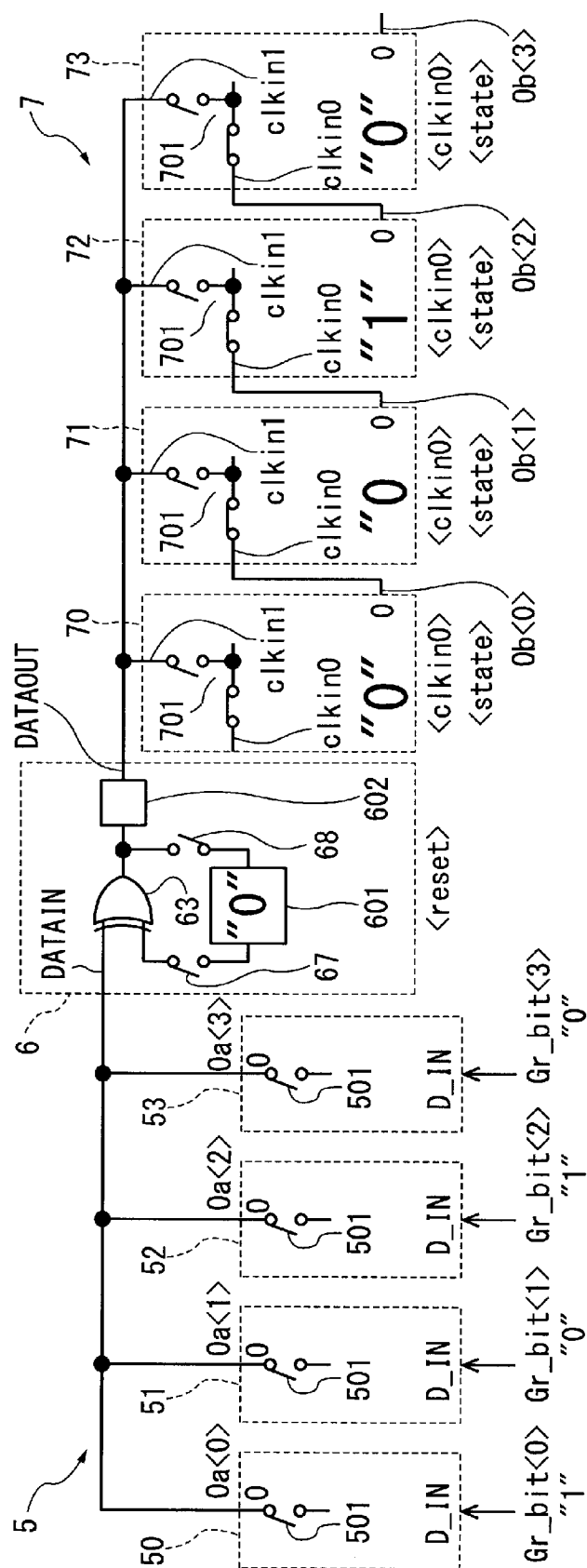


[図11U]

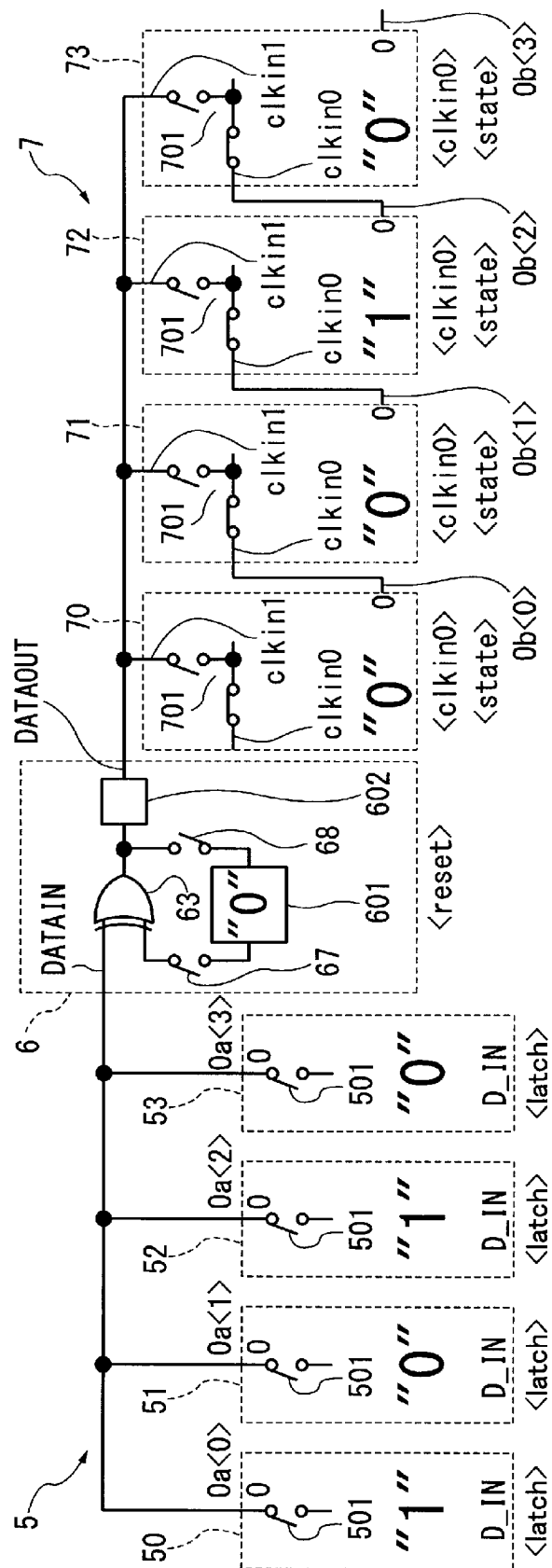


[図11W]

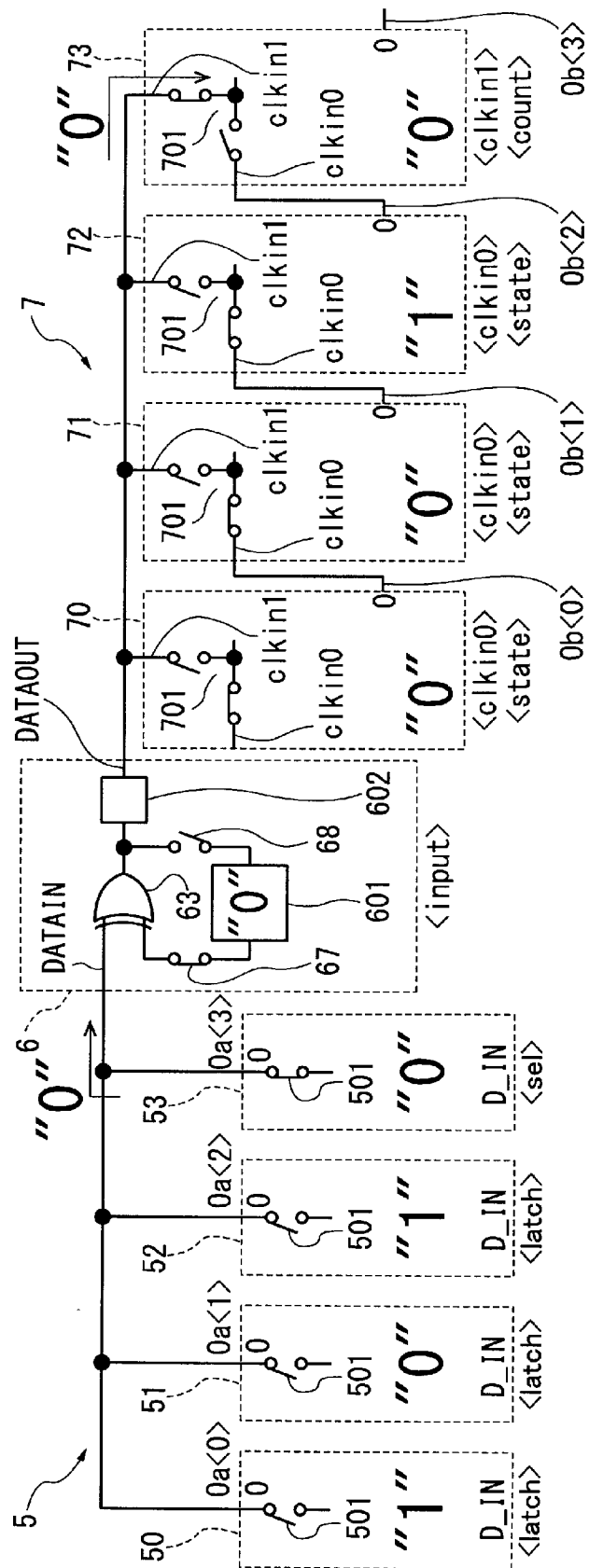




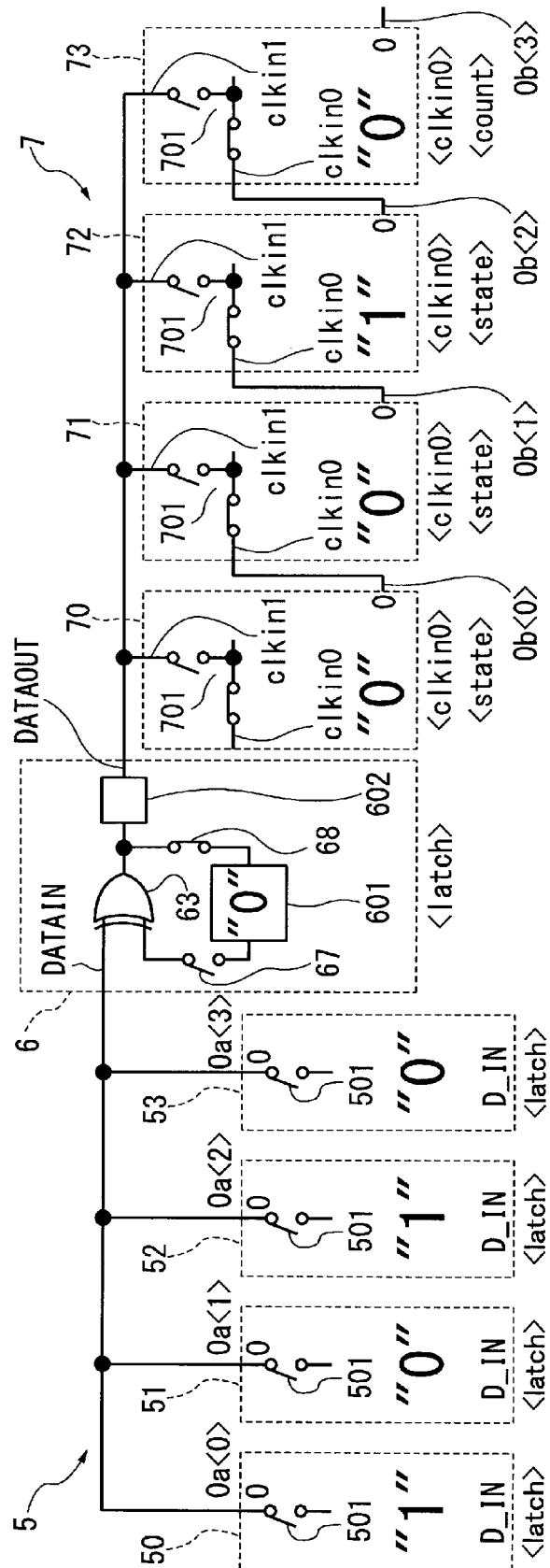
[図12B]



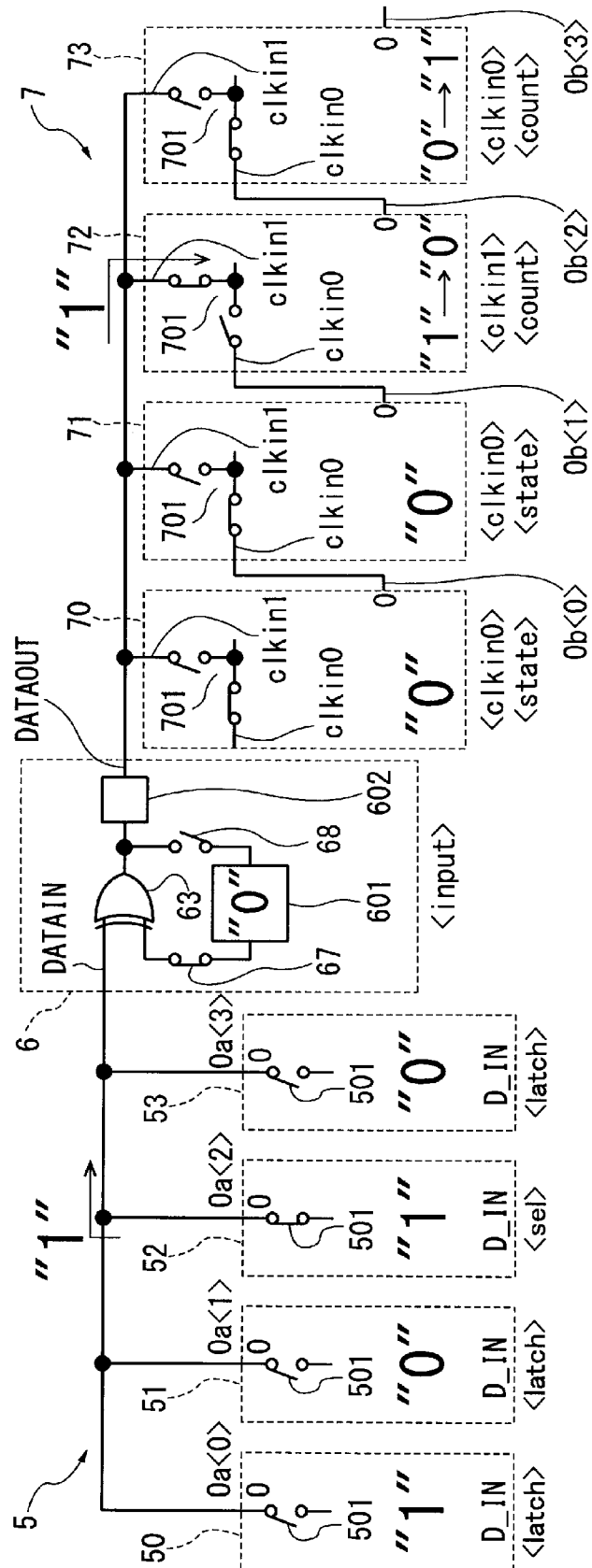
[図12C]



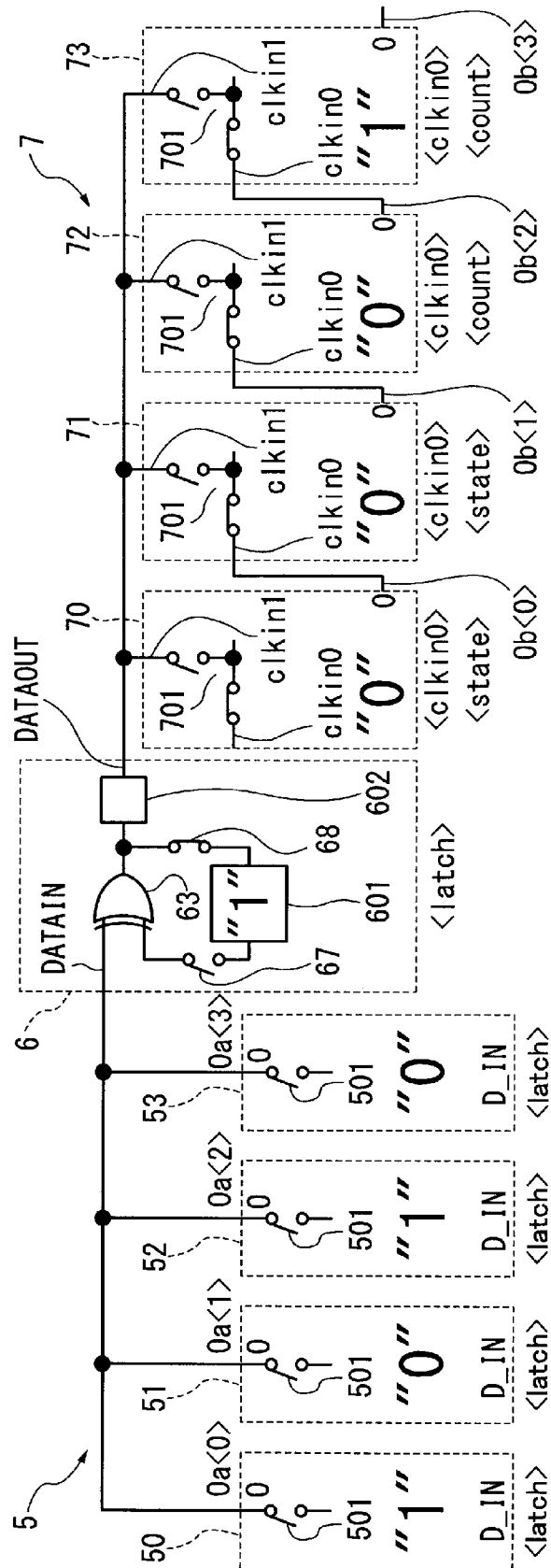
[図12D]



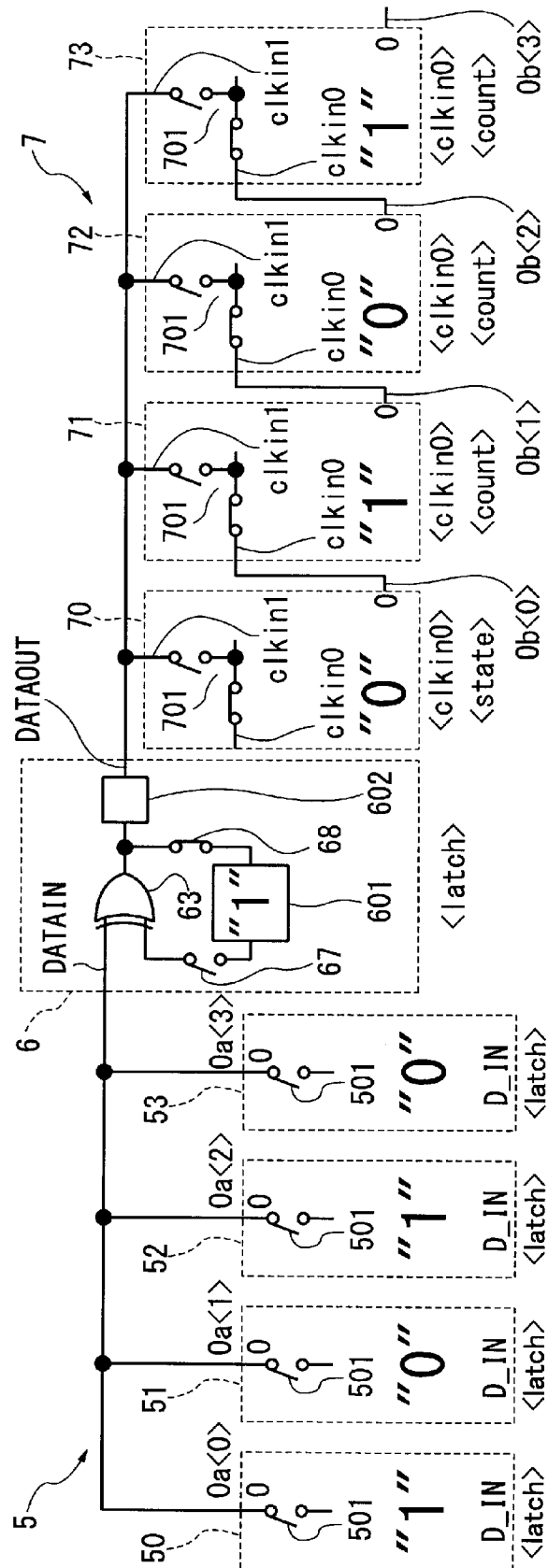
[図12E]



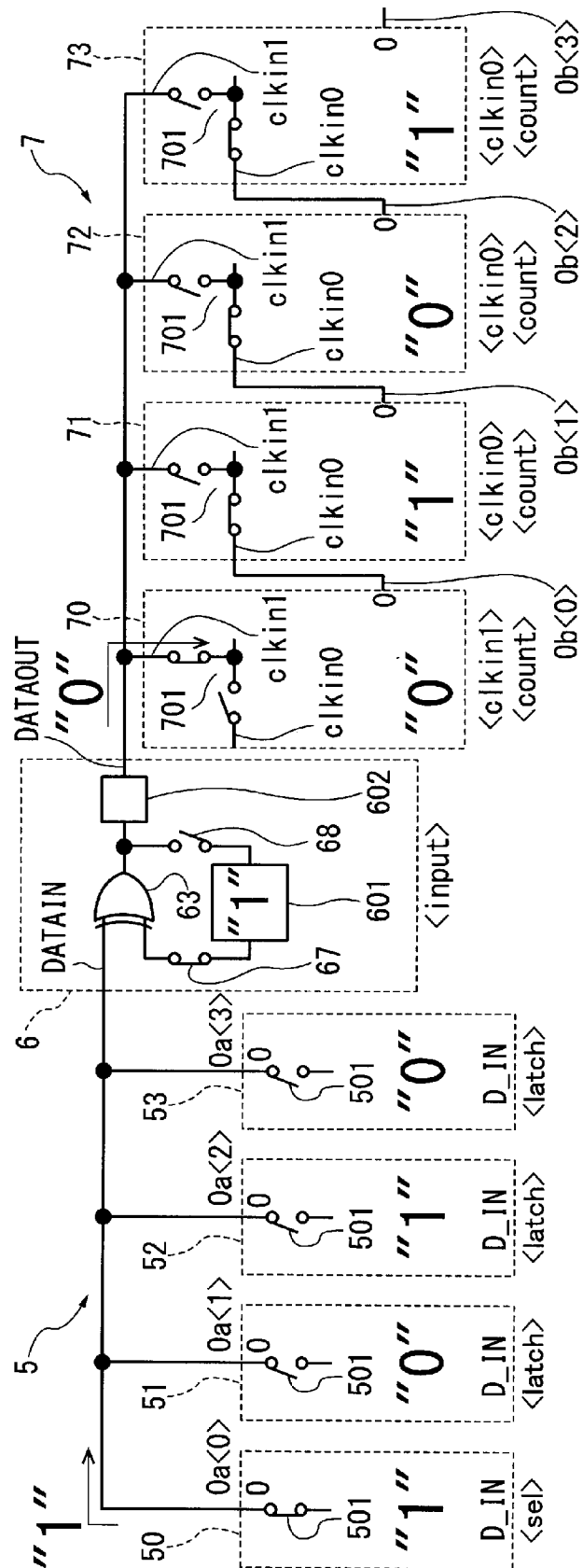
[図12F]



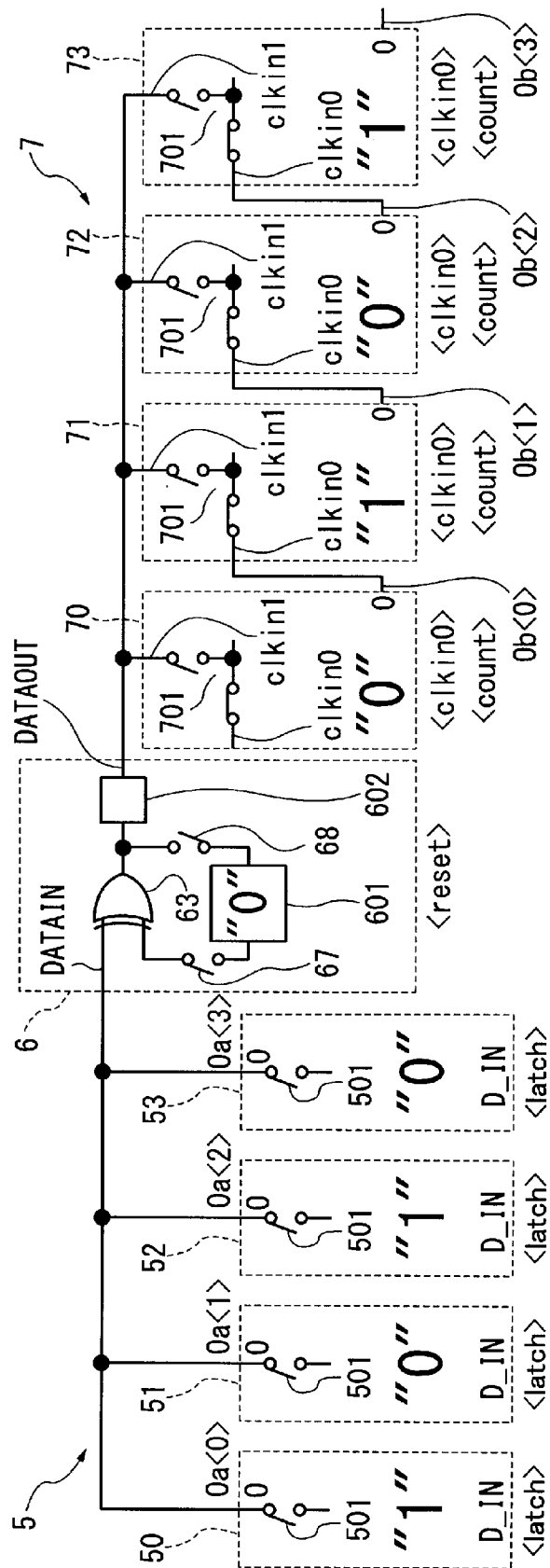
[図12H]



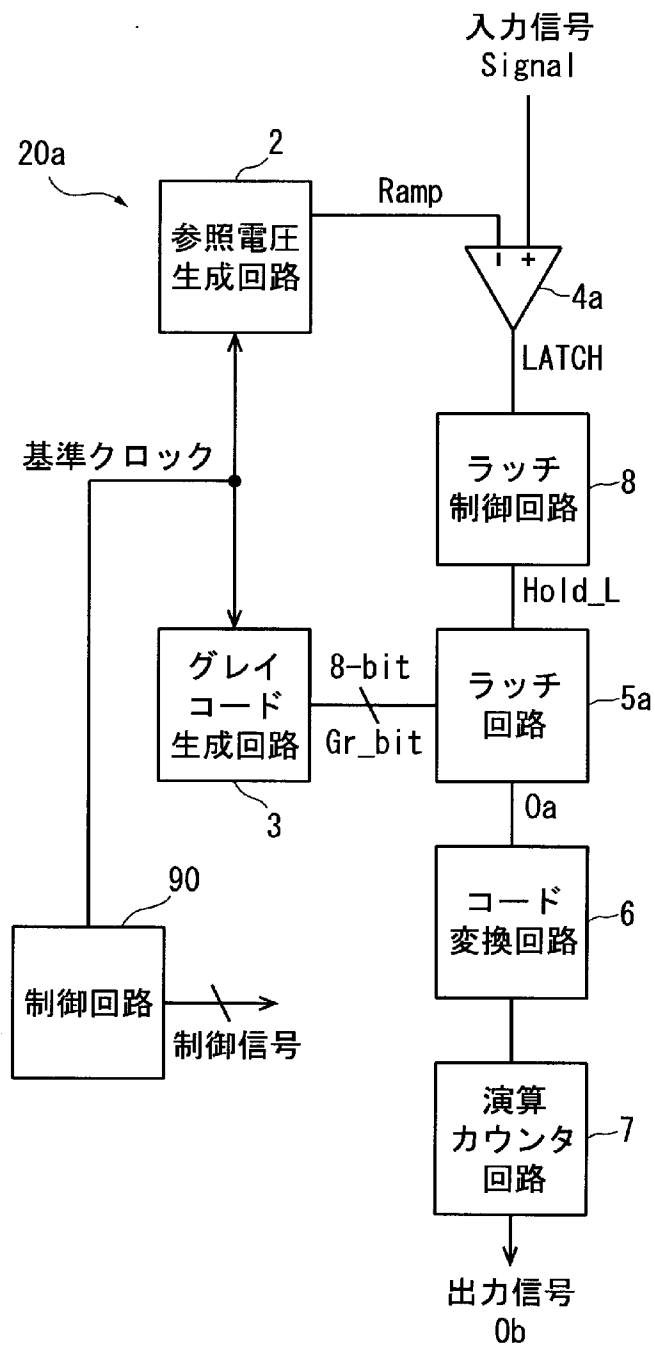
[図12I]



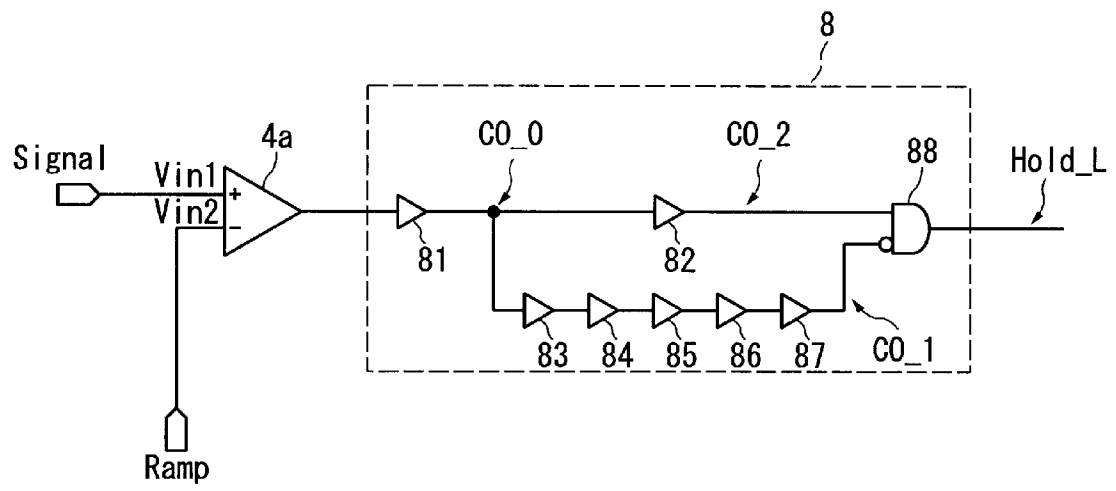
[図12J]



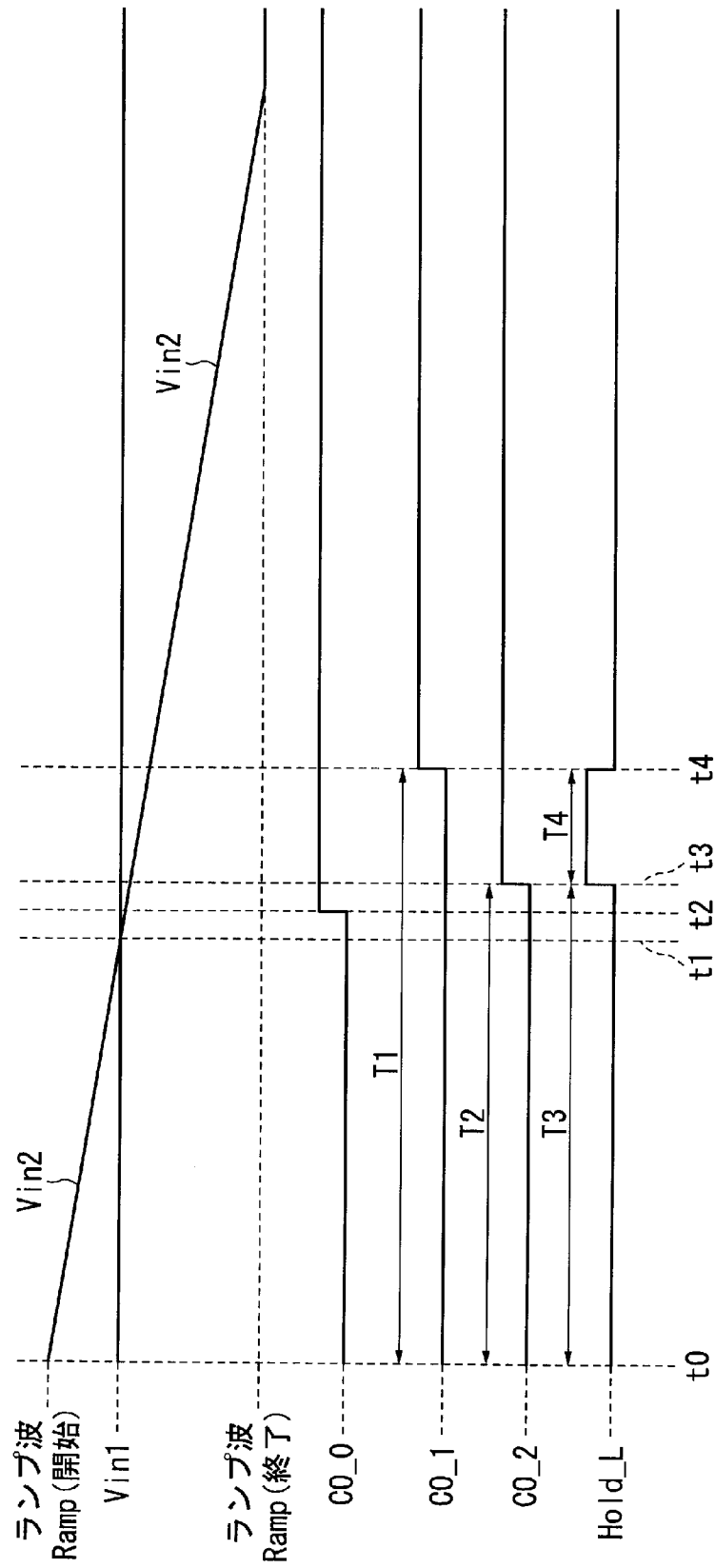
[図13]



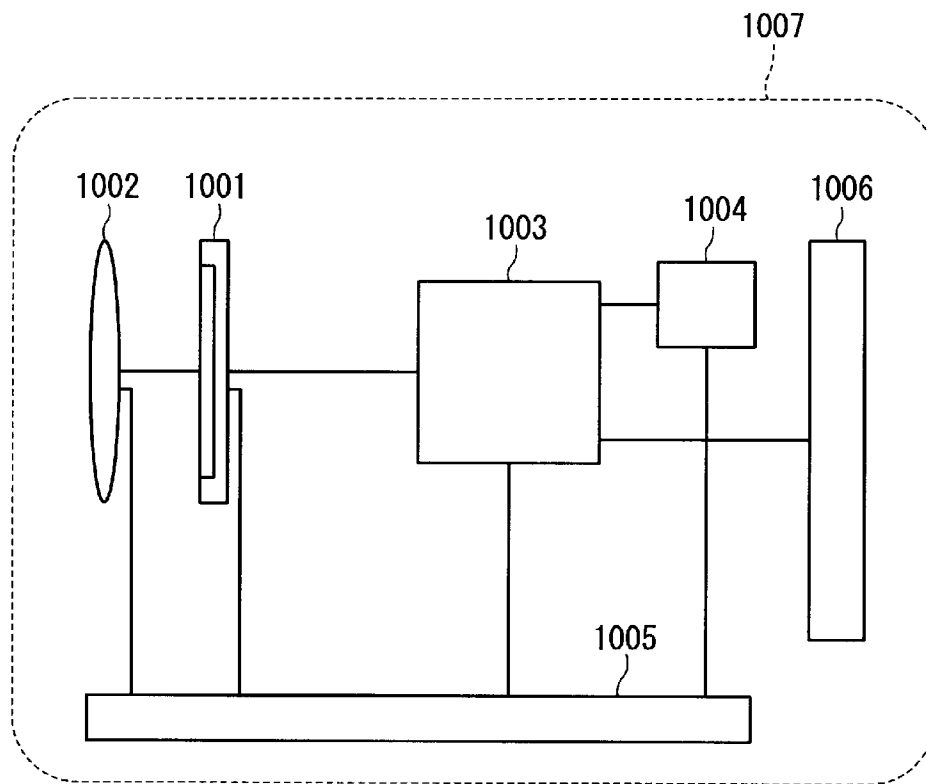
[図14]

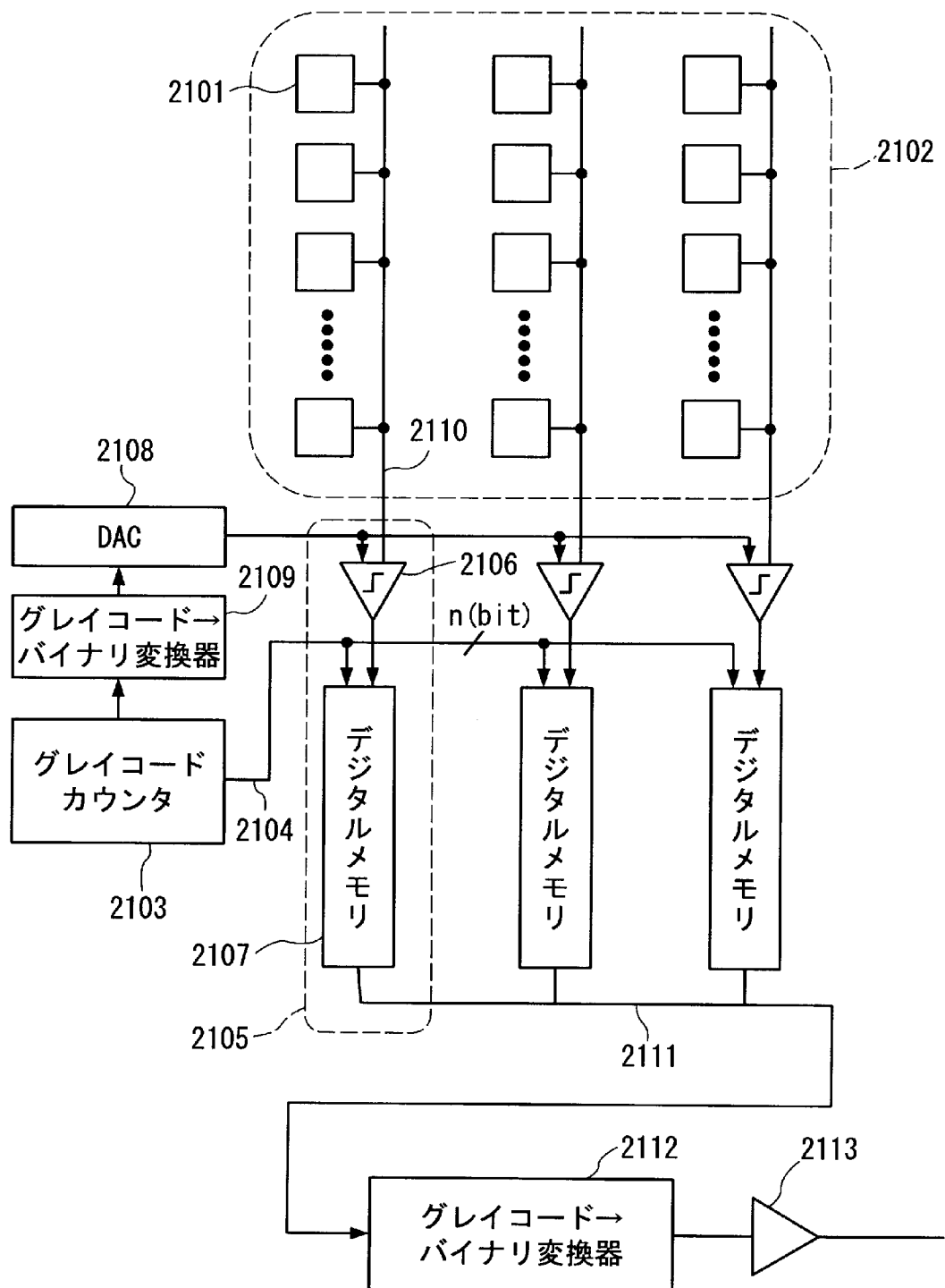


[図15]



[図16]





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/062429

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/378(2011.01)i, H03M1/12(2006.01)i, H03M1/56(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/378, H03M1/12, H03M1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-33433 A (Canon Inc.), 20 February 2014 (20.02.2014), paragraphs [0031] to [0033], [0109], [0127]; fig. 4, 19, 22 & US 2014/0014817 A1 paragraphs [0060] to [0062], [0143], [0161]; fig. 4, 19, 22	1-3, 7, 8, 12, 13 4-6, 9-11
Y	JP 4423111 B2 (Canon Inc.), 03 March 2010 (03.03.2010), paragraphs [0042], [0045], [0048]; fig. 4, 6 (Family: none)	1-3, 7, 8, 12, 13
Y	JP 6-215064 A (Fujitsu Ltd.), 05 August 1994 (05.08.1994), paragraphs [0028], [0032]; fig. 6, 8 (Family: none)	2, 3, 8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 July 2016 (08.07.16)

Date of mailing of the international search report
19 July 2016 (19.07.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04N5/378(2011.01)i, H03M1/12(2006.01)i, H03M1/56(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04N5/378, H03M1/12, H03M1/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2014-33433 A（キヤノン株式会社）2014.02.20, 段落 [0031] - [0033], [0109], [0127], 第4, 19, 22 図 & US 2014/0014817 A1, 段落 [0060] - [0062], [0143], [0161], 第4, 19, 22 図	1-3, 7, 8, 12, 13 4-6, 9-11
Y	JP 4423111 B2（キヤノン株式会社）2010.03.03, 段落 [0042], [0045], [0048], 第4, 6 図（ファミリーなし）	1-3, 7, 8, 12, 13
Y	JP 6-215064 A（富士通株式会社）1994.08.05, 段落 [0028], [0032], 第6, 8 図（ファミリーなし）	2, 3, 8

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 7 . 2 0 1 6

国際調査報告の発送日

1 9 . 0 7 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 明

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 1

5 V

9 1 8 5