



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0057087
(43) 공개일자 2022년05월09일

(51) 국제특허분류(Int. Cl.)
H03M 13/15 (2015.01) H03M 13/00 (2017.01)
(52) CPC특허분류
H03M 13/1515 (2013.01)
H03M 13/158 (2019.01)
(21) 출원번호 10-2020-0141950
(22) 출원일자 2020년10월29일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
신원규
서울특별시 송파구 위례광장로 163, 2212동 607
호(장지동, 위례22단지)
박중선
서울특별시 서초구 신반포로 9, 85동 403호(반포
동, 반포아파트)
(74) 대리인
이철희

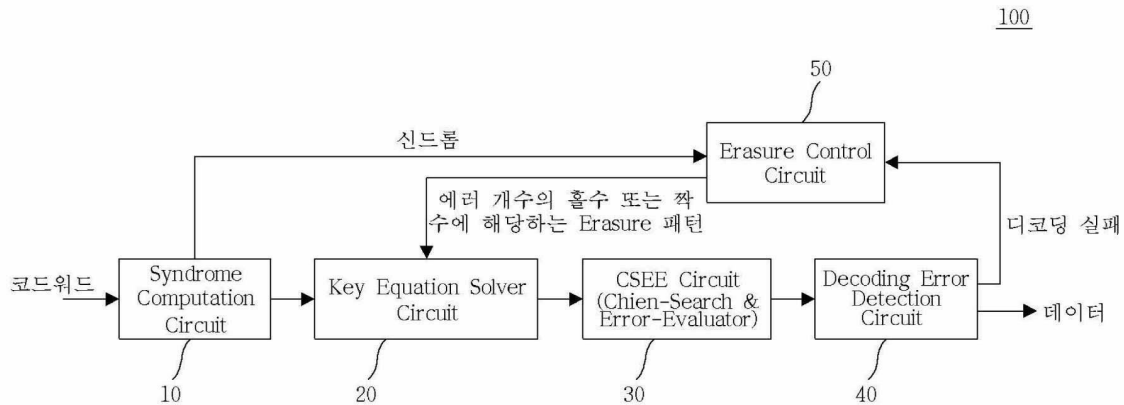
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 리드-솔로몬 코드의 소프트-디시전 디코딩 방법 및 장치

(57) 요약

본 발명은 에러 정정 성능에 미치는 영향을 최소화하면서 디코딩 시간을 줄일 수 있는 소거 기반의 리드-솔로몬 코드의 소프트-디시전 디코딩 방법 및 장치를 개시한다. 상기 리드-솔로몬 코드의 소프트-디시전 디코딩 장치는, 코드워드로부터 신드롬을 계산하는 신드롬 계산 회로; 상기 신드롬으로부터 에러 위치 다항식과 에러 평가 다항 (뒷면에 계속)

대표도



식을 생성하는 키 방정식 풀이 회로; 상기 에러 위치 다항식과 상기 에러 평가 다항식을 기반으로 에러의 위치 및 에러의 크기를 계산하는 치엔 검색 및 에러 평가 회로; 상기 에러의 위치 및 상기 에러의 크기를 기반으로 디코딩의 성공 여부를 판단하는 디코딩 에러 판단 회로; 및 상기 코드워드에 에러 개수가 홀수인지 짝수인지를 판단하며, 상기 디코딩 에러 판단 회로로부터 디코딩 실패가 감지되면 홀수의 에러에 대응하는 제1 소거 패턴 또는 짝수의 에러에 대응하는 제2 소거 패턴을 상기 키 방정식 풀이 회로에 제공하는 소거 제어 회로;를 포함할 수 있다.

(52) CPC특허분류

H03M 13/6516 (2013.01)

(72) 발명자

신동엽

서울특별시 강서구 초록마을로26길 49-11, 301호(화곡동, 두산빌라)

정진호

서울특별시 동대문구 정릉천동로 112, 301호(제기동, 다빈치빌)

명세서

청구범위

청구항 1

코드워드로부터 신드롬을 계산하는 신드롬 계산 회로;

상기 신드롬으로부터 에러 위치 다항식과 에러 평가 다항식을 생성하는 키 방정식 풀이 회로;

상기 에러 위치 다항식과 상기 에러 평가 다항식을 기반으로 에러의 위치 및 에러의 크기를 계산하는 치엔 검색 및 에러 평가 회로;

상기 에러의 위치 및 상기 에러의 크기를 기반으로 디코딩의 성공 여부를 판단하는 디코딩 에러 판단 회로; 및

상기 코드워드에 에러 개수가 홀수인지 짝수인지를 판단하며, 상기 디코딩 에러 판단 회로로부터 디코딩 실패가 감지되면 홀수의 에러에 대응하는 제1 소거 패턴 또는 짝수의 에러에 대응하는 제2 소거 패턴을 상기 키 방정식 풀이 회로에 제공하는 소거 제어 회로;

를 포함하는 리드-솔로몬 코드의 소프트-디시전 디코딩 장치.

청구항 2

제 1 항에 있어서,

상기 소거 제어 회로는 상기 신드롬 계산 회로로부터 상기 신드롬을 수신하고, 상기 신드롬의 특성을 이용하여 상기 신드롬 내의 심볼 에러의 개수를 홀수 또는 짝수로 판단하는 리드-솔로몬 코드의 소프트-디시전 디코딩 장치.

청구항 3

제 2 항에 있어서,

상기 소거 제어 회로는 상기 신드롬 내의 값이 1인 비트 개수가 홀수이면 상기 홀수의 에러로 판단하고 상기 신드롬 내의 값이 1인 비트 개수가 짝수이면 상기 짝수의 에러로 판단하는 리드-솔로몬 코드의 소프트-디시전 디코딩 장치.

청구항 4

제 1 항에 있어서,

상기 소거 제어 회로는, 상기 에러 개수가 홀수로 판단되고 상기 디코딩 실패가 감지되는 경우 $2+4j$ (j 는 0이상의 정수)개의 소거 패턴을 상기 제1 소거 패턴으로서 상기 키 방정식 풀이 회로에 제공하는 리드-솔로몬 코드의 소프트-디시전 디코딩 장치.

청구항 5

제 4 항에 있어서,

상기 소거 제어 회로는, 상기 에러 개수가 짝수로 판단되고 상기 디코딩 실패가 감지되는 경우 $4k$ (k 는 양의 정수)개의 소거 패턴을 상기 제2 소거 패턴으로서 상기 키 방정식 풀이 회로에 제공하는 리드-솔로몬 코드의 소프트-디시전 디코딩 장치.

청구항 6

제 5 항에 있어서,

상기 소거 제어 회로는, 상기 코드워드의 상기 심볼들 중 신뢰도가 낮은 심볼을 우선 소거하는 순서로 상기 $2+4j$ (j 는 0이상의 정수)개의 소거 패턴 또는 상기 $4k$ (k 는 양의 정수)개의 소거 패턴을 제공하는 리드-솔로몬 코드의 소프트-디시전 디코딩 장치.

청구항 7

제 1 항에 있어서,

상기 키 방정식 풀이 회로는 상기 신드롬과 상기 $2+4j$ (j 는 0이상의 정수) 개의 소거 패턴 또는 상기 신드롬과 상기 $4k$ (k 는 양의 정수) 개의 소거 패턴을 기반으로 상기 에러 위치 다항식과 상기 에러 평가 다항식을 연산하는 리드-솔로몬 코드의 소프트-디시전 디코딩 장치.

청구항 8

코드워드로부터 신드롬을 계산하는 단계;

상기 신드롬으로부터 에러 위치 다항식과 에러 평가 다항식을 생성하는 단계;

상기 에러 위치 다항식과 상기 에러 평가 다항식을 기반으로 에러의 위치 및 에러의 크기를 계산하는 단계;

상기 에러의 위치 및 상기 에러의 크기를 기반으로 디코딩의 성공 여부를 판단하는 단계; 및

상기 코드워드에 에러 개수가 홀수인지 짝수인지를 판단하고, 디코딩 실패가 감지되면 상기 신드롬과 홀수의 에러에 대응하는 제1 소거 패턴 또는 상기 신드롬과 짝수의 에러에 대응하는 제2 소거 패턴을 기반으로 디코딩을 실행하는 단계;

를 포함하는 리드-솔로몬 코드의 소프트-디시전 디코딩 방법.

청구항 9

제 8 항에 있어서,

상기 코드워드에 상기 에러 개수가 홀수인지 짝수인지 판단은,

상기 신드롬의 특성을 이용하여 상기 신드롬 내의 심볼 에러의 개수를 홀수 또는 짝수로 판단하는 리드-솔로몬 코드의 소프트-디시전 디코딩 방법.

청구항 10

제 9 항에 있어서,

상기 코드워드에 상기 에러 개수가 홀수인지 짝수인지 판단은,

상기 신드롬 내의 값이 1인 비트 개수가 홀수이면 상기 홀수의 에러로 판단하고 상기 신드롬 내의 값이 1인 비트 개수가 짝수이면 상기 짝수의 에러로 판단하는 리드-솔로몬 코드의 소프트-디시전 디코딩 방법.

청구항 11

제 8 항에 있어서,

상기 신드롬과 상기 제1 소거 패턴을 기반으로 디코딩을 실행하는 단계는,

상기 제1 소거 패턴으로 $2+4j$ (j 는 0이상의 정수) 개의 소거 패턴을 상기 코드워드에 적용하는 단계를 포함하는 리드-솔로몬 코드의 소프트-디시전 디코딩 방법.

청구항 12

제 11 항에 있어서,

상기 신드롬과 상기 제2 소거 패턴을 기반으로 디코딩을 실행하는 단계는,

상기 제2 소거 패턴으로 $4k$ (k 는 양의 정수) 개의 소거 패턴을 상기 코드워드에 적용하는 단계를 포함하는 리드-솔로몬 코드의 소프트-디시전 디코딩 방법.

청구항 13

제 12 항에 있어서,

상기 코드워드의 심볼들 중 신뢰도가 낮은 심볼을 우선 소거하는 순서로 상기 $2+4j$ (j 는 0이상의 정수) 개의 소거

패턴 또는 상기 $4k$ (k 는 양의 정수)개의 소거 패턴을 상기 코드워드에 적용하는 리드-솔로몬 코드의 소프트-디시전 디코딩 방법.

청구항 14

코드워드를 저장하는 메모리 셀 어레이;

상기 메모리 셀 어레이로부터 코드워드를 리드(read)하고, 상기 코드워드를 디코딩하여 에러가 정정된 데이터를 출력하는 리드-솔로몬 코드의 소프트-디시전 디코딩 장치를 포함하고,

상기 리드-솔로몬 코드의 소프트-디시전 디코딩 장치는,

상기 코드워드로부터 신드롬을 계산하는 신드롬 계산 회로;

상기 신드롬으로부터 에러 위치 다항식과 에러 평가 다항식을 생성하는 키 방정식 풀이 회로;

상기 에러 위치 다항식과 상기 에러 평가 다항식을 기반으로 에러의 위치 및 에러의 크기를 계산하는 치엔 검색 및 에러 평가 회로;

상기 에러의 위치 및 상기 에러의 크기를 기반으로 디코딩의 성공 여부를 판단하는 디코딩 에러 판단 회로; 및

상기 코드워드에 에러 개수가 홀수인지 짝수인지를 판단하며, 상기 디코딩 에러 판단 회로로부터 디코딩 실패가 감지되면 홀수의 에러에 대응하는 제1 소거 패턴 또는 짝수의 에러에 대응하는 제2 소거 패턴을 상기 키 방정식 풀이 회로에 제공하는 소거 제어 회로;

를 포함하는 반도체 장치.

청구항 15

제 14 항에 있어서,

상기 소거 제어 회로는 상기 신드롬 계산 회로로부터 상기 신드롬을 수신하고, 상기 신드롬의 특성을 이용하여 상기 신드롬 내의 심볼 에러의 개수를 홀수 또는 짝수로 판단하는 반도체 장치.

청구항 16

제 15 항에 있어서,

상기 소거 제어 회로는 상기 신드롬 내의 값이 1인 비트 개수가 홀수이면 상기 홀수의 에러로 판단하고 상기 신드롬 내의 값이 1인 비트 개수가 짝수이면 상기 짝수의 에러로 판단하는 반도체 장치.

청구항 17

제 14 항에 있어서,

상기 소거 제어 회로는, 상기 에러 개수가 홀수로 판단되고 상기 디코딩 실패가 감지되는 경우 $2+4j$ (j 는 0이상의 정수)개의 소거 패턴을 상기 제1 소거 패턴으로서 상기 키 방정식 풀이 회로에 제공하는 반도체 장치.

청구항 18

제 17 항에 있어서,

상기 소거 제어 회로는, 상기 에러 개수가 짝수로 판단되고 상기 디코딩 실패가 감지되는 경우 $4k$ (k 는 양의 정수)개의 소거 패턴을 상기 제2 소거 패턴으로서 상기 키 방정식 풀이 회로에 제공하는 반도체 장치.

청구항 19

제 18 항에 있어서,

상기 소거 제어 회로는, 상기 코드워드의 상기 심볼들 중 신뢰도가 낮은 심볼을 우선 소거하는 순서로 상기 $2+4j$ (j 는 0이상의 정수)개의 소거 패턴 또는 상기 $4k$ (k 는 양의 정수)개의 소거 패턴을 제공하는 반도체 장치.

발명의 설명

기술 분야

- [0001] 본 발명은 리드-솔로몬 코드의 소프트-디시전 디코딩 방법 및 장치에 관한 것으로, 더 상세하게는 디코딩 시간을 줄일 수 있는 소거 기반의 리드-솔로몬 코드의 소프트-디시전 디코딩 방법 및 장치에 관한 것이다.

배경 기술

- [0002] 리드-솔로몬 코드의 소프트-디시전 디코딩에는 연속적인 에러 및 소거 디코딩(Successive error-and-erasure decoding, SED)이 있다. SED는 알고리즘에 의해 정해진 순서에 따라 소거 패턴들을 변경하면서 디코딩을 반복한다. 이러한 디코딩 방법은 반복 횟수를 증가함에 따라 에러 정정 성능의 향상을 기대할 수 있지만 디코딩 시간이 크게 늘어가는 단점을 가지고 있다.
- [0003] 특히, SED의 디코딩 시간은 어플리케이션에 따라 제한될 수 있다. 예를 들어 위상 변화 메모리(Phase change memory, PCM)의 경우 짧은 디코딩 시간을 요구하고 있다. 그러나, SED의 디코딩 시간을 줄이기 위해 디코딩 반복 횟수를 줄이는 경우 에러 정정 성능이 줄어들 수 있다.
- [0004] 따라서, SED의 에러 정정 성능에 미치는 영향을 최소화하면서 디코딩 시간을 줄일 수 있는 기술이 요구되고 있다.

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 특허문헌 1: 대한민국 등록번호 10-1624145(2016.05.19)
(특허문헌 0002) 특허문헌 2: 대한민국 공개번호 10-2014-0088423(2014.07.10)

발명의 내용

해결하려는 과제

- [0006] 본 발명이 해결하고자 하는 기술적 과제는 에러 정정 성능에 미치는 영향을 최소화하면서 디코딩 시간을 줄일 수 있는 소거 기반의 리드-솔로몬 코드의 소프트-디시전 디코딩 방법 및 장치를 제공하는데 있다.

과제의 해결 수단

- [0007] 일 실시예에 따른 리드-솔로몬 코드의 소프트-디시전 디코딩 장치는, 코드워드로부터 신드롬을 계산하는 신드롬 계산 회로; 상기 신드롬으로부터 에러 위치 다항식과 에러 평가 다항식을 생성하는 키 방정식 풀이 회로; 상기 에러 위치 다항식과 상기 에러 평가 다항식을 기반으로 에러의 위치 및 에러의 크기를 계산하는 치옌 검색 및 에러 평가 회로; 상기 에러의 위치 및 상기 에러의 크기를 기반으로 디코딩의 성공 여부를 판단하는 디코딩 에러 판단 회로; 및 상기 코드워드에 에러 개수가 홀수인지 짝수인지를 판단하며, 상기 디코딩 에러 판단 회로로부터 디코딩 실패가 감지되면 홀수의 에러에 대응하는 제1 소거 패턴 또는 짝수의 에러에 대응하는 제2 소거 패턴을 상기 키 방정식 풀이 회로에 제공하는 소거 제어 회로;를 포함할 수 있다.
- [0008] 일 실시예에 따른 리드-솔로몬 코드의 소프트-디시전 디코딩 방법은, 코드워드로부터 신드롬을 계산하는 단계; 상기 신드롬으로부터 에러 위치 다항식과 에러 평가 다항식을 생성하는 단계; 상기 에러 위치 다항식과 상기 에러 평가 다항식을 기반으로 에러의 위치 및 에러의 크기를 계산하는 단계; 상기 에러의 위치 및 상기 에러의 크기를 기반으로 디코딩의 성공 여부를 판단하는 단계; 및 상기 코드워드에 에러 개수가 홀수인지 짝수인지를 판단하고, 디코딩 실패가 감지되면 상기 신드롬과 홀수의 에러에 대응하는 제1 소거 패턴 또는 상기 신드롬과 짝수의 에러에 대응하는 제2 소거 패턴을 기반으로 디코딩을 실행하는 단계;를 포함할 수 있다.
- [0009] 실시예에 따른 반도체 장치는, 코드워드를 저장하는 메모리 셀 어레이; 상기 메모리 셀 어레이로부터 코드워드를 리드(read)하고, 상기 코드워드를 디코딩하여 에러가 정정된 데이터를 출력하는 리드-솔로몬 코드의 소프트-디시전 디코딩 장치를 포함할 수 있다. 상기 리드-솔로몬 코드의 소프트-디시전 디코딩 장치는, 상기 코드워드

로부터 신드롬을 계산하는 신드롬 계산 회로; 상기 신드롬으로부터 에러 위치 다항식과 에러 평가 다항식을 생성하는 키 방정식 풀이 회로; 상기 에러 위치 다항식과 상기 에러 평가 다항식을 기반으로 에러의 위치 및 에러의 크기를 계산하는 치엔 검색 및 에러 평가 회로; 상기 에러의 위치 및 상기 에러의 크기를 기반으로 디코딩의 성공 여부를 판단하는 디코딩 에러 판단 회로; 및 상기 코드워드에서 에러 개수가 홀수인지 짝수인지를 판단하며, 상기 디코딩 에러 판단 회로로부터 디코딩 실패가 감지되면 홀수의 에러에 대응하는 제1 소거 패턴 또는 짝수의 에러에 대응하는 제2 소거 패턴을 상기 키 방정식 풀이 회로에 제공하는 소거 제어 회로;를 포함할 수 있다.

발명의 효과

- [0010] 실시예들에 따르면, 짝수의 에러 또는 홀수의 에러에 대응하는 소거 패턴만을 이용하여 에러를 정정할 수 있으므로 에러 정정 성능에 미치는 영향을 최소화하면서 전체 디코딩 시간을 줄일 수 있다.

도면의 간단한 설명

- [0011] 도 1은 일 실시예에 따른 리드-솔로몬 코드의 소프트-디시전 디코딩 방법 및 장치를 설명하기 위한 블록도이다.
 도 2는 신드롬을 이용하여 에러 개수의 홀수 및 짝수 여부를 판단하는 방법을 설명하기 위한 도면이다.
 도 3은 에러 개수가 홀수인 경우에 해당하는 제1 소거 패턴에 대한 예시도이다.
 도 4는 에러 개수가 짝수인 경우에 해당하는 제2 소거 패턴에 대한 예시도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 첨부한 도면들을 참고하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 상세히 설명하기로 한다. 각 도면에 제시된 참조부호들 중 동일한 참조부호는 동일한 부재를 나타낸다.
- [0013] 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0014] 제1, 제2 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 그러나 제1, 제2 등의 용어에 의해 상기 구성요소들이 한정되는 것은 아니다.
- [0015] 실시예들은 에러 정정 성능에 미치는 영향을 최소화하면서 디코딩 시간을 줄일 수 있는 소거 기반의 리드-솔로몬 코드의 소프트-디시전 디코딩 방법 및 장치를 제공하고자 한다.
- [0016] 실시예들에서, 리드-솔로몬 코드에서 코드워드는 다수의 심볼들을 포함할 수 있으며, 하나의 심볼은 8비트의 데이터를 포함할 수 있다. 데이터는 리얼 데이터 및 패리티 데이터를 포함할 수 있다.
- [0017] 실시예들에서, 에러 정정(error correction)은 코드워드에서 에러 위치를 알 수 없는 에러를 정정하는 것으로 정의될 수 있고, 소거 정정(erasure correction)은 코드워드에서 에러 위치를 알 수 있는 에러를 정정하는 것으로 정의될 수 있다.
- [0018] 실시예들에서, 에러 정정 성능과 소거 정정 성능 사이의 관계는 하나의 에러 정정 성능이 두 개의 소거 정정 성능에 대응될 수 있다.
- [0019] 실시예들에서, 신드롬은 코드워드의 각 심볼들을 연산하여 생성될 수 있으며, 에러에 의한 코드워드의 손상 형태를 나타낼 수 있다. 이러한 신드롬은 에러의 위치 및 에러의 크기를 계산할 수 있는 에러 위치 다항식과 에러 평가 다항식을 생성하는데 이용될 수 있다.
- [0020] 실시예들에서, 신드롬의 각 비트의 값은 심볼들의 에러 개수가 홀수인지 짝수인지를 판단하는데 이용될 수 있다. 예를 들어, 리드-솔로몬 코드의 에러 정정 디코더는 신드롬 내의 값이 1인 비트 개수가 홀수이면 심볼들의 에러 개수를 홀수로 판단할 수 있으며, 신드롬 내의 값이 1인 비트 개수가 짝수이면 심볼들의 에러 개수를 짝수로 판단할 수 있다.
- [0021] 실시예들에서, 홀수의 에러는 코드워드에서 심볼들의 에러 개수가 홀수인 것으로 정의될 수 있고, 짝수의 에러는 코드워드의 심볼들의 에러 개수가 짝수인 것으로 정의될 수 있다.
- [0022] 실시예들에서, 소거 패턴은 리드-솔로몬 코드에서 코드워드의 에러를 정정하기 위하여 코드워드의 심볼들을 소거하는 패턴으로 정의될 수 있다. 실시예들은 신뢰도가 낮은 심볼들을 우선 순위로 소거 패턴을 이용하여 소거

할 수 있다.

- [0023] 도 1은 일 실시예에 따른 리드-솔로몬 코드의 소프트-디시전 디코딩 방법 및 장치를 설명하기 위한 블록도이다.
- [0024] 도 1을 참고하면, 리드-솔로몬 코드의 소프트-디시전 디코딩 장치(100)는 신드롬 계산 회로(10), 키 방정식 풀이 회로(20), 치엔 검색 및 에러 평가 회로(30), 에러 판단 회로(40) 및 소거 제어 회로(50)를 포함할 수 있다.
- [0025] 신드롬 계산 회로(10)는 코드워드를 수신할 수 있으며 코드워드로부터 신드롬을 계산할 수 있다.
- [0026] 신드롬 계산 회로(10)는 코드워드의 각 심볼들의 비트들을 미리 설정된 알고리즘으로 계산하여 신드롬을 생성할 수 있다.
- [0027] 키 방정식 풀이 회로(20)는 신드롬으로부터 에러 위치 다항식과 에러 평가 다항식을 생성할 수 있다.
- [0028] 치엔 검색 및 에러 평가 회로(30)는 에러 위치 다항식과 에러 평가 다항식을 기반으로 에러의 위치 및 에러의 크기를 계산할 수 있다.
- [0029] 디코딩 에러 판단 회로(40)는 에러의 위치 및 에러의 크기를 기반으로 디코딩의 성공 여부를 판단할 수 있다.
- [0030] 소거 제어 회로(50)는 코드워드에 에러 개수가 홀수인지 짝수인지를 판단할 수 있으며, 디코딩 에러 판단 회로(40)로부터 디코딩 실패가 감지되면 홀수의 에러에 대응하는 제1 소거 패턴 또는 짝수의 에러에 대응하는 제2 소거 패턴을 키 방정식 풀이 회로(20)에 제공할 수 있다.
- [0031] 소거 제어 회로(50)는 신드롬 계산 회로(10)로부터 신드롬을 수신할 수 있고, 신드롬의 특성을 이용하여 신드롬 내의 심볼 에러의 개수를 홀수 또는 짝수로 판단할 수 있다.
- [0032] 일례로, 소거 제어 회로(50)는 신드롬 내의 값이 1인 비트 개수가 홀수이면 홀수의 에러로 판단할 수 있고 신드롬 내의 값이 1인 비트 개수가 짝수이면 짝수의 에러로 판단할 수 있다.
- [0033] 그리고, 소거 제어 회로(50)는 에러 개수가 홀수로 판단되고 디코딩 에러 판단 회로(40)로부터 디코딩 실패가 감지되는 경우 제1 소거 패턴으로 $2+4j$ (j 는 0이상의 정수)개의 소거 패턴을 키 방정식 풀이 회로(20)에 제공할 수 있다.
- [0034] 소거 제어 회로(50)는 코드워드의 심볼들 중 신뢰도가 낮은 심볼을 우선 소거하는 순서로 $2+4j$ 개의 소거 패턴을 제공할 수 있다. 이에 대한 설명은 도 3의 설명에서 구체적으로 설명한다.
- [0035] 그리고, 소거 제어 회로(50)는 에러 개수가 짝수로 판단되고 디코딩 에러 판단 회로(40)로부터 디코딩 실패가 감지되는 경우 제2 소거 패턴으로 $4k$ (k 는 양의 정수)개의 소거 패턴을 키 방정식 풀이 회로에 제공할 수 있다.
- [0036] 소거 제어 회로(50)는 코드워드의 심볼들 중 신뢰도가 낮은 심볼을 우선 소거하는 순서로 $4k$ 개의 소거 패턴을 제공할 수 있다. 이에 대한 설명은 도 4의 설명에서 구체적으로 설명한다.
- [0037] 키 방정식 풀이 회로(20)는 코드워드의 심볼들의 에러 개수가 홀수인 경우 소거 제어 회로(50)로부터 $2+4j$ 개의 소거 패턴을 수신할 수 있으며, 신드롬과 $2+4j$ 개의 소거 패턴을 기반으로 에러 위치 다항식과 에러 평가 다항식을 연산할 수 있다.
- [0038] 그리고, 키 방정식 풀이 회로(20)는 코드워드의 심볼들의 에러 개수가 짝수인 경우 소거 제어 회로(50)로부터 $4k$ 개의 소거 패턴을 수신할 수 있으며, 신드롬과 $4k$ 개의 소거 패턴을 기반으로 에러 위치 다항식과 에러 평가 다항식을 연산할 수 있다.
- [0039] 도 2는 신드롬을 이용하여 에러 개수의 홀수 및 짝수 여부를 판단하는 방법을 설명하기 위한 도면이다.
- [0040] 도 2를 참고하면, 코드워드($R[0:n]$)는 다수의 심볼들($R[0] \sim R[n]$)을 포함할 수 있으며, 하나의 심볼은 8비트의 데이터를 포함할 수 있다.
- [0041] 신드롬($S1$)은 코드워드의 각 심볼들을 연산하여 생성될 수 있다. 이러한 신드롬은 에러에 의한 코드워드의 손상 형태를 나타낼 수 있으며, 에러의 위치 및 에러의 크기를 계산할 수 있는 에러 위치 다항식과 에러 평가 다항식을 생성하는데 이용될 수 있다.
- [0042] 그리고, 신드롬($S1$)은 심볼들의 에러 개수가 홀수인지 짝수인지를 판단하는데 이용될 수 있다. 일례로, 신드롬($S1$)의 각 비트의 값이 1인 비트의 개수가 홀수이면 심볼들의 에러 개수를 홀수로 판단할 수 있으며, 신드롬($S1$)의 각 비트의 값이 1인 비트 개수가 짝수이면 심볼들의 에러 개수를 짝수로 판단할 수 있다.

- [0043] 도 2에 도시된 바와 같이, 제1 심볼(R[0]), 제2 심볼(R[1]) 및 제3 심볼(R[2])에서 비트 에러가 발생한 경우, 신드롬(S1)의 비트의 값이 1인 비트의 개수가 3이므로 홀수의 에러로 판단할 수 있다.
- [0044] 이와 같은 방법으로 실시예는 신드롬(S1)의 비트 값을 이용하여 심볼들의 에러 개수가 홀수인지 짝수인지를 판단할 수 있다.
- [0045] 도 3은 에러 개수가 홀수인 경우에 해당하는 제1 소거 패턴에 대한 예시도이다.
- [0046] 도 3을 참고하면, 실시예는 디코딩 시 코드워드의 심볼들의 신뢰도를 산출할 수 있고, 신뢰도가 가장 낮은 심볼들을 우선 순위로 소거 패턴을 이용하여 소거 정정할 수 있도록 배열할 수 있다.
- [0047] 실시예는 에러 개수가 홀수로 판단되는 경우 $2+4j$ (j 는 0이상의 정수)개의 소거 패턴을 이용하여 소거 정정할 수 있다.
- [0048] 구체적으로 설명하면, 먼저 실시예는 신드롬을 기반으로 신뢰도가 낮은 코드워드의 심볼들을 디코딩할 수 있다.
- [0049] 이어서, 실시예는 디코딩 실패가 감지되고 에러 개수가 홀수로 판단되는 경우 $2+4j$ (j 는 0이상의 정수)개의 소거 패턴을 코드워드에 적용하여 소거 정정할 수 있다.
- [0050] 예를 들어, 실시예는 에러 개수가 홀수로 판단되는 경우 심볼들 중 신뢰도가 낮은 제1 심볼과 제2 심볼을 2개의 소거 패턴으로 소거 정정할 수 있고, 제1 심볼과 제2 심볼을 소거 정정한 이후에 산출되는 에러의 위치 및 에러의 크기를 기반으로 디코딩의 성공 여부를 판단할 수 있다.
- [0051] 이어서, 실시예는 디코딩 실패 시 제1 심볼과 제3 심볼을 2개의 소거 패턴으로 소거 정정할 수 있고, 제1 심볼과 제3 심볼을 소거 정정한 이후에 산출된 에러의 위치 및 에러의 크기를 기반으로 디코딩의 성공 여부를 판단할 수 있다.
- [0052] 이어서, 실시예는 디코딩 실패가 감지되면 제2 심볼과 제3 심볼을 2개의 소거 패턴으로 소거 정정할 수 있고, 제2 심볼과 제3 심볼을 소거 정정한 이후에 산출되는 에러의 위치 및 에러의 크기를 기반으로 디코딩의 성공 여부를 판단할 수 있다.
- [0053] 이와 같은 방식으로 실시예는 신뢰도가 가장 낮은 심볼들을 우선 순위로 $2+4j$ (j 는 0이상의 정수)개의 소거 패턴을 이용하여 소거 정정할 수 있고, 디코딩 성공이 감지될 때까지 소거 정정하는 과정을 반복할 수 있다.
- [0054] 상술한 바와 같이, 실시예는 코드워드에 홀수 개의 에러가 발생한 경우 $2+4j$ 개의 소거 패턴으로 에러를 정정할 수 있으며 짝수의 에러에 대응하는 $4k$ 개의 소거 패턴들을 적용하여 소거 정정하는 반복 과정을 스킵할 수 있으므로 전체 디코딩 시간을 절반으로 줄일 수 있다.
- [0055] 도 4는 에러 개수가 짝수인 경우에 해당하는 제2 소거 패턴에 대한 예시도이다.
- [0056] 도 4를 참고하면, 실시예는 디코딩 시 코드워드의 심볼들의 신뢰도를 산출할 수 있고, 신뢰도가 가장 낮은 심볼들을 우선 순위로 소거 패턴을 이용하여 소거 정정할 수 있도록 배열할 수 있다.
- [0057] 실시예는 에러 개수가 짝수로 판단되는 경우 $4k$ (k 는 양의 정수)개의 소거 패턴을 이용하여 소거 정정할 수 있다.
- [0058] 구체적으로 설명하면, 먼저 실시예는 신드롬을 기반으로 신뢰도가 낮은 코드워드의 심볼들을 디코딩할 수 있다.
- [0059] 이어서, 실시예는 디코딩 실패가 감지되고 에러 개수가 짝수로 판단되는 경우 $4k$ (k 는 양의 정수)개의 소거 패턴을 코드워드에 적용하여 소거 정정할 수 있다.
- [0060] 예를 들어, 실시예는 에러 개수가 짝수로 판단되는 경우 심볼들 중 신뢰도가 낮은 제1 심볼, 제2 심볼, 제3 심볼 및 제4 심볼을 4개의 소거 패턴으로 소거 정정할 수 있고, 1 심볼, 제2 심볼, 제3 심볼 및 제4 심볼을 소거 정정한 이후에 산출되는 에러의 위치 및 에러의 크기를 기반으로 디코딩의 성공 여부를 판단할 수 있다.
- [0061] 이어서, 실시예는 디코딩 실패 시 제1 심볼, 제2 심볼, 제3 심볼 및 제5 심볼을 4개의 소거 패턴으로 소거 정정할 수 있고, 제1 심볼, 제2 심볼, 제3 심볼 및 제5 심볼을 소거 정정한 이후에 산출된 에러의 위치 및 에러의 크기를 기반으로 디코딩의 성공 여부를 판단할 수 있다.
- [0062] 이어서, 실시예는 디코딩 실패가 감지되면 제1 심볼, 제2 심볼, 제3 심볼 및 제5 심볼을 4개의 소거 패턴으로 소거 정정할 수 있고, 제1 심볼, 제2 심볼, 제3 심볼 및 제5 심볼을 소거 정정한 이후에 산출되는 에러의 위치

및 에러의 크기를 기반으로 디코딩의 성공 여부를 판단할 수 있다.

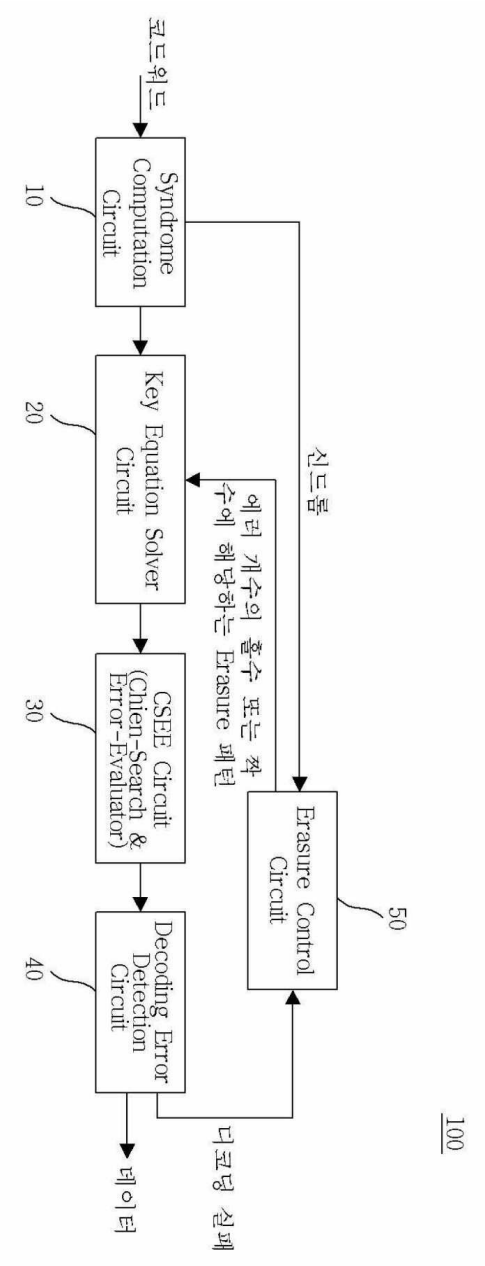
- [0063] 이와 같은 방식으로 실시예는 신뢰도가 가장 낮은 심볼들을 우선 순위로 $4k$ (k 는 양의 정수)개의 소거 패턴을 이용하여 소거 정정할 수 있고, 디코딩 성공이 감지될 때까지 소거 정정하는 과정을 반복할 수 있다.
- [0064] 상술한 바와 같이, 실시예는 코드워드에 짝수 개의 에러가 발생한 경우 $4k$ 개의 소거 패턴으로 에러를 정정할 수 있으며 홀수의 에러에 대응하는 $2+4j$ 개의 소거 패턴들을 적용하여 소거 정정하는 반복 과정을 스킵할 수 있으므로 전체 디코딩 시간을 절반으로 줄일 수 있다.
- [0065] 한편, 실시예는 메모리 셀 어레이를 포함하는 반도체 장치에 적용될 수 있다.
- [0066] 반도체 장치는 메모리 셀 어레이(도시되지 않음) 및 리드-솔로몬 코드의 소프트 디시전 디코딩 장치(100)를 포함할 수 있다.
- [0067] 메모리 셀 어레이는 리드-솔로몬 코드로 인코딩된 코드워드를 저장할 수 있다.
- [0068] 리드-솔로몬 코드의 소프트 디시전 디코딩 장치(100)는 메모리 셀 어레이로부터 코드워드를 리드할 수 있으며, 소거 기반으로 코드워드의 에러를 정정하고 디코딩할 수 있다.
- [0069] 또한, 실시예는 리드-솔로몬 코드로 인코딩된 통신 채널의 데이터를 디코딩하는 통신 장치에도 적용될 수 있다.
- [0070] 이와 같이 실시예들에 따르면, 짝수의 에러 또는 홀수의 에러에 대응하는 소거 패턴만을 이용하여 에러를 정정할 수 있으므로 에러 정정 성능에 미치는 영향을 최소화하면서 전체 디코딩 시간을 줄일 수 있다.

부호의 설명

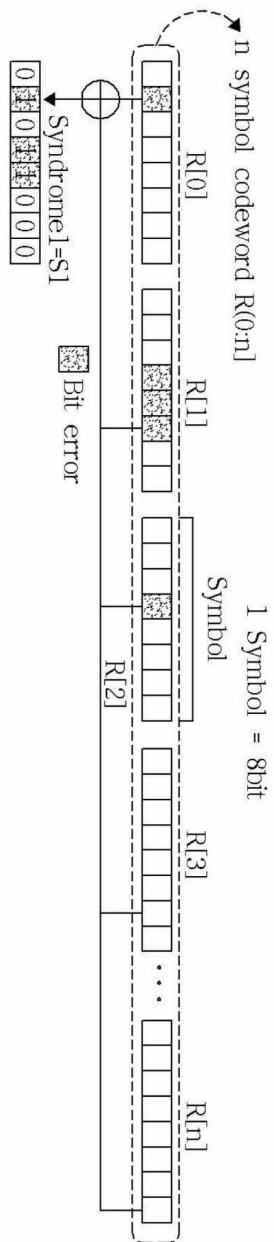
- [0071] 10: 신드롬 계산 회로 20: 키 방정식 풀이 회로
- 30: 치엔 검색 및 에러 평가 회로 40: 디코딩 에러 판단 회로
- 50: 소거 제어 회로; 100: 디코딩 장치

도면

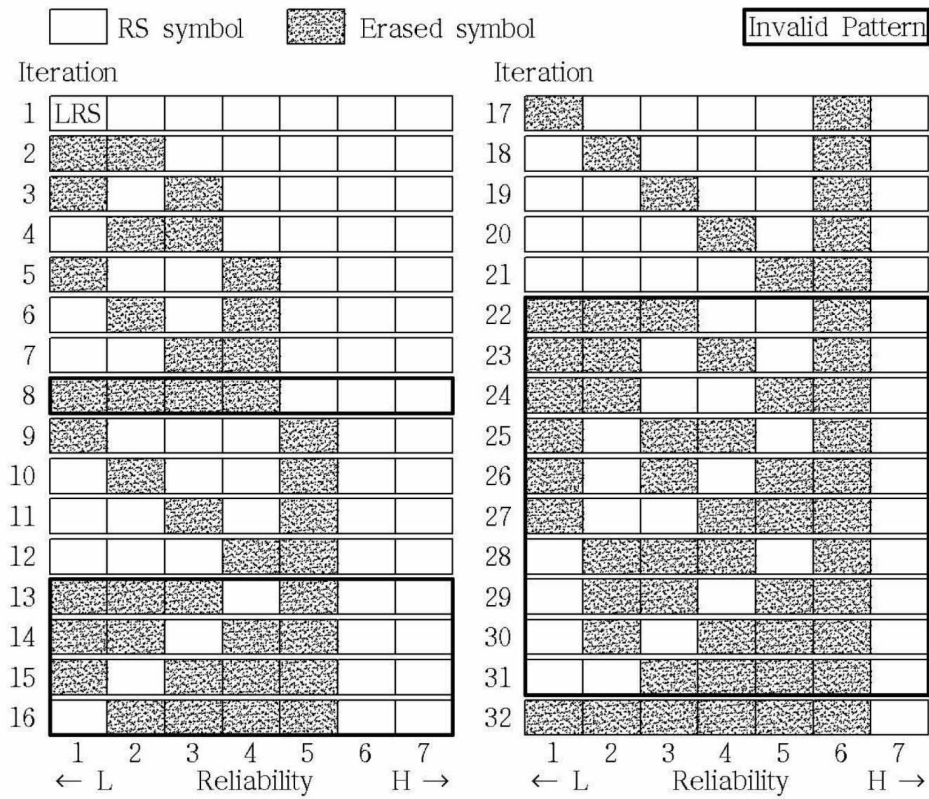
도면1



도면2



도면3



도면4

