

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4666963号
(P4666963)

(45) 発行日 平成23年4月6日 (2011.4.6)

(24) 登録日 平成23年1月21日 (2011.1.21)

(51) Int. Cl.

F I

G O 9 G 3/36 (2006.01)

G O 2 F 1/133 (2006.01)

G O 2 F 1/1368 (2006.01)

G O 9 G 3/20 (2006.01)

G O 9 G 3/30 (2006.01)

G O 9 G 3/36

G O 2 F 1/133 5 5 0

G O 2 F 1/1368

G O 9 G 3/20 6 1 1 A

G O 9 G 3/20 6 2 2 G

請求項の数 2 (全 19 頁) 最終頁に続く

(21) 出願番号	特願2004-202603 (P2004-202603)	(73) 特許権者	000153878
(22) 出願日	平成16年7月9日 (2004.7.9)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2005-43882 (P2005-43882A)		神奈川県厚木市長谷398番地
(43) 公開日	平成17年2月17日 (2005.2.17)	(72) 発明者	波多野 剛久
審査請求日	平成19年4月11日 (2007.4.11)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2003-273084 (P2003-273084)		半導体エネルギー研究所内
(32) 優先日	平成15年7月10日 (2003.7.10)	(72) 発明者	三宅 博之
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	早川 昌彦
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	西島 篤宏
			最終頁に続く

(54) 【発明の名称】 表示装置のエージング時の駆動方法

(57) 【特許請求の範囲】

【請求項1】

P型トランジスタ及び液晶素子を有し、前記P型トランジスタのゲート電極は走査線に接続され、ソース電極又はドレイン電極の一方は信号線に接続され、ソース電極又はドレイン電極の他方は前記液晶素子が含む第1の電極又は第2の電極に接続された表示装置のエージング時の駆動方法において、

前記P型トランジスタをオンにして、前記信号線の電位と前記ソース電極又はドレイン電極の他方の電位を、同電位でかつマイナス側に大きい電位にする第1のステップと、

前記走査線の電位と、前記ソース電極又はドレイン電極の他方の電位とに、前記走査線の電位がプラス側に大きい電位であり前記ソース電極又はドレイン電極の他方の電位が前記マイナス側に大きい電位であり、かつ、通常動作に用いる電圧条件の1.34～1.61倍となる電位差を与えることで前記P型トランジスタにストレス条件を印加する第2のステップを有し、

前記ストレス条件を1秒間印加すると、前記P型トランジスタのオフ電流が10pA以下となることを特徴とする表示装置のエージング時の駆動方法。

【請求項2】

P型トランジスタ及び発光素子を有し、前記P型トランジスタのゲート電極は走査線に接続され、ソース電極又はドレイン電極の一方は信号線に接続され、ソース電極又はドレイン電極の他方は前記発光素子が含む第1の電極又は第2の電極に駆動トランジスタを介して電氣的に接続された表示装置のエージング時の駆動方法において、

前記 P 型トランジスタをオンにして、前記信号線の電位と前記ソース電極又はドレイン電極の他方の電位を、同電位でかつマイナス側に大きい電位にする第 1 のステップと、

前記走査線の電位と、前記ソース電極又はドレイン電極の他方の電位とに、前記走査線の電位がプラス側に大きい電位であり前記ソース電極又はドレイン電極の他方の電位が前記マイナス側に大きい電位であり、かつ、通常動作に用いる電圧条件の $1.34 \sim 1.6$ 倍となる電位差を与えることで前記 P 型トランジスタにストレス条件を印加する第 2 のステップを有し、

前記ストレス条件を 1 秒間印加すると、前記 P 型トランジスタのオフ電流が 10 pA 以下となることを特徴とする表示装置のエージング時の駆動方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、液晶素子又は発光素子と、トランジスタとを含む画素がマトリクス状に配置された表示装置及びその駆動方法に関する。

【背景技術】

【0002】

近年、液晶素子や発光素子を有する表示装置の開発が活発に進められている。液晶表示装置は、省スペースで低消費電力という長所を活かして、急速に普及している。また、発光素子を有する表示装置は、既存の液晶表示装置がもつ利点の他、応答速度が速く動画表示に優れ、なおかつ視野角が広いなどの特徴を有し、次世代のフラットパネルディスプレイとして大きく注目されている。

20

【0003】

前記表示装置は、液晶素子又は発光素子と、トランジスタとを含む画素がマトリクス状に複数配置された画素部を有する。前記画素部を構成する全てのトランジスタは、その作製コストや、作製工程の観点から、1つの導電型で構成することが好ましい。また、画素部を作製した基板上に駆動回路を作り込む場合にも、該画素部と該駆動回路とを構成する全てのトランジスタを1つの導電型で構成することが好ましい。そして、1つの導電型のトランジスタで構成する場合、単純なシングルドレイン構造でも、N型トランジスタよりもホットキャリア劣化が非常に小さいP型トランジスタを用いることが好適である。

【発明の開示】

30

【発明が解決しようとする課題】

【0004】

しかしながら、画素内に配置するトランジスタに、P型トランジスタを用いる場合、該P型トランジスタのオフ電流が高いことを起因として、映像が正確に表示されない問題が生じていた。そこで本発明は、画素内に配置されたP型トランジスタのオフ電流を起因とした表示妨害を抑制する表示装置及びその駆動方法を提供することを課題とする。

【課題を解決するための手段】

【0005】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じる。本発明は、P型トランジスタにあるストレス条件を印加すると、オフ電流が低下する現象を積極的に利用するものである。

40

【0006】

本発明の第1の構成の表示装置は、直列に接続された第1及び第2のP型トランジスタを含み、前記第2のトランジスタのソース電極又はドレイン電極が第1の電源に接続され、前記第1及び前記第2のP型トランジスタの間に走査線が接続されたエージング用回路を有することを特徴とする。

さらに、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が信号線に接続された第3のP型トランジスタ、及び第1の電極が前記第3のP型トランジスタの前記ソース電極及び前記ドレイン電極の他方に接続され、第2の電極が第2の電源に接続された液晶素子を含む画素と、を有することを特徴とする。この第1の構成の表示装置

50

の等価回路図は、図 2 (A) に図示する通りである。

【 0 0 0 7 】

本発明の第 2 の構成の表示装置は、直列に接続された第 1 及び第 2 の P 型トランジスタを含み、前記第 2 のトランジスタのソース電極又はドレイン電極が第 1 の電源に接続され、前記第 1 及び前記第 2 の P 型トランジスタの間に信号線が接続された第 1 のエージング用回路と、直列に接続された第 3 及び第 4 の P 型トランジスタを含み、前記第 4 のトランジスタのソース電極又はドレイン電極が第 2 の電源に接続され、前記第 3 及び前記第 4 の P 型トランジスタの間に走査線が接続された第 2 のエージング用回路とを有することを特徴とする。

さらに、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続された第 5 の P 型トランジスタと、第 1 の電極が前記第 5 の P 型トランジスタの前記ソース電極及び前記ドレイン電極の他方に接続され、第 2 の電極が第 3 の電源に接続された液晶素子を含む画素と、を有することを特徴とする。この第 2 の構成の表示装置の等価回路図は、図 1 に図示する通りである。

【 0 0 0 8 】

本発明の第 3 の構成の表示装置は、直列に接続された第 1 及び第 2 の P 型トランジスタを含み、前記第 2 のトランジスタのソース電極又はドレイン電極が第 1 の電源に接続され、前記第 1 及び前記第 2 の P 型トランジスタの間に走査線が接続されたエージング用回路を有することを特徴とする。

さらに、ゲート電極が前記走査線に接続され、ソース電極又はドレイン電極が信号線に接続された第 3 の P 型トランジスタ、及び第 1 又は第 2 の電極が第 2 の電源に電氣的に接続された発光素子を含む画素と、を有することを特徴とする。この第 3 の構成の表示装置の等価回路図は、図 2 (B) に図示する通りである。

【 0 0 0 9 】

本発明の第 4 の構成の表示装置は、直列に接続された第 1 及び第 2 の P 型トランジスタを含み、前記第 2 のトランジスタのソース電極又はドレイン電極が第 1 の電源に接続され、前記第 1 及び前記第 2 の P 型トランジスタの間に第 1 の走査線が接続された第 1 のエージング用回路と、直列に接続された第 3 及び第 4 の P 型トランジスタを含み、前記第 4 のトランジスタのソース電極又はドレイン電極が第 2 の電源に接続され、前記第 3 及び前記第 4 の P 型トランジスタの間に第 2 の走査線が接続された第 2 のエージング用回路とを有することを特徴とする。

さらに、ゲート電極が前記第 1 の走査線に接続され、ソース電極又はドレイン電極が信号線に接続された第 5 の P 型トランジスタ、及び、ゲート電極が前記第 2 の走査線に接続され、ソース電極又はドレイン電極が第 3 の電源に接続された第 6 の P 型トランジスタ、並びに、第 1 又は第 2 の電極が前記第 3 の電源に電氣的に接続された発光素子を含む画素と、を有することを特徴とする。この第 4 の構成の表示装置の等価回路図は、図 3 に図示する通りである。

【 0 0 1 0 】

上記の通り、本発明の表示装置は、エージング用回路を具備することを特徴とする。より詳しくは、表示素子及び P 型トランジスタを含む複数の画素がマトリクス状に配置された画素部と、信号線駆動回路及び走査線駆動回路とを具備し、該信号線駆動回路及び該走査線駆動回路の一方又は両方がエージング用回路を具備することを特徴とする。

そして、各画素内とエージング用回路に具備されるトランジスタは、結晶質半導体（ポリシリコン、 $p-Si$ ）をチャネル部としたトランジスタを用いることが好適である。その理由として、結晶質半導体をチャネル部としたトランジスタは、電界効果移動度などの特性が良好であり、動画の表示に好適である点、また、結晶質半導体をチャネル部としたトランジスタは、非晶質半導体（アモルファスシリコン、 $a-Si$ ）をチャネル部としたトランジスタと比較して、電子移動度が高く、発光素子の駆動に必要な電流を得ることが容易である点が挙げられる。

【 0 0 1 1 】

本発明の第 1 の構成の表示装置の駆動方法は、前記第 1 のトランジスタをオフにし、前記第 2 のトランジスタをオンにして、前記第 1 の電源と前記走査線の電位を同電位にすることを特徴とする。

このときの前記第 1 の電源の電位と、前記第 3 のトランジスタのドレイン電圧との電位差は、 $|24|V$ 以上であることを特徴とする。

【0012】

本発明の第 2 の構成の表示装置の駆動方法は、前記第 1 のトランジスタをオフにし、前記第 2 及び前記第 5 のトランジスタをオンにして、前記第 1 の電源、前記信号線及び前記液晶素子を含む前記第 1 の電極の電位を同電位にする第 1 のステップと、前記第 1 及び前記第 3 のトランジスタをオフにし、前記第 2 及び前記第 4 のトランジスタをオンにして、前記第 1 の電源と前記信号線を同電位にし、前記第 2 の電源と前記走査線の電位を同電位にする第 2 のステップを有することを特徴とする。

このときの前記第 1 のステップにおける前記第 1 の電源の電位と、前記第 2 のステップにおける前記第 2 の電源の電位の電位差は $|24|V$ 以上であることを特徴とする。

【0013】

本発明の第 3 の構成の表示装置の駆動方法は、前記第 1 のトランジスタをオフにし、前記第 2 のトランジスタをオンにして、前記第 1 の電源と前記走査線の電位を同電位にすることを特徴とする。

このときの前記第 1 の電源の電位と、前記第 3 のトランジスタのドレイン電圧との電位差は、 $|24|V$ 以上であることを特徴とする。

また、本発明の第 3 の構成の表示装置の駆動方法は、前記第 3 の P 型トランジスタの前記ソース電極及び前記ドレイン電極の他方と、前記第 2 の電源の電位を同電位にする第 1 のステップと、前記第 1 のトランジスタをオフにし、前記第 2 のトランジスタをオンにして、前記第 1 の電源と前記走査線の電位を同電位にする第 2 のステップを有することを特徴とする。

このときの前記第 1 及び前記第 2 の電源の各電位の電位差は、 $|24|V$ 以上であることを特徴とする。

【0014】

本発明の第 4 の構成の表示装置の駆動方法は、前記第 5 のトランジスタの前記ソース電極及び前記ドレイン電極の他方と、前記第 3 の電源の電位を同電位にする第 1 のステップと、前記第 1 及び前記第 3 のトランジスタをオフにし、前記第 2 及び前記第 4 のトランジスタをオンにして、前記第 1 の電源と前記第 1 の走査線の電位を同電位にし、前記第 2 の電源と前記第 2 の走査線の電位を同電位にする第 2 のステップを有することを特徴とする。このときの前記第 1 及び前記第 3 の電源の各電位の電位差は、 $|24|V$ 以上であり、また前記第 2 及び前記第 3 の電源の各電位の電位差は、 $|24|V$ 以上であることを特徴とする。

【0015】

また本発明は、上記の第 1 乃至第 4 の構成の表示装置のように、エージング用回路を具備した構成に限定されない。以下には、エージング用回路を具備しない表示装置の駆動方法について説明する。

【0016】

本発明は、P 型トランジスタ及び液晶素子を有し、前記 P 型トランジスタのゲート電極は走査線に接続され、ソース電極及びドレイン電極の一方は信号線に接続され、他方は液晶素子を含む第 1 又は第 2 の電極に接続された表示装置の駆動方法において、前記 P 型トランジスタをオンにして、前記信号線の電位と前記 P 型トランジスタのドレイン電極の電位を同電位にする第 1 のステップと、前記走査線の電位と、前記 P 型トランジスタの前記ドレイン電極の電位を同電位にする第 2 のステップを有することを特徴とする。

なお、前記第 1 のステップにおいて、前記液晶素子を含む前記第 1 及び前記第 2 の電極の電位を同電位にすることを特徴とする。

また、前記第 2 のステップにおいて、前記走査線の電位と、前記 P 型トランジスタの前記

ドレイン電極の電位との電位差は、 $|24|V$ 以上になるように設定することを特徴とする。

【0017】

本発明は、P型トランジスタ及び発光素子を有し、前記P型トランジスタのゲート電極は走査線に接続され、ソース電極及びドレイン電極の一方は信号線に接続され、他方は発光素子が含む第1又は第2の電極に電氣的に接続された表示装置の駆動方法において、前記P型トランジスタをオンにして、前記信号線の電位と前記P型トランジスタのドレイン電極の電位を同電位にする第1のステップと、前記走査線の電位と、前記P型トランジスタの前記ドレイン電極の電位を同電位にする第2のステップを有することを特徴とする。

なお、前記第2のステップにおいて、前記走査線の電位と、前記P型トランジスタの前記ドレイン電極の電位との電位差は、 $|24|V$ 以上になるように設定することを特徴とする。

【0018】

上記駆動方法を有する本発明は、画素内に配置されたトランジスタ、より詳しくは、ゲート電極が走査線に接続されたトランジスタにオフ電流を低下させるストレス条件を印加することができる。このストレス条件は、トランジスタのゲート電圧がプラス側に大きく、ドレイン電圧がマイナス側に大きく、そのゲート・ドレイン間電圧がなるべく大きい条件が好適である。

より具体的には、通常動作に用いている電圧条件の1.5倍程度のゲート・ドレイン間電圧を印加することが好適である。例えば、ゲート・ドレイン間電圧は $|24|V$ 以上が好適である。このようなストレス条件をトランジスタに与えることによって、該トランジスタのオフ電流を低下させることが可能となり、その結果、オフ電流の低下に起因した表示妨害を抑制した表示装置の駆動方法を提供することができる。

【0019】

なお、本発明における表示装置とは、画像表示デバイス、発光デバイス、照明装置などの光源を含む。また、画素部及び駆動回路を基板とカバー材との間に封入したパネル、前記パネルにFPCが取り付けられたモジュール、該FPCの先にドライバICが設けられたモジュール、パネルにCOG方式等によりドライバICが実装されたモジュール、モニターに用いるディスプレイなどを範疇に含む。

【発明の効果】

【0020】

本発明により、P型トランジスタのオフ電流を起因とした表示妨害を抑制した表示装置及びその駆動方法を提供することができる。

【発明を実施するための最良の形態】

【0021】

(実施の形態1)

【0022】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

【0023】

本発明の表示装置は、エージング用回路を具備することを特徴とする。本形態では、液晶素子及びP型トランジスタを含む複数の画素がマトリクス状に配置された画素部と、各々がエージング用回路を含む信号線駆動回路及び走査線駆動回路とを具備することを特徴とした表示装置の構成について、図1を用いて説明する。

【0024】

信号線駆動回路に具備されるエージング用回路31は、直列に接続されたP型トランジスタ11、12(以下、トランジスタ11、12と表記)を有し、トランジスタ12のソー

10

20

30

40

50

ス電極又はドレイン電極は電源線 2 1 に接続される。トランジスタ 1 1 のソース電極又はドレイン電極には S _ O U T が供給される。S _ O U T とは、エージング用回路 3 1 に隣接する回路から出力される信号を指し、例えばラッチから出力される信号を指す。このエージング用回路 3 1 は、電源線 2 1 と信号線 1 8 の電位を同電位にして、トランジスタ 1 5 のドレイン電圧の値を適当な値に設定する。

【 0 0 2 5 】

走査線駆動回路に具備されるエージング用回路 3 2 は、直列に接続された P 型トランジスタ 1 3、1 4 (以下、トランジスタ 1 3、1 4 と表記) を有し、トランジスタ 1 4 のソース電極又はドレイン電極は電源線 2 2 に接続される。トランジスタ 1 3 のソース電極又はドレイン電極には G _ O U T が供給される。G _ O U T とは、エージング用回路 3 2 に隣接する回路から出力される信号を指し、例えばバッファから出力される信号を指す。このエージング用回路 3 2 は、電源線 2 2 と走査線 1 9 の電位を同電位にして、トランジスタ 1 5 のゲート電圧の値を適当な値に設定する。

【 0 0 2 6 】

画素部に複数配置される画素 1 0 1 は、列方向に配置された信号線 1 8 と、行方向に配置された走査線 1 9 に囲まれており、P 型トランジスタ 1 5、一対の電極間に液晶材料が挟まれた液晶素子 1 6、及び該液晶素子 1 6 の両電極間の電位差を保持する容量素子 1 7 を具備する。P 型トランジスタ 1 5 のゲート電極は走査線 1 9 に接続され、ソース電極又はドレイン電極の一方は信号線 1 8 に接続される。また、液晶素子 1 6 の第 1 の電極 (画素電極) 2 4 は P 型トランジスタ 1 5 のソース電極又はドレイン電極の他方に接続され、第 2 の電極 (対向電極) 2 5 は電源線 2 3 に接続される。

【 0 0 2 7 】

なお、エージング用回路 3 1、3 2 に具備されるトランジスタ 1 1 ~ 1 4 と、画素 1 0 1 内に配置されるトランジスタ 1 5 は全て P 型である。従って、トランジスタ 1 1 ~ 1 5 は、結晶質半導体 (ポリシリコン、p - S i) をチャネル部としたトランジスタを用いることが好適である。結晶質半導体をチャネル部としたトランジスタは、電界効果移動度などの特性が良好であり、動画の表示に好適である。また、画素部及び、該画素部が形成される基板上に一体形成される回路は、全て P 型トランジスタで構成することが好適であり、本構成により、作製コストの低減や作製工程の簡略化が実現される。

【 0 0 2 8 】

続いて、エージング用回路 3 1、3 2 を具備した本発明の表示装置の駆動方法について説明する。ここでは、トランジスタ 1 5 のドレイン電圧を設定する期間 T 1 と、トランジスタ 1 5 のゲート電圧を設定してエージングを行う期間 T 2 とに分けて説明する。なお、下記の説明に用いる電圧値の条件はあくまで一例とし、また、トランジスタ 1 1 ~ 1 4 の各ゲートに入力される信号は、V i n 1 ~ V i n 4 と表記する。

【 0 0 2 9 】

期間 T 1 において、V i n 1 は - 1 2 V、V i n 2 は - 1 7 V、V i n 3 は - 1 7 V、V i n 4 は - 2 2 V、電源線 2 1 の電位は - 1 2 V、電源線 2 2 の電位は - 1 7 V、電源線 2 3 の電位は - 1 2 V である。従って、トランジスタ 1 1、1 3 がオフ、トランジスタ 1 2、1 4 がオンになる。また、電源線 2 1 の電位がトランジスタ 1 2 を介して信号線 1 8 に伝達されて、電源線 2 1 と信号線 1 8 は同電位 (- 1 2 V) となる。さらに、電源線 2 2 の電位は、トランジスタ 1 4 を介して走査線 1 9 に伝達されて、電源線 2 2 と走査線 1 9 は同電位 (- 1 7 V) となる。そうすると、トランジスタ 1 5 はオンして、電源線 2 1 の電位と、液晶素子 1 6 の一方の電極 2 4 の電位が同電位 (- 1 2 V) となる。このとき、液晶素子 1 6 の他方の電極 2 5 の電位は - 1 2 V であるため、液晶素子 1 6 の両電極間の電位差はゼロになる。このように、エージングを行う前には、液晶素子 1 6 の両電極間には電位差を有していない方が好ましい。また、トランジスタ 1 5 のドレイン電圧は - 1 2 V、ゲート電圧は - 1 7 V となる。

【 0 0 3 0 】

期間 T 2 において、V i n 1 は 0 V、V i n 2 は - 5 V、V i n 3 は 1 2 V、V i n 4 は

10

20

30

40

50

7 V、電源線 2 1 の電位は 0 V、電源線 2 2 の電位は 1 2 V、電源線 2 3 の電位は - 1 2 V である。従って、トランジスタ 1 1、1 3 がオフ、トランジスタ 1 2、1 4 がオンになる。また、電源線 2 1 の電位は、トランジスタ 1 2 を介して信号線 1 8 に伝達されて、電源線 2 1 と信号線 1 8 は同電位 (0 V) となる。さらに、電源線 2 2 の電位は、トランジスタ 1 4 を介して走査線 1 9 に伝達されて、電源線 2 2 と走査線 1 9 は同電位 (1 2 V) となる。このとき、トランジスタ 1 5 のドレイン電圧は - 1 2 V、ゲート電圧は 1 2 V となり、ゲート・ドレイン間電圧は $| 2 4 |$ V となる。このようにして、トランジスタ 1 5 に所望のストレス条件を印加することができる。

【 0 0 3 1 】

上記駆動方法を有する本発明は、画素 1 0 1 内に配置されたトランジスタ 1 5 に、オフ電流を低下させるストレス条件を印加することができる。このストレス条件は、トランジスタ 1 5 のゲート電圧がプラス側に大きく、ドレイン電圧がマイナス側に大きく、そのゲート・ドレイン間電圧がなるべく大きい条件が好適である。

より具体的には、通常動作に用いている電圧条件の 1 . 5 倍程度のゲート・ドレイン間電圧を印加することが好適である。例えば、ゲート・ドレイン間電圧は $| 2 4 |$ V 以上が好適である。このようなストレス条件をトランジスタに与えることによって、該トランジスタのオフ電流を低下させることが可能となり、その結果、オフ電流の低下に起因した表示妨害を抑制した表示装置の駆動方法を提供することができる。

【 0 0 3 2 】

続いて、走査線駆動回路のみにエージング用回路を設ける本発明の実施の形態について、図 2 (A) を用いて説明する。図 2 (A) は、図 1 に示す構成におけるエージング用回路 3 1 を削除した形になっているため、詳しい構成の説明は省略し、その動作について、トランジスタ 1 5 のドレイン電圧を設定する期間 T 1 と、トランジスタ 1 5 のゲート電圧を設定してエージングを行う期間 T 2 とに分けて説明する。なお、下記の説明に用いる電圧値の条件はあくまで一例である。

【 0 0 3 3 】

期間 T 1 において、 V_{in3} は - 1 0 V、 V_{in4} は 0 V、電源線 2 2 の電位は 0 V、電源線 2 3 の電位は 0 V、 G_OUT は - 5 V である。従って、トランジスタ 1 3 がオン、トランジスタ 1 4 はオフ、トランジスタ 1 5 はオンになり、信号線 1 8 とトランジスタ 1 5 のドレイン電圧が同電位 (ここでは 0 V) になる。この期間では、液晶素子 1 6 の画素電極 2 4 の電位と、対向電極 2 5 の電位を同電位にすることが好ましい。

【 0 0 3 4 】

期間 T 2 において、 V_{in3} は 2 4 V、 V_{in4} は 1 9 V、電源線 2 2 の電位は 2 4 V である。従って、トランジスタ 1 3 がオフ、トランジスタ 1 4 はオンになる。そうすると、電源線 2 2 の電位がトランジスタ 1 4 を介して走査線 1 9 に伝達されて、電源線 2 2 と走査線 1 9 は同電位 (2 4 V) となる。このとき、トランジスタ 1 5 のドレイン電圧は 0 V、ゲート電圧は 2 4 V となり、ゲート・ドレイン電圧は 2 4 V となる。このようにして、トランジスタ 1 5 に所望のストレス条件を印加することができる。

【 0 0 3 5 】

上記の図 1、図 2 (A) の構成において、トランジスタ 1 5 のゲート・ドレイン間には、容量結合が生じてしまう場合がある。このように容量結合が発生した場合に対応させて、電源線 2 2 には数 V 程度 (好適には 5 V) のマージンを持たせることが好適である。具体的には、最大で V_{GD} が $2 4 + 5 = 2 9$ V 程度になるように、電源線 2 2 の電位にマージンを持たせることが好ましく、上記の電圧条件の場合には、電源線 2 2 の電位を最大で $1 2 + 5 = 1 7$ V 程度に設定することが好適である。

【 0 0 3 6 】

エージングを行うタイミングは、製品出荷前、製品出荷後パネルを起動させるとき、パネルを終了させるとき等が挙げられる。また、製品出荷後に定期的に行ったり、パネルの表示に問題が生じたときにユーザが任意に行ったりしてもよい。製品出荷後に行う場合には、エンドユーザにパネルが渡った後も、ユーザが使用していないタイミングや任意のタイ

10

20

30

40

50

ミングにエージングを行うことができるため、製品の長寿命化が実現される。

(実施の形態 2)

【0037】

本実施の形態では、表示素子として発光素子を用いる場合を例に挙げて、本発明の表示装置の構成について説明する。より詳しくは、エージング用回路の構成について、図 2 (B) を用いて説明する。

【0038】

走査線駆動回路に具備されるエージング用回路 61 は、直列に接続された P 型トランジスタ 41、42 (以下、トランジスタ 41、42 と表記) を有し、トランジスタ 42 のソース電極又はドレイン電極は電源線 51 に接続される。トランジスタ 41 のソース電極又はドレイン電極には GOUT が供給される。GOUT とは、エージング用回路 61 に隣接する回路から出力される信号を指し、例えばバッファから出力される信号を指す。このエージング用回路 61 は、電源線 51 と走査線 56 の電位を同電位にして、トランジスタ 43 のゲート電圧の値を適当な値に設定する。

【0039】

画素部に複数配置される画素 101 は、列方向に配置された電源線 52、信号線 55 と、行方向に配置された走査線 56 に囲まれており、P 型トランジスタ 43、64 (以下、トランジスタ 43、64 と表記)、一対の電極間に発光性材料が挟まれた発光素子 47、及びトランジスタ 64 のゲート・ソース間電圧を保持する容量素子 63 を具備する。

トランジスタ 43 のゲート電極は走査線 56 に接続され、ソース電極又はドレイン電極の一方は信号線 55 に接続される。また、発光素子 47 の第 1 の電極 (画素電極) 48 はトランジスタ 64 のソース電極又はドレイン電極の他方に接続され、第 2 の電極 (対向電極) 49 は電源線 53 に接続される。発光素子 47 の第 1 及び第 2 の電極 48、49 は、両電極間に流れる電流の方向に従って、一方は陽極で、他方は陰極となる。

【0040】

なお、エージング用回路 61 に具備されるトランジスタ 41、42 と、画素 101 内に配置されるトランジスタ 43 は全て P 型である。従って、トランジスタ 41 ~ 43 は、結晶質半導体をチャネル部としたトランジスタを用いることが好適である。その理由として、結晶質半導体をチャネル部としたトランジスタは、非晶質半導体 (アモルファスシリコン、a-Si) をチャネル部としたトランジスタと比較して、電子移動度が高く、発光素子の駆動に必要な電流を得ることが容易であることが挙げられる。また、画素部及び、該画素部が形成される基板上に一体形成される回路は、全て P 型トランジスタで構成することが好適であり、本構成により、作製コストの低減や作製工程の簡略化が実現される。

【0041】

トランジスタ 43 (スイッチング用トランジスタ 43) は画素 101 に対するビデオ信号の入力を制御する。また、トランジスタ 64 (駆動用トランジスタ 64) は、そのゲート・ソース間電圧に応じたドレイン電流を発光素子 47 に供給する。

【0042】

続いて、エージング用回路 61 を具備した本発明の表示装置の駆動方法について説明する。ここでは、トランジスタ 43 のドレイン電圧を設定する期間 T1 と、トランジスタ 43 のゲート電圧を設定してエージングを行う期間 T2 とに分けて説明する。なお、下記の説明に用いる電圧値の条件はあくまで一例とし、また、トランジスタ 41、42 の各ゲートに入力される信号は、Vin1、Vin2 と表記する。

【0043】

期間 T1 において、Vin1 は -10V、Vin2 は 0V、電源線 51 の電位は 0V、電源線 52 の電位は 8V、GOUT は -5V である。従って、トランジスタ 41 がオン、トランジスタ 42 はオフ、トランジスタ 43 はオンになり、信号線 55 とトランジスタ 43 のドレイン電圧が同電位 (ここでは 8V) になる。この期間では、トランジスタ 64 のゲート・ソース間電圧がゼロになるようにすることが好適である。

【0044】

期間 T2 において、 V_{in1} は 3.2 V、 V_{in2} は 2.7 V、電源線 51 の電位は 3.2 V、電源線 52 の電位は 8 V である。従って、トランジスタ 41 がオフ、トランジスタ 42 はオンになる。そうすると、電源線 51 の電位がトランジスタ 42 を介して走査線 56 に伝達されて、電源線 51 と走査線 56 は同電位 (3.2 V) となる。そうすると、トランジスタ 43 のドレイン電圧は 8 V、ゲート電圧は 3.2 V となり、ゲート・ドレイン電圧は 2.4 V となる。従って、所望のストレス条件を印加することができる。

【0045】

上記駆動方法を有する本発明は、画素 101 内に配置されたトランジスタ 43 に、オフ電流を低下させるストレス条件を印加することができる。このストレス条件は、トランジスタ 43 のゲート電圧がプラス側に大きく、ドレイン電圧がマイナス側に大きく、そのゲート・ドレイン間電圧がなるべく大きい条件が好適である。

10

より具体的には、通常動作に用いている電圧条件の 1.5 倍程度のゲート・ドレイン間電圧を印加することが好適である。例えば、ゲート・ドレイン間電圧は |2.4| V 以上が好適である。このようなストレス条件をトランジスタに与えることによって、該トランジスタのオフ電流を低下させることが可能となり、その結果、オフ電流の低下に起因した表示妨害を抑制した表示装置の駆動方法を提供することができる。

【0046】

続いて、図 2 (A) に示す画素 101 にトランジスタ 76 を追加し、それに伴って、エージング用回路 92 を新たに配置した構成について、図 3 を用いて簡単に説明する。

【0047】

20

走査線駆動回路に具備されるエージング用回路 91 は、直列に接続された P 型トランジスタ 71、72 (以下、トランジスタ 71、72 と表記) を有し、一端は電源線 81 に接続され、他端には G_{OUT}1 が供給される。このエージング用回路 91 は、電源線 81 と走査線 86 の電位を同電位にして、トランジスタ 75 のゲート電圧の値を適当な値に設定する。エージング用回路 92 は、直列に接続された P 型トランジスタ 73、74 (以下、トランジスタ 73、74 と表記) を有し、一端は電源線 82 に接続され、他端には G_{OUT}2 が供給される。このエージング用回路 92 は、電源線 82 と走査線 87 を同電位にして、トランジスタ 76 のゲート電圧の値を適当な値に設定する。

【0048】

画素部に複数配置される画素 101 は、列方向に配置された電源線 83、信号線 85 と、行方向に配置された走査線 86、87 に囲まれており、P 型トランジスタ 75、76、94 (以下、トランジスタ 75、76、94 と表記)、発光素子 77 及び容量素子 93 を具備する。

30

【0049】

トランジスタ 76 (消去用トランジスタ 76) は、オンになると、容量素子 93 に保持された電荷が放電して、トランジスタ 94 がオフする。従って、強制的に発光素子 77 に電流が流れない状態を作ることができる。トランジスタ 76 の配置により、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時に又は直後に点灯期間を開始することができるため、デューティ比を向上させることができる。

【0050】

40

なお、エージング用回路 91、92 に具備されるトランジスタ 71~74 と、画素 101 内に配置されるトランジスタ 75 は全て P 型である。従って、トランジスタ 71~75 は、結晶質半導体をチャネル部としたトランジスタを用いることが好適である。その理由として、結晶質半導体をチャネル部としたトランジスタは、非晶質半導体をチャネル部としたトランジスタと比較して、電子移動度が高く、発光素子の駆動に必要な電流を得ることが容易であることが挙げられる。また、画素部及び、該画素部が形成される基板上に一体形成される回路は、全て P 型トランジスタで構成することが好適であり、本構成により、作製コストの低減や作製工程の簡略化が実現される。

【0051】

続いて、エージング用回路 91、92 を具備した本発明の表示装置の駆動方法について、

50

トランジスタ 75、76 のドレイン電圧を設定する期間 T1 と、トランジスタ 75、76 のゲート電圧を設定してエージングを行う期間 T2 とに分けて説明する。なお、下記の説明に用いる電圧値の条件はあくまで一例とし、トランジスタ 71 ~ 74 の各ゲートに入力される信号は、Vin1 ~ Vin4 と表記する。

【0052】

期間 T1 は、トランジスタ 75、76 のドレイン電圧を設定する期間であり、Vin1、Vin3 は -10V、Vin2、Vin4 は 0V、電源線 81、82 の電位は 0V、電源線 83 の電位は 8V、G_{OUT}1、G_{OUT}2 は -5V である。従って、トランジスタ 71、73、75、76 がオン、トランジスタ 72、74 はオフになり、信号線 85 とトランジスタ 75 のドレイン電圧が同電位（ここでは 8V）になる。この期間では、トランジスタ 94 のゲート・ソース間電圧がゼロになるようにすることが好適である。

10

【0053】

期間 T2 は、トランジスタ 75、76 のゲート電圧を設定してエージングを行う期間であり、Vin1、Vin3 は 32V、Vin2、Vin4 は 27V、電源線 81、82 の電位は 32V、電源線 83 の電位は 8V である。従って、トランジスタ 71、73 がオフ、トランジスタ 72、74 はオンになる。そうすると、電源線 81 の電位がトランジスタ 72 を介して走査線 86 に伝達されて、電源線 81 と走査線 86 は同電位（32V）となる。同様に、電源線 82 と走査線 87 は同電位（32V）となる。そうすると、また、トランジスタ 76 のドレイン電圧は 8V、ゲート電圧は 32V となり、ゲート・ドレイン間電圧は 24V となる。従って、所望のストレス条件を印加することができる。

20

【0054】

上記駆動方法を有する本発明は、画素 101 内に配置されたトランジスタ 75、76 に、オフ電流を低下させるストレス条件を印加することができる。このストレス条件は、トランジスタ 75、76 のゲート電圧がプラス側に大きく、ドレイン電圧がマイナス側に大きく、そのゲート・ドレイン間電圧がなるべく大きい条件が好適である。

より具体的には、通常動作に用いている電圧条件の 1.5 倍程度のゲート・ドレイン間電圧を印加することが好適である。例えば、ゲート・ドレイン間電圧は |24|V 以上が好適である。このようなストレス条件をトランジスタに与えることによって、該トランジスタのオフ電流を低下させることが可能となり、その結果、オフ電流の低下に起因した表示妨害を抑制した表示装置の駆動方法を提供することができる。

30

【0055】

上記の図 2 (B)、図 3 の構成において、トランジスタ 43、75、76 のゲート・ドレイン間には、容量結合が生じてしまう場合がある。このように容量結合が発生した場合に対応させて、電源線 51、81、82 には数 V 程度（好適には 5V）のマージンを持たせることが好適である。具体的には、最大で V_{GD} が 24 + 5 = 29V 程度になるように、電源線 51、81、82 の電位にマージンを持たせることが好ましい。

【0056】

なお発光素子を有する画素の構成は、図 2 (B)、図 3 に示したものに限定されず、如何なる構成を有していてもよい。

【0057】

エージングを行うタイミングは、製品出荷前、製品出荷後パネルを起動させるとき、パネルを終了させるとき等が挙げられる。また、製品出荷後に定期的に行ったり、パネルの表示に問題が生じたときにユーザが任意に行ったりしてもよい。製品出荷後に行う場合には、エンドユーザにパネルが渡った後も、ユーザが使用していないタイミングや任意のタイミングにエージングを行うことができるため、製品の長寿命化が実現される。

（実施の形態 3）

【0058】

上記の実施の形態 1、2 では、エージング用回路を具備した構成について説明したが、本発明は必ずしもこれに限定されず、エージング用回路を設けなくても構わない。そこで、実施の形態 1 で説明した図 1、2 (A) において、エージング用回路が具備されない表示

40

50

装置の駆動方法について、簡単に説明する。

【 0 0 5 9 】

まず、第 1 のステップとして、トランジスタ 1 5 のドレイン電圧を設定するために、該トランジスタ 1 5 をオンさせて、信号線 1 8 から所望の信号を入力する。

次に、第 2 のステップとして、トランジスタ 1 5 のゲート・ドレイン電圧が、通常動作に用いている電圧条件の 1 . 5 倍程度になるように、好適には | 2 4 | V 以上になるように、トランジスタ 1 5 のゲート電圧を設定する。つまり、走査線 1 9 の電位を変更する。そうすると、エージングを行うことができる。

従って、走査線 1 9 の電位を変更することができれば、エージング用回路を設けなくても構わない。これは、図 2 (B)、図 3 に示す構成でも同様であり、その動作の説明はここでは省略する。

10

【実施例 1】

【 0 0 6 0 】

本実施例では、トランジスタのゲート電圧 (V G)、ドレイン電圧 (V D) にストレスを印加したときのオフ電流 (I o f f) の時間変化を調べた実験結果について、図 4、5 を用いて説明する。

【 0 0 6 1 】

図 4 (A) は、P 型トランジスタの V G を 2 V と固定にして、V D を - 1 4、- 1 6、- 1 8、- 2 0 V に変化させたときのオフ電流と時間 (s e c) の関係を示したグラフである。グラフ中、丸印 () のマークをつないだ線は V D が - 1 4 V、四角印 () のマークをつないだ線は V D が - 1 6 V、ひし形印 () のマークをつないだ線は V D が - 1 8 V、三角印 () のマークをつないだ線は V D が - 2 0 V の条件下で行った結果である。縦軸は対数目盛を表示しており、1 . E + 0 0 は 1、1 . E + 0 1 は 1 0、1 . E + 0 2 は 1 0 0、1 . E + 0 3 は 1 0 0 0、1 . E + 0 4 は 1 0 0 0 0 に相当し、以降のグラフにおいても同じである。

20

本グラフから、いずれの条件下においても、時間の経過に伴って、オフ電流が低下していることが分かる。また、V D が - 2 0 V の条件で、オフ電流が最も低下していることが分かる。従って、オフ電流の低下には、V D がマイナス側に大きい条件が有効であることが分かる。

【 0 0 6 2 】

30

図 4 (B) は、P 型トランジスタの V D を - 1 4 V と固定にして、V G を 2、4、6、8、1 0 V に変化させたときのオフ電流と時間の関係を示したグラフである。グラフ中、丸印 () のマークをつないだ線は V G が 2 V、四角印 () のマークをつないだ線は V G が 4 V、ひし形印 () のマークをつないだ線は V G が 6 V、三角印 () のマークをつないだ線は V G が 8 V、米印 (*) のマークをつないだ線は V G が 1 0 V の条件下で行った結果である。

本グラフから、いずれの条件下においても、時間の経過に伴って、オフ電流が低下していることが分かる。また、V G が 1 0 V の条件で、オフ電流が最も低下していることが分かる。従って、オフ電流の低下には、V G がプラス側に大きい条件が有効であることが分かる。

40

【 0 0 6 3 】

図 5 (A) は、P 型トランジスタのゲート・ドレイン間電圧 (V G D) を - 2 0 V と固定にして、V D を - 2 6 ~ - 1 V に変化させ、V G を - 6 ~ 1 9 V に変化させたときのオフ電流と時間の関係を示したグラフである。本実験は、V G D を固定にしたときのストレス電圧依存をみたものであり、グラフ中、白抜き正方形印 () のマークをつないだ線は V D が - 1 V、V G が 1 9 V、白抜きのひし形印 () のマークをつないだ線は V D が - 3 V、V G が 1 7 V、白抜きの三角形印 () のマークをつないだ線は V D が - 4 V、V G が 1 6 V、バツ印 (x) のマークをつないだ線は V D が - 5 V、V G が 1 5 V、米印 (*) のマークをつないだ線は V D が - 6 V、V G が 1 4 V、黒抜きの長方形印のマークをつないだ線は V D が - 8 V、V G が 1 2 V、黒抜きの長方形印のマークをつないだ線は V

50

Dが-10V、VGが10V、白抜き丸印(○)のマーカをつないだ線はVDが-14V、VGが6V、バツ印のマーカをつないだ線はVDが-18V、VGが2V、黒抜きの正方形印のマーカをつないだ線はVDが-20V、VGが0V、黒抜きのひし形印(◇)のマーカをつないだ線はVDが-22V、VGが-2V、黒抜きの三角形印(△)のマーカをつないだ線はVDが-26V、VGが-6Vの条件下で行った結果である。

本グラフから、いずれの条件下においても、時間の経過に伴って、オフ電流が低下していることが分かる。また、VDが-26V、VGが-6Vの条件で、オフ電流が最も低下していることが分かる。従って、オフ電流の低下には、VDがマイナス側に大きい条件が有効であることが分かる。

【0064】

図5(B)は、P型トランジスタのVGを2Vと固定にして、ドレイン電圧(VD)を-14~-24Vに変化させたときのオフ電流と時間の関係を示したグラフである。本実験は、VGが固定の場合のVD依存をみたものであり、グラフ中、丸印(○)のマーカをつないだ線はVDが-14V、バツ印(×)のマーカをつないだ線はVDが-16V、ひし形印(◇)のマーカをつないだ線はVDが-18V、三角印(△)のマーカをつないだ線はVDが-20V、米印(*)のマーカをつないだ線はVDが-22V、四角印のマーカをつないだ線はVDが-24Vの条件下で行った結果である。

本グラフから、いずれの条件下においても、時間の経過に伴って、オフ電流が低下していることが分かる。また、VDが-24V、VGが2Vの条件で、オフ電流が最も低下していることが分かる。従って、オフ電流の低下には、VG Dがなるべく大きい条件が有効であることが分かる。

さらに、表示に問題を及ぼさない程度のオフ電流を10pA、ストレス印加時間を1秒とすると、図5(B)から、最適なストレス印加条件は、VG Dが|24|V以上であることが分かる。

【0065】

上記の実験結果をまとめると、トランジスタに印加するストレス条件は、図4(A)、図5(A)のグラフからVDがマイナス側に大きく、図4(B)からVGがプラス側に大きい条件が有効であることが分かる。また、図5(B)から、トランジスタのゲート・ドレイン間電圧(VGD)はなるべく大きい条件の方が有効である。

より具体的な条件としては、通常動作に用いている電圧条件の1.5倍程度のゲート・ドレイン間電圧を印加することが好適である。これは、本実験結果に基づくものであり、本実験では、通常時のP型TFTに印加されるストレスは、VDが-14V、VGが2V、VG Dは|16V|の条件としており、オフ電流の低下は、VG Dを|24|Vにしたとき(1.5倍程度にしたとき)に確認されたことに基づくものである。

本発明は、このようなストレス条件をトランジスタに与えることによって、該トランジスタのオフ電流を低下させることが可能となり、その結果、オフ電流の低下に起因した表示妨害を抑制した表示装置の駆動方法を提供することができる。

【実施例2】

【0066】

本実施例では、表示装置の構成について図6を用いて説明する。

【0067】

図6(A)において、基板107上に、複数の画素101がマトリクス状に配置された画素部102を有し、画素部102の周辺には、信号線駆動回路103、第1の走査線駆動回路104及び第2の走査線駆動回路105を有する。図6(A)においては、信号線駆動回路103と、2組の走査線駆動回路104、105を有しているが、本発明はこれに限定されず、駆動回路の個数は画素の構成に応じて任意に設定すればよい。これらの駆動回路は、FPC106を介して外部より信号が供給される。

【0068】

図6(B)には、第1の走査線駆動回路104及び第2の走査線駆動回路105の構成を示し、当該走査線駆動回路104、105は、シフトレジスタ114、バッファ115、

10

20

30

40

50

エージング用回路 116 を有する。また、図 6 (C) には、信号線駆動回路 103 の構成を示し、当該信号線駆動回路 103 はシフトレジスタ 111、第 1 のラッチ回路 112、第 2 のラッチ回路 113、エージング用回路 117 を有する。このように、エージング用回路 116、117 は、画素部 102 の周囲に配置される。

【0069】

なお、走査線駆動回路と信号線駆動回路の構成は、上記記載に限定されず、例えばサンプリング回路やレベルシフタなどを具備していてもよい。また、走査線駆動回路と信号線駆動回路の両者にエージング用回路を設ける必要はなく、どちらか一方のみに設けてもよい。

【0070】

さらに、上記駆動回路以外に、CPU やコントローラなどの回路を基板 107 に一体形成してもよい。そうすると、接続する外部回路 (IC) の個数が減少し、軽量、薄型がさらに図れるため、携帯端末に特に有効である。また、エージング用回路は、2 つのトランジスタを具備した構成を有し、従って構成する素子数は少ないため、このエージング用回路を駆動回路に組み込んで、実装面積の拡大にはつながらない。

【0071】

なお、エージングを行う際、所定の電源線の電位を変える必要が生じる。これは、多くの場合において、FPC 106 を介して接続された電源回路に、コントローラから所定の信号が供給されることで行われる。

【0072】

本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例 3】

【0073】

本発明を適用して作製される電子機器の一例として、デジタルカメラ、カーオーディオなどの音響再生装置、パーソナルコンピュータ、ゲーム機器、携帯情報端末 (携帯電話、携帯型ゲーム機等)、家庭用ゲーム機などの記録媒体を備えた画像再生装置などが挙げられる。それら電子機器の具体例を図 7 に示す。

【0074】

図 7 (A) は表示装置であり、筐体 2001、支持台 2002、表示部 2003、スピーカー部 2004、ビデオ入力端子 2005 等を含む。図 7 (B) はデジタルスチルカメラであり、本体 2101、表示部 2102、受像部 2103、操作キー 2104、外部接続ポート 2105、シャッター 2106 等を含む。図 7 (C) はパーソナルコンピュータであり、本体 2201、筐体 2202、表示部 2203、キーボード 2204、外部接続ポート 2205、ポインティングマウス 2206 等を含む。

【0075】

図 7 (D) はモバイルコンピュータであり、本体 2301、表示部 2302、スイッチ 2303、操作キー 2304、赤外線ポート 2305 等を含む。図 7 (E) は記録媒体を備えた携帯型の画像再生装置であり、本体 2401、筐体 2402、表示部 A 2403、表示部 B 2404、記録媒体読込部 2405、操作キー 2406、スピーカー部 2407 等を含む。表示部 A 2403 は主として画像情報を表示し、表示部 B 2404 は主として文字情報を表示する。図 7 (F) はゴーグル型ディスプレイであり、本体 2501、表示部 2502、アーム部 2503 を含む。

【0076】

図 7 (G) はビデオカメラであり、本体 2601、表示部 2602、筐体 2603、外部接続ポート 2604、リモコン受信部 2605、受像部 2606、バッテリー 2607、音声入力部 2608、操作キー 2609 等を含む。図 7 (H) は携帯端末のうちの携帯電話機であり、本体 2701、筐体 2702、表示部 2703、音声入力部 2704、音声出力部 2705、操作キー 2706、外部接続ポート 2707、アンテナ 2708 等を含む。

【0077】

上記の電子機器において、本発明は表示部の構成と、該表示部の駆動方法に適用される。

10

20

30

40

50

エージングを行うタイミングは、製品出荷前、製品出荷後パネルを起動させるとき、パネルを終了させるとき等が挙げられる。また、製品出荷後に定期的に行ったり、パネルの表示に問題が生じたときにユーザが任意に行ったりしてもよい。製品出荷後に行う場合には、エンドユーザにパネルが渡った後も、ユーザが使用していないタイミングや任意のタイミングにエージングを行うことができるため、製品の長寿命化が実現される。また、本発明の表示装置を用いた電子機器を携帯端末等に適用して、インターネットに接続できる状態にある場合には、最適なストレス条件のデータをダウンロードしてもよい。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例 4】

【0078】

本実施例では、まず、オフ電流を測定したときのトランジスタのドレイン・ゲート間電圧 (V_{dg}) と、1 秒間印加すればそのオフ電流が 10 pA となる、トランジスタのドレイン・ゲート間電圧 (V_{dg}) との関係性を調べた実験結果について図 8 を用いて説明する。なお、オフ電流を測定したときのトランジスタのドレイン・ゲート間電圧は、通常動作の電圧条件に沿ったものであり、この値をグラフの横軸とする。また、1 秒間印加すればそのオフ電流が 10 pA となるトランジスタのドレイン・ゲート間電圧は、オフ電流の低下を目的としたストレス条件であり、この値をグラフの縦軸とする。なお、 10 pA とは、通常動作において支障の生じないオフ電流値である。

【0079】

グラフ中、黒抜きの丸印 (○) のマーカは、ガラス基板上に形成された非晶質半導体上に触媒として機能する金属元素 (例えばニッケル) を塗布し、その後、レーザ結晶化を行って形成した結晶質半導体をチャネル部としたトランジスタをサンプルとしたものである。黒抜きの四角印 (□) のマーカは、丸印のマーカと同じ作製工程を経たトランジスタをサンプルとしたものである。但し、両者のサンプルは、そのゲート絶縁膜の膜厚が異なる。

黒抜きの三角印 (△) のマーカは、レーザ結晶化の照射条件が異なる以外は、丸印のマーカのサンプルと同様の作製方法により作成された結晶質半導体をチャネル部としたトランジスタをサンプルとしたものである。

米印 (*) のマーカは、非晶質半導体上に金属元素を塗布せず、非晶質半導体に直接レーザ結晶化を行って形成した結晶質半導体をチャネル部としたトランジスタをサンプルとしたものである。

黒抜きのひし形印 (◇) のマーカは、シリコン基板 (SIMOX 基板) 上に形成されたトランジスタをサンプルとしたものである。

全てのサンプルは、P チャネル型のトランジスタであり、そのチャネル長は $10 \text{ }\mu\text{m}$ 、チャネル幅は $8 \text{ }\mu\text{m}$ であった。

【0080】

全てのサンプルのマーカの近似曲線を引くと、その傾きは 1.4777 となった。つまり、通常動作のドレイン・ゲート間電圧条件の $1.34 \sim 1.61$ 倍、好ましくは $1.44 \sim 1.51$ 倍、さらに好ましくは 1.48 倍のストレス条件を 1 秒間印加すれば、そのオフ電流は 10 pA になることが分かる。また、このような傾向は、トランジスタのチャネル部の結晶性や、ゲート絶縁膜の厚さに依存しないことが分かる。

【0081】

次に、時間 (横軸) とオフ電流値 (縦軸) の関係について、図 9 を用いて説明する。

サンプルはサンプル A ~ サンプル C まで 3 つのサンプルがあり、全てのサンプルにおいて、オフ電流の低下を目的としたストレス条件は、ドレイン電圧が -17 V 、ゲート電圧が 3 V で、1 秒間印加するものであった。全てのサンプルは、シングルドレイン構造の P チャネル型のトランジスタであり、そのチャネル長は $12 \text{ }\mu\text{m}$ 、チャネル幅は $4 \text{ }\mu\text{m}$ であった。

サンプル A は、ストレス条件印加後、電圧を印加しなかったトランジスタである。サンプル B は、ストレス条件印加後、ソース電圧が -5 V 、ドレイン電圧が 5 V 、ゲート電圧が -8 V の電圧条件を印加したトランジスタである。サンプル C は、ソース電圧が $-5 \sim +$

10

20

30

40

50

5 Vの交流電圧、ドレイン電圧が5 V、ゲート電圧が8 Vの電圧条件を印加したトランジスタである。

【0082】

上記のグラフによると、オフ電流の低下を目的としたストレス条件を印加した後、そのオフ電流は上昇傾向にあるものの、大きく上昇することはなく、動作に支障が生じない程度のオフ電流値である。つまり、ストレス条件を印加後、その効果がすぐになくなることはなく、長く維持されることが分かる。

【0083】

次は、オフ電流の低下を目的としたストレス条件の印加時間（横軸）とオフ電流値（縦軸）の関係について、図10を用いて説明する。

図10(A)～(D)の4つのグラフがあり、図10(A)～(D)の横軸は、トランジスタのゲート電圧が2 V、ドレイン電圧が-14 Vの電圧条件のときのオフ電流値を示している。オフ電流の低下を目的としたストレス条件は、図10(A)は、ドレイン電圧が-18 V、ゲート電圧が2 Vの電圧の条件、図10(B)は、ドレイン電圧が-20 V、ゲート電圧が2 Vの電圧の条件、図10(C)は、ドレイン電圧が-22 V、ゲート電圧が2 Vの電圧の条件、図10(D)は、ドレイン電圧が-24 V、ゲート電圧が2 Vの電圧の条件である。

【0084】

図10(A)～(D)に示す全てのグラフにおいて、米印(*)のマーカは、 $L/W = 10/8$ のトランジスタをサンプルとしたものであり、縦長方形のマーカは、 $L/W = 3/8$ のトランジスタをサンプルとしたものであり、三角形(△)のマーカは、 $L/W = 10/200$ のトランジスタをサンプルとしたものであり、バツ印(x)のマーカは、 $L/W = 10/4$ のトランジスタをサンプルとしたものであり、正方形(□)のマーカは、 $L/W = 400/8$ のトランジスタをサンプルとしたものであり、横長方形のマーカは、 $L/W = 12/4$ のトランジスタをサンプルとしたものである。

【0085】

図10におけるオフ電流値は、各々のトランジスタの単位チャネル幅あたりの値となっており、いずれのサンプルのオフ電流値も、そのオフ電流の低減の仕方が変わらない。つまり、トランジスタのオフ電流の低減の仕方は、トランジスタサイズには依存しないことが分かる。

【図面の簡単な説明】

【0086】

【図1】本発明の表示装置及びその駆動方法を説明する図。

【図2】本発明の表示装置及びその駆動方法を説明する図。

【図3】本発明の表示装置及びその駆動方法を説明する図。

【図4】トランジスタのゲート電圧(V_G)、ドレイン電圧(V_D)にストレスを印加したときのオフ電流(I_{off})の時間変化を調べた実験結果を示すグラフ。

【図5】トランジスタのゲート電圧(V_G)、ドレイン電圧(V_D)にストレスを印加したときのオフ電流(I_{off})の時間変化を調べた実験結果を示すグラフ。

【図6】パネル、走査線駆動回路及び信号線駆動回路を示す図。

【図7】本発明が適用される電子機器を示す図。

【図8】オフ電流を測定したときのトランジスタのドレイン・ゲート間電圧(V_{DG})と、1秒間印加すればそのオフ電流が10 pAとなるトランジスタのドレイン・ゲート間電圧(V_{DG})との関係を調べた実験結果を示すグラフ。

【図9】時間とオフ電流値との関係を調べた実験結果を示すグラフ。

【図10】オフ電流の低下を目的としたストレス条件の印加時間（横軸）とオフ電流値（縦軸）の関係を調べた実験結果を示すグラフ。

【符号の説明】

【0087】

11～15 トランジスタ

10

20

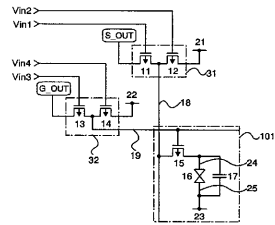
30

40

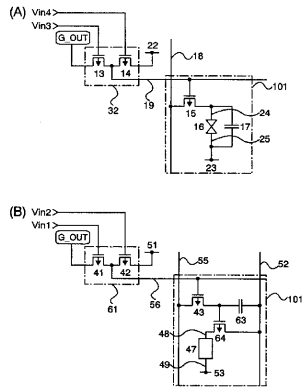
50

1 6	液晶素子	
1 7	容量素子	
1 8	信号線	
1 9	走査線	
2 1 ~ 2 3	電源線	
2 4、2 5	電極	
3 1、3 2	エージング用回路	
4 1 ~ 4 3	トランジスタ	
4 7	発光素子	
4 8、4 9	電極	10
5 1 ~ 5 3	電源線	
5 5	信号線	
5 6	走査線	
6 1	エージング用回路	
6 3	容量素子	
6 4	トランジスタ	
7 1 ~ 7 3、7 5、7 6	トランジスタ	
7 7	発光素子	
7 8、7 9	電極	
8 1 ~ 8 3	電源線	20
8 5	信号線	
8 6、8 7	走査線	
9 1、9 2	エージング用回路	
9 3	容量素子	
9 4	トランジスタ	
1 0 1	画素	

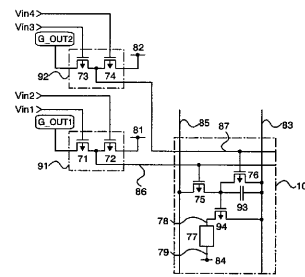
【図1】



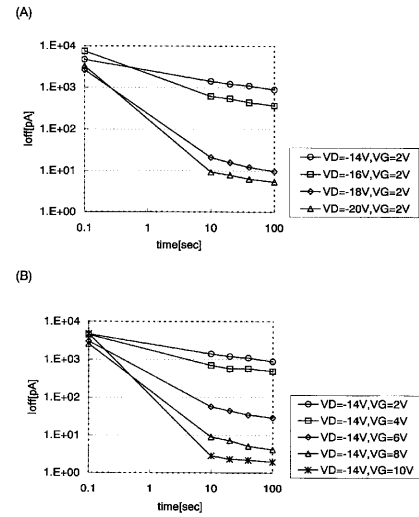
【図2】



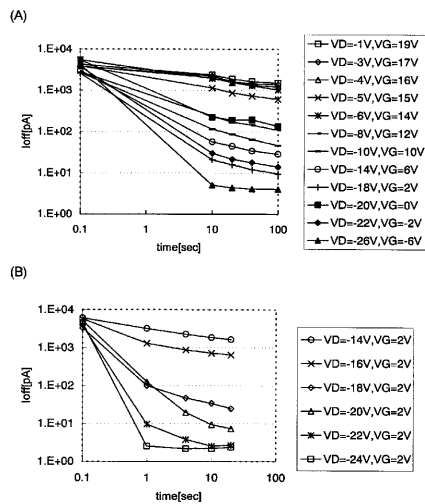
【図3】



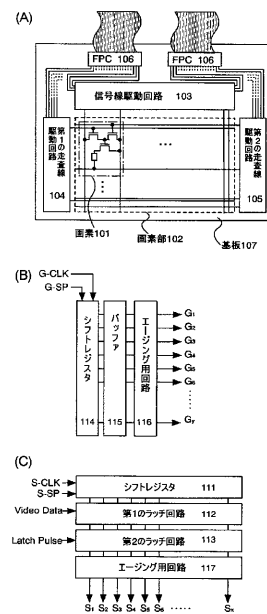
【図4】



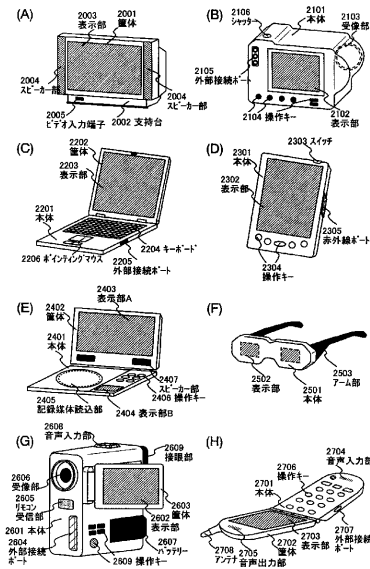
【図5】



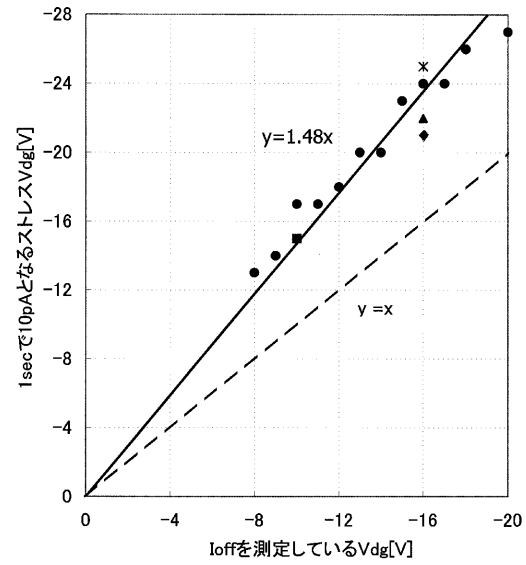
【図6】



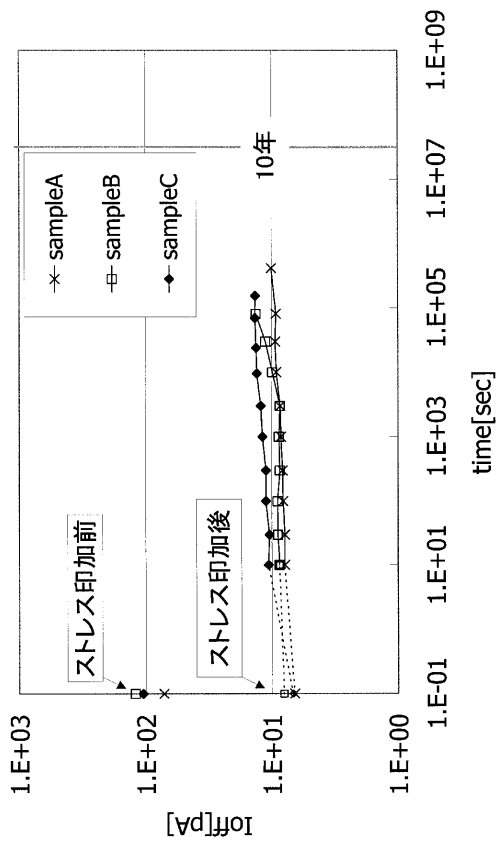
【図 7】



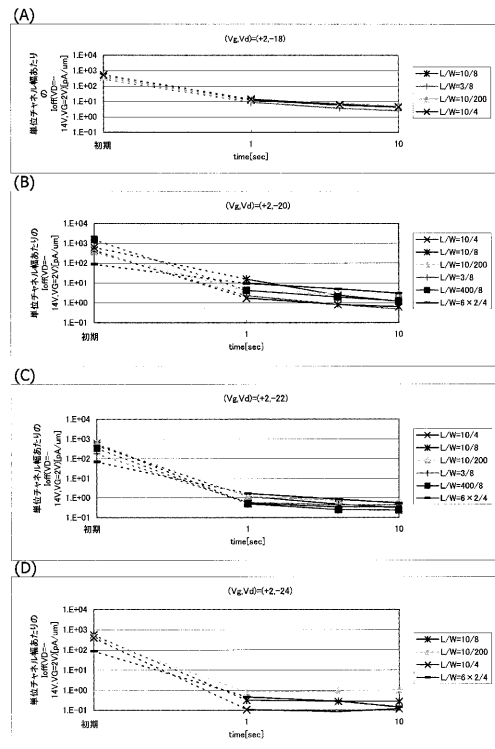
【図 8】



【図 9】



【図 10】



 フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	51/50	(2006.01)	G 0 9 G	3/20 6 2 2 R
			G 0 9 G	3/20 6 2 3 R
			G 0 9 G	3/20 6 2 4 B
			G 0 9 G	3/20 6 7 0 K
			G 0 9 G	3/30 H
			H 0 5 B	33/14 A

(56)参考文献 特開 2 0 0 2 - 0 9 0 7 8 0 (J P , A)
 特開昭 6 4 - 0 4 4 9 9 3 (J P , A)
 特開 2 0 0 3 - 1 7 9 4 7 9 (J P , A)
 特開 2 0 0 2 - 2 7 8 5 1 7 (J P , A)
 特開 2 0 0 1 - 1 4 7 6 6 5 (J P , A)
 特開平 0 2 - 2 4 4 0 2 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 0 0 - 3 / 3 8
 G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0