



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I695357 B

(45)公告日：中華民國 109 (2020) 年 06 月 01 日

(21)申請案號：104128871

(22)申請日：中華民國 104 (2015) 年 09 月 01 日

(51)Int. Cl. : **G09G3/20 (2006.01)****G09G3/36 (2006.01)****H03K17/693 (2006.01)****H03M1/76 (2006.01)**

(30)優先權：2014/09/05 日本

2014-181113

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：高橋圭 TAKAHASHI, KEI (JP)；佐藤圭太 SATO, KEITA (JP)

(74)代理人：林怡芳；童啓哲

(56)參考文獻：

CN 102163400A

JP 2004-191573A

JP 2007-37191A

審查人員：葉月芬

申請專利範圍項數：8 項 圖式數：18 共 75 頁

(54)名稱

半導體裝置，電子構件及電子裝置

(57)摘要

本發明提供一種小型驅動器 IC。在將 k 位元的數位信號轉換為類比信號的路徑電晶體邏輯電路中，將被施加第一位元信號的電晶體在通道寬度方向上配置為一系列。另外，使被施加第二至第 k 位元的信號的電晶體的通道寬度比被施加第一位元信號的電晶體的通道寬度變大(例如，較佳為大於 2 倍且小於 8 倍)。另外，較佳為儘量以使具有相同的導電型的電晶體鄰接的方式配置電晶體。

To provide a small driver IC, in a pass transistor logic circuit that converts k-bit digital signals into analog signals, transistors supplied with a first-bit signal are arranged in a line in the channel width direction. The channel width of transistors supplied with second to kth-bit signals is made larger than (e.g., preferably larger than two times and smaller than eight times) that of the transistors supplied with the first-bit signal. The transistors are preferably arranged such that transistors of the same conductivity type are located adjacent to each other wherever possible.

指定代表圖：

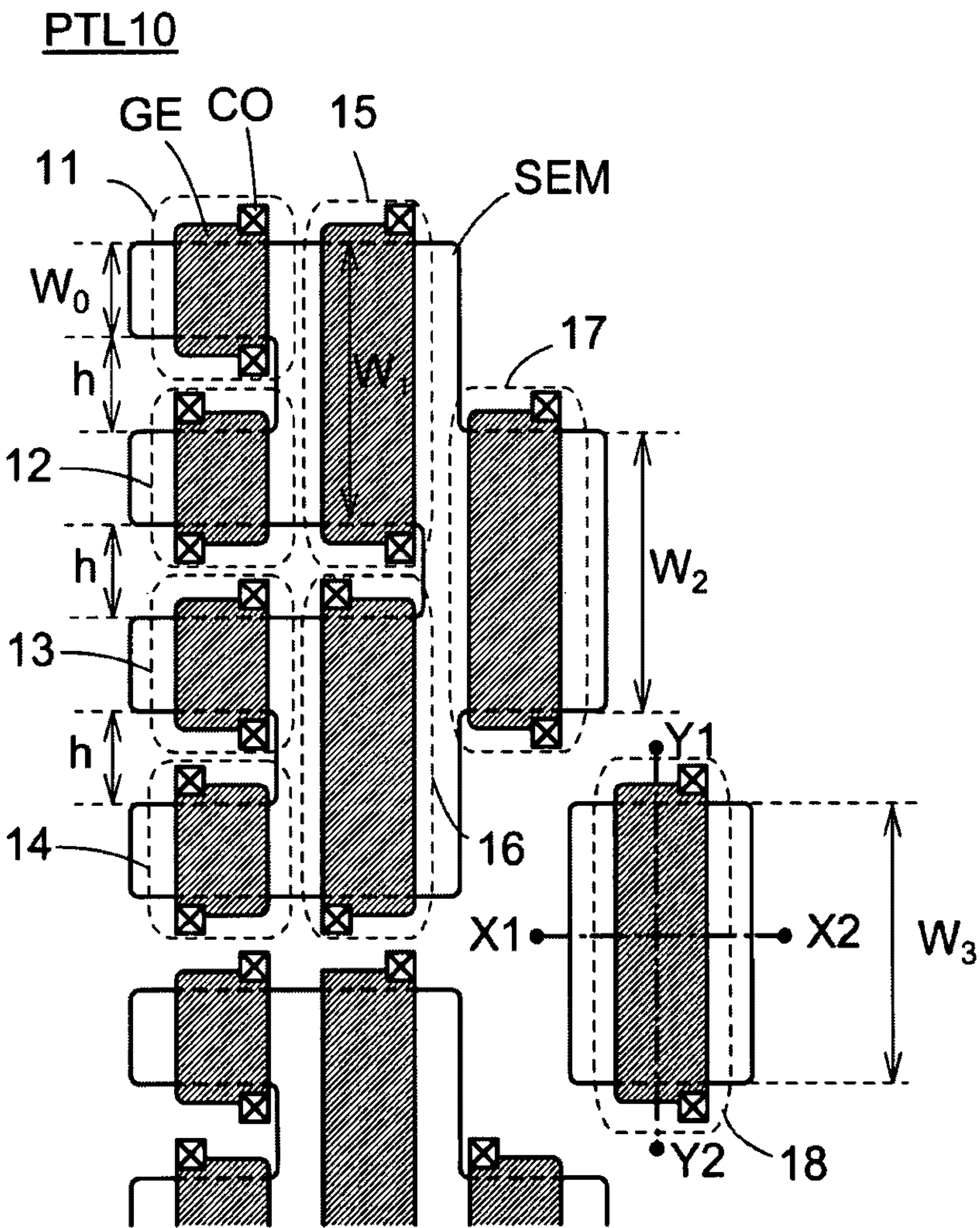


圖 4B

符號簡單說明：

CO . . . 接觸孔

GE . . . 閘極

SEM . . . 半導體

11 . . . 電晶體

12 . . . 電晶體

13 . . . 電晶體

14 . . . 電晶體

15 . . . 電晶體

16 . . . 電晶體

17 . . . 電晶體

18 . . . 電晶體

I695357

發明摘要

※ 申請案號：104128871

※ 申請日：104年9月1日

※IPC 分類：G09G 3/20 (2006.01)
G09G 3/36 (2006.01)
H03K 17/693 (2006.01)
H03M 1/76 (2006.01)

【發明名稱】(中文/英文)

半導體裝置、電子構件及電子裝置

SEMICONDUCTOR DEVICE, ELECTRONIC COMPONENT, AND
ELECTRONIC DEVICE

【中文】

本發明提供一種小型驅動器 IC。在將 k 位元的數位信號轉換為類比信號的路徑電晶體邏輯電路中，將被施加第一位元信號的電晶體在通道寬度方向上配置為一系列。另外，使被施加第二至第 k 位元的信號的電晶體的通道寬度比被施加第一位元信號的電晶體的通道寬度變大（例如，較佳為大於 2 倍且小於 8 倍）。另外，較佳為儘量以使具有相同的導電型的電晶體鄰接的方式配置電晶體。

【英文】

To provide a small driver IC, in a pass transistor logic circuit that converts k -bit digital signals into analog signals, transistors supplied with a first-bit signal are arranged in a line in the channel width direction. The channel width of transistors supplied with second to k th-bit signals is made larger than (e.g., preferably larger than two times and smaller than eight times) that of the transistors supplied with the first-bit signal. The transistors are preferably arranged such that transistors of the same conductivity type are located adjacent

to each other wherever possible.

【代表圖】

【本案指定代表圖】：第（4B）圖。

【本代表圖之符號簡單說明】：

- | | | | |
|-----|-----|----|-----|
| CO | 接觸孔 | 14 | 電晶體 |
| GE | 閘極 | 15 | 電晶體 |
| SEM | 半導體 | 16 | 電晶體 |
| 11 | 電晶體 | 17 | 電晶體 |
| 12 | 電晶體 | 18 | 電晶體 |
| 13 | 電晶體 | | |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置、電子構件及電子裝置

SEMICONDUCTOR DEVICE, ELECTRONIC COMPONENT, AND
ELECTRONIC DEVICE

【技術領域】

[0001]

本發明的一個實施方式係關於一種半導體裝置、電子構件及電子裝置。

[0002]

本發明的一個實施方式係關於一種物體、方法或製造方法。另外，本發明的一個實施方式係關於一種製程 (process)、機器 (machine)、產品 (manufacture) 或者組合物 (composition of matter)。另外，本發明的一個實施方式係關於一種顯示裝置、發光裝置、蓄電裝置、記憶體裝置、其驅動方法或其製造方法。

[0003]

注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。顯示裝置、電光裝置、半導體電路以及電子裝置有時包括半導體裝置。

【先前技術】

[0004]

顯示裝置的驅動電路爲了實現顯示部的多灰階化及高清晰化而被要求高性能化。因此，作爲顯示裝置的驅動電路，尤其作爲源極驅動器，採用了 IC（Integrated Circuit：積體電路，以下還稱爲驅動器 IC）（例如，參照專利文獻 1）。

[0005]

近年來，被要求提供一種用於智慧手機、平板終端等可攜式終端的小型顯示裝置。另外，近年來，作爲數位視訊的規格提出了具有 7680×4320（水平像素數×垂直像素數）的像素數的 8K UHD（8K Ultra High Definition Television：8K 超高清電視）等，對顯示裝置有高清晰化的要求。

[0006]

[專利文獻 1]日本專利申請公開第 2007-286525 號公報

[0007]

隨著顯示裝置的小型化及高清晰化的進展，安裝於該顯示裝置的驅動器 IC 被要求著小型化及高速工作。

【發明內容】

[0008]

本發明的一個實施方式的目的之一是提供一種小型驅動器 IC。本發明的一個實施方式的目的之一是提供一種能夠高速工作的驅動器 IC。本發明的一個實施方式的目的之一是提供一種新穎的驅動器 IC。本發明的一個實施方式的目的之一是提供一種小型半導體裝置。本發明的一個實施方式的目的之一是提供一種能夠高速工作的半導體裝置。本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置。

[0009]

注意，多個目的的記載不妨礙彼此的存在。此外，本發明的一個實施方式並不需要實現所有上述目的。上述列舉的目的以外的目的是從說明書、圖式、申請專利範圍等的記載自然得知的，而有可能成為本發明的一個實施方式的目的。

[0010]

本發明的一個實施方式是一種半導體裝置，包括：第一至第七電晶體；以及第一至第五佈線，其中，第一電晶體的閘極電連接於第一佈線，第一電晶體的源極和汲極中的一個被施加第一電壓，第一電晶體的源極和汲極中的另一個電連接於第五電晶體的源極和汲極中的一個，第二電晶體的閘極電連接於第二佈線，第二電晶體的源極和汲極中的一個被施加第二電壓，第二電晶體的源極和汲極中的另一個電連接於第五電晶體的源極和汲極中的一個，第三電晶體的閘極電連接於第一佈線，第三電晶體的源極和汲極中的一個被施加第三電壓，第三電晶體的源極和汲極中的另一個電連接於第六電晶體的源極和汲極中的一個，第四電晶體的閘極電連接於第二佈線，第四電晶體的源極和汲極中的一個被施加第四電壓，第四電晶體的源極和汲極中的另一個電連接於第六電晶體的源極和汲極中的一個，第五電晶體的閘極電連接於第三佈線，第五電晶體的源極和汲極中的另一個電連接於第七電晶體的源極和汲極中的一個，第六電晶體的閘極電連接於第四佈線，第六電晶體的源極和汲極中的另一個電連接於第七電晶體的源極和汲極中的一個，第七電晶體的閘極電連接於第五佈線，第一佈線被施加第一信號，第二佈線被施加第一信號的反轉信號，第三佈線被施加第二信號，第四佈線被施加第二信號的反轉信號，第五佈線被施加第三信號，並且，第一至第四電晶體各通道寬度較佳為比第五至第七電晶體各通道寬度小。

[0011]

在上述方式中，較佳的是，第一至第四電晶體都配置為一系列。

[0012]

在上述方式中，較佳的是，第一至第七電晶體具有相同的導電型。

[0013]

在上述方式中，較佳的是，第五至第七電晶體的通道寬度大於第一至第四電晶體的通道寬度的 2 倍且小於 8 倍。

[0014]

在上述方式中，根據第一至第三信號選擇第一至第四電壓中的任一個，而將其輸出到第七電晶體的源極和汲極中的另一個。

[0015]

本發明的一個實施方式是一種電子構件，包括：上述方式所記載的半導體裝置；以及電連接於半導體裝置的凸點端子。

[0016]

本發明的一個實施方式是一種電子裝置，包括：上述方式所記載的電子構件；以及顯示裝置。

[0017]

注意，在本說明書中，本實施方式所示的結構、方法等可以與本說明書中的其他實施方式所示的結構、方法等適當地組合而實施。

[0018]

此外，在本說明書等中，電晶體是指至少包括閘極、汲極以及源極這三個端子的元件。電晶體在汲極（汲極端子、汲極區或汲極電極）與源極（源極端子、源極區或源極電極）之間具有通道區，並且電流能夠流過汲極、通道區以及源極。

[0019]

在此，因為源極和汲極根據電晶體的結構或工作條件等而更換，因此難以確定哪個是源極哪個是汲極。因此，有時不將用作源極的部分或用作汲極的部分稱為源極或汲極，而將源極和汲極中的一個稱為第一電極，並將源極和汲極中的另一個稱為第二電極。

[0020]

注意，本說明書所使用的“第一”、“第二”、“第三”等序數詞是為避免構成要素的混淆而附加的，而不是為了在數目上進行限定而附的。

[0021]

注意，在本說明書中，為了方便起見，使用“上”“下”等表示配置的詞句以參照圖式說明構成要素的位置關係。另外，構成要素的位置關係根據描述各構成要素的方向適當地改變。因此，不侷限於本說明書中所說明的詞句，根據情況可以適當地換詞句。

[0022]

注意，圖式中的方塊圖的各電路方塊的位置關係是為了便於說明而特定的，即便方塊圖示出了不同的電路方塊實現不同的功能的情況，也可能實際上有一個電路方塊實現不同的功能的情況。此外，圖式中的各電路方塊的功能是為了便於說明而特定的，即便示出的是一個電路方塊進行處理的情況，也可能實際上有多個電路方塊進行該處理的情況。

[0023]

注意，“膜”和“層”根據情形或狀況可以相互調換。例如，有時可以將“導電層”更換為“導電膜”。此外，有時可以將“絕緣膜”更換為“絕緣層”。

[0024]

例如，在本說明書等中，當明確地記載為“X 與 Y 連接”時，在本說明書等中公開了如下三種情況：X 與 Y 電連接的情況；X 與 Y 在功能上連接的情況；以及 X 與 Y 直接連接的情況。因此，不侷限於圖式或文章中所示的連接關係等指定的連接關係，圖式或文章所示的連接關係以外的連接關係也記載於圖式或文章中。

[0025]

在此，X 和 Y 都是物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜、層等）。

[0026]

作為 X 與 Y 直接連接的情況的一個例子，可以舉出：在 X 與 Y 之間沒有連接能夠電連接 X 與 Y 的元件（例如，開關、電晶體、電容器、電感器、電阻元件、二極體、顯示元件、發光元件、負載等）的情況；以及 X 與 Y 沒有藉由能夠電連接 X 與 Y 的元件（例如，開關、電晶體、電容器、電感器、電阻元件、二極體、顯示元件、發光元件、負載等）而連接的情況。

[0027]

作為 X 與 Y 電連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠電連接 X 與 Y 的元件（例如，開關、電晶體、電容器、電感器、電阻元件、二極體、顯示元件、發光元件、負載等）。另外，開關具有控制開啓和關閉的功能。換言之，藉由使開關處於導通狀態（開啓狀態）或非導通狀態（關閉狀態）來控制為是否使電流流過。或者，開關具有選擇並切換電流路徑的功能。另外，X 與 Y 電連接的情況包括 X 與 Y 直接連接的情況。

[0028]

作為 X 與 Y 在功能上連接的情況的一個例子，例如可以在 X 與 Y 之間

連接一個以上的能夠在功能上連接 X 與 Y 的電路（例如，邏輯電路（反相器、NAND 電路、NOR 電路等）、信號轉換電路（DA 轉換電路、AD 轉換電路、伽瑪校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極隨耦電路、緩衝電路等）、信號產生電路、記憶體電路、控制電路等）。注意，例如，即使在 X 與 Y 之間夾有其他電路，當從 X 輸出的信號傳送到 Y 時，也可以說 X 與 Y 在功能上是連接著的。另外，X 與 Y 在功能上連接的情況包括 X 與 Y 直接連接的情況及 X 與 Y 電連接的情況。

[0029]

此外，當明確地記載為“X 與 Y 電連接”時，在本說明書等中公開了如下三種情況：X 與 Y 電連接（換言之，以中間夾有其他元件或其他電路的方式連接 X 與 Y）的情況；X 與 Y 在功能上連接（換言之，以中間夾有其他電路的方式在功能上連接 X 與 Y）的情況；以及 X 與 Y 直接連接（換言之，以中間不夾有其他元件或其他電路的方式連接 X 與 Y）的情況。換言之，當明確記載有“電連接”時，在本說明書等中公開了與只明確記載為“連接”的情況相同的內容。

[0030]

注意，例如，可以以後面的表達方式來表示如下情況：電晶體的源極（或第一端子等）藉由 Z1（或沒有藉由 Z1）與 X 電連接，電晶體的汲極（或第二端子等）藉由 Z2（或沒有藉由 Z2）與 Y 電連接的情況；以及電晶體的源極（或第一端子等）與 Z1 的一部分直接連接，Z1 的另一部分與 X 直接連接，電晶體的汲極（或第二端子等）與 Z2 的一部分直接連接，Z2 的另一

部分與 Y 直接連接的情況。

[0031]

例如，可以將上述情況表示為“X、Y、電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）相互電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與 Y 依次電連接”。或者，可以表示為“電晶體的源極（或第一端子等）與 X 電連接，電晶體的汲極（或第二端子等）與 Y 電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與 Y 依次電連接”。或者，可以表示為“X 藉由電晶體的源極（或第一端子等）及汲極（或第二端子等）與 Y 電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）、Y 依次設置為相互連接”。藉由使用與這些例子相同的表達方法規定電路結構中的連接順序，可以區別電晶體的源極（或第一端子等）與汲極（或第二端子等）而決定技術範圍。

[0032]

另外，作為其他表達方法，例如可以表示為“電晶體的源極（或第一端子等）至少藉由第一連接路徑與 X 電連接，所述第一連接路徑不具有第二連接路徑，所述第二連接路徑是電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）之間的路徑，Z1 在所述第一連接路徑上，電晶體的汲極（或第二端子等）至少藉由第三連接路徑與 Y 電連接，所述第三連接路徑不具有所述第二連接路徑，Z2 在所述第三連接路徑上”。或者，也可以表示為“電晶體的源極（或第一端子等）至少在第一連接路徑上藉由 Z1 與 X 電連接，所述第一連接路徑不具有第二連接路徑，所述第二連接路徑具有藉由電晶體的連接路徑，電晶體的汲極（或第二端子等）至少在第三連接路徑上藉由 Z2 與 Y 電連接，所述第三連接路徑不具有所述第二連

接路徑”。或者，也可以表示為“電晶體的源極（或第一端子等）至少在第一電路徑上藉由 Z1 與 X 電連接，所述第一電路徑不具有第二電路徑，所述第二電路徑是從電晶體的源極（或第一端子等）到電晶體的汲極（或第二端子等）的電路徑，電晶體的汲極（或第二端子等）至少在第三電路徑上藉由 Z2 與 Y 電連接，所述第三電路徑不具有第四電路徑，所述第四電路徑是從電晶體的汲極（或第二端子等）到電晶體的源極（或第一端子等）的電路徑”。藉由使用與這些例子同樣的表達方法規定電路結構中的連接路徑，可以區別電晶體的源極（或第一端子等）和汲極（或第二端子等）來決定技術範圍。

[0033]

注意，這種表達方法只是一個例子而已，不侷限於上述表達方法。在此，X、Y、Z1 及 Z2 都是物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜、層等）。

[0034]

另外，即便獨立的構成要素在電路圖上相互電連接，有時一個構成要素也兼具有多個構成要素的功能。例如，當佈線的一部分兼作電極時，一個導電膜兼具有佈線和電極的兩個構成要素的功能。因此，本說明書中的“電連接”的範疇內還包括這種一個導電膜兼具有多個構成要素的功能的情況。

[0035]

藉由本發明的一個實施方式，能夠提供一種小型驅動器 IC。藉由本發明的一個實施方式，能夠提供一種能夠高速工作的驅動器 IC。藉由本發明的一個實施方式，能夠提供一種新穎的驅動器 IC。藉由本發明的一個實施方式，能夠提供一種小型半導體裝置。藉由本發明的一個實施方式，能夠

提供一種能夠高速工作的半導體裝置。藉由本發明的一個實施方式，能夠提供一種新穎的半導體裝置。

[0036]

注意，這些效果的記載並不妨礙其他效果的存在。此外，本發明的一個實施方式並不需要具有所有上述效果。另外，這些效果以外的效果從說明書、圖式、申請專利範圍等的記載中是顯而易見的，並且可以從所述記載中衍生。

【圖式簡單說明】

[0037]

在圖式中：

圖 1 是說明本發明的一個實施方式的電路圖；

圖 2 是說明本發明的一個實施方式的電路圖；

圖 3 是說明本發明的一個實施方式的電路圖；

圖 4A 和圖 4B 是說明本發明的一個實施方式的電路圖及俯視圖；

圖 5A 和圖 5B 是說明本發明的一個實施方式的電晶體的剖面圖；

圖 6 是說明本發明的一個實施方式的俯視圖；

圖 7A 和圖 7B 是說明本發明的一個實施方式的電路圖及俯視圖；

圖 8A 和圖 8B 是說明本發明的一個實施方式的電晶體的剖面圖；

圖 9 是說明本發明的一個實施方式的俯視圖；

圖 10 是說明本發明的一個實施方式的電路圖；

圖 11 是示出顯示裝置的結構實例的電路方塊圖；

圖 12A 和圖 12B 是示出像素的結構實例的電路圖；

圖 13 是示出顯示裝置的結構實例的電路方塊圖；

圖 14 是示出像素的結構實例的電路圖；

圖 15A 和圖 15B 是示出電子構件的製程的流程圖及剖面示意圖；

圖 16A 和圖 16B 是示出使用電子構件的顯示面板的圖；

圖 17 是示出使用顯示面板的顯示模組的圖；

圖 18A 至圖 18E 是示出使用電子構件的電子裝置的圖。

本發明的選擇圖爲圖 4A 和圖 4B。

【實施方式】

[0038]

下面，參照圖式對實施方式進行說明。注意，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換爲各種各樣的形式。因此，本發明不應該被解釋爲僅限定於下面的實施方式所記載的內容中。

[0039]

另外，在圖式中，爲便於清楚地說明，有時誇大表示大小、層的厚度或區域。因此，本發明並不一定限定於上述尺寸。此外，在圖式中，示意性地示出理想的例子，而不侷限於圖式所示的形狀或數值等。例如，可以包括因雜訊或定時偏差等所引起的信號、電壓或電流的不均勻等。

[0040]

實施方式 1

在本實施方式中，說明本發明的一個實施方式的路徑電晶體邏輯（pass transistor logic）（以下稱爲 PTL）。

[0041]

〈〈PTL 的結構實例 1〉〉

PTL 是具有將被輸入的數位信號轉換為類比信號的功能的電路。輸入到 PTL 的資料信號是數位信號，將該數位的資料信號轉換為類比信號。PTL 有時被稱為 D/A（數位/類比）轉換電路或簡單地被稱為電路。注意，PTL 可以應用於驅動器 IC。圖 1 示出 PTL 的一個例子的 PTL10 的電路結構。

[0042]

PTL10 包括電晶體 $P_1[0]$ 至 $P_1[k-1]$ 、電晶體 $P_2[0]$ 至 $P_2[k-2]$ 、電晶體 $N_1[0]$ 至 $N_1[k-1]$ 以及電晶體 $N_2[0]$ 至 $N_2[k-2]$ 。注意， k 表示 2 以上的自然數。

[0043]

電晶體 $P_1[0]$ 至 $P_1[k-1]$ 及電晶體 $P_2[0]$ 至 $P_2[k-2]$ 較佳為 p 通道型電晶體。另外，電晶體 $N_1[0]$ 至 $N_1[k-1]$ 及電晶體 $N_2[0]$ 至 $N_2[k-2]$ 較佳為 n 通道型電晶體。

[0044]

PTL10 被輸入信號 $DECPB[0]$ 至 $DECPB[k-1]$ 以及信號 $DECP[0]$ 至 $DECP[k-2]$ 。這些信號是上述的數位信號並是從後述的位準轉換器被施加的。

[0045]

信號 $DECP[0]$ 是信號 $DECPB[0]$ 的反轉信號，同樣地，信號 $DECP[k-2]$ 是信號 $DECPB[k-2]$ 的反轉信號。

[0046]

注意，在本說明書中，有時將信號 $DECPB[0]$ 及信號 $DECP[0]$ 稱為第一位元信號，將信號 $DECPB[k-2]$ 及信號 $DECP[k-2]$ 稱為第 $k-1$ 位元信號，並將信號 $DECPB[k-1]$ 稱為第 k 位元信號。

[0047]

信號 DECPB[0]被施加到電晶體 $P_1[0]$ 及電晶體 $N_1[0]$ 的閘極。

[0048]

信號 DECP[0]被施加到電晶體 $P_2[0]$ 及電晶體 $N_2[0]$ 的閘極。

[0049]

信號 DECPB[k-2]被施加到電晶體 $P_1[k-2]$ 及電晶體 $N_1[k-2]$ 的閘極。

[0050]

信號 DECP[k-2]被施加到電晶體 $P_2[k-2]$ 及電晶體 $N_2[k-2]$ 的閘極。

[0051]

信號 DECPB[k-1]被施加到電晶體 $P_1[k-1]$ 及電晶體 $N_1[k-1]$ 的閘極。

[0052]

電壓 $V[0]$ 至 $V[j-1]$ (j 為 2 以上的偶數)經過電晶體 $P_1[0]$ 、電晶體 $P_2[0]$ 、電晶體 $N_1[0]$ 及電晶體 $N_2[0]$ 被施加到 PTL10。這些電壓由圖 2 所示的電壓產生電路 V-gene 生成。

[0053]

圖 2 所示的電壓產生電路 V-gene 包括串聯連接到供應電壓 V_1/VSS 的佈線之間的電阻元件 $R[0]$ 至 $R[j-2]$ 。電壓 $V[0]$ 至 $V[j-1]$ 是在電阻元件 $R[0]$ 至 $R[j-2]$ 中對電壓 V_1/VSS 進行分壓而得到的電壓。注意，電壓 V_1/VSS 是指上升到高電源電位 V_1 及下降到低電源電位 VSS 的電壓。低電源電位 VSS 可以為接地電位 GND。

[0054]

如圖 2 所示，至於電壓 $V[0]$ 至 $V[j-1]$ ，中括弧[]內的數字越小，電壓越低，而中括弧內的數字越大，電壓越高。

[0055]

圖 1 所示的 PTL10 具有根據被輸入的信號 $DECPB[0]$ 至 $DECPB[k-1]$ 及信號 $DECP[0]$ 至 $DECP[k-2]$ 從電壓 $V[0]$ 至 $V[j-1]$ 中選擇一個電壓而將其作為類比信號從輸出端子 PTL_OUT 輸出的功能。

[0056]

例如，圖 3 示出 PTL10 被輸入 8 位元的資料信號 ($k=8$) 而輸出 256 灰階的類比信號 ($j=256$) 的情況。此時，PTL10 被施加信號 $DECPB[0]$ 至 $DECPB[7]$ 及信號 $DECP[0]$ 至 $DECP[6]$ 。

[0057]

在圖 3 中，例如，當被施加 Low 位準（以下稱為 L 位準）的電位作為信號 $DECPB[0]$ 至 $DECPB[7]$ ，並被施加 High 位準（以下稱為 H 位準）的電位作為信號 $DECP[0]$ 至 $DECP[6]$ 時，電壓 $V[255]$ 輸出到輸出端子 PTL_OUT。

[0058]

在圖 3 中，例如，當 H 位準的電位施加到信號 $DECPB[0]$ 至 $DECPB[7]$ ，而 L 位準的電位施加到信號 $DECP[0]$ 至 $DECP[6]$ 時，電壓 $V[0]$ 輸出到輸出端子 PTL_OUT。

[0059]

在圖 1 的電路圖中，被施加低電壓的電壓 $V[0]$ 至 $V[j/2-1]$ 的下一半的電路較佳為由 n 通道型電晶體（電晶體 $N_1[0]$ 至 $N_1[k-1]$ 及電晶體 $N_2[0]$ 至 $N_2[k-2]$ ）構成。另外，被施加高電壓的電壓 $V[j/2]$ 至 $V[j-1]$ 的上一半的電路較佳為由 p 通道型電晶體（電晶體 $P_1[0]$ 至 $P_1[k-1]$ 及電晶體 $P_2[0]$ 至 $P_2[k-1]$ ）構成。下面，將說明其理由。

[0060]

首先，考慮到 p 通道型電晶體的特徵。當 L 位準的電位施加到閘極時，p 通道型電晶體成為導通狀態，但在施加到源極的電位（電壓 $V[0]$ 至 $V[j-1]$ ）

中的一個)較低的情況下，閘極與源極之間的電位差(V_{gs})變小。其結果，電晶體處於導通狀態時的電阻(以下稱為通態電阻)變大，而電路工作會變慢。因此，如圖 1 所示，高電壓一側的電路較佳為由 p 通道型電晶體構成。

[0061]

接著，考慮到 n 通道型電晶體的特徵。當 H 位準的電位施加到閘極時，n 通道型電晶體成為導通狀態，而源極電位接近於施加到汲極的電位(電壓 $V[0]$ 至 $V[j-1]$ 中的一個)。此時，在施加到汲極的電位較高的情況下，在汲極和源極具有相同的電位之前， V_{gs} 會變為小於電晶體的臨界電壓(V_{th})，而電晶體會成為關閉狀態。其結果，電晶體輸出下降相當於 V_{th} 的量的電壓。因此，如圖 1 所示，低電壓一側的電路較佳為由 n 通道型電晶體構成。

[0062]

〈電晶體的配置例子 1〉

接著，參照圖 4A 和圖 4B 明確地說明 PTL10 中的電晶體的配置例子。

[0063]

圖 4A 是從圖 1 的 PTL10 的電路圖中抽出一部分而附加了電晶體 11 至 18 的符號的圖。

[0064]

圖 4B 示出對應於圖 4A 的電路圖的俯視圖的一個例子。注意，在圖 4B 的俯視圖中，為了明確起見，有時放大、縮小或省略一部分的構成要素。

[0065]

注意，雖然圖 4A 和圖 4B 示出圖 1 的電路圖中的由 p 通道型電晶體構成的高電壓一側的電路的一部分，但是以下說明還可以適用於圖 4A 和圖 4B 為由 n 通道型電晶體構成的低電壓一側的電路的情況。

[0066]

在圖 4B 的俯視圖中，電晶體 11 至 18 分別包括半導體 SEM、閘極 GE 及接觸孔 CO。在半導體 SEM 中，與閘極 GE 重疊的區域具有作為通道的功能。在半導體 SEM 中，沒有與閘極 GE 重疊的區域具有作為源極以及汲極的功能。較佳的是，藉由添加雜質，降低該源極以及汲極的電阻。

[0067]

注意，在 PTL10 中，以實現圖 4A 所示的電路的方式在半導體 SEM 及閘極 GE 的上方還形成有佈線等，但是在圖 4B 中為了明確起見省略該佈線等。另外，只在部分電晶體上附加閘極 GE、半導體 SEM 及接觸孔 CO 的符號，在其他電晶體中使用相同的陰影圖案來代替符號。

[0068]

在圖 4A 和圖 4B 中，電晶體 11 的閘極藉由接觸孔 CO 電連接於佈線 DL1[0]並接收信號 DECPB[0]。電晶體 11 的源極和汲極中的一個被施加電壓 $V[j-1]$ ，電晶體 11 的源極和汲極中的另一個電連接於電晶體 15 的源極和汲極中的一個。

[0069]

在圖 4A 和圖 4B 中，電晶體 12 的閘極藉由接觸孔 CO 電連接於佈線 DL2[0]並接收信號 DECP[0]。電晶體 12 的源極和汲極中的一個被施加電壓 $V[j-2]$ ，電晶體 12 的源極和汲極中的另一個電連接於電晶體 15 的源極和汲極中的一個。

[0070]

在圖 4A 和圖 4B 中，電晶體 13 的閘極藉由接觸孔 CO 電連接於佈線 DL1[0]並接收信號 DECPB[0]。電晶體 13 的源極和汲極中的一個被施加電壓 $V[j-3]$ ，電晶體 13 的源極和汲極中的另一個電連接於電晶體 16 的源極和汲

極中的一個。

[0071]

在圖 4A 和圖 4B 中，電晶體 14 的閘極藉由接觸孔 CO 電連接於佈線 DL2[0]並接收信號 DECP[0]。電晶體 14 的源極和汲極中的一個被施加電壓 $V[j-4]$ ，電晶體 14 的源極和汲極中的另一個電連接於電晶體 16 的源極和汲極中的一個。

[0072]

在圖 4A 和圖 4B 中，電晶體 15 的閘極藉由接觸孔 CO 電連接於佈線 DL1[1]並接收信號 DECPB[1]。電晶體 15 的源極和汲極中的另一個電連接於電晶體 17 的源極和汲極中的一個。

[0073]

在圖 4A 和圖 4B 中，電晶體 16 的閘極藉由接觸孔 CO 電連接於佈線 DL2[1]並接收信號 DECP[1]。電晶體 16 的源極和汲極中的另一個電連接於電晶體 17 的源極和汲極中的一個。

[0074]

在圖 4A 和圖 4B 中，電晶體 17 的閘極藉由接觸孔 CO 電連接於佈線 DL1[2]並接收信號 DECPB[2]。電晶體 17 的源極和汲極中的另一個與電晶體 18 的源極和汲極中的一個以滿足圖 4A 的連接關係的方式藉由設置於上方的佈線（未圖示）相互電連接。

[0075]

在圖 4A 和圖 4B 中，電晶體 18 的閘極藉由接觸孔 CO 電連接於佈線 DL1[3]並接收信號 DECPB[3]。

[0076]

如圖 4B 所示，電晶體 11 至 14 較佳為在通道寬度方向上配置為一系列。

亦即，在圖 1 的 PTL10 中，電晶體 $P_1[0]$ 、 $P_2[0]$ 、 $N_1[0]$ 、 $N_2[0]$ 較佳為在通道寬度方向上配置為一系列。藉由如此配置電晶體，可以使電晶體微型化，而在通道寬度方向上將該微型化了的電晶體配置於更小的區域中。

[0077]

注意，在圖 4B 中，將以點劃線 Y1-Y2 表示的方向為通道寬度方向，將以點劃線 X1-X2 表示的方向為通道長度方向。

[0078]

在此，在圖 4B 中，將電晶體 11 至 14 的通道寬度為 W_0 ，將電晶體 15、16 的通道寬度為 W_1 ，將電晶體 17 的通道寬度為 W_2 ，並將電晶體 18 的通道寬度為 W_3 。

[0079]

另外，在圖 1 中，將電晶體 $P_1[0]$ 、 $P_2[0]$ 、 $N_1[0]$ 、 $N_2[0]$ 的通道寬度為 W_0 ，將電晶體 $P_1[1]$ 、 $P_2[1]$ 、 $N_1[1]$ 、 $N_2[1]$ 的通道寬度為 W_1 ，將電晶體 $P_1[k-2]$ 、 $P_2[k-2]$ 、 $N_1[k-2]$ 、 $N_2[k-2]$ 的通道寬度為 W_{k-2} ，並將電晶體 $P_1[k-1]$ 、 $N_1[k-1]$ 的通道寬度為 W_{k-1} 。

[0080]

如圖 4B 所示，通道寬度 W_0 較佳為小於通道寬度 W_1 至 W_3 。同樣地，在圖 1 中，通道寬度 W_0 較佳為小於通道寬度 W_1 至 W_{k-1} 。

[0081]

注意，通道寬度例如是指半導體 SEM（或在電晶體處於開啓狀態時，半導體 SEM 中的電流流過的部分）與閘極 GE 重疊的區域或者形成通道的區域中的源極和汲極相對的部分的長度。另外，在一個電晶體中，通道寬度不一定在所有的區域中成為相同的值。亦即，一個電晶體的通道寬度有時不限於一個值。因此，在本說明書中，通道寬度是形成通道的區域中的

任一個值、最大值、最小值或平均值。

[0082]

注意，通道長度例如是指電晶體 11 至 18 的俯視圖中的半導體 SEM（或在電晶體處於開啓狀態時，半導體 SEM 中的電流流過的部分）與閘極 GE 重疊的區域或者形成通道的區域中的源極與汲極之間的距離。另外，在一個電晶體中，通道長度不一定在所有的區域中成為相同的值。亦即，一個電晶體的通道長度有時不限於一個值。因此，在本說明書中，通道長度是形成通道的區域中的任一個值、最大值、最小值或平均值。

[0083]

另外，如圖 4B 所示，在以相互鄰接的方式配置導電型（n 型或 p 型）相同的電晶體時，鄰接的電晶體之間有時能夠共同使用一個源極以及一個汲極，從而能夠減少電晶體的佔有面積，所以是較佳的。

[0084]

例如，當將 PTL10 應用於驅動器 IC 時，隨著顯示裝置的高清晰化的進展，被施加信號 DECPB[0]至信號 DECPB[k-1]的佈線之間的間隔變窄，由此被施加電壓 V[0]至 V[j-1]的佈線之間的間隔（圖 4B 所示的距離 h）也隨之變窄。其結果，電晶體被要求微型化。此時，藉由如圖 4B 所示那樣配置電晶體，能夠滿足上述要求並能夠實現顯示裝置的高清晰化。

[0085]

另外，藉由使電晶體 15 至 18 的通道寬度變大，能夠減少這些電晶體的通態電阻，從而能夠提高電路的工作速度。

[0086]

在採用圖 1 的電路時，PTL10 整體的通態電阻 R_{total} 可以由以下公式 1 表示。

[0087]

[公式 1]

$$R_{total} \propto \frac{1}{W_0} + \sum_{n=1}^{k-1} \frac{1}{W_n} \quad (1)$$

[0088]

另外，此時的 PTL10 整體的功耗 P_{total} 可以由以下公式 2 表示。

[0089]

[公式 2]

$$P_{total} \propto 2^k \times W_0 + \sum_{n=1}^{k-1} (2^{k-n} \times W_n) \quad (2)$$

[0090]

由公式 1 可知，構成 PTL10 的電晶體的通道寬度越大，通態電阻 R_{total} 越小。當通態電阻 R_{total} 變小時，能夠提高電路的工作速度，所以是較佳的。

[0091]

另一方面，由公式 2 可知，構成 PTL10 的電晶體的通道寬度越大，功耗 P_{total} 越增大。因此，需要以使通態電阻 R_{total} 以及功耗 P_{total} 都變小的方式決定電晶體的通道寬度。

[0092]

例如，通道寬度 W_1 至 W_{k-1} 較佳為大於通道寬度 W_0 的 1 倍且小於 10 倍，更佳為大於 2 倍且小於 8 倍，更較佳為大於 3 倍且小於 5 倍。

[0093]

例如，在將 $W_0=1\mu\text{m}$ ， W_1 至 $W_{k-1}=3.3\mu\text{m}$ 代入公式 1 中而計算具有某一 CMOS 技術的圖 3 所示的 PTL10 的通態電阻 R_{total} 時， R_{total} 為 $107\text{k}\Omega$ 。

[0094]

接著，參照圖 5A 和圖 5B 說明構成 PTL10 的電晶體的形狀的一個例子。

[0095]

圖 5A 示出圖 4B 中的電晶體 18 的點劃線 X1-X2 方向的剖面圖，圖 5B 同樣地示出電晶體 18 的點劃線 Y1-Y2 方向的剖面圖。注意，雖然圖 4A 示出電晶體 18 作為 p 通道型電晶體，但是圖 5A 和圖 5B 不侷限於此，也可以將電晶體 18 作為 n 通道型電晶體。

[0096]

電晶體 18 包括基板 201、通道 202、雜質區 203a、雜質區 203b、雜質區 204a、雜質區 204b、元件隔離層 205、側壁絕緣層 207、絕緣膜 208 以及閘極 GE。

[0097]

作為基板 201，可以使用以矽或碳化矽為材料的單晶半導體基板或多晶半導體基板、以矽鍺為材料的化合物半導體基板、SOI（Silicon on Insulator：絕緣層上覆矽）基板等。另外，當作為基板 201 使用 p 型單晶矽基板時，可以對基板 201 的一部分添加賦予 n 型的雜質元素來形成 n 型井（well），並且在形成有 n 型井的區域形成 p 型電晶體。作為賦予 n 型的雜質元素，可以使用磷（P）、砷（As）等。作為賦予 p 型的雜質元素，可以使用硼（B）等。

[0098]

另外，基板 201 也可以是在絕緣基板上設置有半導體膜的基板。作為該絕緣基板，例如可以舉出玻璃基板、石英基板、塑膠基板、撓性基板、貼合薄膜、包含纖維狀的材料的紙或者基材薄膜等。作為玻璃基板的一個例子，有鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鈉鈣玻璃等。作為撓性基板的一個例子，有以聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯

(PEN)、聚醚砜 (PES) 為代表的塑膠或丙烯酸樹脂等的具有撓性的合成樹脂等。作為貼合薄膜的一個例子，有聚丙烯、聚酯、聚氟化乙烯、聚氯乙烯等。作為基材薄膜的一個例子，有聚酯、聚醯胺、聚醯亞胺、芳族聚醯胺、環氧樹脂、無機蒸鍍薄膜、紙類等。

[0099]

另外，基板 201 也可以是在金屬基板上設置有半導體膜的基板。作為該金屬基板，可以舉出不鏽鋼基板、具有不鏽鋼箔的基板、鎢基板、具有鎢箔的基板等。

[0100]

此外，也可以使用某個基板形成半導體元件，然後將半導體元件轉置於其他基板。作為被轉置半導體元件的基板的一個例子，不僅可以使用上述基板，還可以使用紙基板、玻璃紙基板、芳族聚醯胺薄膜基板、聚醯亞胺薄膜基板、石材基板、木材基板、布基板（包括天然纖維（絲、棉、麻）、合成纖維（尼龍、聚氨酯、聚酯）或再生纖維（醋酸纖維、銅氨纖維、人造纖維、再生聚酯）等）、皮革基板、橡膠基板等。藉由採用這些基板，可以實現形成特性良好的電晶體、形成功耗小的電晶體、製造不容易損壞的裝置、給予耐熱性、輕量化或薄型化。

[0101]

電晶體 18 藉由元件隔離層 205 與形成在基板 201 的其他電晶體分開。作為元件隔離層 205，可以使用包含選自氧化鋁、氮化鋁、氧化鎂、氧化矽、氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化銻、氧化釷、氧化鈾、氧化釷、氧化釷、氧化釷等中的一種以上的絕緣體。

[0102]

元件隔離層 205 可以利用 LOCOS (LOCAl Oxidation of Silicon: 矽局部氧

化)形成。另外，元件隔離層 205 也可以利用 STI (Shallow Trench Isolation：淺溝槽隔離)形成。

[0103]

雜質區 203a、203b 是由於雜質的添加被低電阻化的區域，並具有作為源極以及汲極的功能。

[0104]

此外，也可以在側壁絕緣層 207 下設置用作 LDD (Lightly Doped Drain：輕摻雜汲極極)區域或者擴展區域(extension region)的雜質區 204a、204b。尤其是，當電晶體 18 為 n 通道電晶體時，為了抑制熱載子所導致的劣化，較佳為設置 LDD 區域或者擴展區域。

[0105]

另外，作為電晶體 18 可以使用具有矽化物(自行對準矽化物(salicide))的電晶體或不具有側壁絕緣層 207 的電晶體。當使用具有矽化物(自行對準矽化物)的結構時，可以使源極及汲極的電阻更低，並可以實現半導體裝置的高速化。此外，由於能夠以低電壓工作，所以可以降低半導體裝置的功耗。

[0106]

絕緣膜 208 具有作為閘極絕緣膜的功能。作為絕緣膜 208，可以使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎳、氧化鋅、氧化鈮、氧化鋨、氧化鈦、氧化鈳及氧化鉭中的一種以上的絕緣膜。另外，絕緣膜 208 可以是上述材料的疊層。絕緣膜 208 也可以包含釷 (La)、氮、鋯 (Zr) 等作為雜質。

[0107]

尤其是，絕緣膜 208 較佳為包含氧、氮、矽或鉛等。更明確而言，絕

緣膜 208 較佳為包含氧化鈣和氧化矽或者氧氮化矽。

[0108]

閘極 GE 可以使用選自鉭 (Ta)、鎢 (W)、鈦 (Ti)、鉬 (Mo)、鋁 (Al)、銅 (Cu)、鉻 (Cr)、鈮 (Nb) 等中的元素或以上述元素為主要成分的合金材料或化合物材料 (例如為氮化鉭) 形成。或者, 也可以使用以摻雜磷或硼等雜質元素的多晶矽為代表的半導體材料形成閘極 GE。

[0109]

圖 6 是使圖 4B 所示的電晶體 17 的通道寬度比電晶體 15 及電晶體 16 的通道寬度變大且使電晶體 18 的通道寬度比電晶體 17 的通道寬度變大時的俯視圖。

[0110]

如圖 6 所示, 電晶體的通道寬度從左列向右列遞增。藉由如此配置電晶體, 使 PTL10 整體的通態電阻變小, 從而能夠提高電路的工作速度。

[0111]

構成 PTL10 的電晶體可以採用上述以外的配置例子。

[0112]

例如, 在圖 4B 所示的俯視圖中, 可以使電晶體 15、16 的通道寬度與電晶體 11 至 14 的通道寬度相同。

[0113]

例如, 在圖 6 所示的俯視圖中, 可以使電晶體 15、16 的通道寬度與電晶體 11 至 14 的通道寬度相同。

[0114]

〈電晶體的配置例子 2〉

上述實施方式是將平面型電晶體用作電晶體的情況的一個例子, 而下

面對將 FIN 型電晶體用作電晶體的情況進行說明。

[0115]

圖 7A 是從圖 1 的 PTL10 的電路圖中抽出一部分而在電晶體 $P_1[0]$ 至 $P_1[3]$ 及電晶體 $P_2[0]$ 至 $P_2[1]$ 上附加了電晶體 21 至 28 的符號的圖。

[0116]

圖 7B 示出對應於圖 7A 的電路圖的俯視圖。注意，在圖 7B 的俯視圖中，為了明確起見，有時放大、縮小或省略一部分的構成要素。

[0117]

注意，雖然圖 7A 和圖 7B 示出圖 1 的電路圖中的由 p 通道型電晶體構成的高電壓一側的電路的一部分，但是還可以將以下說明適用於圖 7A 和圖 7B 所示的電路為由 n 通道型電晶體構成的低電壓一側的電路的情況。

[0118]

在圖 7B 的俯視圖中，電晶體 21 至 28 分別包括半導體 SEM、閘極 GE 及接觸孔 CO。在半導體 SEM 中，與閘極 GE 重疊的區域具有作為通道的功能。在半導體 SEM 中，沒有與閘極 GE 重疊的區域具有作為源極以及汲極的功能。較佳的是，藉由添加雜質，降低該源極以及汲極的電阻。

[0119]

注意，在 PTL10 中，以實現圖 7A 所示的電路的方式在半導體 SEM 及閘極 GE 的上方還形成有佈線等，但是在圖 7B 中為了明確起見省略該佈線等。另外，只在部分電晶體上附加閘極 GE、半導體 SEM 及接觸孔 CO 的符號，在其他電晶體中使用相同的陰影圖案來代替符號。

[0120]

在圖 7A 和圖 7B 中，電晶體 21 的閘極藉由接觸孔 CO 電連接於佈線 $DL1[0]$ 並接收信號 $DECPB[0]$ 。電晶體 21 的源極和汲極中的一個被施加電壓

$V[j-1]$ ，電晶體 21 的源極和汲極中的另一個電連接於電晶體 25 的源極和汲極中的一個。

[0121]

在圖 7A 和圖 7B 中，電晶體 22 的閘極藉由接觸孔 CO 電連接於佈線 DL2[0]並接收信號 DECP[0]。電晶體 22 的源極和汲極中的一個被施加電壓 $V[j-2]$ ，電晶體 22 的源極和汲極中的另一個電連接於電晶體 25 的源極和汲極中的一個。

[0122]

在圖 7A 和圖 7B 中，電晶體 23 的閘極藉由接觸孔 CO 電連接於佈線 DL1[0]並接收信號 DECPB[0]。電晶體 23 的源極和汲極中的一個被施加電壓 $V[j-3]$ ，電晶體 23 的源極和汲極中的另一個電連接於電晶體 26 的源極和汲極中的一個。

[0123]

在圖 7A 和圖 7B 中，電晶體 24 的閘極藉由接觸孔 CO 電連接於佈線 DL2[0]並接收信號 DECP[0]。電晶體 24 的源極和汲極中的一個被施加電壓 $V[j-4]$ ，電晶體 24 的源極和汲極中的另一個電連接於電晶體 26 的源極和汲極中的一個。

[0124]

在圖 7A 和圖 7B 中，電晶體 25 的閘極藉由接觸孔 CO 電連接於佈線 DL1[1]並接收信號 DECPB[1]。電晶體 25 的源極和汲極中的另一個電連接於電晶體 27 的源極和汲極中的一個。

[0125]

在圖 7A 和圖 7B 中，電晶體 26 的閘極藉由接觸孔 CO 電連接於佈線 DL2[1]並接收信號 DECP[1]。電晶體 26 的源極和汲極中的另一個電連接於

電晶體 27 的源極和汲極中的一個。

[0126]

在圖 7A 和圖 7B 中，電晶體 27 的閘極藉由接觸孔 CO 電連接於佈線 DL1[2]並接收信號 DECPB[2]。電晶體 27 的源極和汲極中的另一個藉由設置於上方的佈線（未圖式）電連接於電晶體 28 的源極和汲極中的一個。

[0127]

在圖 7A 和圖 7B 中，電晶體 28 的閘極藉由接觸孔 CO 電連接於佈線 DL1[3]並接收信號 DECPB[3]。

[0128]

接著，參照圖 8A 和圖 8B 說明構成圖 7A 和圖 7B 的 PTL10 的電晶體的形狀。

[0129]

圖 8A 示出圖 7B 中的電晶體 28 的點劃線 X1-X2 方向的剖面圖，圖 8B 同樣地示出電晶體 28 的點劃線 Y1-Y2 方向的剖面圖。注意，雖然圖 7A 示出電晶體 28 作為 p 通道型電晶體，但是圖 8A 和圖 8B 不侷限於此，也可以將電晶體 28 作為 n 通道型電晶體。

[0130]

電晶體 28 包括基板 211、通道 212、雜質區 213a、雜質區 213b、雜質區 214a、雜質區 214b、元件隔離層 215、側壁絕緣層 217、絕緣膜 218 以及閘極 GE。

[0131]

另外，電晶體 28 包括具有凸狀的半導體 221、222 及 223（參照圖 7B 及圖 8B）。沿著半導體 221 至 223 的側面及頂面設置有絕緣膜 218 及閘極 GE。這種電晶體還被稱為 FIN 型電晶體。此外，也可以以接觸於凸部的上

部的方式設置用作用於形成凸部的遮罩的絕緣膜。另外，雖然在此示出了對基板 211 的一部分進行加工而形成凸部的情況，但也可以對 SOI 基板進行加工而形成具有凸狀的半導體層。

[0132]

關於基板 211 的詳細內容，可以參照圖 5A 和圖 5B 所示的基板 201 的記載。

[0133]

關於雜質區 213a、213b 的詳細內容，可以參照圖 5A 和圖 5B 所示的雜質區 203a、203b 的記載。

[0134]

關於雜質區 214a、214b 的詳細內容，可以參照圖 5A 和圖 5B 所示的雜質區 204a、204b 的記載。

[0135]

關於元件隔離層 215 的詳細內容，可以參照圖 5A 和圖 5B 所示的元件隔離層 205 的記載。

[0136]

關於絕緣膜 218 的詳細內容，可以參照圖 5A 和圖 5B 所示的絕緣膜 208 的記載。

[0137]

關於側壁絕緣層 217 的詳細內容，可以參照圖 5A 和圖 5B 所示的側壁絕緣層 207 的記載。

[0138]

在圖 8A 和圖 8B 所示的 FIN 型電晶體中，半導體 221 至 223 的側面被閘極 GE 包圍。藉由採用上述結構，能夠高效地對半導體 221 至 223 施加開

極電場，從而能夠防止 DIBL (Drain Induced Barrier Lowering：汲極感應能障降低) 等短通道效果。另外，因為在半導體 221 至 223 的側面也形成通道，所以能夠提高電晶體處於導通狀態時的電流 (通態電流 (on-state current)) 。
FIN 型電晶體是適合微型化的結構。

[0139]

如圖 7B 所示，電晶體 21 至 24 較佳為在通道寬度方向上配置為一列。亦即，在圖 1 的 PTL10 中，電晶體 $P_1[0]$ 、 $P_2[0]$ 、 $N_1[0]$ 、 $N_2[0]$ 較佳為在通道寬度方向上配置為一列。藉由如此配置電晶體，可以使電晶體微型化，而在通道寬度方向上將該微型化了的電晶體配置於更小的區域。

[0140]

注意，在圖 7B 中，將以點劃線 Y1-Y2 表示的方向為通道寬度方向，將以點劃線 X1-X2 表示的方向為通道長度方向。

[0141]

在圖 7B 的俯視圖中，電晶體 21 至 27 包括一個或多個的具有凸狀的半導體 SEM。例如，電晶體 21 至 24 包括一個半導體 SEM，而電晶體 25 至 28 包括三個半導體 SEM。

[0142]

在此，在圖 7B 中，將電晶體 21 至 24 的半導體 SEM 的數量為 NM_0 ，將電晶體 25、26 的半導體 SEM 的數量為 NM_1 ，將電晶體 27 的半導體 SEM 的數量為 NM_2 ，並將電晶體 28 的半導體 SEM 的數量為 NM_3 。

[0143]

另外，在圖 1 中，將電晶體 $P_1[0]$ 、 $P_2[0]$ 、 $N_1[0]$ 、 $N_2[0]$ 的半導體 SEM 的數量為 NM_0 ，將電晶體 $P_1[1]$ 、 $P_2[1]$ 、 $N_1[1]$ 、 $N_2[1]$ 的半導體 SEM 的數量為 NM_1 ，將電晶體 $P_1[k-2]$ 、 $P_2[k-2]$ 、 $N_1[k-2]$ 、 $N_2[k-2]$ 的半導體 SEM 的數量為 NM_{k-2} ，

並將電晶體 $P_i[k-1]$ 、 $N_i[k-1]$ 的半導體 SEM 的數量為 NM_{k-1} 。

[0144]

如圖 7B 所示，數量 NM_0 較佳為小於數量 NM_1 至 NM_3 。同樣地，在圖 1 中，數量 NM_0 較佳為小於數量 NM_1 至 NM_{k-1} 。

[0145]

另外，如圖 7B 所示，在以相互鄰接的方式配置導電型（n 型或 p 型）相同的電晶體時，鄰接的電晶體之間有時能夠共同使用一個源極以及一個汲極，從而能夠減少電晶體的佔有面積，所以是較佳的。

[0146]

例如，當將 PTL10 應用於驅動器 IC 時，隨著顯示裝置的高清晰化的進展，被施加信號 $DECPB[0]$ 至信號 $DECPB[k-1]$ 的佈線之間的間隔變窄，由此被施加電壓 $V[0]$ 至 $V[j-1]$ 的佈線之間的間隔也隨之變窄。此時，藉由如圖 7B 所示那樣配置電晶體，能夠滿足上述要求並能夠實現顯示裝置的高清晰化。

[0147]

另外，藉由使電晶體 25 至 28 的通道寬度變大，能夠減少這些電晶體的通態電阻，從而能夠提高電路的工作速度。

[0148]

圖 9 是將圖 7B 所示的電晶體 27 的半導體 SEM 數量增加到 5 個並將電晶體 28 的半導體 SEM 數量增加到 7 個時的俯視圖。

[0149]

如圖 9 所示，電晶體中的半導體 SEM 數量可以從左列向右列增加。藉由如此配置電晶體，使 PTL10 整體的通態電阻變小，從而能夠提高電路的工作速度。

[0150]

構成 PTL10 的電晶體可以採用上述以外的配置例子。

[0151]

例如，在圖 7B 所示的俯視圖中，可以使電晶體 25、26 的半導體 SEM 數量與電晶體 21 至 24 的半導體 SEM 數量相同。

[0152]

例如，在圖 9 所示的俯視圖中，可以使電晶體 25、26 的半導體 SEM 數量與電晶體 21 至 24 的半導體 SEM 數量相同。

[0153]

〈〈PTL 的結構實例 2〉〉

圖 10 示出與上述 PTL10 的結構不同的 PTL30 的電路結構。

[0154]

圖 10 是將圖 1 的 PTL10 中的 p 通道型電晶體都代替為 n 通道型電晶體的圖。

[0155]

尤其是，上述 n 通道型電晶體較佳為在其通道中包括氧化物半導體的電晶體（以下稱為氧化物半導體電晶體）。氧化物半導體電晶體處於非導通狀態時的洩漏電流（關態電流（off-state current））極小，從而能夠構成功耗低的電路。

[0156]

上述氧化物半導體例如是包含銦（In）的氧化物半導體。例如，在氧化物半導體包含銦時，其載子移動率（電子移動率）得到提高。此外，氧化物半導體較佳為包含元素 M。元素 M 較佳為鋁（Al）、鎵（Ga）、釔（Y）或錫（Sn）等。作為可用作元素 M 的其他元素，有硼（B）、矽（Si）、鈦（Ti）、

鐵 (Fe)、鎳 (Ni)、鍺 (Ge)、釔 (Y)、鋯 (Zr)、鉬 (Mo)、鐳 (La)、鈾 (Ce)、釷 (Nd)、鈦 (Hf)、鉭 (Ta)、鎢 (W) 等。注意，作為元素 M，有時也可以組合多個上述元素。元素 M 例如是與氧的鍵能高的元素。元素 M 例如是與氧的鍵能高於鈦的元素。元素 M 例如是具有增大氧化物半導體的能隙的功能的元素。此外，氧化物半導體較佳為包含鋅 (Zn)。包含鋅的氧化物半導體有時容易晶化。

[0157]

注意，上述氧化物半導體不侷限於包含鈦的氧化物半導體。氧化物半導體例如也可以是鋅錫氧化物或鎵錫氧化物等不包含鈦且包含鋅、鎵或錫的氧化物半導體等。

[0158]

可以將圖 4A 至圖 9 所示的電晶體的配置及結構實例適用於圖 10 的 PTL30。

[0159]

實施方式 2

在本實施方式中，說明包括位準轉換器 LS、路徑電晶體邏輯 PTL 及放大器 AMP 的顯示裝置的電路方塊圖。圖 11 示出源極驅動器、閘極驅動器、顯示部的電路方塊圖。

[0160]

圖 11 的電路方塊圖所示的顯示裝置包括源極驅動器 100、閘極驅動器 101 及顯示部 102。另外，圖 11 示出在顯示部 102 中配置為矩陣狀的多個像素 103。

[0161]

源極驅動器 100 包括移位暫存器 SR、資料鎖存 D-Latch、位準轉換器 LS、路徑電晶體邏輯 PTL、電壓產生電路 V-gene 及放大器 AMP。源極驅動器 100 具有將類比的影像資料輸出到多個源極線 SL 的功能。另外，也可以由驅動器 IC 製造源極驅動器 100。

[0162]

例如，移位暫存器 SR 被輸入源極時脈 SCLK 及源極起動脈衝 SSP。移位暫存器 SR 生成取樣脈衝而將其輸出到資料鎖存 D-Latch。

[0163]

除了上述取樣脈衝之外，數位影像資料的資料信號 DATA[0]至 DATA[k-1]輸入到資料鎖存 D-Latch。在資料鎖存 D-Latch 中，資料信號 DATA[0]至 DATA[k-1]根據取樣脈衝而被鎖存。資料鎖存 D-Latch 將所鎖存的資料信號 DATA[0]至 DATA[k-1]輸出到位準轉換器 LS。

[0164]

位準轉換器 LS 將被輸入的資料信號 DATA[0]至 DATA[k-1]升壓而輸出到實施方式 1 所示的信號 DECPB[0]至 DECPB[k-1]。

[0165]

路徑電晶體邏輯 PTL 的結構與上述實施方式 1 所說明的結構是同樣的。亦即，路徑電晶體邏輯 PTL 根據被升壓的信號 DECPB[0]至 DECPB[k-1]控制電晶體的導通狀態，並輸出相對於電壓產生電路 V-gene 所生成的電壓 V[0]至 V[j-1]的類比信號的輸出信號 PTL_OUT。可以將實施方式 1 所示的 PTL10 或 PTL30 適用於路徑電晶體邏輯 PTL。

[0166]

放大器 AMP 將被輸入的輸出信號 PTL_OUT 的電流變大而作為資料信號 Vdata 輸出。

[0167]

在放大器 AMP 中得到的資料信號 Vdata 是被輸出到多個源極線 SL 的類比信號。

[0168]

作為一個例子，閘極驅動器 101 包括移位暫存器、緩衝器等。閘極驅動器 101 接收閘極起動脈衝及閘極時脈等，並輸出脈衝信號。可以與源極驅動器 100 同樣地對構成閘極驅動器 101 的電路進行 IC 化，構成閘極驅動器 101 的電路也可以使用與顯示部 102 的像素 103 所具有的電晶體相同的電晶體。

[0169]

閘極驅動器 101 將掃描信號輸出到多個閘極線 GL。注意，也可以設置多個閘極驅動器 101，並藉由該多個閘極驅動器 101 分別控制多個閘極線 GL。

[0170]

在顯示部 102 中，多個閘極線 GL 及多個源極線 SL 大致正交地設置。在閘極線 GL 與源極線 SL 的交叉部設置有像素 103。另外，至於彩色顯示，在顯示部 102 中，依次設置對應於紅色、綠色及藍色（RGB）的各顏色的像素 103。另外，作為 RGB 的像素的排列，可以適當地使用條狀排列，馬賽克狀排列、三角洲狀排列等。此外，不侷限於 RGB，也可以採用追加白色或黃色等其他顏色來進行彩色顯示的結構。

[0171]

另外，圖 11 的像素 103 例如可以採用圖 12A 所示的結構。

[0172]

圖 12A 所示的像素電路 103a 包括液晶元件 570、電晶體 550 以及電容

元件 560。

[0173]

根據像素電路 103a 的規格適當地設定液晶元件 570 的一對電極中的一個電極的電位。根據被寫入的資料設定液晶元件 570 的配向狀態。此外，也可以向多個像素電路 103a 的每一個所具有的液晶元件 570 的一對電極中的一個電極供應共用電位。此外，也可以向各行的像素電路 103a 的每一個所具有的液晶元件 570 的一對電極中的一個電極供應不同的電位。

[0174]

例如，作為具備液晶元件 570 的顯示裝置的驅動方法也可以使用如下模式：TN 模式；STN 模式；VA 模式；ASM(Axially Symmetric Aligned Micro-cell：軸對稱排列微單元) 模式；OCB (Optically Compensated Birefringence：光學補償彎曲) 模式；FLC (Ferroelectric Liquid Crystal：鐵電性液晶) 模式；AFLC (AntiFerroelectric Liquid Crystal：反鐵電液晶) 模式；MVA 模式；PVA (Patterned Vertical Alignment：垂直配向構型) 模式；IPS 模式；FFS 模式；或 TBA (Transverse Bend Alignment：橫向彎曲配向) 模式等。另外，作為顯示裝置的驅動方法，除了上述驅動方法之外，還有 ECB(Electrically Controlled Birefringence：電控雙折射) 模式、PDLC (Polymer Dispersed Liquid Crystal：聚合物分散型液晶) 模式、PNLC (Polymer Network Liquid Crystal：聚合物網路型液晶) 模式、賓主模式等。但是，不侷限於此，作為液晶元件及其驅動方式可以使用各種液晶元件及驅動方式。

[0175]

在像素電路 103a 中，電晶體 550 的源極電極和汲極電極中的一個與源極線 SL 電連接，源極和汲極中的另一個與液晶元件 570 的一對電極中的另一個電極電連接。此外，電晶體 550 的閘極電極與閘極線 GL 電連接。電晶

體 550 具有藉由被開啓或關閉而控制影像資料的寫入的功能。

[0176]

電容元件 560 的一對電極中的一個電極與被施加電位的佈線（以下，稱為電位供應線 VL）電連接，另一個電極與液晶元件 570 的一對電極中的另一個電極電連接。此外，根據像素電路 103a 的規格適當地設定電位供應線 VL 的電位的值。電容元件 560 具有儲存被寫入的資料的儲存電容器的功能。

[0177]

例如，在具有圖 12A 的像素電路 103a 的顯示裝置中，藉由圖 11 所示的閘極驅動器 101 依次選擇各行的像素電路 103a，使電晶體 550 成為導通狀態而寫入影像資料。

[0178]

當電晶體 550 被關閉時，被寫入資料的像素電路 103a 成為保持狀態。藉由逐行依次進行上述步驟，可以顯示影像。

[0179]

圖 11 所示的像素 103 例如可以採用圖 12B 所示的結構。

[0180]

圖 12B 所示的像素電路 103b 包括電晶體 552 及 554、電容元件 562 以及發光元件 572。

[0181]

在像素電路 103b 中，電晶體 552 的源極電極和汲極電極中的一個電連接於源極線 SL。並且，電晶體 552 的閘極電極電連接於閘極線 GL。

[0182]

電晶體 552 具有藉由被開啓或關閉而控制影像資料的寫入的功能。

[0183]

電容元件 562 的一對電極中的一個電極與被施加電位的佈線（以下，稱為電位供應線 VL_a）電連接，另一個電極與電晶體 552 的源極電極和汲極電極中的另一個電連接。

[0184]

電容元件 562 具有儲存被寫入的資料的儲存電容器的功能。

[0185]

電晶體 554 的源極電極和汲極電極中的一個與電位供應線 VL_a 電連接。並且，電晶體 554 的閘極電極與電晶體 552 的源極電極和汲極電極中的另一個電連接。

[0186]

發光元件 572 的陽極和陰極中的一個與電位供應線 VL_b 電連接，另一個與電晶體 554 的源極電極和汲極電極中的另一個電連接。

[0187]

作為發光元件 572，例如可以使用有機電致發光元件（也稱為有機 EL 元件）等。注意，發光元件 572 並不侷限於有機 EL 元件，也可以為由無機材料構成的無機 EL 元件。

[0188]

此外，電位供應線 VL_a 和電位供應線 VL_b 中的一個被施加高電源電位 VDD，另一個被施加低電源電位 VSS。

[0189]

例如，在具有圖 12B 的像素電路 103b 的顯示裝置中，藉由圖 11 所示的閘極驅動器 101 依次選擇各行的像素電路 103b，使電晶體 552 成為導通狀態而寫入影像資料。

[0190]

當電晶體 552 被關閉時，被寫入資料的像素電路 103b 成為保持狀態。並且，流過電晶體 554 的源極電極與汲極電極之間的電流量根據被寫入的資料信號的電位被控制，發光元件 572 以對應於流過的電流量的亮度發光。藉由逐行依次進行上述步驟，可以顯示影像。

[0191]

可以將像素電路 103b 連接於外部的校正電路，以校正連接於發光元件的電晶體的臨界值的不均勻。圖 13 及圖 14 示出其一個例子。

[0192]

圖 13 是對圖 11 所示的顯示裝置的電路方塊圖加上了校正電路 104 及多個佈線 ML 的圖。

[0193]

流過像素 103 的發光元件的電流經過多個佈線 ML 供應到校正電路 104。

[0194]

校正電路 104 例如包括電流檢測電路、記憶體、影像處理電路、CPU 等電路。

[0195]

校正電路 104 具有監控從像素 103 供應的發光元件的電流並校正輸入到源極驅動器 100 的資料信號 DATA[0]至 DATA[k-1]的功能。

[0196]

注意，也可以將校正電路 104 及源極驅動器 100 包括在一個驅動器 IC 中。

[0197]

圖 13 的像素 103 例如可以採用圖 14 所示的結構。

[0198]

圖 14 所示的像素電路 103c 包括電晶體 665 至電晶體 667、電容元件 668 以及發光元件 664。

[0199]

在像素電路 103c 中，電晶體 666 具有控制源極線 SL 與電晶體 665 的閘極之間的導通狀態的功能。在電晶體 665 中，源極和汲極中的一個電連接於發光元件 664 的陽極和陰極中的一個，源極和汲極中的另一個電連接於電位供應線 VL_a。電晶體 667 具有控制佈線 ML 與電晶體 665 的源極和汲極中的一個之間的導通狀態的功能。電容元件 668 的一對電極中的一個電極電連接於電晶體 665 的閘極，另一個電極電連接於發光元件 664 的陽極和陰極中的一個。發光元件 664 的陽極和陰極中的另一個電連接於電位供應線 VL_b。

[0200]

另外，電晶體 666 及電晶體 667 的開關工作根據閘極線 GL 的電位而進行。

[0201]

關於發光元件 664 的詳細內容，可以參照圖 12B 的發光元件 572 的記載。

[0202]

流過發光元件 664 的電流經過電晶體 667 及佈線 ML 供應到校正電路 104。校正電路 104 可以監控該電流值並校正供應到源極驅動器 100 的資料信號 DATA[0]至 DATA[k-1]。

[0203]

例如，在本說明書等中，顯示元件、作為具有顯示元件的裝置的顯示裝置、發光元件以及作為具有發光元件的裝置的發光裝置可以採用各種方式或具有各種元件。顯示元件、顯示裝置、發光元件或發光裝置例如包括 EL（電致發光）元件（包含有機物及無機物的 EL 元件、有機 EL 元件、無機 EL 元件）、LED（白色 LED、紅色 LED、綠色 LED、藍色 LED 等）、電晶體（根據電流發光的電晶體）、電子發射元件、液晶元件、電子墨水、電泳元件、柵光閥（GLV）、電漿顯示器（PDP）、使用 MEMS（微機電系統）的顯示元件、數位微鏡裝置（DMD）、DMS（數位微快門）、MIRASOL（在日本註冊的商標）、IMOD（干涉調變）元件、快門方式的 MEMS 顯示元件、光干涉方式的 MEMS 顯示元件、電濕潤（electrowetting）元件、壓電陶瓷顯示器、使用碳奈米管的顯示元件等中的至少一個。除此以外，還可以包括其對比度、亮度、反射率、透射率等因電作用或磁作用而變化的顯示媒體。作為使用 EL 元件的顯示裝置的例子，有 EL 顯示器等。作為使用電子發射元件的顯示裝置的例子，有場致發射顯示器（FED）或 SED 方式平面型顯示器（SED：Surface-conduction Electron-emitter Display：表面傳導電子發射顯示器）等。作為使用液晶元件的顯示裝置的例子，有液晶顯示器（透過型液晶顯示器、半透過型液晶顯示器、反射型液晶顯示器、直觀型液晶顯示器、投影型液晶顯示器）等。作為使用電子墨水、電子粉流體（日本的註冊商標）或電泳元件的顯示裝置的例子，有電子紙等。注意，當實現半透過型液晶顯示器或反射型液晶顯示器時，使像素電極的一部分或全部具有反射電極的功能，即可。例如，使像素電極的一部分或全部包含鋁、銀等，即可。並且，此時也可以將 SRAM 等記憶體電路設置在反射電極下。由此可以進一步降低功耗。此外，在使用 LED 的情況下，也可以在 LED 電極或氮化物半導體下設置石墨烯或石墨。作為石墨烯或石墨也可以層疊多

個層，而成為多層膜。如此藉由設置石墨烯或石墨，可以容易在其上形成氮化物半導體，例如具有晶體的 n 型 GaN 半導體層等。再者，也可以在其上設置具有晶體的 p 型 GaN 半導體層等來構成 LED。此外，也可以在石墨烯或石墨與具有晶體的 n 型 GaN 半導體層之間設置 AlN 層。此外，也可以利用 MOCVD 形成 LED 所包括的 GaN 半導體層。注意，在設置石墨烯時，可以利用濺射法形成 LED 所包括的 GaN 半導體層。

[0204]

實施方式 3

在本實施方式中，參照圖 15A 至圖 18E 說明將上述實施方式所說明的半導體裝置應用於電子構件的應用實例、將該電子構件應用於顯示模組的應用實例、該顯示模組的應用實例及電子裝置的應用實例。

[0205]

首先，在圖 15A 中，說明將上述實施方式所說明的半導體裝置應用於電子構件的例子。注意，電子構件還被稱為半導體封裝或 IC 用封裝。該電子構件根據端子取出方向或端子的形狀具有不同規格和名稱。在本實施方式中，說明其一個例子。

[0206]

藉由在組裝製程（後製程）中組合多個能夠裝卸在印刷電路板上的構件，完成由圖 5A 和圖 5B 或圖 8A 和圖 8B 所示的電晶體構成的半導體裝置。

[0207]

後製程可以經過進行圖 15A 所示的製程完成。明確而言，在由前製程得到的元件基板完成（步驟 S1）之後，研磨基板的背面（步驟 S2）。藉由該步驟使基板薄膜化，可以減少在前製程中產生的基板的翹曲等，而實現

構件的小型化。

[0208]

進行研磨基板的背面且將基板分成多個晶片的切割（dicing）製程。並且，進行如下晶片接合(die bonding)製程(步驟 S3)：拾取被切割的各晶片，並將其安裝且接合於插入物（interposer）上。在使該晶片接合製程中的晶片與插入物黏接時，根據產品而適當地選擇合適的方法，例如利用樹脂的黏接或膠帶的黏接等。

[0209]

接著，進行將插入物的佈線與晶片上的電極藉由線（wire）電連接的打線接合（wire bonding）（步驟 S4）。作為線可以使用銀線或金線。此外，打線接合可以使用球焊（ball bonding）或楔結合（wedge bonding）。

[0210]

對進行了打線接合的晶片實施被環氧樹脂等密封的模塑（molding）製程（步驟 S5）。藉由進行模塑製程，使電子構件的內部被樹脂填充，可以減輕機械外力對安裝於電子構件內部的電路部及線造成的損傷，還可以降低因水分或灰塵而導致的特性劣化。

[0211]

接著，對封裝表面實施印字處理（marking）（步驟 S6）。並且，藉由最終檢驗步驟（步驟 S7），完成電子構件（步驟 S8）。

[0212]

上面說明的電子構件可以包括上述實施方式所說明的半導體裝置。因此，能夠實現一種小型且高可靠性的電子構件。

[0213]

另外，圖 15B 示出所完成的電子構件的剖面示意圖。在圖 15B 所示的

電子構件 700 中，在插入物 702 的表面上設置有半導體裝置 701。半導體裝置 701 藉由線 705 連接於插入物 702 表面的佈線，並與設置在插入物背面的凸點端子 706 電連接。插入物 702 上的半導體裝置 701 填充有環氧樹脂 704 並被封裝 703 密封。

[0214]

圖 15B 所示的電子構件 700 例如安裝於 FPC (Flexible Printed Circuit：撓性印刷電路) 或顯示面板上。

[0215]

接著，參照圖 16A 和圖 16B 說明將圖 15B 所示的電子構件安裝於顯示面板的例子。

[0216]

圖 16A 示出在顯示部 711 的周圍設置有源極驅動器 714 及閘極驅動器 712A、712B 並在基板 713 上安裝有多個電子構件 700 作為源極驅動器 714 的例子。

[0217]

使用各向異性導電黏合劑及各向異性導電薄膜將多個電子構件 700 安裝於基板 713 上。

[0218]

另外，多個電子構件 700 藉由 FPC715 與外部電路基板 716 連接。

[0219]

此外，圖 16B 示出在顯示部 711 的周圍設置有源極驅動器 714 及閘極驅動器 712A、712B 並在 FPC715 上安裝有多個電子構件 700 作為源極驅動器 714 的例子。

[0220]

藉由將多個電子構件 700 安裝於 FPC715 上，可以在基板 713 上設置更大的顯示部 711，由此能夠實現窄邊框化。

[0221]

接著，參照圖 17 說明使用圖 16A 和圖 16B 的顯示面板的顯示模組的應用實例。

[0222]

在圖 17 所示的顯示模組 8000 中，在上蓋 8001 與下蓋 8002 之間設置有連接於 FPC8003 的觸控面板 8004、連接於 FPC8005 的顯示面板 8006、背光單元 8007、框架 8009、印刷電路板 8010 和電池 8011。注意，有時沒有設置背光單元 8007、電池 8011、觸控面板 8004 等。

[0223]

可以將圖 16A 和圖 16B 所說明的顯示面板用於圖 17 中的顯示面板 8006。

[0224]

上蓋 8001 和下蓋 8002 的形狀和尺寸可以根據觸控面板 8004 和顯示面板 8006 的尺寸適當地改變。

[0225]

觸控面板 8004 可以為電阻膜式觸控面板或電容式觸控面板，並且能夠被形成為與顯示面板 8006 重疊。顯示面板 8006 的相對基板（密封基板）能夠具有觸控面板功能。或者，光感測器可以被設置於顯示面板 8006 的每個像素內，以製成光學式觸控面板。或者，觸控面板用電極被設置於顯示面板 8006 的每個像素內，以製成電容式觸控面板。

[0226]

背光單元 8007 包括光源 8008。可以將光源 8008 設置於背光單元 8007

的端部，並且可以使用光擴散板。

[0227]

框架 8009 除了保護顯示面板 8006 的功能之外還具有阻擋由於印刷電路板 8010 的操作產生的電磁波的電磁屏蔽的功能。框架 8009 可以具有散熱板的功能。

[0228]

印刷電路板 8010 包括電源電路以及用於輸出視訊信號和時脈信號的信號處理電路。作為用於給電源電路供電的電源，可以使用外部商用電源或者使用單獨提供的電池 8011 的電源。在使用商用電源時，可以省略電池 8011。

[0229]

顯示模組 8000 可以另外設置有諸如偏光板、相位差板、稜鏡片等的構件。

[0230]

接著，說明作為如下電子裝置的顯示面板使用了包括上述電子構件的顯示面板的情況：電腦、可攜式資訊終端（包括行動電話、可攜式遊戲機以及音頻再生裝置等）、電子紙、電視機（也稱為電視或電視接收機）以及數位攝影機等。

[0231]

圖 18A 示出可攜式資訊終端，其包括外殼 901、外殼 902、第一顯示部 903a 和第二顯示部 903b 等。在外殼 901 和外殼 902 中的至少一部分中設置有包括前面的實施方式所示的半導體裝置的電子構件。因此，能夠實現一種小型且高可靠性的可攜式資訊終端。

[0232]

另外，第一顯示部 903a 為具有觸摸輸入功能的面板，例如如圖 18A 的左圖所示，可以由顯示在第一顯示部 903a 的選擇按鈕 904 選擇進行“觸摸輸入”還是進行“鍵盤輸入”。由於可以以各種各樣的尺寸顯示選擇按鈕，所以各個年齡段的人都能容易使用。在此，例如在選擇“鍵盤輸入”的情況下，如圖 18A 的右圖所示，在第一顯示部 903a 中顯示鍵盤 905。由此，與習知的資訊終端同樣可以利用鍵盤迅速地進行文字輸入等。

[0233]

另外，圖 18A 所示的可攜式資訊終端如圖 18A 的右圖所示，可以將第一顯示部 903a 和第二顯示部 903b 中的一個卸下。藉由作為第二顯示部 903b 採用具有觸摸輸入功能的面板，可以減輕攜帶時的重量，並可以用一隻手拿著外殼 902 而用另一隻手進行操作，所以很方便。

[0234]

圖 18A 所示的可攜式資訊終端可具有：顯示各種資訊（例如靜態影像、動態影像和文字影像等）的功能；在顯示部上顯示日曆、日期、時間等的功能；操作或編輯顯示在顯示部上的資訊的功能；利用各種軟體（程式）控制處理的功能等。另外，也可以在外殼的背面或側面設置外部連接端子（耳機端子、USB 端子等）、儲存介質插入部等。

[0235]

圖 18A 所示的可攜式資訊終端可以採用以無線方式發送且接收資訊的結構。還可以採用以無線方式從電子書籍伺服器購買且下載所希望的書籍資料等的結構。

[0236]

再者，也可以使圖 18A 所示的外殼 902 具有天線、麥克風功能或無線通訊功能，來將其用作行動電話。

[0237]

圖 18B 示出安裝有電子紙的電子書閱讀器 910，該電子書閱讀器由兩個外殼，亦即外殼 911 及外殼 912 構成。在外殼 911 及外殼 912 中分別設置有顯示部 913 及顯示部 914。外殼 911 及外殼 912 由軸部 915 彼此連接，並且可以以該軸部 915 為軸而進行開閉動作。此外，外殼 911 包括電源開關 916、操作鍵 917 以及揚聲器 918 等。在外殼 911 和外殼 912 中的至少一個中設置有包括前面的實施方式所示的半導體裝置的電子構件。因此，能夠實現一種小型且高可靠性的電子書閱讀器。

[0238]

圖 18C 示出電視機，其包括外殼 921、顯示部 922 和支架 923 等。可以藉由外殼 921 所具有的開關和遙控器 924 來進行電視機的操作。在外殼 921 和遙控器 924 中安裝有包括前面的實施方式所示的半導體裝置的電子構件。因此，可以能夠實現一種小型且高可靠性的電視機。

[0239]

圖 18D 示出智慧手機，其主體 930 設置有顯示部 931、揚聲器 932、麥克風 933 和操作按鈕 934 等。包括前面的實施方式所示的半導體裝置的電子構件設置在主體 930 中。因此，可以能夠實現一種小型且高可靠性的智慧手機。

[0240]

圖 18E 示出數位相機，其包括主體 941、顯示部 942 和操作開關 943 等。包括前面的實施方式所示的半導體裝置的電子構件設置在主體 941 中。因此，可以能夠實現一種小型且高可靠性的數位相機。

[0241]

如上所述，在本實施方式所示的電子裝置中都安裝有包括根據前面的

實施方式的半導體裝置的電子構件。因此，可以能夠實現一種小型且高可靠性的電子裝置。

【符號說明】

[0242]

CO	接觸孔	16	電晶體
DL1	佈線	17	電晶體
DL2	佈線	18	電晶體
GE	閘極	21	電晶體
GL	閘極線	22	電晶體
ML	佈線	23	電晶體
N ₁	電晶體	24	電晶體
N ₂	電晶體	25	電晶體
P ₁	電晶體	26	電晶體
P ₂	電晶體	27	電晶體
SL	源極線	28	電晶體
SEM	半導體	30	PTL
V1	高電源電位	100	源極驅動器
VDD	高電源電位	101	閘極驅動器
VSS	低電源電位	102	顯示部
10	PTL	103	像素
11	電晶體	103a	像素電路
12	電晶體	103b	像素電路
13	電晶體	103c	像素電路
14	電晶體	104	校正電路
15	電晶體	201	基板

202	通道	572	發光元件
203a	雜質區	664	發光元件
203b	雜質區	665	電晶體
204a	雜質區	666	電晶體
204b	雜質區	667	電晶體
205	元件隔離層	668	電容元件
207	側壁絕緣層	700	電子構件
208	絕緣膜	701	半導體裝置
211	基板	702	插入物
212	通道	703	封裝
213a	雜質區	704	環氧樹脂
213b	雜質區	705	線
214a	雜質區	706	凸點端子
214b	雜質區	711	顯示部
215	元件隔離層	712A	閘極驅動器
217	側壁絕緣層	712B	閘極驅動器
218	絕緣膜	713	基板
221	半導體	714	源極驅動器
222	半導體	715	FPC
223	半導體	716	外部電路基板
550	電晶體	901	外殼
552	電晶體	902	外殼
554	電晶體	903a	顯示部
560	電容元件	903b	顯示部
562	電容元件	904	選擇按鈕
570	液晶元件	905	鍵盤

910	電子書閱讀器	933	麥克風
911	外殼	934	操作按鈕
912	外殼	941	主體
913	顯示部	942	顯示部
914	顯示部	943	操作開關
915	軸部	8000	顯示模組
916	電源	8001	上蓋
917	操作鍵	8002	下蓋
918	揚聲器	8003	FPC
920	電視機	8004	觸控面板
921	外殼	8005	FPC
922	顯示部	8006	顯示面板
923	支架	8007	背光單元
924	遙控器	8008	光源
930	主體	8009	框架
931	顯示部	8010	印刷電路板
932	揚聲器	8011	電池

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

申請專利範圍

1.一種半導體裝置，包括：

第一至第七電晶體以及第一至第五佈線，

其中：

該第一電晶體的閘極電連接於該第一佈線，

該第一電晶體的源極和汲極中的一個被施加第一電壓，

該第一電晶體的該源極和該汲極中的另一個電連接於該第五電晶體的源極和汲極中的一個，

該第二電晶體的閘極電連接於該第二佈線，

該第二電晶體的源極和汲極中的一個被施加第二電壓，

該第二電晶體的該源極和該汲極中的另一個電連接於該第五電晶體的該源極和該汲極中的該一個，

該第三電晶體的閘極電連接於該第一佈線，

該第三電晶體的源極和汲極中的一個被施加第三電壓，

該第三電晶體的該源極和該汲極中的另一個電連接於該第六電晶體的源極和汲極中的一個，

該第四電晶體的閘極電連接於該第二佈線，

該第四電晶體的源極和汲極中的一個被施加第四電壓，

該第四電晶體的該源極和該汲極中的另一個電連接於該第六電晶體的該源極和該汲極中的該一個，

該第五電晶體的閘極電連接於該第三佈線，

該第五電晶體的該源極和該汲極中的另一個電連接於該第七電晶體的源極和汲極中的一個，

該第六電晶體的閘極電連接於該第四佈線，

該第六電晶體的該源極和該汲極中的另一個電連接於該第七電晶體的該源極和該汲極中的該一個，

該第七電晶體的閘極電連接於該第五佈線，

該第一佈線被施加第一信號，

該第二佈線被施加該第一信號的反轉信號，

該第三佈線被施加第二信號，

該第四佈線被施加該第二信號的反轉信號，

該第五佈線被施加第三信號，

該第一至第七電晶體都包括具有凸部的半導體、該半導體上的絕緣膜以及該絕緣膜上的閘極電極，

在各個該第一至第七電晶體中，該半導體的側面在通道寬度方向上被該閘極電極覆蓋，

並且，該第一至第四電晶體的各通道寬度小於該第五至第七電晶體的各通道寬度。

2.根據申請專利範圍第 1 項之半導體裝置，其中該第一至第七電晶體具有相同的導電型。

3.一種半導體裝置，包括：

第一至第七電晶體以及第一至第五佈線，

其中：

該第一至第七電晶體是 p 通道型電晶體，

該第一電晶體的閘極電連接於該第一佈線，

該第一電晶體的源極和汲極中的一個被施加第一電壓，

該第一電晶體的該源極和該汲極中的另一個電連接於該第五電晶體的源極和汲極中的一個，

該第二電晶體的閘極電連接於該第二佈線，

該第二電晶體的源極和汲極中的一個被施加第二電壓，

該第二電晶體的該源極和該汲極中的另一個電連接於該第五電晶體的
該源極和該汲極中的該一個，

該第三電晶體的閘極電連接於該第一佈線，

該第三電晶體的源極和汲極中的一個被施加第三電壓，

該第三電晶體的該源極和該汲極中的另一個電連接於該第六電晶體的
源極和汲極中的一個，

該第四電晶體的閘極電連接於該第二佈線，

該第四電晶體的源極和汲極中的一個被施加第四電壓，

該第四電晶體的該源極和該汲極中的另一個電連接於該第六電晶體的
該源極和該汲極中的該一個，

該第五電晶體的閘極電連接於該第三佈線，

該第五電晶體的該源極和該汲極中的另一個電連接於該第七電晶體的
源極和汲極中的一個，

該第六電晶體的閘極電連接於該第四佈線，

該第六電晶體的該源極和該汲極中的另一個電連接於該第七電晶體的
該源極和該汲極中的該一個，

該第七電晶體的閘極電連接於該第五佈線，

該第一佈線被施加第一信號，

該第二佈線被施加該第一信號的反轉信號，

該第三佈線被施加第二信號，

該第四佈線被施加該第二信號的反轉信號，

該第五佈線被施加第三信號，

該第一至第七電晶體都包括具有凸部的半導體、該半導體上的絕緣膜以及該絕緣膜上的閘極電極，

在各個該第一至第七電晶體中，該半導體的側面在通道寬度方向上被該閘極電極覆蓋，

並且，該第一至第四電晶體的各通道寬度小於該第五至第七電晶體的各通道寬度。

4.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該第一至第四電晶體配置為一列。

5.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該第五至第七電晶體的該各通道寬度大於該第一至第四電晶體的該各通道寬度的 2 倍且小於 8 倍。

6.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該第一至第四電壓中的一個根據該第一至第三信號被選擇而輸出到該第七電晶體的該源極和該汲極中的另一個。

7.一種包括電連接於申請專利範圍第 1 或 3 項之半導體裝置的凸點端子的電子構件。

8.一種包括顯示裝置及申請專利範圍第 7 項之電子構件的電子裝置。

圖式

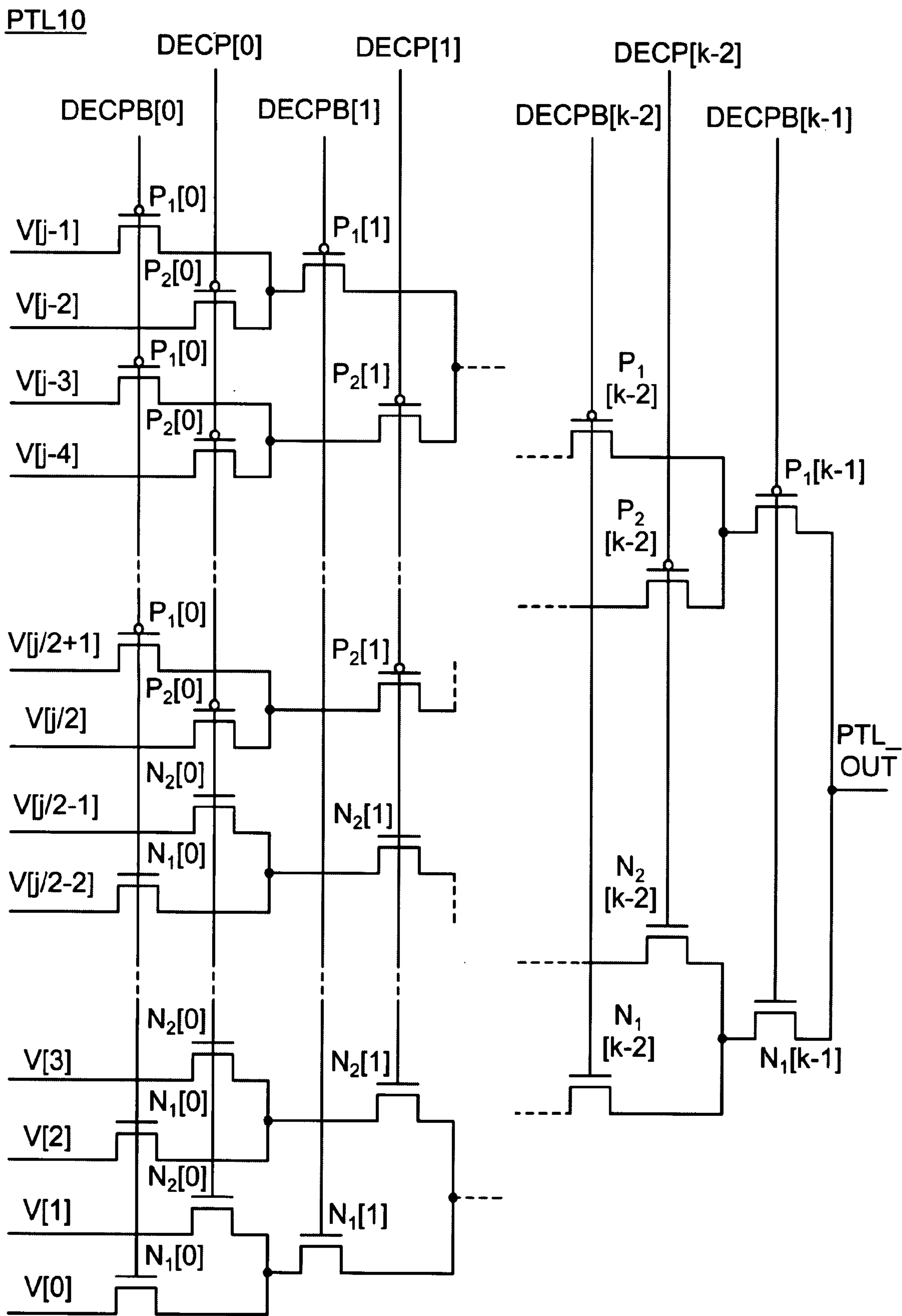


圖 1

V-gene

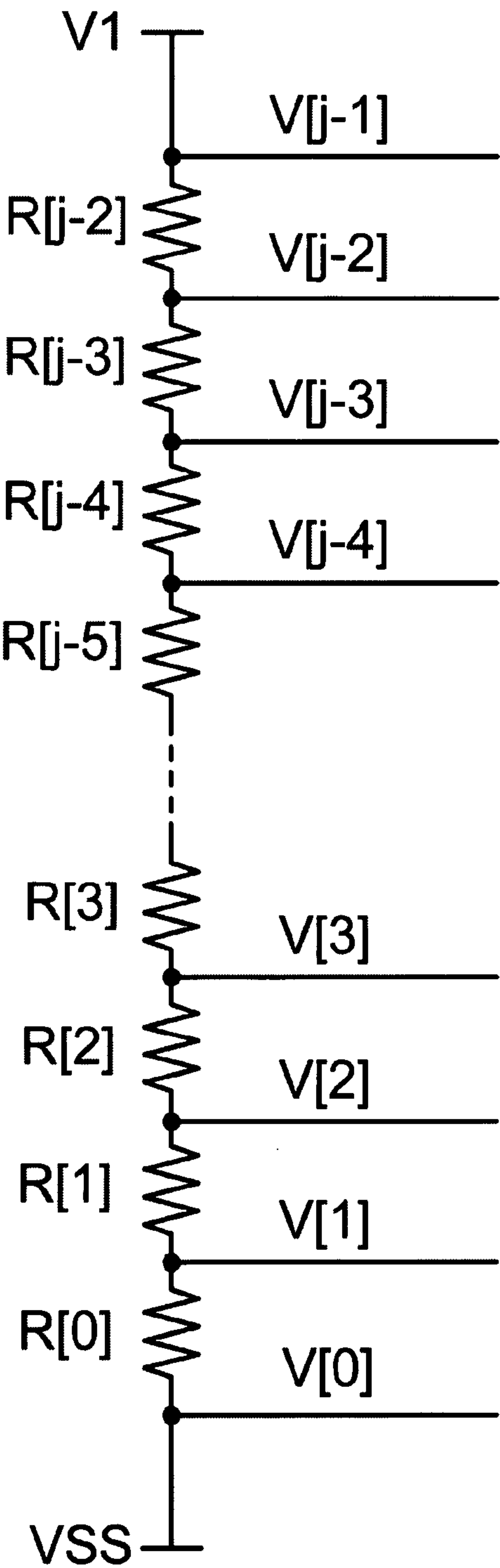


圖 2

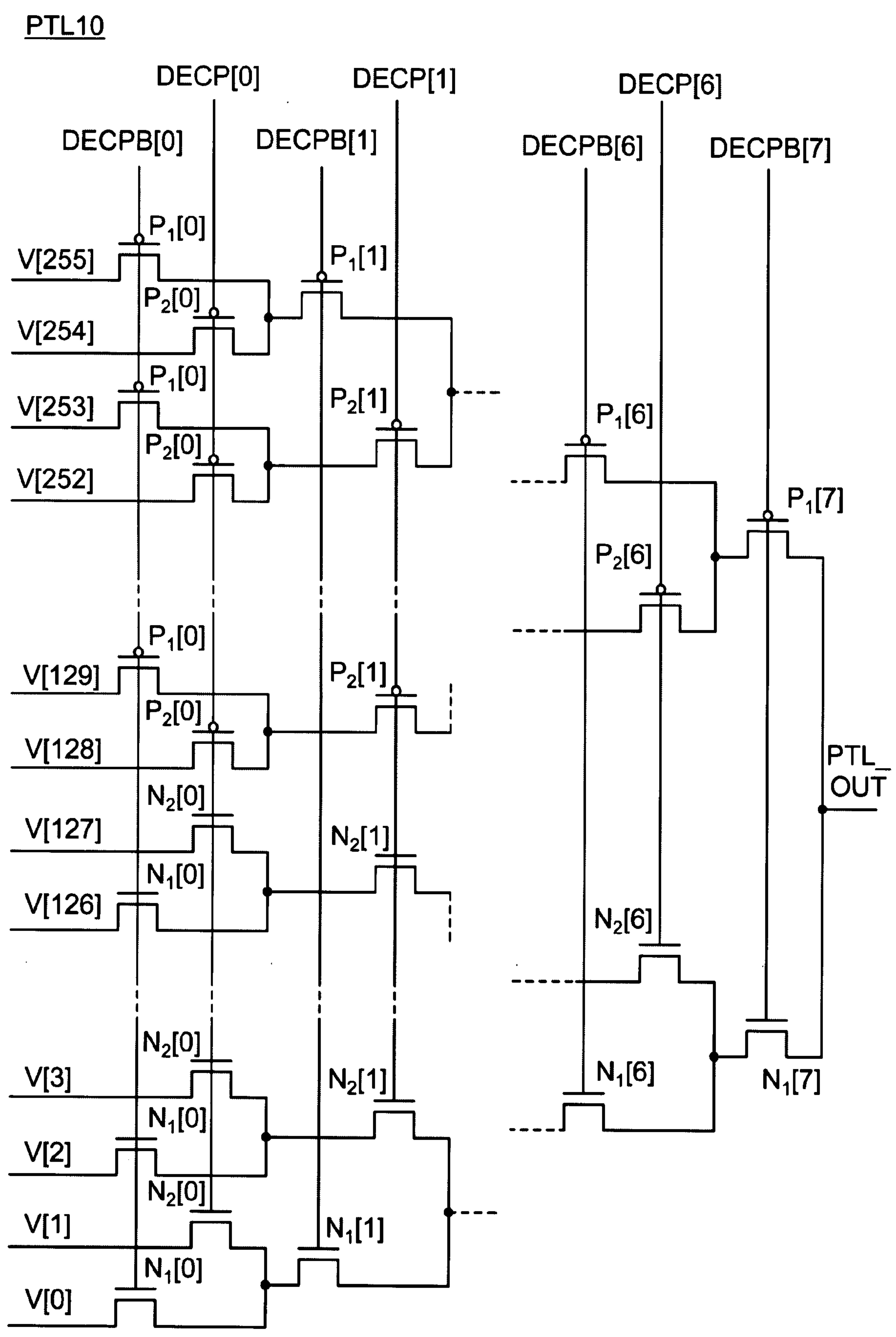
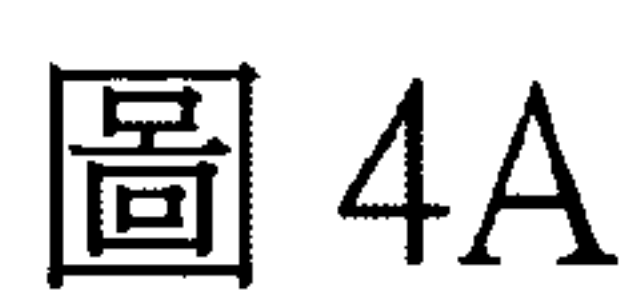


圖 3



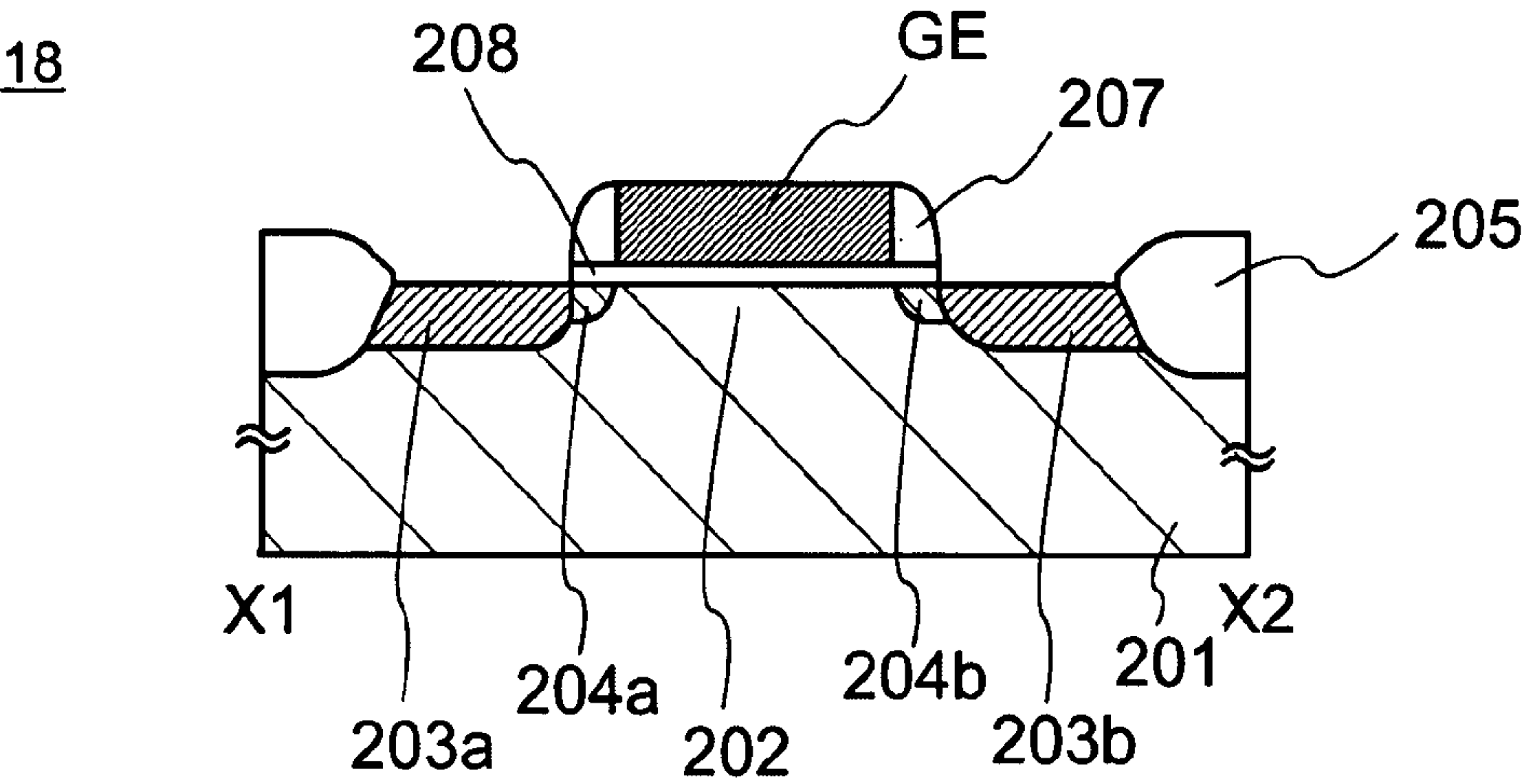


圖 5A

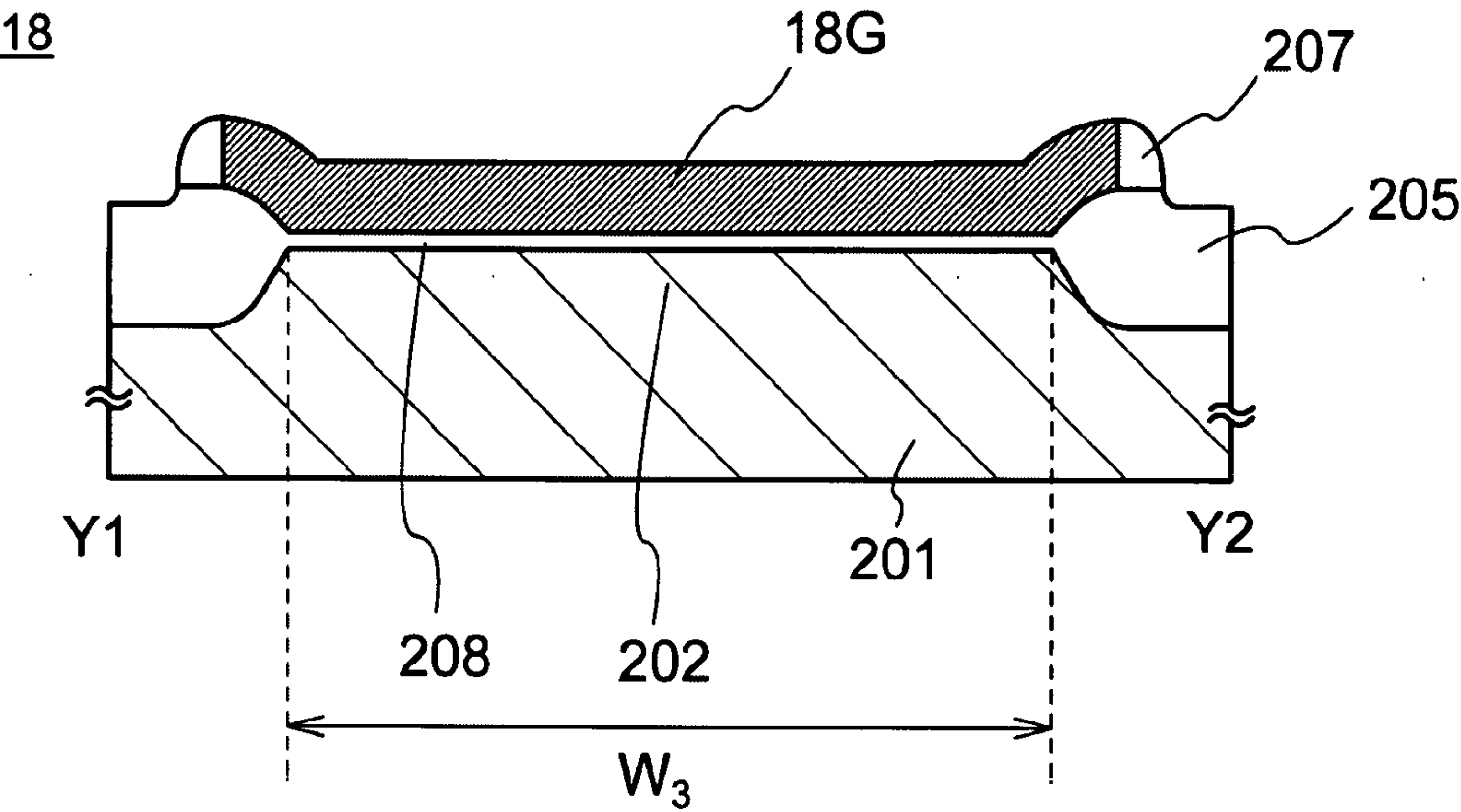


圖 5B

PTL10

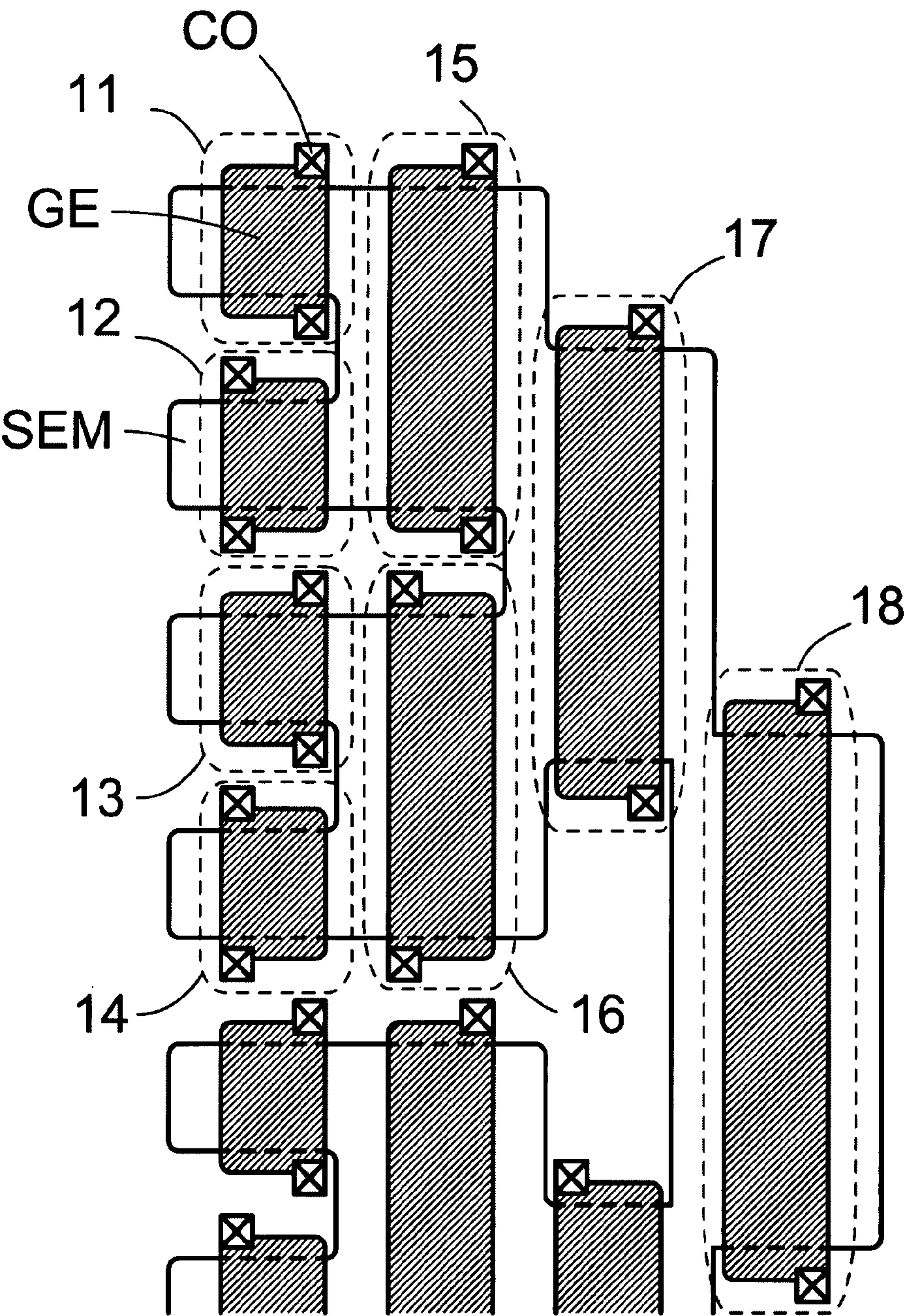


圖 6

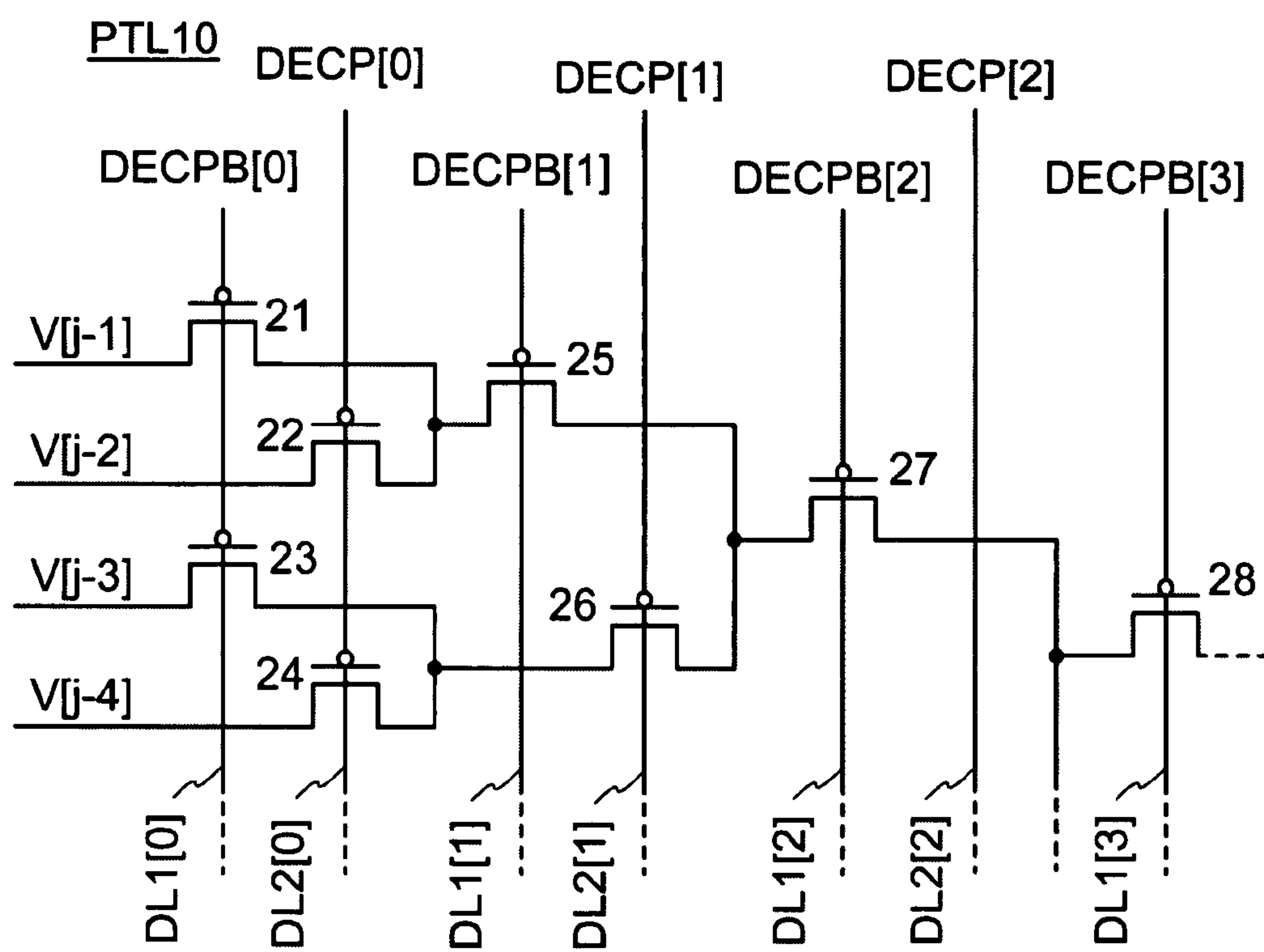


圖 7A

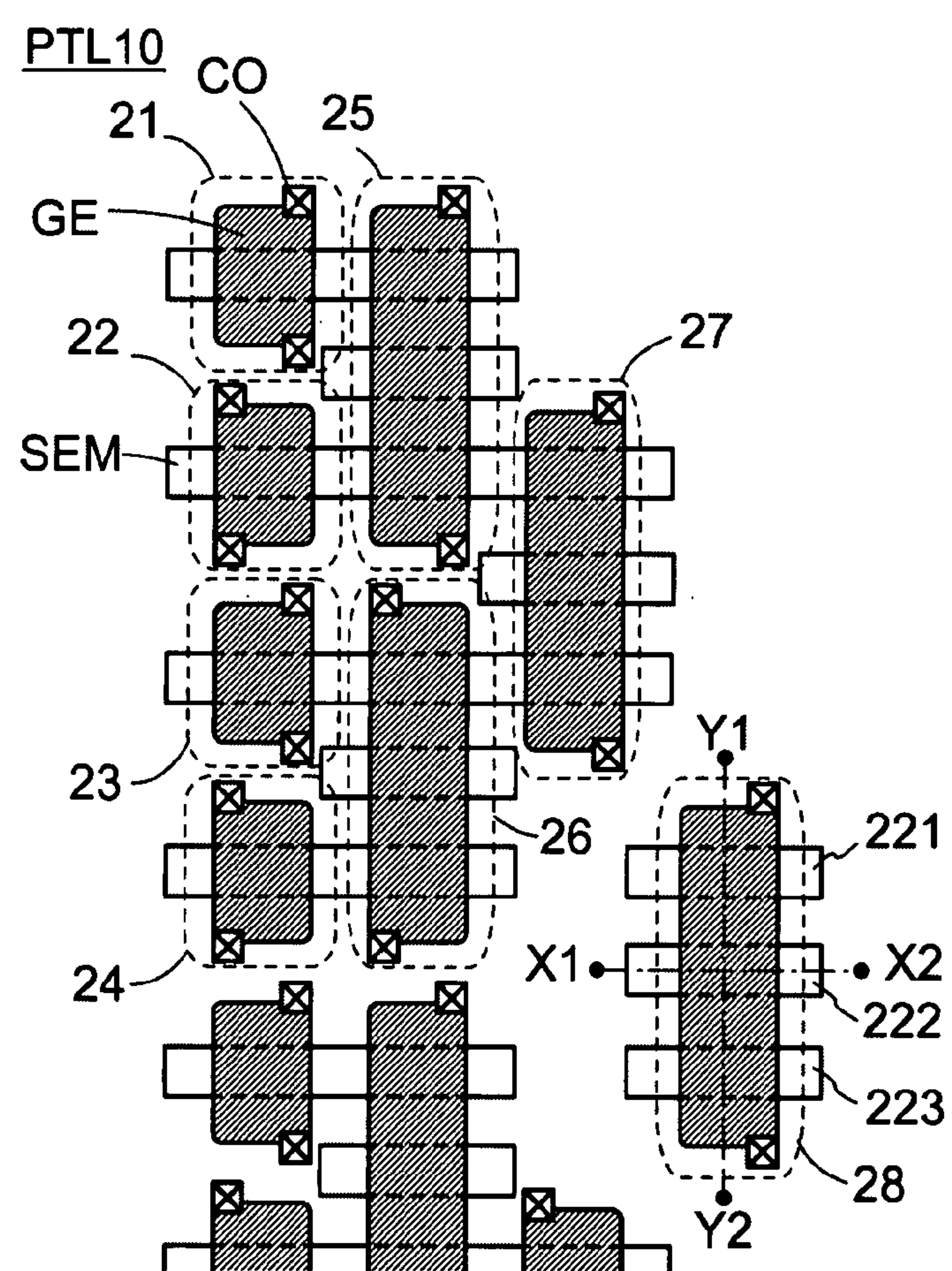


圖 7B

PTL10

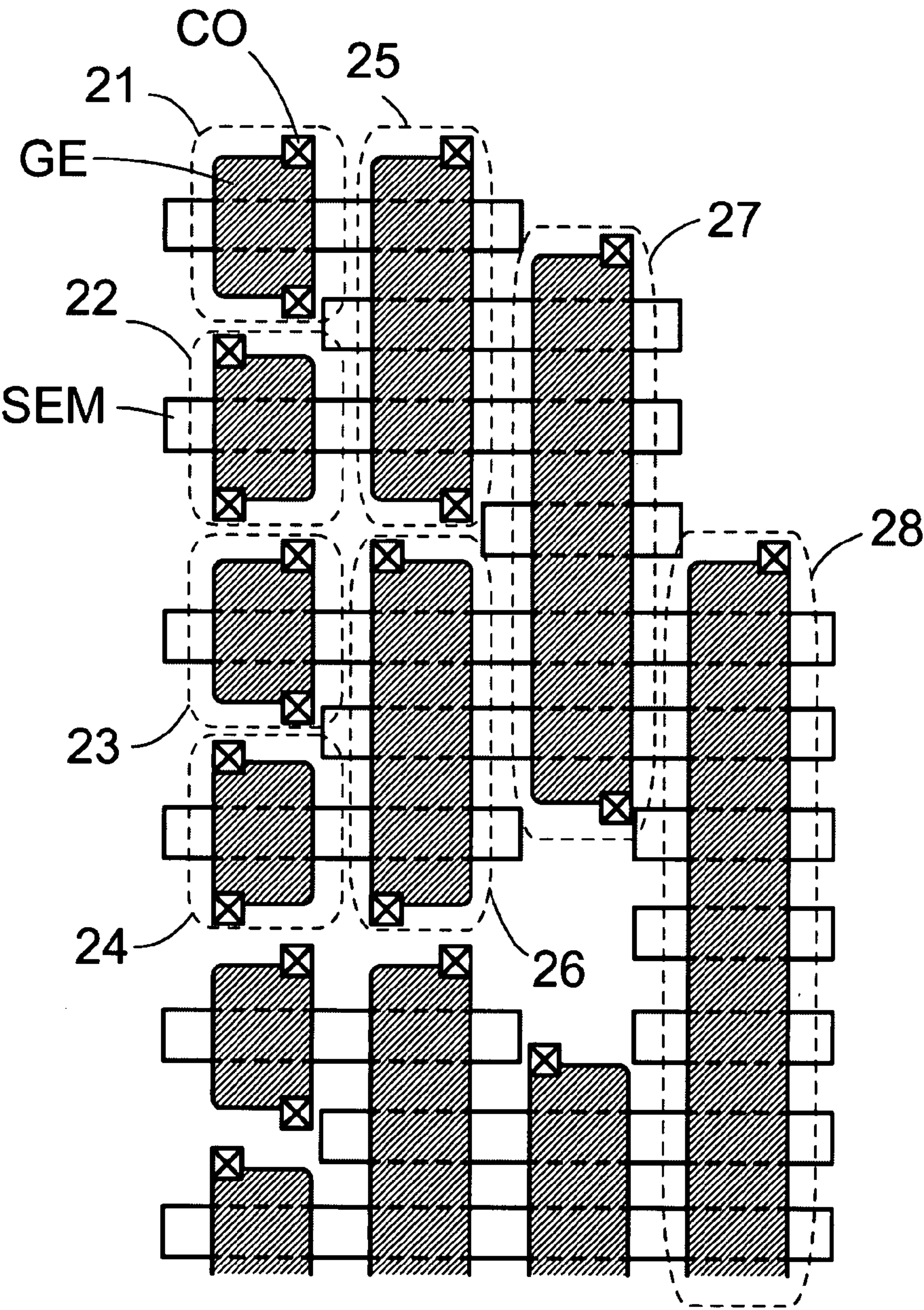


圖 9

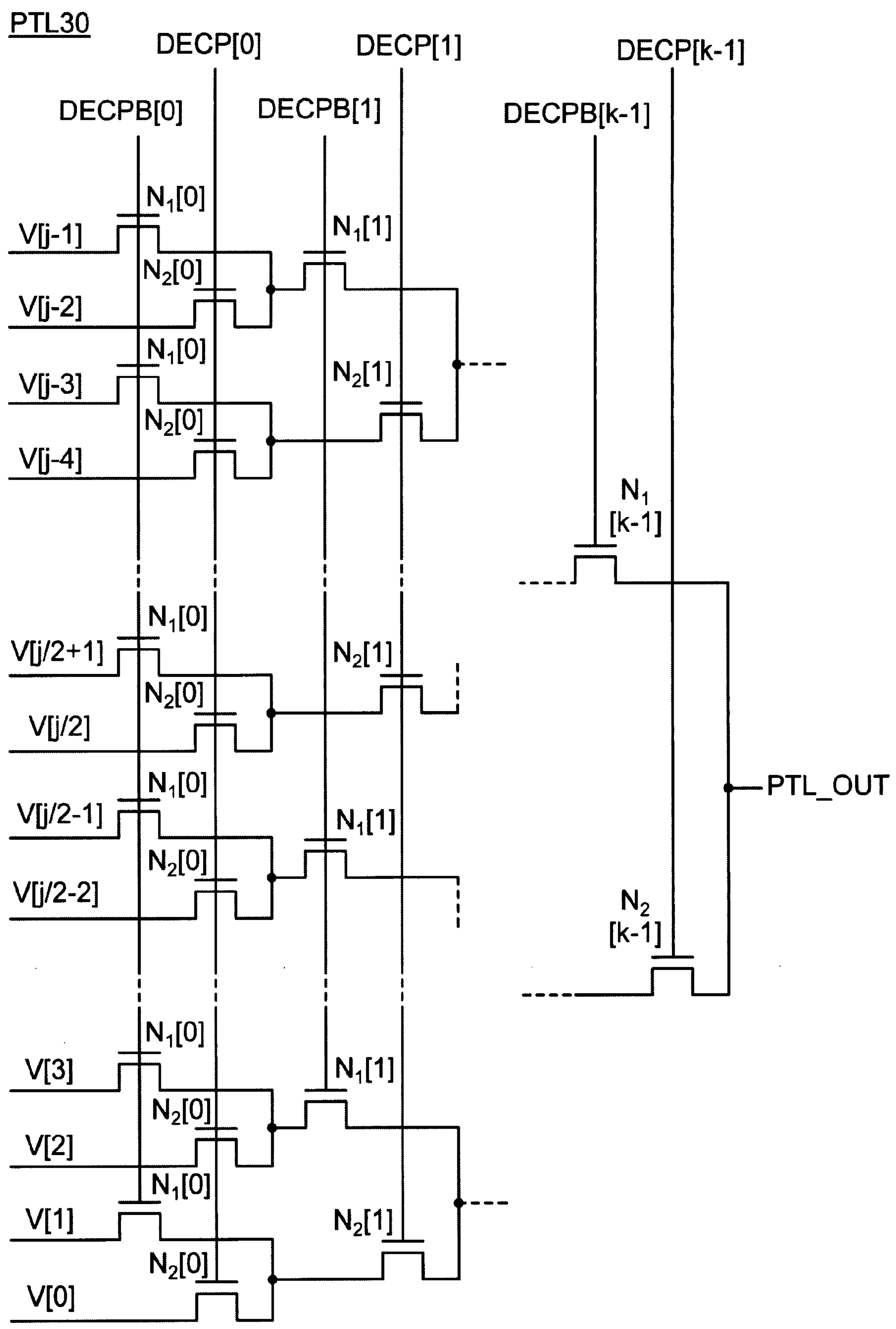


圖 10

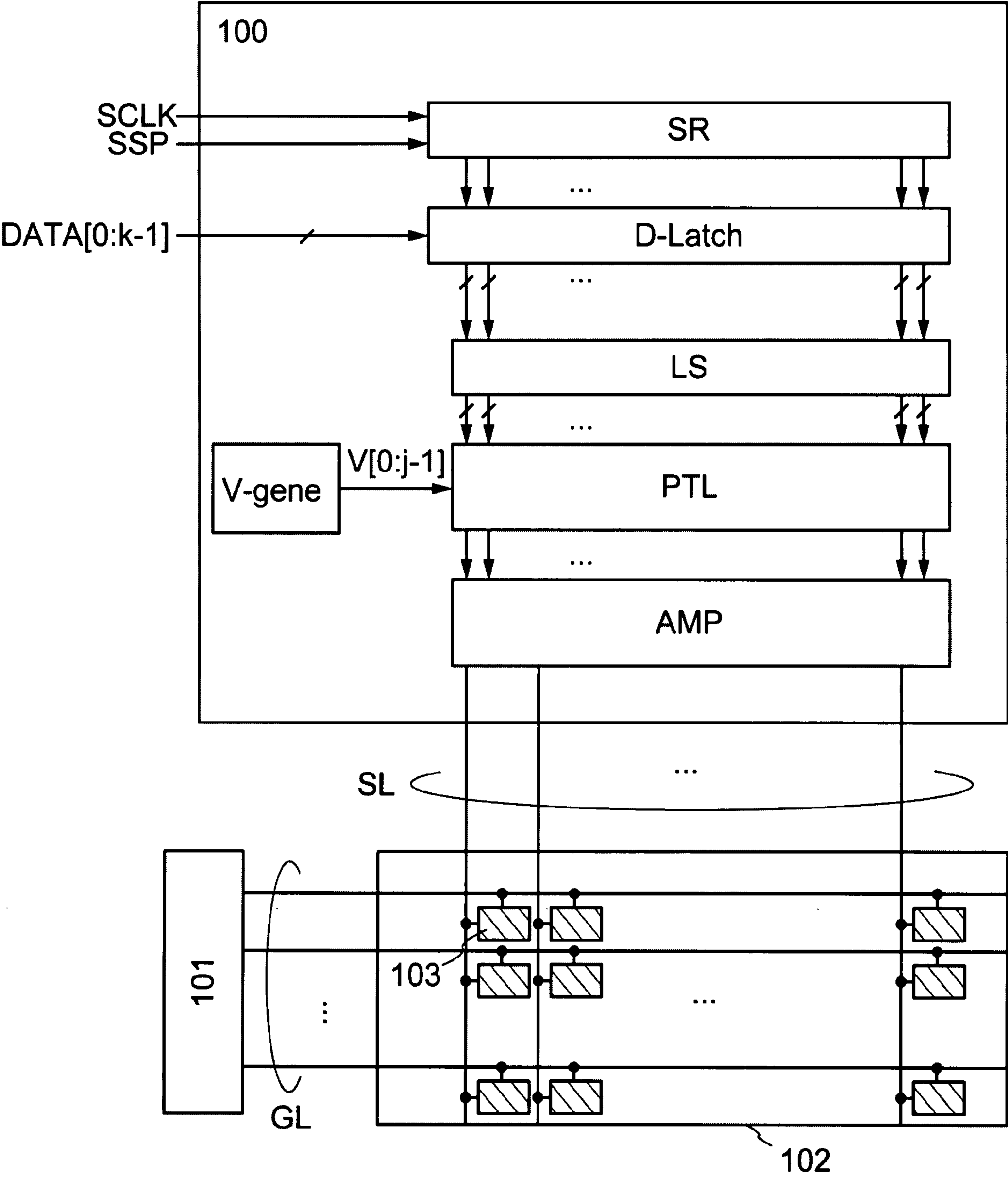


圖 11

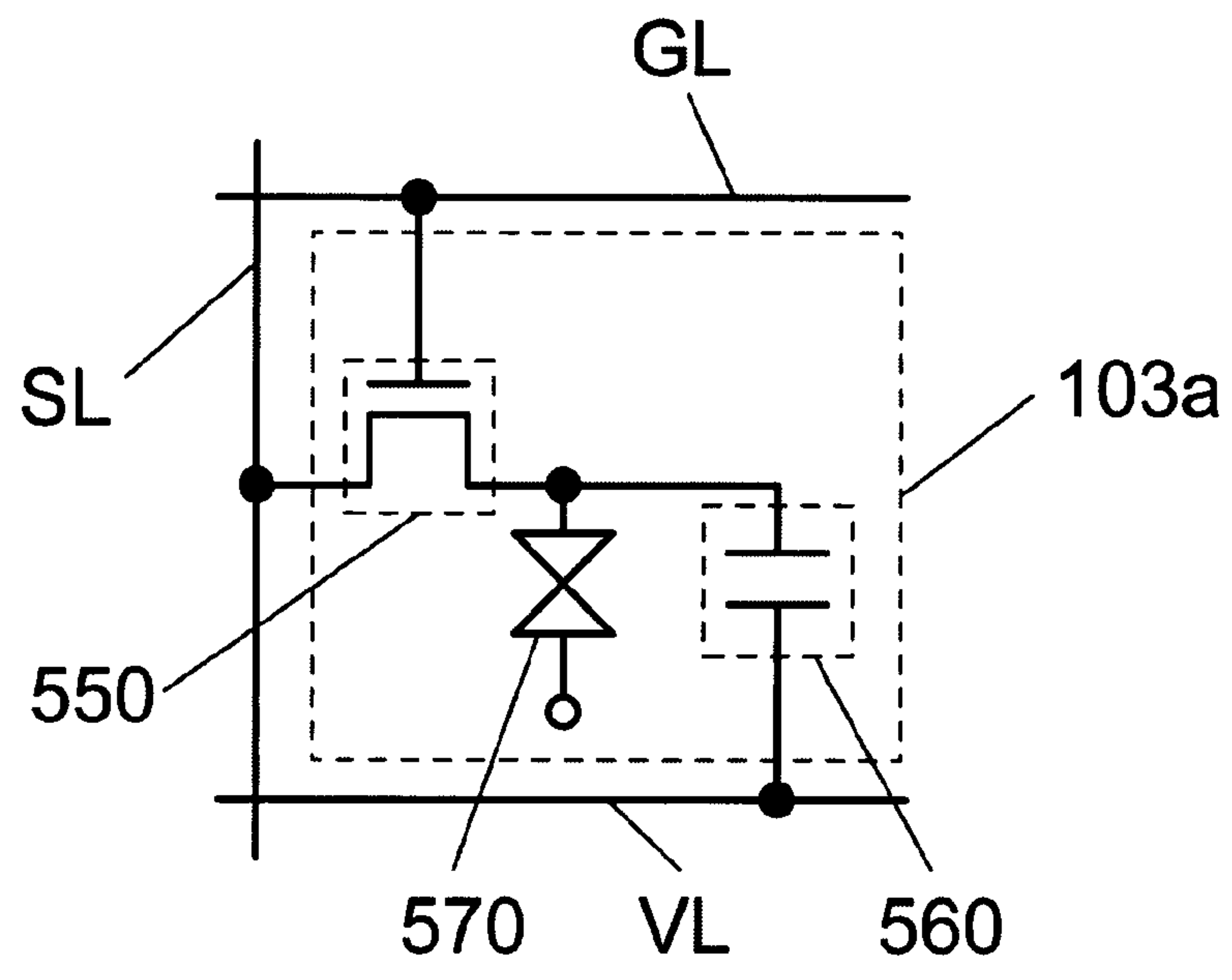


圖 12A

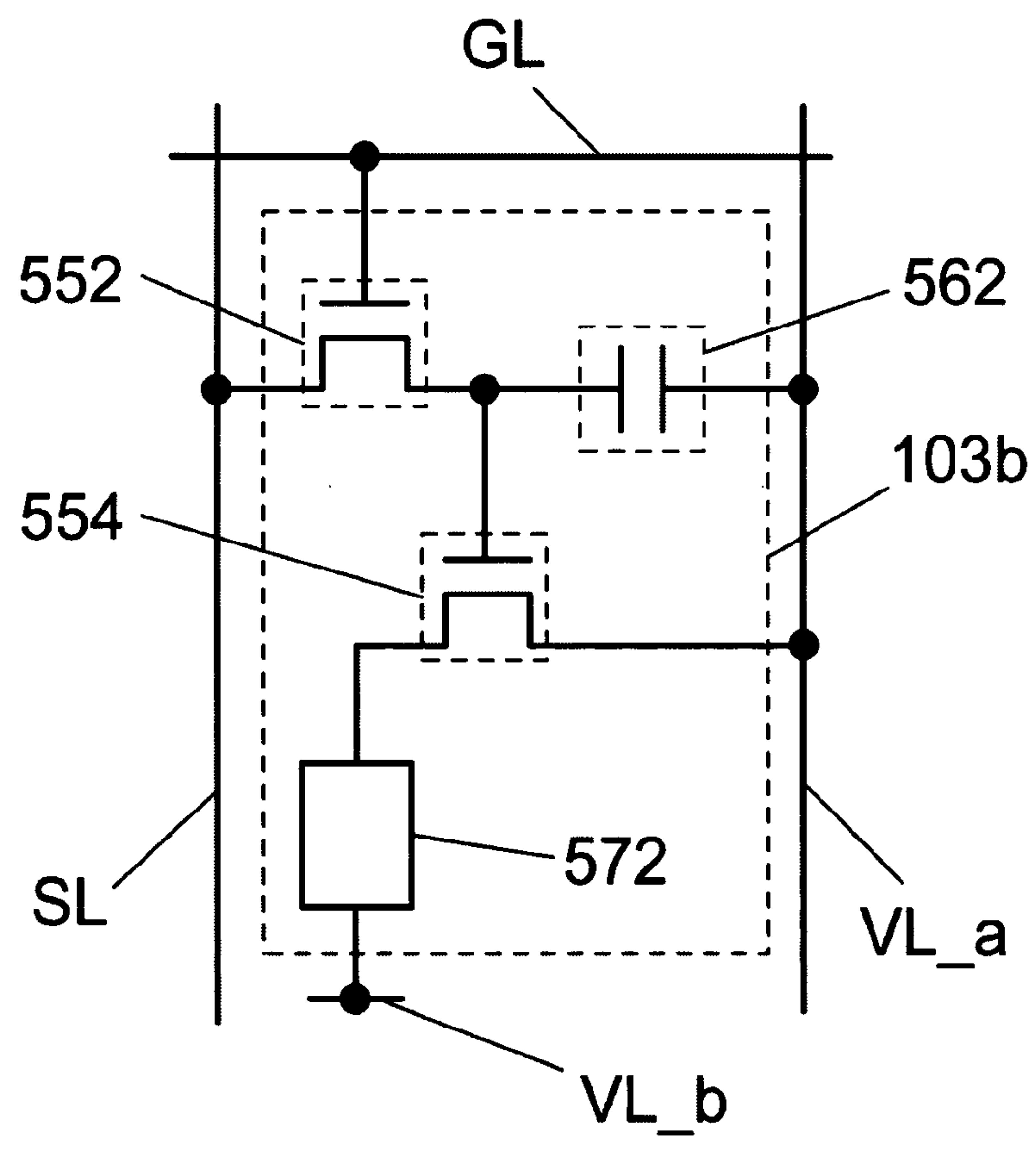


圖 12B

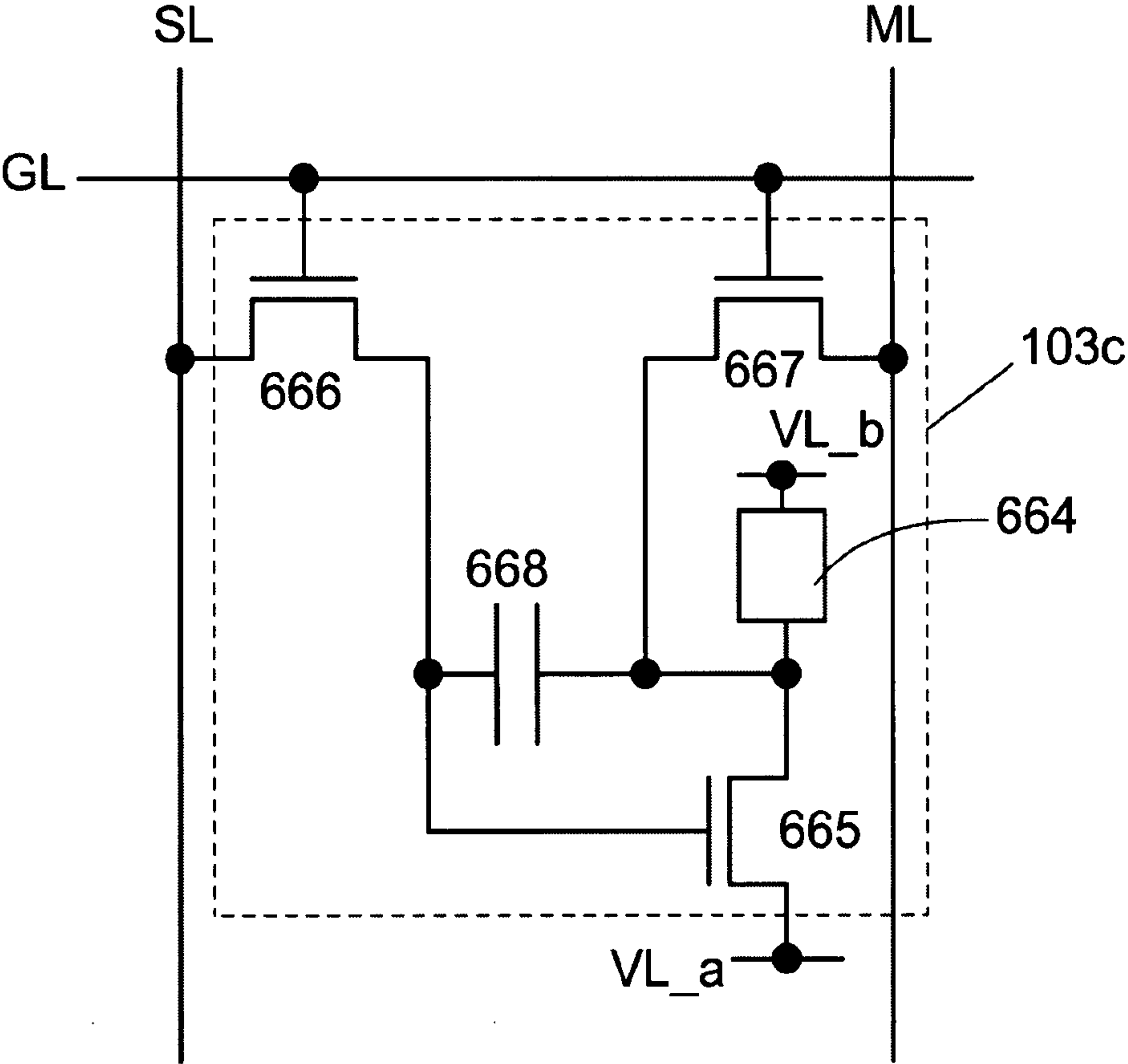


圖 14

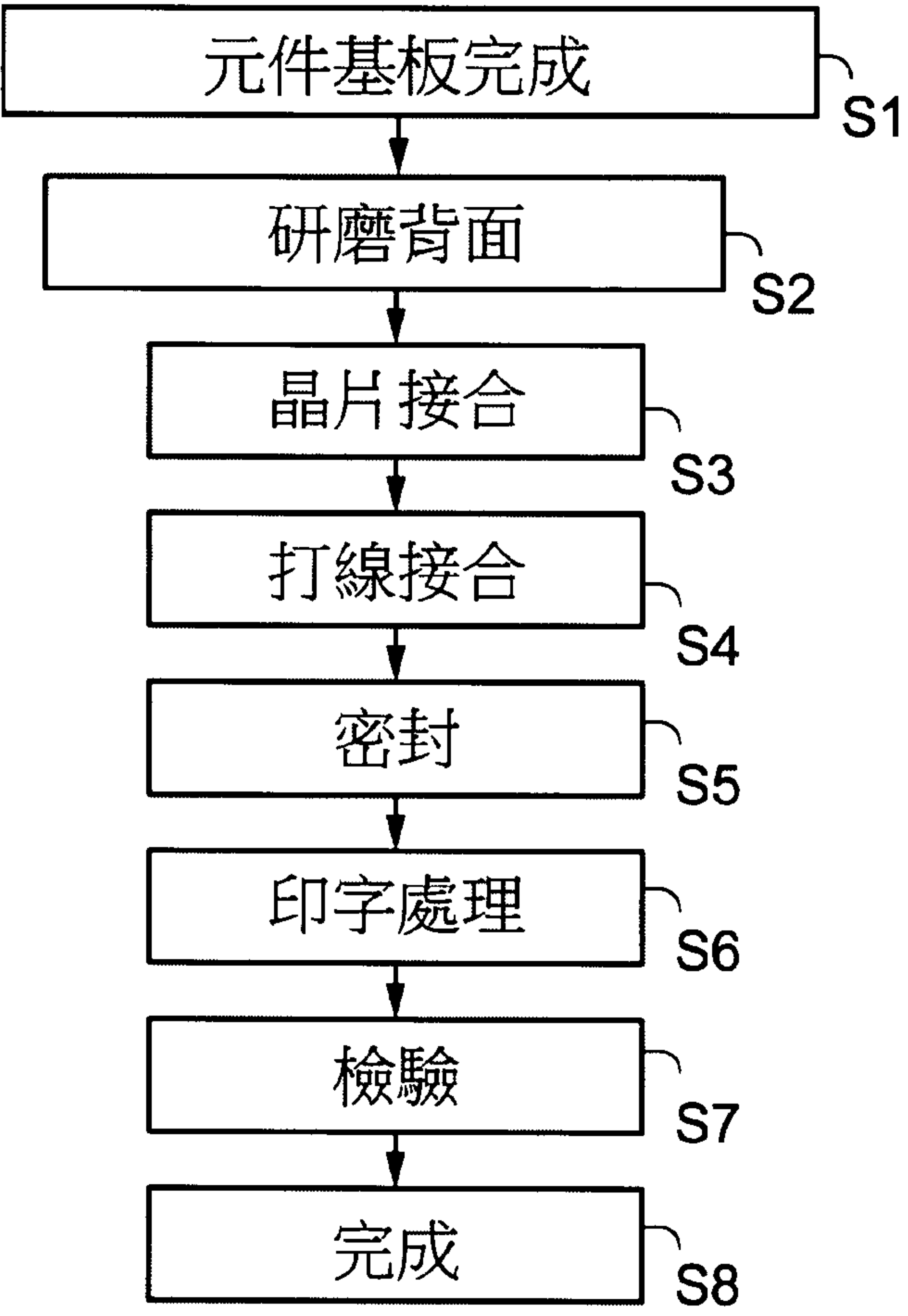


圖 15A

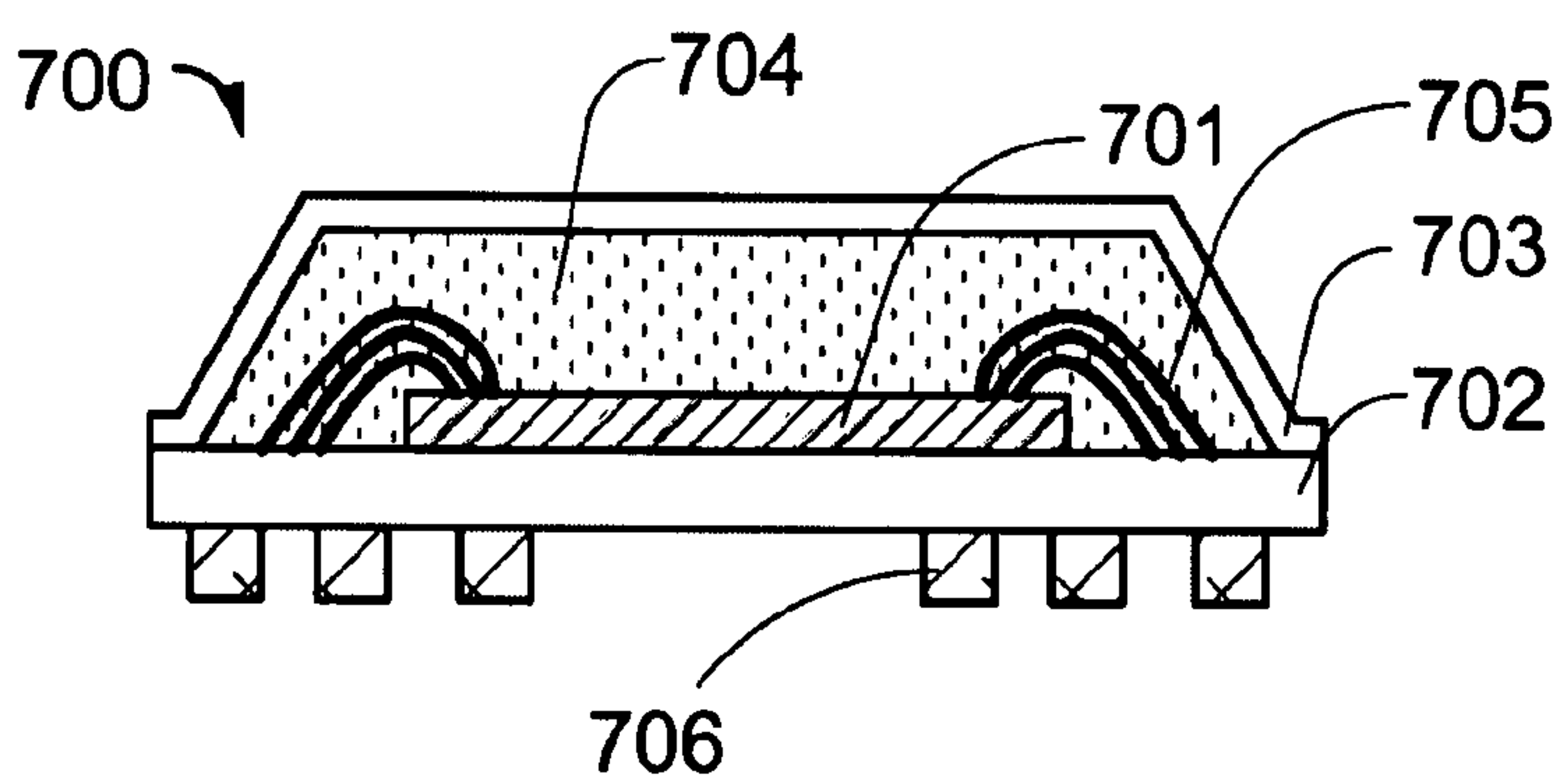


圖 15B

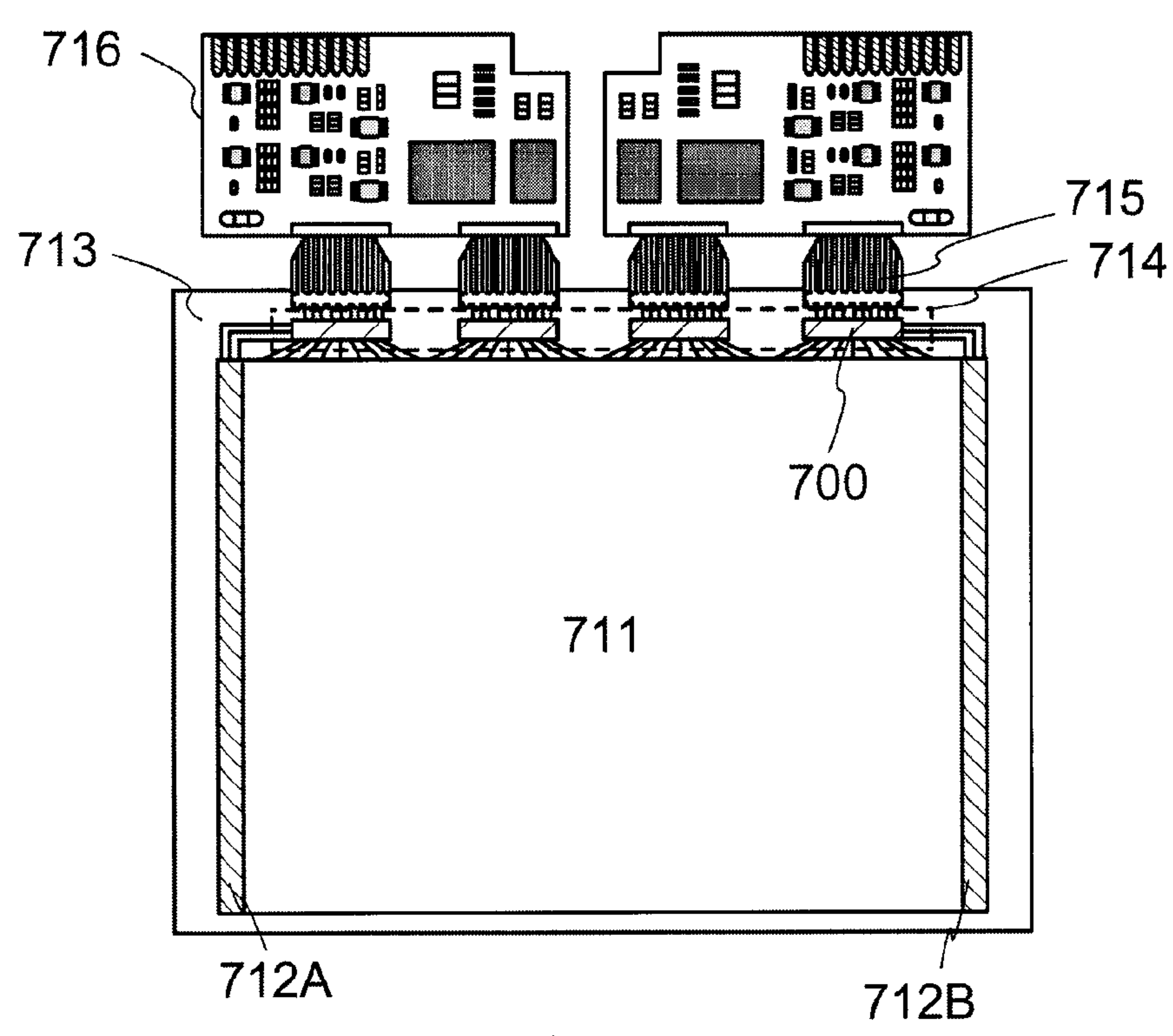


圖 16A

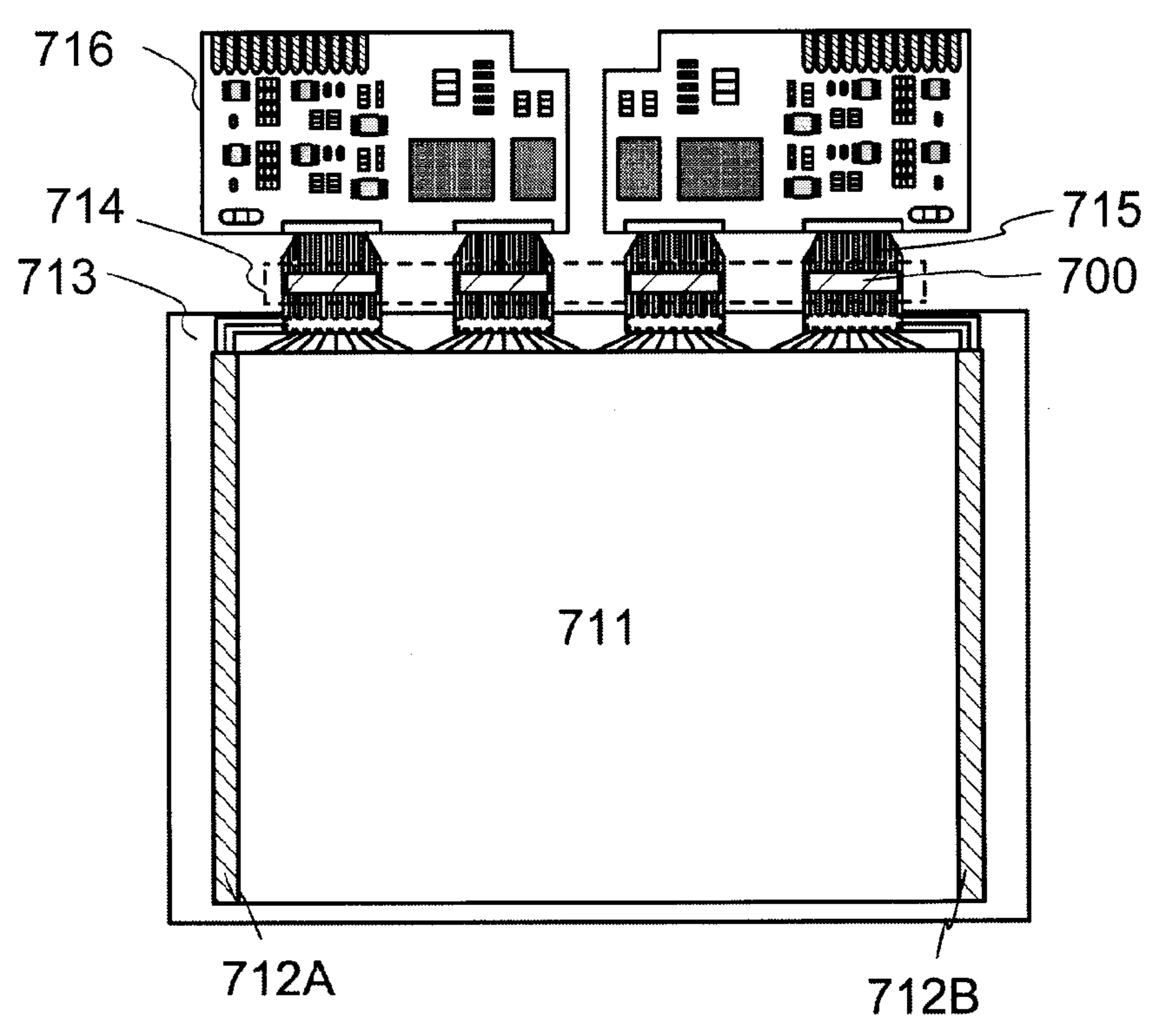


圖 16B

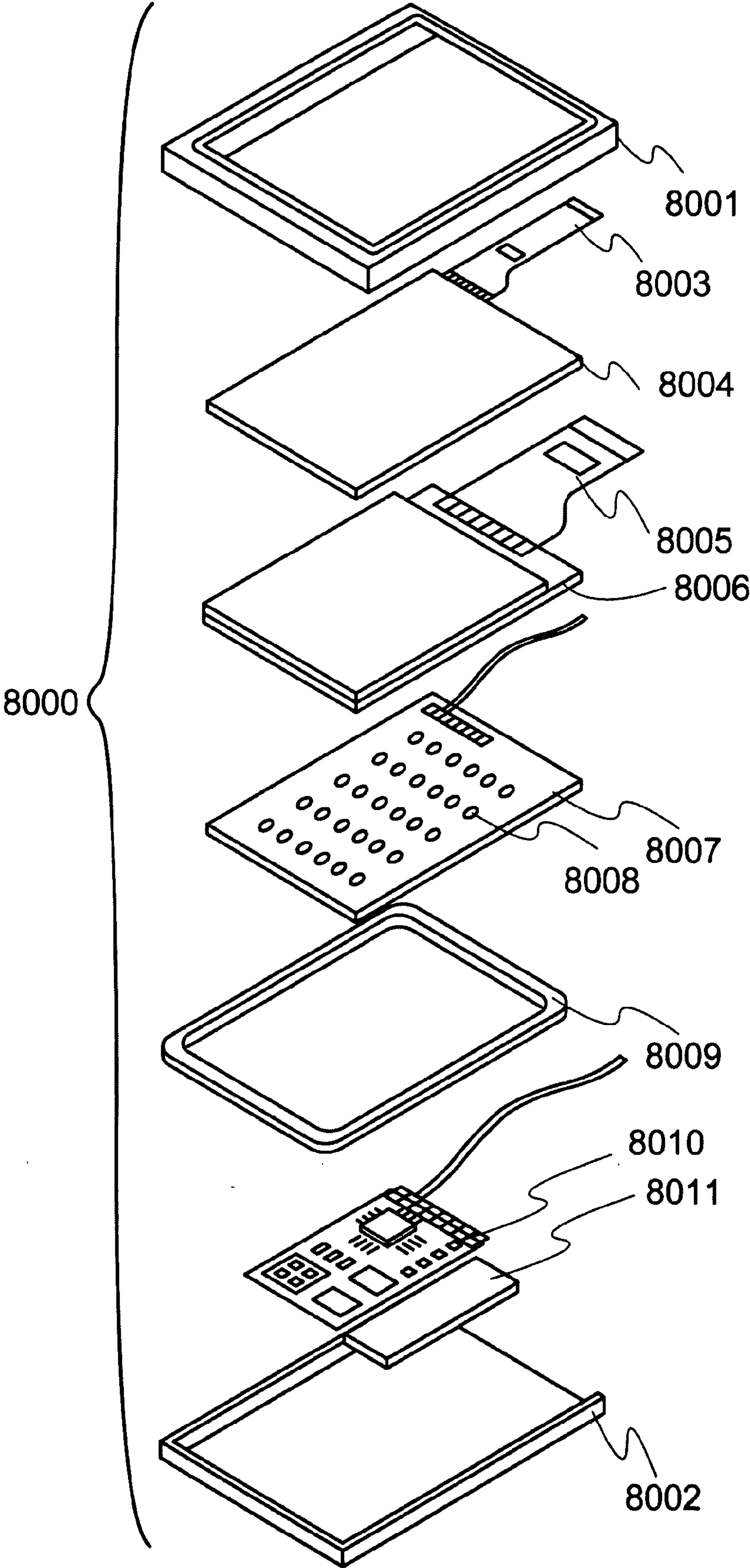


圖 17

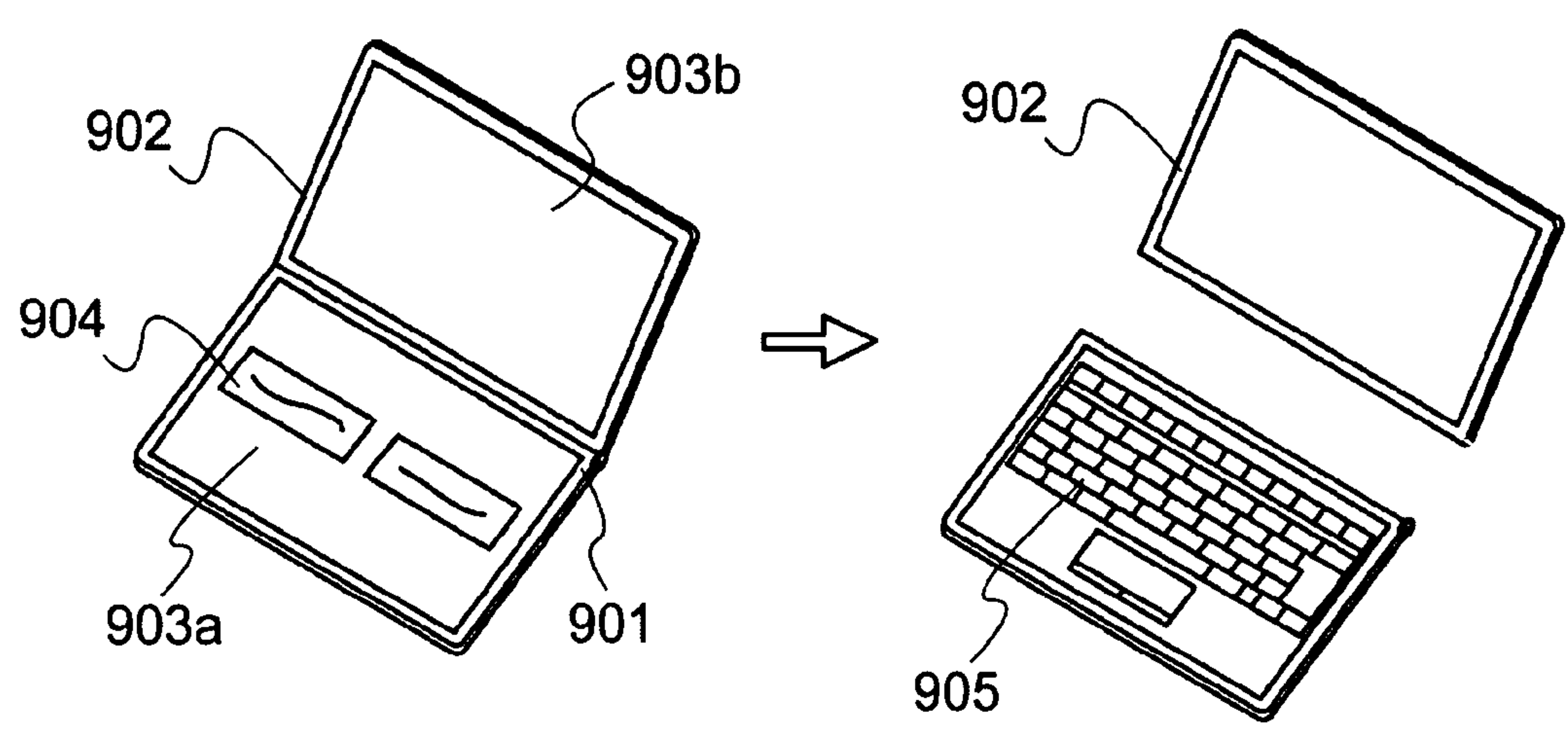


圖 18A

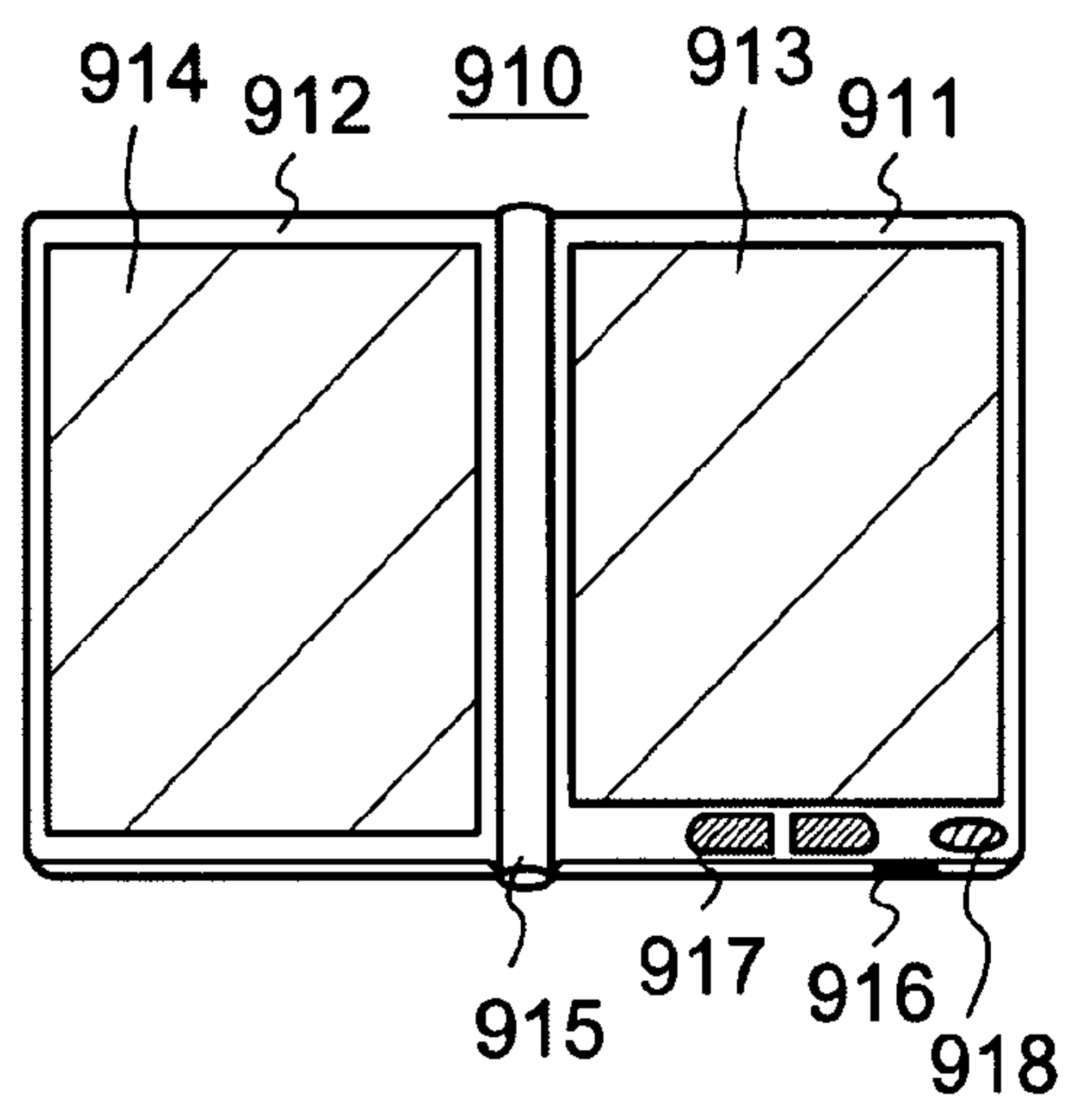


圖 18B

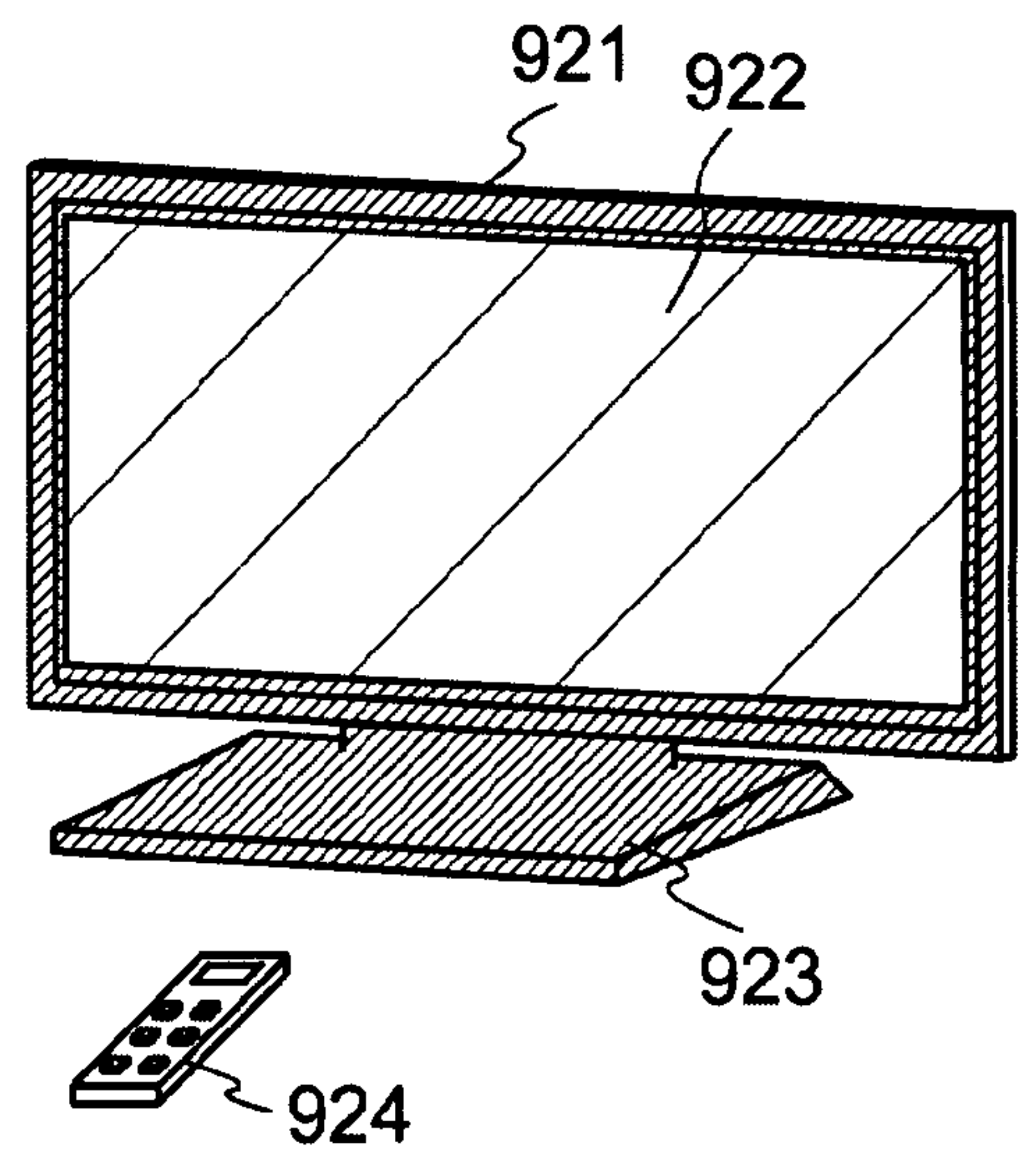


圖 18C

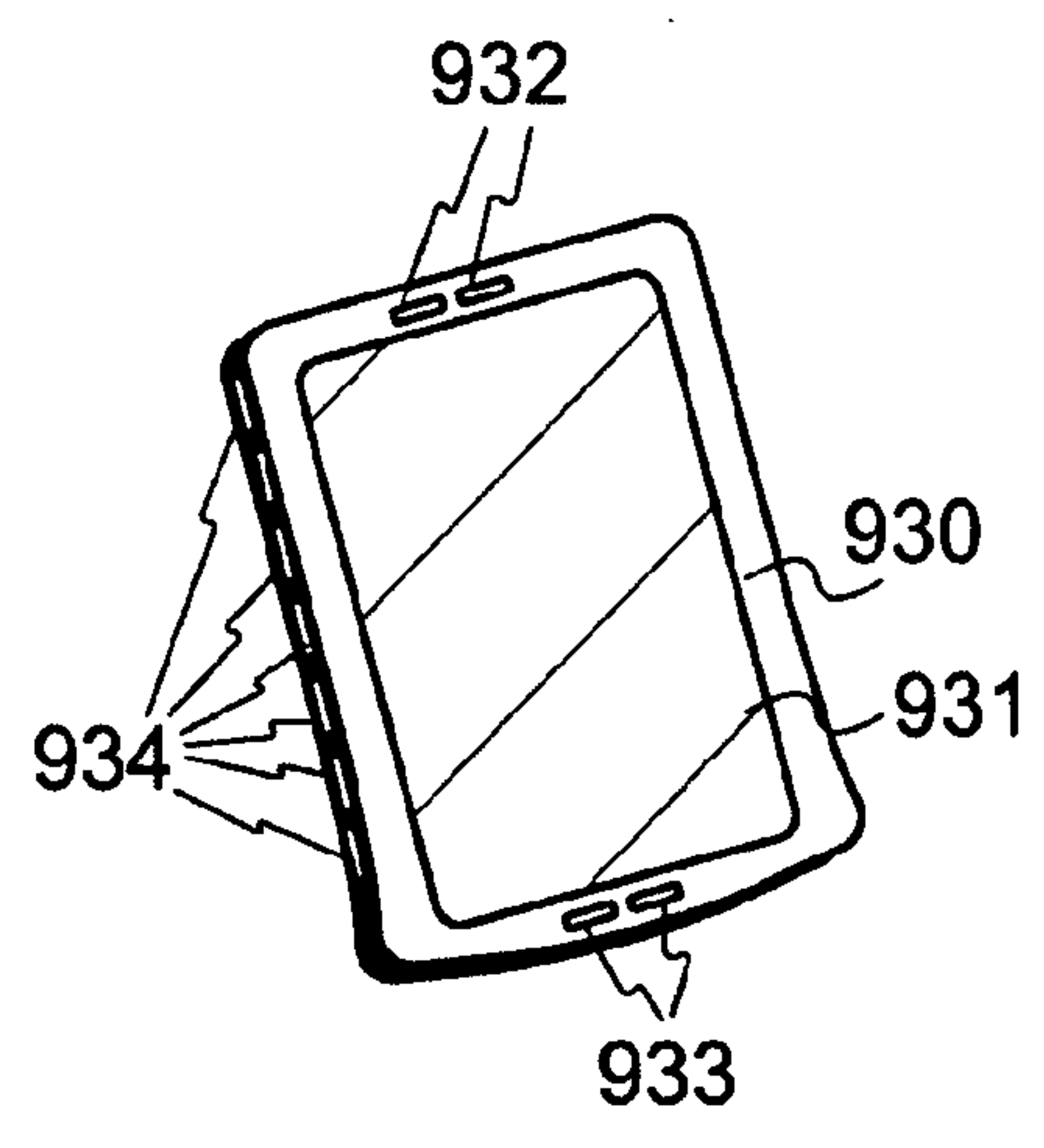


圖 18D

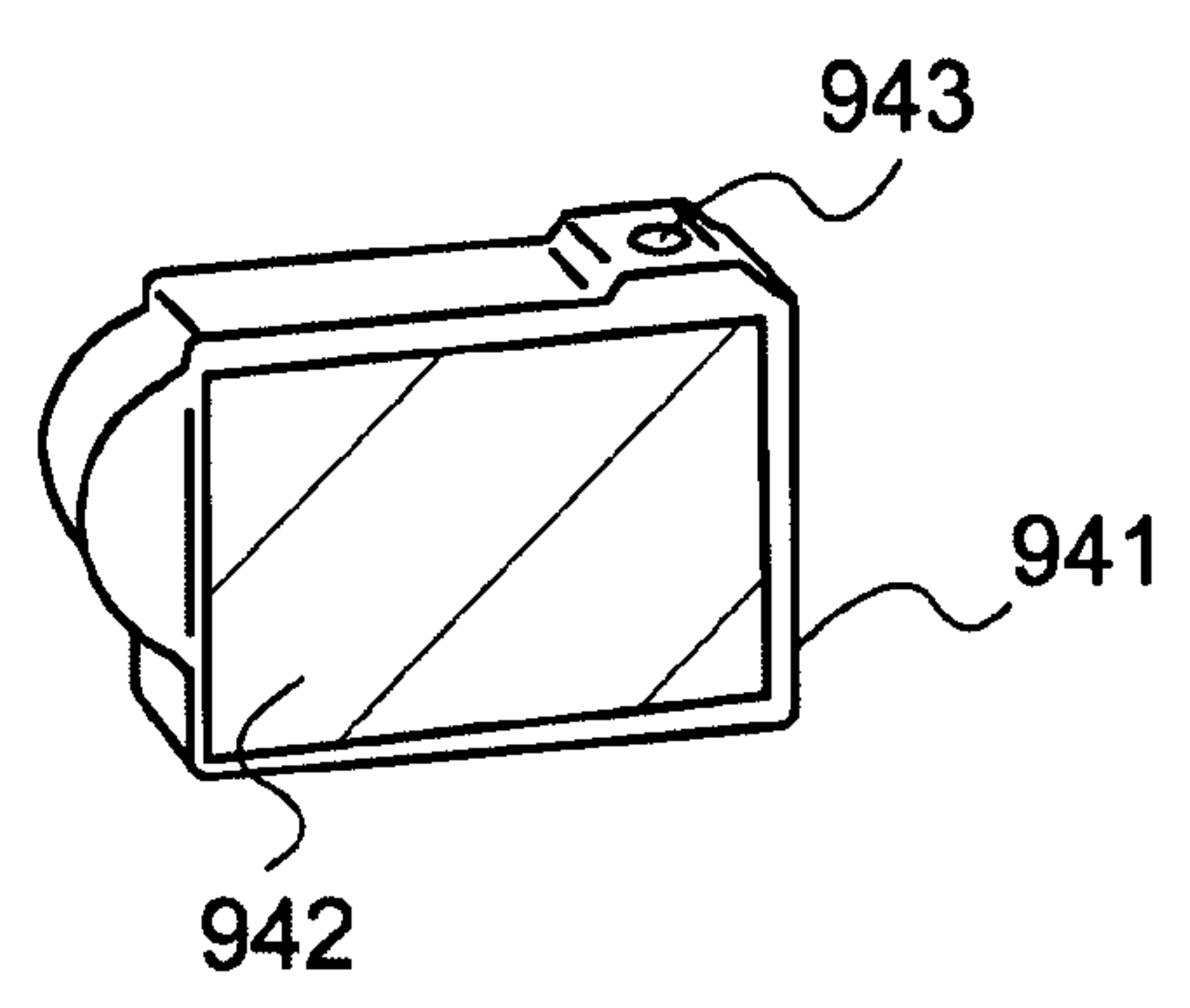


圖 18E