

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H03F 3/30

(11) 공개번호
(43) 공개일자

10-2004-0045902
2004년06월02일

(21) 출원번호	10-2004-7005946		
(22) 출원일자	2004년04월22일		
번역문 제출일자	2004년04월22일		
(86) 국제출원번호	PCT/IB2002/004338	(87) 국제공개번호	WO 2003/036792
(86) 국제출원출원일자	2002년10월18일	(87) 국제공개일자	2003년05월01일

(30) 우선권주장 01204021.8 2001년10월23일 EP(EP)

(71) 출원인 코닌클리즈케 필립스 일렉트로닉스 엔.브이.
네덜란드 엔엘-5621 베에이 아인드호펜 그로네보르세베그 1

(72) 발명자 베르스티겐마리우스지제이
네덜란드엔엘-5656에이에이아인드호펜홀스트란6

(74) 대리인 김창세
 김원준

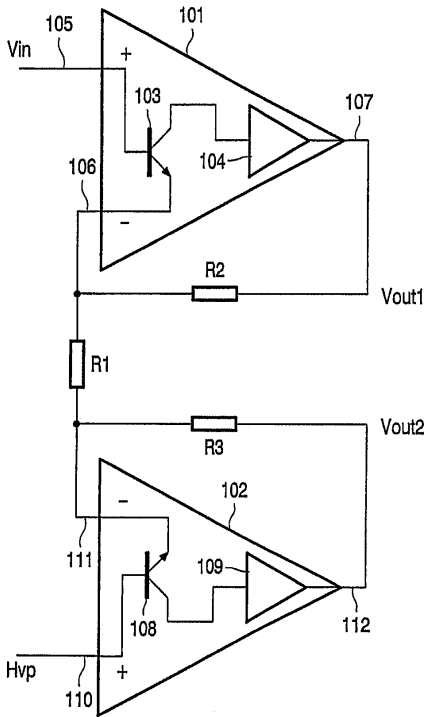
심사청구 : 없음

(54) 전력 증폭기 모듈

요약

본 발명은 BTL 구성으로 배치되는 싱글엔디드 증폭기(101, 102)를 포함하는 전력 증폭기 모듈에 관한 것이다. 싱글엔디드 증폭기(101, 102)는 개선된 안정성 및 정지 전류 제어를 위해 저항기(R1)에 의해 결합된 저 임피던스 반전 입력을 갖는다.

대표도



명세서

기술분야

본 발명은 전력 증폭기 모듈에 관한 것으로서, 특히 오디오 전력 증폭기에 관한 것이다.

배경기술

종래 기술은 오디오 애플리케이션에 사용될 수 있는 다양한 전력 증폭기를 나타내고 있다. 특히, 미국 특허 제 5,216,381 호에는, 전력 장치로서 클래스 AB 구동형(AB-driven) N 채널 MOS 트랜지스터를 사용하는 단일 칩으로 내장 가능한 전력 증폭기의 단일 이득의 최종 단(a unitary-gain final stage)이 개시되어 있다. 이 전력 증폭기는, 반전 입력 단자가 전력 증폭기의 입력에 접속되어 있는 고 이득 피드백 차동 증폭기를 포함한다. 이 종래 기술의 증폭기는, 정지 전류 제어가 부정확하고 안정성이 충분치 못하다고 하는 몇몇 큰 약점을 갖고 있다.

도 1은 최종 N 채널 MOS 전력 트랜지스터(1, 2) 쌍을 포함하는 대응하는 단일 이득 최종 단을 도시하고 있다. 제 1 트랜지스터(1)는 그 드레인 단자가 공급 전압(3)에 접속되고 그 소스 단자가 제 2 트랜지스터(2)의 드레인 단자에 접속된다. 제 2 트랜지스터(2)의 소스 단자는 접지된다. 전력 증폭기의 출력 단자(4)는 제 1 트랜지스터(1)의 소스 단자와 제 2 트랜지스터(2)의 드레인 단자 사이에 접속된다. 고 이득 피드백 차동 증폭기(5)는 전력 증폭기의 입력에 접속되는 반전 입력 단자를 갖는다. 차동 증폭기(5)의 비 반전 입력 단자는 증폭기의 출력 단자(4)에 접속되며, 상기 차동 증폭기(5)의 출력 단자는 제 2 트랜지스터(2)의 게이트 단자에 접속된다. 또한 레벨링(leveling) 회로(6)가 제 2 트랜지스터(2)의 게이트 단자에 접속된다. 제 3 MOS 트랜지스터(7)의 소스 단자는 전력 증폭기의 입력에 접속되고, 제 3 MOS 트랜지스터(7)의 게이트 단자 및 드레인 단자는 제 1 트랜지스터(1)의 게이트 단자 및 제 1 전류원(8)에 접속된다.

미국 특허 제 5,361,041 호는 소스 폴로워(source follower) 출력 트랜지스터를 구동시키는 구동 회로를 갖는 푸시 풀(push-pull) 증폭기를 포함하는 유사한 회로 구성을 나타낸다. 상기 구동 회로는 소스 폴로워 트랜지스터와 거의 유사한 전기 특성을 갖는 복제 트랜지스터(replicating transistor), 버퍼 증폭기 및 상기 복제 트랜지스터와 버퍼 증폭기에 결합되어 복제 트랜지스터 양단의 전압과 버퍼 출력 신호를 합하여 소스 폴로워 출력 트랜지스터에 게이트 신호를 제공하는 회로를 포함한다. 교차 전류 피드백 회로는, 하부 출력 트랜지스터를 통하는 감지된 전류 흐름에 응답하여, 상부의 소스 폴로워 출력 트랜지스터에 제공된 게이트 신호를 조절함으로써 출력 트랜지스터를 통하는 정지 전류 흐름을 조절한다.

미국 특허 제 5,973,564 호는 전력 트랜지스터를 통해 정지 전류를 제어하는 전형적인 다른 대안을 보여준다. 즉, 최종 단의 각각의 전력 트랜지스터를 통해 흐르는 전류는 최소 선택기(minimum selector)로 공급된다. 따라서, 이렇게

측정된 최소 전류는 비교기에 의해 기준치(reference)와 비교된다. 그 다음에 비교기의 출력은 일반적으로 정지 전류 레벨을 필요한 만큼 증가시키거나 감소시킨다. 그러나, 큰 여기(excitation)에 있어서, 이 정지 전류 제어 루프는 더 이상 신호 루프와 직교하지 않는다. 그 결과, 전체 안정성이 절충된다. 이것은 정지 전류 제어 루프의 이득을 낮게 함으로써 완화될 수 있지만, 결국은 정지 전류의 제어를 부정확하게 할 것이다.

미국 특허 제 4,539,529 호는 제 1 및 제 2 연산 증폭기와, 상기 제 1 및 제 2 연산 증폭기의 출력들 사이에 각각 접속된 제 1 및 제 2 전압 분할기와, 기준 전위 소스를 포함하는 반도체 증폭기를 나타낸다. 제 1 및 제 2 저항기가 제 1 및 제 2 전압 분할기의 분할기 포인트 사이에 각각 접속되고, 제 1 및 제 2 연산 증폭기의 반전 입력은 각각 실제 부의 피드백을 형성한다.

증폭기의 제 1 신호 입력 단자는 제 1 및 제 2 연산 증폭기의 비반전 입력에 각각 접속된다. 제 3 전압 분할기는 기준 전위 소스와 공급 전위 소스 사이에 접속된다. 공통의 중간 저항기는 공통 전압 분할기의 분할기 포인트에 접속되고, 제 1 및 제 2 공급 저항기들은 중간 저항기와 직렬로 접속된다. 제 1 및 제 2 공급 저항기는 중간 저항기와 제 1 및 제 2 연산 증폭기의 비반전 입력 사이에 각각 접속된다. 제 1 저항기의 저항은 제 1 공급 저항기의 저항의 합과 거의 같고, 중간 저항기의 저항의 두 배이다. 제 2 저항기의 저항은 제 2 공급 저항기의 저항의 합과 거의 같고, 중간 저항기의 저항의 두 배이다. 이 증폭기 회로의 결점들 중 하나는 이 구성이 비대칭 입력에는 사용될 수 없다는 것이다.

오디오 전력 증폭기에 있어서, 차동 출력 신호로, 예를 들어 스피커와 같은 부하를 구동하기 위한 BTL 구성에 흔히 두 개의 직렬 캐스캐이드형 반전 증폭기가 사용된다. 그러한 오디오 전력 증폭기는 필립스 일렉트로닉스 엔.브이.로부터 상용화되어 있으며, TDA 8941P 오디오 증폭기를 예로 들 수 있다.

발명의 상세한 설명

본 발명의 목적은 종래 기술의 문제점을 극복하는 개선된 전력 증폭기를 제공하는 것이다.

본 발명에 따른 근본적인 문제의 해법은 독립 청구항에 규정된 특징들을 적용함으로써 제공된다. 본 발명의 바람직한 실시예는 종속항에 기재되어 있다.

본 발명은 정확한 정지 전류 제어 및 개선된 안정성을 특징으로 하는 전력 증폭기 모듈을 제공한다는 점에 있어서 바람직하다.

본 발명의 다른 이점은, 안정성을 떨어뜨리지 않고 정지 전류 제어가 매우 정확하게 이루어질 수 있다는 것이다. 또 다른 이점은, 본 발명이 비대칭 입력에 사용될 수 있는 회로 구성을 가능하게 한다는 것이다.

또한, 본 발명은 특히 필립스 반도체 ABCD 프로세스와 같은 BiMos 프로세스에 적용가능하다. 그러한 프로세스에서, 대부분의 전력 트랜지스터의 낮은 RdsOn의 열역학적인 강인성이 소형의 바이폴라 트랜지스터의 높은 트랜스컨덕턴스 및 낮은 노이즈와 함께 이용될 수 있다.

본 발명의 바람직한 실시예에 따르면, 싱글엔디드 증폭기(single-ended amplifier)의 반전 입력은 고 주파수까지 반전 입력들을 결합시키는 저항기에 비해 저 임피던스 전류 입력이다. 이런 방식으로, 두 증폭기 모두의 피드백 트랜스어드미턴스(transadmittance)는 일정하게 유지된다. 이런 방식으로 증폭기는 서로를 거의 인식하지 못하고, 양호한 안정성이 유지된다.

본 발명의 다른 실시예에 따르면, 각각의 싱글 엔디드 증폭기가 입력 단으로서 npn 트랜지스터를 갖는다. 이런 방식으로, 각각의 싱글 엔디드 증폭기에 대해 단일 입력 트랜지스터를 사용함으로써 공통 보상이 이루어질 수 있다. 두 싱글 엔디드 증폭기 모두의 반전 입력에 대한 보상 전류가 인가될 필요가 있다.

본 발명에 따른 전력 증폭기 모듈에 대한 응용은, 예컨대 TV 사운드, PC 오디오, 휴대형 오디오, 카 오디오 시스템 및 모든 기타 유형의 오디오 및 사운드 시스템과 같은 응용을 포함한다. 그러나, 본 발명은 오디오 신호의 증폭 분야에 한정되지 않고, 다른 유형의 신호에도 이용될 수 있다. 예를 들면, 본 발명은 모터 구동기(motor-drivers)와 같이, 유도성 부하에서 높은 안정성 및 대량 판매 요구로 인한 가격 인하를 요구하는 다른 응용 분야에 이용될 수 있다.

도면의 간단한 설명

도 1은 단일 이득의 최종 단의 회로도.

도 2는 본 발명에 따른 전력 증폭기 모듈의 바람직한 실시예의 회로도.

도 3은 도 1의 전력 증폭기 모듈에 대한 입력 구성을 도시한 회로도.

도 4는 도 1의 전력 증폭기 모듈의 백엔드 모듈(backend module)의 제 1 실시예의 회로도.

도 5는 도 1의 전력 증폭기 모듈의 백엔드 모듈의 제 2의 바람직한 실시예를 도시한 도면.

실시예

다음은 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세히 설명한다.

도 2는 본 발명에 따른 전력 증폭기의 회로도이다. 전력 증폭기 모듈은 싱글엔디드(single-ended) 증폭기(101) 및 싱글엔디드 증폭기(102)를 포함한다. 일반적으로 싱글 엔디드 증폭기는 그라운드에 대해 동작하는 단일 출력 단자를 갖는 증폭기이다. 입력 단자와 그라운드 사이의 전압 차가 증폭된다.

싱글엔디드 증폭기(101)는 npn 트랜지스터(103) 및 백엔드(backend) 모듈(104)을 포함한다. 트랜지스터(103)의 바이어스 단자는 싱글엔디드 증폭기(101)의 비반전 단자(105)에 접속되고, 트랜지스터(103)의 이미터는 싱글엔디드 증폭기(101)의 반전 단자(106)에 접속된다. 트랜지스터(103)의 컬렉터는 백엔드 모듈(104)의 입력에 접속된다. 백엔드 모듈(104)의 출력은 싱글엔디드 증폭기(101)의 출력 단자(107)에 접속된다.

싱글엔디드 증폭기(102)는 대응하는 npn 트랜지스터(108) 및 백엔드 모듈(109)을 갖는다. 트랜지스터(108)의 베이스는 싱글엔디드 증폭기(102)의 비반전 단자(110)에 접속되고, 트랜지스터(108)의 이미터는 싱글엔디드 증폭기(102)의 반전 단자(111)에 접속된다. 트랜지스터(108)의 컬렉터는 백엔드 모듈(109)의 입력에 접속된다. 백엔드 모듈(109)의 출력은 싱글엔디드 증폭기(102)의 출력 단자(112)에 접속된다.

근본적으로, 백엔드 모듈(104, 109)은 각각 집적 IV 컨버터를 구현한다.

저항기(R1)는 싱글엔디드 증폭기(101)의 단자(106)와 싱글엔디드 증폭기(102)의 단자(111) 사이에 결합된다. 또한 저항기(R2)는 단자(106, 107) 사이에 접속되고, 저항기(R3)는 단자(111, 112)에 접속된다. 저항기(R2, R3)에 의해, 각 출력 단자(107, 112)로부터 피드백 소자가 제공된다.

동작시에, 입력 전압(Vin)이 단자(105)에 인가되고, 전원 기준 전압(Hvp)이 단자(110)에 인가된다. 클리핑(clipping) 없이 최대 출력 스윙을 얻기 위해, 그 값은 일반적으로 전원 전압(Vp)의 절반이 되도록 선택된다. 이것은 단자(107, 112)에서 각각 전압(Vout1, Vout2)을 생성한다. 전압(Vout1, Vout2)은 BTL 구성 내의 부하를 구동시키는데 사용된다.

싱글 엔디드 증폭기(101, 102)의 반전 입력 단자(106, 111)는 각각 고주파수까지 R1에 비해 저 임피던스 전류 입력이다. 따라서 피드백 루프의 전달 함수는 증폭기(101, 102)에 대해 $1/R2$ 및 $1/R3$ 의 트랜스어드미턴스 인자를 유지한다. 그 결과, 두 싱글엔디드 증폭기(101, 102) 모두 서로를 거의 인식하지 못한다. 따라서, 고 주파수의 경우에도, 증폭기(101)의 루프 이득은 증폭기(102)의 루프 이득에 의해 저하되지 않으며 그 역도 성립한다. 이러한 방식으로, 안정성이 최적으로 유지된다.

각각의 싱글엔디드 증폭기(101, 102)에 대해, 단일 입력 트랜지스터, 즉 트랜지스터(103) 및 트랜지스터(108)를 사용하면, 출력 전압은 Hvp보다 더 낮다. 이것은 $Vd/R2$ 및 $Vd/R3$ 의 값을 갖는 보상 전류를 반전 입력 단자(106, 111)에 각각 인가하거나 Hvp를 Vd 만큼 증가시킴으로써 보상될 수 있는데, 여기서 Vd 는 순방향 바이어스된 다이오드의 전압이다.

여기서 고려되는 비대칭 입력 신호에 대해, 클리핑되지 않은 차동 출력 전압 스윙을 최대화하기 위해, 바람직하게는 최대 0.5% 클리핑-왜곡-출력 전력(clipping-distortion-output power)을 유지하기 위해, 공통 모드 출력 전압은 고정된 채로 유지되도록 저항기(R2, R3)는 상이한 값을 갖도록 선택되어야 한다. 바람직한 선택은 $R3=R1+R2$ 이다. 이 경우에 이득은 $2 \times R3/R1$ 이 된다.

입력 신호는 비대칭임에 주목하라. 원한다면, 단자(106)가 $Hvp+Vin$ 의 전압을 가지며 단자(110)가 $Hvp-Vin$ 의 전압을 갖는 경우에 대칭 입력 신호가 사용될 수도 있다. 경제적인 이유로, 카 라디오에서는 채널 결합시 다수의 캐패시터 및 그라운드 라인 공유의 비용 절감 효과 때문에, 대부분 비대칭 입력 신호가 사용된다. 출력 전력을 최대화하기 위해서는, 대칭(차동) 출력 신호가 부하에 인가된다.

도 3은 도 2의 전력 증폭기 모듈에 대한 입력 구성을 도시하는 회로도이다. 전압(e_{in})은 예컨대 CD 플레이어의 출력 신호와 같은 증폭될 필요가 있는 오디오 신호이다. 이 신호는 커패시터(C_x)에 의해 필터링되어 V_{in} 인 단자(105)(도 2 참고)에서 인가되는 전압을 제공한다.

또한, 기준 전압(e_{hvp})이 제공된다. 이 전압은 두 저항기(R_x, R_y)의 접속부와 그라운드 사이에 인가된다. 저항기(R_x)의 다른 단자는 V_{in} 에 접속되고, 저항기(R_y)의 다른 단자는 단자(110)에 인가되는(도 2 참조) 전압(H_{vp})을 제공한다. 또한 저항기(R_y) 및 그라운드 사이에 접속된 필터링 커패시터(C_y)가 있다. H_{vp} 는 고정 전압이다. V_{in} 은 H_{vp} 주위를 스윙하는 신호이다.

즉, 다른 입력이 낮아질 때 하나의 입력이 상승하는 대칭 입력과 달리, 절반은 고정되어 있고 나머지 절반이 움직이는 비대칭 입력을 갖는다. 그 결과, $R_3=R_2$ 가 선택되면, 공통 모드의 출력 전압($V_{out1}+V_{out2}$)/2는 H_{vp} 에 고정되지 않을 것이다. 이 때문에, $R_3=R_1+R_2$ 가 선택된다. 이런 방식으로, 공통 모드의 출력 전압은 V_{in} 의 각 값에 대해 H_{vp} 와 정확히 같아질 것이다. 따라서, 클리핑없이 발생할 수 있는 차동 출력 신호가 최대화될 수 있다. 집적 오디오 증폭기의 왜곡이 통상적으로 0.05% 미만이므로, 클리핑 검출 회로는 일반적으로 약 0.5%의 측정된 왜곡에서 발화된다(fired).

도 4는 백엔드 모듈(104, 109)의 입력 단자 각각의 바람직한 실시예의 회로도이다. 커패시터(C_{m1})는 백엔드 모듈의 입력 단자에 접속된다. 커패시터(C_{m1})의 다른 단자는 전력 트랜지스터(M_2)의 게이트에 접속된다. 또한 트랜지스터(M_3)의 게이트는 백엔드 모듈의 입력 단자(113)에 접속된다. 전류원(114)은 트랜지스터(M_2)의 게이트 및 트랜지스터(M_3)의 드레인에 결합된다. 트랜지스터(M_3)의 소스는 전류 싱크(115)에 결합된다. 전류원(114)은 전류(I)를 제공하고 전류 싱크(115)는 전류 $I+2 \times I_q$ 를 싱크시킨다.

또한, 트랜지스터(M_3)의 소스는 전력 트랜지스터(M_1)의 게이트에 접속된다. 커패시터(C_{m2})는 트랜지스터(M_3)의 게이트, 전력 트랜지스터(M_2)의 소스 및 전력 트랜지스터(M_1)의 드레인에 접속된다. 이 점에서 출력 전압(V_{out})이 제공된다.

또한, 백엔드 모듈은 클램프(116, 117)를 갖는다. 정지 전류 제어는 클램프(116, 117)를 사용하여 이루어진다. 전류(I_q)는 밀러(M_{2b})로 공급된다. 이 방식으로 획득한 클램프 전압은 클램프 트랜지스터(T_1, T_3)를 통해 M_2 의 게이트에 인가된다. 이들 트랜지스터에 대해 npn 트랜지스터를 사용하면, 클램핑 전압의 에러를 낮게 유지할 수 있는데, 이것은, 정지 상황에서 M_2 및 M_1 이 약한 반전에서 동작하는 경향이 있기 때문에 중요하다.

정지 상황에서는 부하 양단에 전압 강하가 일어나지 않는다. 따라서, 증폭기에 아무런 전류도 남지 않는다. 결국, M_1 및 M_2 의 전류는 같아야 하며, 이들의 V_{gs} 전압도 같아야 한다. 이렇게 되면, T_1 및 T_2 를 통하는 클램프 전류도 같게 된다. 키르호프 전류의 법칙에 따르면, $T_1, T_2, T_3, T_4, M_{1b}$ 및 M_{2b} 는 모두 I_q 와 동일한 전류를 도통시킨다. 따라서 M_1 및 M_2 를 통하는 정지 전류는, M_{1b} 와 M_1 사이의 영역의 비와 M_{2b} 와 M_2 사이의 영역의 비의 각각 I_q 배가 된다.

이 정지 전류 제어의 추가적인 이점이 있다. 클램프의 이미터가 전력 증폭기의 게이트에서의 임피던스를 보다 낮게 해준다. 이런 방식으로, 대응하는(버금가는) 폴들(poles)이 보다 높은 주파수로 이동하여 증폭기의 안정성을 향상시킨다.

바람직한 실시예에 따르면, M_3 의 드레인은 M_2 의 게이트에 직접 연결되지 않고, 폴디드 캐스코드(folded cascode)를 통해 연결된다. 이 캐스코드는 또한 출력 전압이 M_3 의 초킹(chocking) 없이 레일 투 레일(rail to rail)임을 보증하기 위해 전류원(114)을 캐스코드한다.

도 5는 백엔드 모듈에 대한 다른 바람직한 실시예를 도시한 것이다. 도 4의 실시예와 비교하면, 전력 트랜지스터(M_1, M_2)가 개선된 오디오 품질에 대해 보안적이다. 이 실시예에서, 밀러 트랜지스터(M_3)의 드레인이 전류 밀러(118)에 접속된다.

참조 번호 리스트

- 1 : 트랜지스터
- 2 : 트랜지스터
- 3 : 공급 전압
- 4 : 출력 단자
- 5 : 증폭기

6 : 레벨링 회로

7 : 트랜지스터

8 : 전류원

101 : 싱글엔디드 증폭기

102 : 싱글엔디드 증폭기

103 : 트랜지스터

104 : 백엔드 모듈

105 : 단자

106 : 단자

107 : 단자

108 : 트랜지스터

109 : 백엔드 모듈

110 : 단자

111 : 단자

112 : 단자

113 : 입력 단자

114 : 전류원

115 : 전류 싱크

116 : 클램프

117 : 클램프

118 : 전류 미러

(57) 청구의 범위

청구항 1.

전력 증폭기 모듈에 있어서,

BTL(Bridge Tied Load) 구성으로 배치된 제 1 싱글엔디드(single-ended) 증폭기(101) 및 제 2 싱글엔디드 증폭기(102)를 포함하되,

상기 제 1 및 제 2 싱글엔디드 증폭기는 제 1 저항 소자(R1)에 의해 각각 결합된 제 1 및 제 2 저 임피던스 반전 입력(106, 110)을 갖는 전력 증폭기 모듈.

청구항 2.

제 1 항에 있어서,

상기 제 1 싱글엔디드 증폭기는 입력 전압(Vin)을 수신하는 제 1 비반전 입력 단자(105)를 가지며, 상기 제 2 싱글엔디드 증폭기는 전원 전압(Hvp) 또는 완전히 다른 입력 신호의 경우에 반전된 입력 전압을 수신하는 제 2 비반전 입력 단자(110)를 갖는 전력 증폭기 모듈.

청구항 3.

제 1 항 또는 2 항에 있어서,

상기 제 1 및 제 2 싱글엔디드 증폭기는 입력 단으로서 NPN 트랜지스터(103, 108)를 각각 가지며, 상기 NPN 트랜지스터의 이미터는 상기 제 1 및 제 2 저 임피던스 반전 입력에 각각 결합되는 전력 증폭기 모듈.

청구항 4.

제 1 항 내지 3 항 중 어느 한 항에 있어서,

상기 제 1 싱글엔디드 증폭기는 제 1 피드백 소자를 제공하기 위해 제 2 저항 소자(R2)를 구비하고, 상기 제 2 싱글엔디드 증폭기는 제 2 피드백 소자를 제공하기 위해 제 3 저항 소자(R3)를 구비하며, 상기 제 1 및 제 2 저항 소자의 총 저항은 상기 제 3 저항 소자의 저항과 같은 전력 증폭기 모듈.

청구항 5.

제 1 항 내지 4 항 중 어느 한 항에 있어서,

각각의 상기 제 1 및 제 2 싱글엔디드 증폭기는 정지 전류 제어를 갖는 백엔드 모듈(104, 109)을 포함하는 전력 증폭기 모듈.

청구항 6.

제 5 항에 있어서,

각각의 상기 백엔드 모듈은 제 1 및 제 2 클램프(116, 117)를 포함하는 전력 증폭기 모듈.

청구항 7.

제 1 항 내지 6 항 중 어느 한 항에 있어서,

각각의 상기 백엔드 모듈은 상보적인(complementary) 전력 트랜지스터 쌍(M1, M2)을 포함하는 전력 증폭기 모듈.

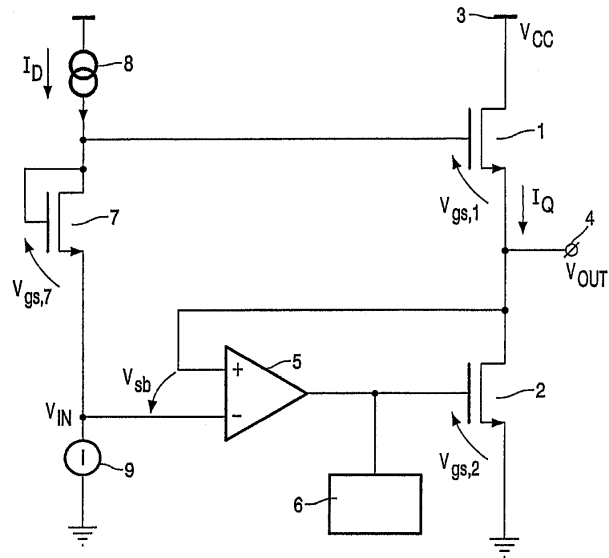
청구항 8.

제 5 항 내지 7 항 중 어느 한 항에 있어서,

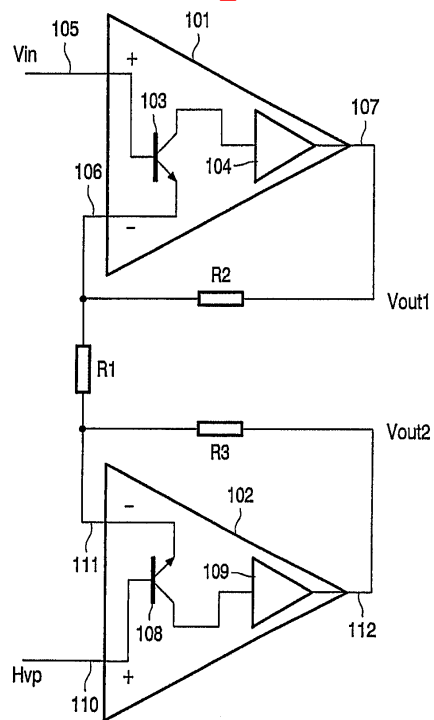
각각의 상기 백엔드 모듈은 전류 미러(118)를 포함하는 전력 증폭기 모듈.

도면

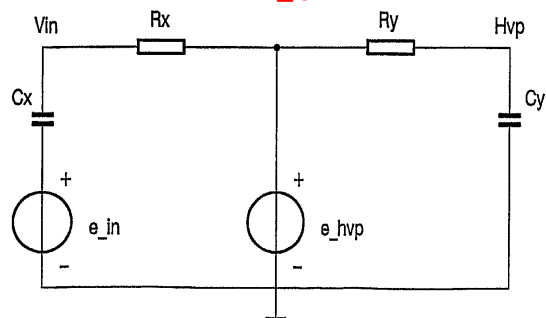
도면1



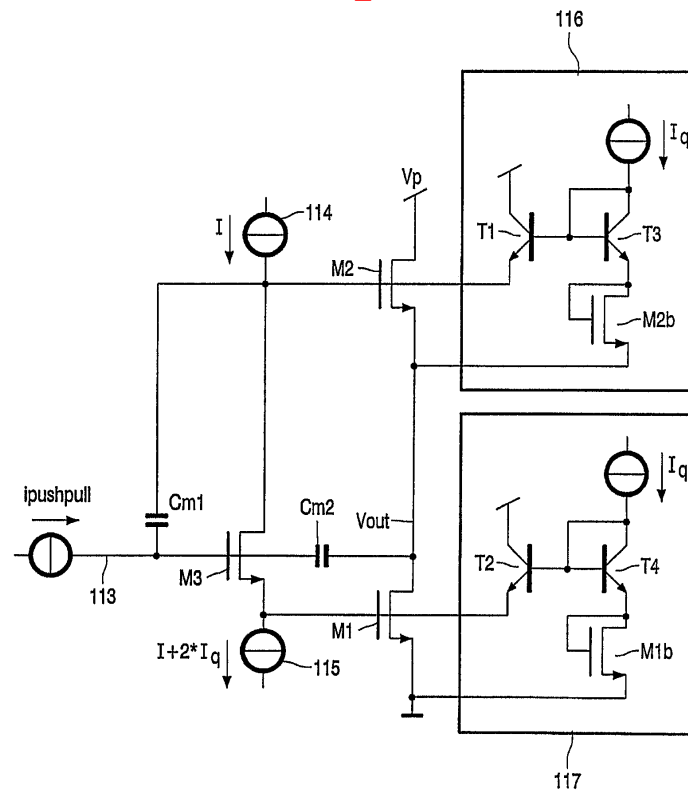
도면2



도면3



도면4



도면5

