

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023年3月23日 (23.03.2023)



(10) 国际公布号
WO 2023/040278 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01) *G09G 3/3208* (2016.01)

(21) 国际申请号: PCT/CN2022/089523

(22) 国际申请日: 2022年4月27日 (27.04.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202111100960.1 2021年9月18日 (18.09.2021) CN

(71) 申请人: 云谷(固安)科技有限公司
(YUNGU (GU'AN) TECHNOLOGY CO., LTD.) [CN/
CN]; 中国河北省廊坊市固安县新兴产业
示范区, Hebei 065500 (CN)。

(72) 发明人: 郭恩卿(GUO, Enqing); 中国河北省廊坊市固安县新兴产业示范区, Hebei 065500 (CN)。潘康观(PAN, Kangguan); 中国河北省廊坊市固安县新兴产业示范区, Hebei 065500 (CN)。盖翠丽(GAI, Cuili); 中国河北省廊坊市固安县新兴产业示范区, Hebei 065500 (CN)。陈发祥(CHEN, Fa-Hsyang); 中国河北省廊坊市固安县新兴产业示范区, Hebei 065500 (CN)。邢汝博(XING, Rubo); 中国河北省廊坊市固安县新兴产业示范区, Hebei 065500 (CN)。王刚(WANG, Gang); 中国河北省廊坊市固安县新兴产业示范区, Hebei 065500 (CN)。李俊峰(LI, Junfeng); 中国河北省廊坊市固安县新兴产业示范区, Hebei 065500 (CN)。

(54) Title: PIXEL CIRCUIT, DRIVING METHOD THEREFOR, AND DISPLAY PANEL

(54) 发明名称: 像素电路及其驱动方法、显示面板

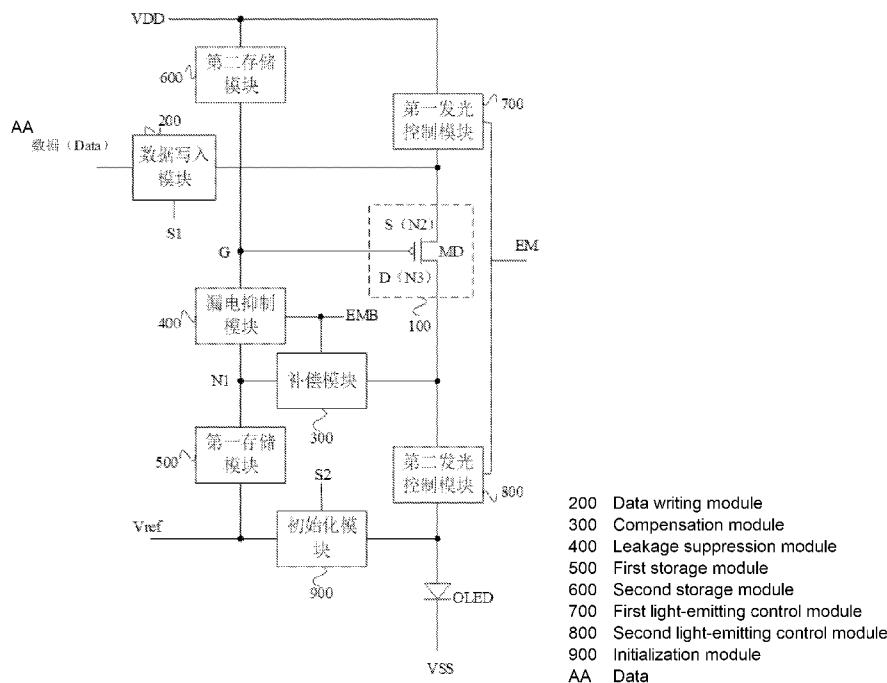


图 5

(57) Abstract: Embodiments of the present application disclose a pixel circuit, a driving method therefor, and a display panel. The pixel circuit comprises a driving module, a data writing module, a compensation module, a leakage suppression module, and a first storage module. A first end of the compensation module is electrically connected to a second end of the driving module, and a control end of the compensation module is connected to a first light-emitting control signal. A first end of the leakage suppression module is electrically connected to a control end of the driving module, a second end of the leakage suppression module is electrically connected to a second

WO 2023/040278 A1

(74) 代理人: 北京远智汇知识产权代理有限公司
(BEIJING YZH IP FIRM); 中国北京市海淀区莲花池东路39号6层608室, Beijing 100036 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

end of the compensation module, and a control end of the leakage suppression module is connected to the first light-emitting control signal. A first end of the first storage module is electrically connected to the second end of the compensation module, and a second end of the first storage module is connected to a reference voltage signal. The first storage module is configured to maintain differential pressure when the first end of the first storage module and the second end of the first storage module form differential pressure.

(57) 摘要: 本申请实施例公开了一种像素电路及其驱动方法、显示面板。像素电路包括: 驱动模块、数据写入模块、补偿模块、漏电抑制模块和第一存储模块。补偿模块的第一端与驱动模块的第二端电连接, 补偿模块的控制端接入第一发光控制信号; 漏电抑制模块的第一端与驱动模块的控制端电连接, 漏电抑制模块的第二端与补偿模块的第二端电连接, 漏电抑制模块的控制端接入第一发光控制信号; 第一存储模块的第一端与补偿模块的第二端电连接, 第一存储模块的第二端接入参考电压信号; 第一存储模块设置为当第一存储模块的第一端和第一存储模块的第二端形成压差时, 维持该压差不变。

像素电路及其驱动方法、显示面板

本申请要求在2021年09月18日提交中国专利局、申请号为202111100960.1的中国专利申请的优先权，该申请的全部内容通过引用结合在本申请中。

技术领域

本申请实施例涉及显示技术领域，例如涉及一种像素电路及其驱动方法、显示面板。

背景技术

随着显示技术的不断发展，人们对显示面板的要求也越来越高，显示面板朝着高显示品质、多种帧频模式和低功耗的方向发展。显示面板的电量消耗主要在于像素电路和发光器件。对于像素电路来说，可以通过降低帧频来降低功耗，然而当显示面板的刷新频率降低时，像素电路存在漏电的问题，致使显示画面出现闪烁的现象，影响了显示面板的显示品质。

发明内容

本申请实施例提供一种像素电路及其驱动方法、显示面板，以改善低刷新频率下像素电路的漏电问题，从而实现兼顾低功耗和高显示品质的效果。

本申请实施例提供了如下技术方案：

一种像素电路，包括：

驱动模块，包括控制端、第一端和第二端；

数据写入模块，包括扫描控制端、第一端和第二端，所述数据写入模块的第一端与所述驱动模块的第一端电连接，所述数据写入模块的第二端接入数据信号，所述数据写入模块的扫描控制端接入第一扫描信号；

补偿模块，包括控制端、第一端和第二端，所述补偿模块的第一端与所述驱动模块的第二端电连接，所述补偿模块的控制端接入第一发光控制信号；

漏电抑制模块，包括控制端、第一端和第二端，所述漏电抑制模块的第一端与所述驱动模块的控制端电连接，所述漏电抑制模块的第二端与所述补偿模块的第二端电连接，所述漏电抑制模块的控制端接入所述第一发光控制信号；所述漏电抑制模块与所述补偿模块在初始化阶段和数据写入阶段导通；

第一存储模块，包括第一端和第二端，所述第一存储模块的第一端与所述

补偿模块的第二端电连接，所述第一存储模块的第二端接入参考电压信号；所述第一存储模块设置为在所述数据写入阶段和发光阶段，当所述第一存储模块的第一端和所述第一存储模块的第二端形成压差时，维持该压差不变。

本发明申请还提供了一种显示面板，包括：如本发明申请任意实施例所述的像素电路。

本申请还提供了一种像素电路的驱动方法，适用于本申请任意实施例所提供的像素电路，所述驱动方法包括：

在初始化阶段，所述第一发光控制信号控制所述补偿模块和所述漏电抑制模块导通，以在所述驱动模块的第一端和所述驱动模块的第二端分别接入不同电压的情况下，使所述驱动模块导通，进行初始化；

在数据写入阶段，所述第一发光控制信号控制所述补偿模块和所述漏电抑制模块导通，所述第一扫描信号控制所述数据写入模块导通，以使所述数据信号写入所述驱动模块的控制端；所述第一存储模块的第一端和所述驱动模块的控制端的电位相等，且所述第一存储模块的第一端和所述第一存储模块的第二端形成压差；

在发光阶段，所述第一发光控制信号控制所述补偿模块和所述漏电抑制模块断开，所述第一扫描信号控制所述数据写入模块断开，所述第一存储模块维持所述第一存储模块的第一端和所述第一存储模块的第二端的压差不变，以使所述漏电抑制模块的第一端和所述漏电抑制模块的第二端的电位相等。

本申请实施例设置漏电抑制模块位于驱动模块的控制端和补偿模块的第二端之间，以及设置第一存储模块位于参考电压信号和补偿模块的第二端之间。这样，驱动模块的控制端只设置有一个漏电流通道，该通道连接驱动模块的控制端和驱动模块的第二端，该通道由第一发光控制信号控制的漏电抑制模块与补偿模块构成。只有当补偿模块的第二端的电位大幅漂移后漏电抑制模块才会产生较大的漏电流，驱动模块的控制端电位才会漂移。并且在本申请实施例中，驱动模块的控制端电位与补偿模块的第二端的电位接近，使得漏电抑制模块的漏电流较小，减少了这个唯一漏电流通道的漏电流大小，因此驱动模块的控制端的电位更加稳定，实现了高电流保持率，显示面板的闪烁现象得到改善。

本申请实施例对驱动模块的控制端的复位路径和复位方法进行了突破性的改进，第一存储模块和漏电抑制模块组合，有效地抑制了驱动模块的控制端的漏电，有利于实现低帧频下的高质量显示，从而有利于实现兼顾低功耗和高显示品质的效果。

在实现上述效果的同时，本申请实施例所提供的像素电路能够在初始化阶

段，在驱动模块的第一端和驱动模块的第二端分别接入不同电压的情况下，例如，驱动模块的第一端接入第一电源信号，第二端接入第二电源信号，驱动模块导通，有较大电流流过，在对驱动模块的控制端进行初始化的同时有利于改善驱动模块的偏压状态，从而有利于改善残影的问题。

附图说明

- 图 1 为一种像素电路的电路示意图；
- 图 2 为图 1 中所示像素电路的版图示意图；
- 图 3 为另一种像素电路的电路示意图；
- 图 4 为图 3 中所示像素电路的版图示意图；
- 图 5 为本申请实施例提供的一种像素电路的结构示意图；
- 图 6 为本申请实施例提供的另一种像素电路的结构示意图；
- 图 7 为本申请实施例提供的又一种像素电路的结构示意图；
- 图 8 为图 7 中所示像素电路的版图示意图；
- 图 9 为本申请实施例提供的一种像素电路的驱动方法的流程示意图；
- 图 10 为本申请实施例提供的一种像素电路的驱动时序示意图。

具体实施方式

下面结合附图和实施例对本申请进行说明。可以理解的是，此处所描述的具体实施例仅仅用于解释本申请，而非对本申请的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与本申请相关的部分而非全部结构。

参见图 1 和图 2，该像素电路为 7T1C 结构。像素电路包括晶体管 M1'、晶体管 M2'、晶体管 M3'、晶体管 M4'、晶体管 M5'、晶体管 M6'、晶体管 M7' 和电容 Cst'。示例性地，所有晶体管均为 P 型晶体管，采用低温多晶硅（Low Temperature Poly-Silicon, LTPS）工艺制作而成。LTPS 晶体管具有迁移率高、驱动能力强和工艺成本低的优点，被广泛应用于像素电路中，但是 LTPS 晶体管不足之处是漏电流较大，使得像素电路产生的驱动电流波动较大。这是因为，晶体管 M1' 为驱动晶体管，晶体管 M1' 的栅极 G' 的电压由电容 Cst' 保存，但栅极 G' 存在两个漏电通道，即经过晶体管 M3' 和晶体管 M4' 漏电。一般经过晶体管 M3' 由漏极 D' 漏进电流，经过晶体管 M4' 由参考电压信号 Vref 漏出电流。由于受多个节点电位的差异限制，栅极 G' 的漏电流一进一出难以完全抵消，导致栅极 G' 的电位出现较大波动，导致了晶体管 M1'

的驱动电流出现较大波动。

为解决该技术问题，继续参见图 1，第一种改进方案为，将两漏电通道的晶体管改为双栅晶体管。晶体管 M3' 等效为串联的晶体管 M3-1' 和晶体管 M3-2'，晶体管 M4' 等效为串联的晶体管 M4-1' 和晶体管 M4-2'。相比于单栅晶体管，双栅晶体管具有更低的漏电流，因此，能够在一定程度上降低栅极 G' 的电位波动，但是该方案的漏电效果改善不佳。

第二种改进方案为，将两漏电通道的晶体管改为低温多晶氧化物（Low Temperature Polycrystalline Oxide, LTPO）晶体管。相比于 LTPS 晶体管，LTPO 晶体管具有漏电流小的优势，能够较好地解决栅极 G' 的漏电流带来的问题。但是该方案在显示面板的制备工艺中增加了氧化物薄膜晶体管的工艺，导致了工艺成本大幅上升。

参见图 3 和图 4，第三种改进方案为在 7T1C 电路中加入晶体管 M8' 得到 8T1C 电路。相比于第一种改进方案，该方案进一步改善了栅极 G' 的漏电问题。但是，通过对比图 2 和图 4 可以看出，该方案在 7T1C 电路版图的基础上，需要增加发光控制信号 EMB'，因此，该方案的版图布局较为复杂。

综上所述，上述像素电路无法兼顾低功耗、低漏电、低成本和版图布局简单等多种效果。

本申请实施例提供了一种像素电路。参见图 5，像素电路包括：驱动模块 100、数据写入模块 200、补偿模块 300、漏电抑制模块 400 和第一存储模块 500。驱动模块 100 包括控制端、第一端和第二端。可选地，驱动模块 100 包括驱动晶体管 MD。以驱动晶体管 MD 为 P 型晶体管为例进行说明，驱动晶体管 MD 的栅极 G 即为驱动模块 100 的控制端，驱动晶体管 MD 的源极 S 为第二节点 N2，即驱动驱动模块 100 的第一端，驱动晶体管 MD 的漏极 D 为第三节点 N3，即驱动驱动模块 100 的第二端。若将驱动晶体管 MD 的栅极 G 和漏极 D 导通，驱动晶体管 MD 构成二极管连接方式，此时当源极 S 为高电平，漏极 D 为低电平，驱动晶体管 MD 导通，产生驱动电流。

数据写入模块 200 包括扫描控制端、第一端和第二端，数据写入模块 200 的第一端与驱动模块 100 的第一端电连接，数据写入模块 200 的第二端接入数据信号 Data，数据写入模块 200 的扫描控制端接入第一扫描信号 S1。补偿模块 300 包括控制端、第一端和第二端，补偿模块 300 的第一端与驱动模块 100 的第二端电连接，补偿模块 300 的第二端为第一节点 N1，补偿模块 300 的控制端接入第一发光控制信号 EMB。漏电抑制模块 400 包括控制端、第一端和第二端，漏电抑制模块 400 的第一端与驱动模块 100 的控制端（栅极 G）电连接，漏电抑制模块 400 的第二端与补偿模块 300 的第二端（第一节点 N1）电连接，漏电

抑制模块 400 的控制端接入第一发光控制信号 EMB。第一存储模块 500 包括第一端和第二端，第一存储模块 500 的第一端与补偿模块 300 的第二端（第一节点 N1）电连接，第一存储模块 500 的第二端接入参考电压信号 Vref。

图 5 所示的像素电路的驱动过程包括初始化阶段、数据写入阶段和发光阶段。由于漏电抑制模块 400 与补偿模块 300 均接入第一发光控制信号 EMB，因此，两者的开关状态相同。第一发光控制信号 EMB 控制漏电抑制模块 400 与补偿模块 300 在初始化阶段和数据写入阶段导通。第一存储模块 500 设置为在数据写入阶段和发光阶段，当第一存储模块 500 的第一端和第一存储模块 500 的第二端形成压差时，维持该压差不变。

在初始化阶段，漏电抑制模块 400 与补偿模块 300 导通，驱动模块 100 的第二端和驱动模块 100 的控制端（栅极 G）导通。驱动模块 100 构成二极管连接方式，在驱动模块 100 的第一端和驱动模块 100 的第二端分别接入不同电压的情况下，例如，驱动模块 100 的第一端接入第一电源信号，驱动模块 100 的第二端接入第二电源信号，驱动模块 100 导通，有较大电流流过，在对驱动模块 100 的控制端（栅极 G）进行初始化的同时有利于改善驱动模块 100 的偏压状态，从而有利于改善残影的问题。

在数据写入阶段，数据写入模块 200、漏电抑制模块 400 与补偿模块 300 均导通，数据信号 Data 经由数据写入模块 200、导通的驱动模块 100、补偿模块 300 和漏电抑制模块 400 写入驱动模块 100 的控制端（栅极 G）。由于漏电抑制模块 400 处于导通状态，因此，驱动模块 100 的控制端（栅极 G）和第一节点 N1 的电位相等，同步变化。与此同时，第一存储模块 500 的第一端和第一存储模块 500 的第二端形成压差，第一存储模块 500 的第二端为恒定的参考电压信号 Vref，第一存储模块 500 的第一端存储第一节点 N1 的电位。当驱动模块 100 的控制端（栅极 G）的电位恒定时，第一节点 N1 的电位也不再变化，第一存储模块 500 的第一端和第二端形成固定的压差。

在发光阶段，数据写入模块 200、漏电抑制模块 400 与补偿模块 300 均断开，第一存储模块 500 维持第一存储模块 500 的第一端和第一存储模块 500 的第二端的压差不变。且由于第一存储模块 500 的第二端接入电位恒定的参考电压信号 Vref，因此第一存储模块 500 的第一端（即第一节点 N1）的电位保持为数据写入阶段时的电位。驱动模块 100 的控制端（栅极 G）也保持为数据写入阶段时的电位，因此，漏电抑制模块 400 的第一端和漏电抑制模块 400 的第二端的电位保持相等，从而减小了漏电抑制模块 400 的漏电流，抑制了驱动模块 100 的控制端（栅极 G）的漏电。

由上述分析可见，本申请实施例设置漏电抑制模块 400 位于驱动模块 100

的控制端（栅极 G）和补偿模块 300 的第二端（第一节点 N1）之间，以及设置第一存储模块 500 位于参考电压信号 Vref 和补偿模块 300 的第二端（第一节点 N1）之间。这样，驱动模块 100 的控制端（栅极 G）只设置有一个漏电流通道，该通道连接驱动模块 100 的控制端和驱动模块 100 的第二端，该通道由第一发光控制信号控制的漏电抑制模块 400 与补偿模块 300 构成。只有当补偿模块 300 的第二端（第一节点 N1）的电位大幅漂移后漏电抑制模块 400 才会产生较大的漏电流，驱动模块 100 的控制端（栅极 G）电位才会漂移。并且在本申请实施例中，驱动模块 100 的控制端（栅极 G）电位与补偿模块 300 的第二端（第一节点 N1）的电位接近，使得漏电抑制模块 400 的漏电流较小，减少了这个唯一漏电通道的漏电流大小，因此驱动模块 100 的控制端（栅极 G）的电位更加稳定，实现了高电流保持率，显示面板的闪烁现象得到改善。

本申请实施例对驱动模块 100 的控制端（栅极 G）的复位路径和复位方法进行了突破性的改进，采用第一存储模块 500 取代了复位驱动模块 100 的控制端（栅极 G）的双栅晶体管，且第一存储模块 500 和漏电抑制模块 400 组合，有效地抑制了驱动模块 100 的控制端（栅极 G）的漏电，有利于实现低帧频下的高质量显示，从而有利于实现兼顾低功耗和高显示品质的效果。

在实现上述效果的同时，本申请实施例所提供的像素电路能够在初始化阶段，在驱动模块 100 的第一端和驱动模块 100 的第二端分别接入不同电压的情况下，例如，驱动模块 100 的第一端接入第一电源信号，第二端接入第二电源信号，驱动模块 100 导通，有较大电流流过，在对驱动模块 100 的控制端（栅极 G）进行初始化的同时有利于改善驱动模块 100 的偏压状态，从而有利于改善残影的问题。

下面对驱动模块 100 的第一端和第二端分别接入不同电压、驱动模块 100 产生较大电流的情况进行说明。

继续参见图 5，在上述实施例的基础上，可选地，像素电路还包括：第一发光控制模块 700、第二发光控制模块 800 和初始化模块 900。第一发光控制模块 700 包括控制端、第一端和第二端，第一发光控制模块 700 的第一端与驱动模块 100 的第一端（第二节点 N2）电连接，第一发光控制模块 700 的第二端接入第一电源信号 VDD，第一发光控制模块 700 的控制端接入第二发光控制信号 EM。第二发光控制模块 800 包括控制端、第一端和第二端，第二发光控制模块 800 的控制端接入第二发光控制信号 EM，第二发光控制模块 800 的第一端与驱动模块 100 的第二端（第三节点 N3）电连接，第二发光控制模块 800 的第二端与发光器件 OLED 电连接。发光器件 OLED 包括阳极和阴极。示例性地，第二发光控制模块 800 的第二端与发光器件 OLED 的阳极电连接，发光器件 OLED 的阴

极接入第二电源信号 VSS。

初始化模块 900 包括控制端、第一端和第二端，初始化模块 900 的控制端接入第二扫描信号 S2，初始化模块 900 的第一端与第二发光控制模块 800 的第二端电连接，初始化模块 900 的第二端接入初始化信号。可选地，参考电压信号 Vref 复用为初始化信号。

在初始化阶段，漏电抑制模块 400 和补偿模块 300 导通，驱动模块 100 构成二极管连接方式。以及，第一发光控制模块 700、第二发光控制模块 800 和初始化模块 900 同时导通。第一电源信号 VDD 经第一发光控制模块 700 写入驱动模块 100 的第一端（第二节点 N2），第二电源信号 VSS 经第二发光控制模块 800 写入驱动模块 100 的第二端（第三节点 N3），驱动模块 100 导通，产生大电流。该电流通过初始化模块 900 流出，不会流经发光器件 OLED，从而既能够对发光器件 OLED 的阳极进行初始化，又避免了发光器件 OLED 在初始化阶段导通。

由此可见，本申请实施例提供的像素电路实现了，在初始化阶段控制驱动模块产生大电流，产生的大电流经初始化模块 900 流出，在对驱动模块 100 的控制端（栅极 G）和发光器件 OLED 的阳极进行初始化的同时，有利于改善驱动模块 100 的偏压状态，从而有利于改善残影的问题。

继续参见图 5，在上述实施例的基础上，可选地，像素电路还包括第二存储模块 600。第二存储模块 600 包括第一端和第二端，第二存储模块 600 的第一端与驱动模块 100 的控制端（栅极 G）电连接，第二存储模块 600 的第二端接入第一电源信号 VDD。第二存储模块 600 具有存储电位的功能，设置为在发光阶段维持驱动模块 100 的控制端的电位不变。这样，第一存储模块 500 和第二存储模块 600 相互配合，第一存储模块 500 维持第一节点 N1 的电位不变，第二存储模块 600 维持驱动模块 100 的控制端（栅极 G）的电位不变，使得第一节点 N1 和栅极 G 的电位保持相等，从而进一步有利于降低驱动模块 100 的控制端（栅极 G）的漏电，实现高电流保持率，改善显示面板的闪烁现象。

参见图 6，在上述实施例的基础上，本申请实施例对多个模块中晶体管的设置方式进行了说明。

在本申请的一种实施方式中，可选地，补偿模块 300 包括第一晶体管 M1。第一晶体管 M1 的第一极与驱动模块 100 的第二端（第三节点 N3）电连接，第一晶体管 M1 的第二极与漏电抑制模块 400 的第二端（第一节点 N1）电连接，第一晶体管 M1 的栅极接入第一发光控制信号 EMB。本申请实施例设置补偿模块 300 仅包括一个晶体管，电路结构简单，易于实现。

继续参见图 6，在本申请的一种实施方式中，可选地，漏电抑制模块 400 包括第二晶体管 M2。第二晶体管 M2 的第一极与驱动模块 100 的控制端（栅极 G）电连接，第二晶体管 M2 的第二极与补偿模块 300 的第二端（第一节点 N1）电连接，第二晶体管 M2 的栅极接入第一发光控制信号 EMB。本申请实施例设置漏电抑制模块 400 仅包括一个晶体管，电路结构简单，易于实现。

继续参见图 6，在本申请的一种实施方式中，可选地，数据写入模块 200 包括第三晶体管 M3。第三晶体管 M3 的第一极与驱动模块 100 的第一端（第二节点 N2）电连接，第三晶体管 M3 的第二极接入数据信号 Data，第三晶体管 M3 的栅极接入第一扫描信号 S1。本申请实施例设置数据写入模块 200 仅包括一个晶体管，使得像素电路所需要的晶体的数量较少。

继续参见图 6，在本申请的一种实施方式中，可选地，第一发光控制模块 700 包括第五晶体管 M5。第五晶体管 M5 的第一极与驱动模块 100 的第一端（第二节点 N2）电连接，第五晶体管 M5 的第二极接入第一电源信号 VDD，第五晶体管 M5 的栅极接入第二发光控制信号 EM。本申请实施例设置第一发光控制模块 700 仅包括一个晶体管，电路结构简单，易于实现。

继续参见图 6，在本申请的一种实施方式中，可选地，第二发光控制模块 800 包括第六晶体管 M6。第六晶体管 M6 的第一极与驱动模块 100 的第二端电连接，第六晶体管 M6 的第二极与发光器件 OLED 电连接，第六晶体管 M6 的栅极接入第二发光控制信号 EM。本申请实施例设置第二发光控制模块 800 仅包括一个晶体管，电路结构简单，易于实现。

继续参见图 6，在本申请的一种实施方式中，可选地，初始化模块 900 包括第七晶体管 M7。第七晶体管 M7 的第一极与第二发光控制模块 800 的第二端电连接，第七晶体管 M7 的第二极接入初始化信号，第七晶体管 M7 的栅极接入第二扫描信号 S2。本申请实施例设置初始化模块 900 仅包括一个晶体管，电路结构简单，易于实现。

继续参见图 6，在本申请的一种实施方式中，可选地，第一存储模块 500 包括第一电容 C1。第一电容 C1 的第一极与补偿模块 300 的第二端（第一节点 N1）电连接，第一电容 C1 的第二极接入参考电压信号 Vref。本申请实施例设置第一存储模块 500 仅包括一个电容，电路结构简单，易于实现。

继续参见图 6，在本申请的一种实施方式中，可选地，第二存储模块 600 包括第二电容 C2。第二电容 C2 的第一极与驱动模块 100 的控制端（栅极 G）电连接，第二电容 C2 的第二极接入第一电源信号 VDD。本申请实施例设置第二存储模块 600 仅包括一个电容，电路结构简单，易于实现。

图 6 中示例性地示出了像素电路中的所有晶体管均为 P 型晶体管，由 LTPS 工艺制备而成，这并非对本申请的限定。在其他实施例中，还可以设置像素电路中的部分或全部晶体管为 N 型晶体管，在实际应用中可以根据需要进行设定。

图 6 中示例性地示出了第一晶体管 M1 和第二晶体管 M2 均为单栅晶体管，并非对本申请的限定。在其他实施例中，还可以设置第一晶体管 M1 和/或第二晶体管 M2 为双栅晶体管。

参见图 7，与上述实施例不同的是，数据写入模块 200 还包括同步控制端，同步控制端接入第一发光控制信号 EMB，数据写入模块 200 在第一扫描信号 S1 和第一发光控制信号 EMB 的共同控制下传输数据信号 Data。可选地，数据写入模块 200 还包括第四晶体管 M4。第四晶体管 M4 的栅极接入第一发光控制信号 EMB；第四晶体管 M4 串联连接于第三晶体管 M3 的第一极和驱动模块 100 的第一端（第二节点 N2）之间。本申请实施例这样设置的原因在于，在不影响像素电路的其他功能的前提下，减少版图过孔数量。

结合图 7 和图 8，像素电路的版图包括沿第一方向 X 延伸且位于第一金属层的第一扫描线、第一发光控制信号线、第二发光控制信号线和第二扫描线。第一扫描线传输第一扫描信号 S1，第一发光控制信号线传输第一发光控制信号 EMB，第二发光控制信号线传输第二发光控制信号 EM，第二扫描线传输第二扫描信号 S2。

像素电路的版图还包括沿第一方向 X 延伸且位于第二金属层的参考电压信号线，参考电压信号线传输参考电压信号 Vref。

像素电路的版图还包括沿第二方向 Y 延伸且位于第三金属层的数据线和第一电源信号线。数据线传输数据信号 Data，第一电源信号线传输第一电源信号 VDD。

像素电路的版图还包括位于有源层的半导体图案，半导体图案与位于第一金属层的多个信号线交叉的位置形成晶体管。半导体图案中 S 形的部分与第一金属层交叉形成驱动晶体管 MD。

半导体图案与第一扫描线交叉的位置形成第三晶体管 M3。第一扫描线与半导体图案交叉的部分为第三晶体管 M3 的栅极，即第三晶体管 M3 的栅极与第一扫描线电连接。半导体图案位于第一扫描线两侧的部分为第三晶体管的第一极和第二极，第三晶体管 M3 的第二极通过过孔 110 连接至数据线，第三晶体管 M3 的第一极与第四晶体管 M4 的第二极电连接。

半导体图案与第一发光控制信号线交叉的位置形成第四晶体管 M4、第二晶体管 M2 和第一晶体管 M1。第四晶体管 M4 的栅极与第一发光控制信号线电连

接，第四晶体管 M4 的第一极与驱动晶体管 MD 的第一极电连接，第四晶体管 M4 的第二极与第三晶体管 M3 的第一极电连接。第一晶体管 M1 的栅极与第一发光控制信号线电连接，第一晶体管 M1 的第一极与驱动晶体管 MD 的第二极电连接，第一晶体管 M1 的第二极与第二晶体管 M2 的第二极电连接。第二晶体管 M2 的栅极与第一发光控制信号线电连接，第二晶体管 M2 的第一极通过过孔 110 和连接线 120 连接至驱动晶体管 MD 的栅极，第二晶体管 M2 的第二极与第一晶体管 M1 的第二极电连接。示例性地，连接线 120 位于第三金属层。

半导体图案与第二发光控制信号线交叉的位置形成第五晶体管 M5 和第六晶体管 M6。第五晶体管 M5 的栅极与第二发光控制信号线电连接，第五晶体管 M5 的第一极与驱动晶体管 MD 的第一极电连接，第五晶体管 M5 的第二极通过过孔 110 连接至第一电源信号线。第六晶体管 M6 的栅极与第二发光控制信号线电连接，第六晶体管 M6 的第一极与驱动晶体管 MD 的第二极电连接，第六晶体管 M6 的第二极通过过孔 110 与发光器件的阳极 130 电连接。

半导体图案与第二扫描线交叉的位置形成第七晶体管 M7。第七晶体管 M7 的栅极与第二扫描线电连接，第七晶体管 M7 的第一极与第六晶体管 M6 的第二极电连接，第七晶体管 M7 的第二极通过过孔 110 和连接线 120 连接至参考电压信号线。

驱动晶体管 MD 的栅极作为第二电容 C2 的第一极的极板，第二电容 C2 的第二极的极板可以设置于第三金属层，直接与第一电源信号线电连接；第二电容 C2 的第二极的极板还可以设置于第二金属层，通过设置过孔 110 与第一电源信号线电连接。

第一电容 C1 的第一极的极板位于第二金属层，通过过孔 110 和连接线 120 连接至第一晶体管 M1 的第二极。第一电容 C1 的第二极的极板位于第三金属层，通过过孔 110 和连接线 120 连接至参考电压信号线。或者，第一电容 C1 的第一极的极板位于第三金属层，通过过孔 110 和连接线 120 连接至第一晶体管 M1 的第二极。第一电容 C1 的第二极的极板位于第二金属层，直接连接至参考电压信号线。

因此，由图 8 所示的版图可以看出，在第三晶体管 M3 的下部，半导体图案与第一发光控制信号线天然形成第四晶体管 M4，且第四晶体管 M4 的存在不会影响像素电路的功能。然而，若不设置 M4，需要将半导体图案打断并设置过孔和连接线，以使半导体图案跨过第一发光控制信号线；或者将第一发光控制信号线打断并设置过孔和连接线，以使第一发光控制信号线跨过半导体图案。因此，本申请实施例通过在像素电路中增加第四晶体管 M4，实现了在不影响像素电路其他功能的前提下，减少了版图过孔数量。

由此可见，本申请实施例提供了一种 8T2C 结构的像素电路，从版图上看，对比图 2 和图 8，相比于相关技术的 7T1C 像素电路，本申请实施例提供的 8T2C 像素电路没有增加新的信号线。对比图 4 和图 8，相比于相关技术的 8T1C 电路，本申请实施例提供的 8T2C 像素电路减少了一条沿第一方向 X 延伸的信号线，因此，本申请实施例有利于节省布线空间，有利于高每英寸所拥有的像素数目（Pixels Per Inch，PPI）设计。

综上所述，本申请实施例至少包括以下效果：

第一、实现了高电流保持率，显示面板的闪烁现象得到改善，有利于实现低帧频下的高质量显示，从而有利于实现兼顾低功耗和高显示品质的效果。

第二、在对驱动晶体管 MD 的栅极 G 进行初始化的同时有利于改善驱动晶体管 MD 的偏压状态，从而有利于改善残影的问题。

第三、有利于节省布线空间，有利于实现高 PPI 设计。

本申请实施例还提供了一种显示面板。该显示面板包括如本申请任意实施例所提供的像素电路，具备相应的效果，不再赘述。

本申请实施例还提供了一种像素电路的驱动方法，该驱动方法可适用于本申请任意实施例所提供的像素电路，并具备相应的效果。结合图 7 和图 9，像素电路的驱动方法包括：

S110、在初始化阶段，第一发光控制信号 EMB 控制补偿模块 300 和漏电抑制模块 400 导通，以在驱动模块 100 的第一端和驱动模块 100 的第二端分别接入不同电压的情况下，使驱动模块 100 导通，进行初始化。

S120、在数据写入阶段，第一发光控制信号 EMB 控制补偿模块 300 和漏电抑制模块 400 导通，第一扫描信号 S1 控制数据写入模块 200 导通，以使数据信号 Data 写入驱动模块 100 的控制端；第一存储模块 500 的第一端和驱动模块 100 的控制端的电位相等，且第一存储模块 500 的第一端和第一存储模块 500 的第二端形成压差。

S130、在发光阶段，第一发光控制信号 EMB 控制补偿模块 300 和漏电抑制模块 400 断开，第一扫描信号 S1 控制数据写入模块 200 断开，第一存储模块 500 维持第一存储模块 500 的第一端和第一存储模块 500 的第二端的压差不变，以使漏电抑制模块 400 的第一端和第二端的电位相等。

在上述实施例的基础上，可选地，初始化阶段包括第一初始化子阶段和第

二初始化子阶段。

在第一初始化子阶段，第一发光控制信号 EMB 控制补偿模块 300 和漏电抑制模块 400 导通，第二发光控制信号 EM 控制第一发光控制模块 700 和第二发光控制模块 800 导通，第二扫描信号 S2 控制初始化模块 900 导通，以使驱动模块 100 导通，产生的驱动电流经初始化模块 900 流出。驱动模块 100 导通，有较大电流流过，在对驱动模块 100 的控制端（栅极 G）进行初始化的同时有利于改善驱动模块 100 的偏压状态，从而有利于改善残影的问题。

在第二初始化子阶段，第二发光控制信号 EM 控制第一发光控制模块 700 和第二发光控制模块 800 断开；参考电压信号 Vref 继续对发光器件 OLED 的阳极进行初始化。

图 10 为本申请实施例提供的一种像素电路的驱动时序示意图。下面结合图 7 和图 10 对像素电路的驱动过程进行说明。

在第一初始化子阶段 t11，第二扫描信号 S2、第一发光控制信号 EMB 和第二发光控制信号 EM 为低电平，第一晶体管 M1、第二晶体管 M2、第五晶体管 M5、第六晶体管 M6 和第七晶体管 M7 导通，驱动晶体管 MD 的栅极 G 和发光器件 OLED 的阳极被同时复位，驱动晶体管 MD 的栅极 G 写入参考电压信号 Vref，此时驱动晶体管 MD 有较大电流流过，有利于改善驱动晶体管 MD 的偏压状态，从而改善残影问题。

在第二初始化子阶段 t12，与第一初始化阶段 t11 不同的是，第二发光控制信号 EM 由低电平变为高电平，第五晶体管 M5 和第六晶体管 M6 断开，驱动晶体管 MD 不再产生大电流。栅极 G 的电位由第一电容 C1 保持，参考电压信号 Vref 继续对发光器件 OLED 的阳极进行初始化。

在数据写入阶段 t2，第二扫描信号 S2 为高电平，第七晶体管 M7 断开。第一扫描信号 S1 和第一发光控制信号 EMB 为低电平，第三晶体管 M3、第四晶体管 M4、第一晶体管 M1 和第二晶体管 M2 导通，数据信号 Data 经过第三晶体管 M3、第四晶体管 M4、驱动晶体管 MD、第一晶体管 M1 和第二晶体管 M2 写入栅极 G 和第一节点 N1，即写入第一电容 C1 和第二电容 C2。由于参考电压信号 Vref 低于数据信号 Data 的电压，因此在数据写入阶段 t2，栅极 G 的电位逐渐升高。

在发光阶段 t3，第一扫描信号 S1 和第一发光控制信号 EMB 为高电平，第三晶体管 M3、第四晶体管 M4、第一晶体管 M1 和第二晶体管 M2 断开。第二发光控制信号 EM 为低电平，第五晶体管 M5 和第六晶体管 M6 导通，发光器件 OLED 被点亮。其间，第一电容 C1 和第二电容 C2 将第一节点 N1 和栅极 G 的

电位锁住。由于第一节点 N1 和栅极 G 的电位很接近，所以第二晶体管 M2 的漏电流很小，因此栅极 G 的电位更稳定，显示面板的闪烁问题得到改善。

继续参见图 10，阶段 t0 为初始状态，可以认为是上一帧的发光阶段。

在图 10 中示例性地示出了在第二初始化子阶段 t12 和数据写入阶段 t2 之间还包括第一过渡阶段。在第一过渡阶段第二扫描信号 S2 由低电平变为高电平，第一发光控制信号 EMB 由低电平变为高电平，这并非对本申请的限定。在其他实施例中，还可以不设置第一过渡阶段，第二扫描信号 S2 在数据写入阶段 t2 由低电平变为高电平，以及第一发光控制信号 EMB 在初始化阶段和数据写入阶段 t2 保持低电平。

在图 10 中示例性地示出了在数据写入阶段 t2 和发光阶段 t3 之间还包括第二过渡阶段。在第二过渡阶段第一扫描信号 S1 和第一发光控制信号 EMB 由低电平变为高电平，这并非对本申请的限定。在其他实施例中，还可以不设置第二过渡阶段，第一扫描信号 S1 和第一发光控制信号 EMB 在发光阶段 t3 由低电平变为高电平。

权利要求书

1、一种像素电路，包括：

驱动模块，包括控制端、第一端和第二端；

数据写入模块，包括扫描控制端、第一端和第二端，所述数据写入模块的第一端与所述驱动模块的第一端电连接，所述数据写入模块的第二端接入数据信号，所述数据写入模块的扫描控制端接入第一扫描信号；

补偿模块，包括控制端、第一端和第二端，所述补偿模块的第一端与所述驱动模块的第二端电连接，所述补偿模块的控制端接入第一发光控制信号；

漏电抑制模块，包括控制端、第一端和第二端，所述漏电抑制模块的第一端与所述驱动模块的控制端电连接，所述漏电抑制模块的第二端与所述补偿模块的第二端电连接，所述漏电抑制模块的控制端接入所述第一发光控制信号；所述漏电抑制模块与所述补偿模块在初始化阶段和数据写入阶段导通；

第一存储模块，包括第一端和第二端，所述第一存储模块的第一端与所述补偿模块的第二端电连接，所述第一存储模块的第二端接入参考电压信号；所述第一存储模块设置为在所述数据写入阶段和发光阶段，当所述第一存储模块的第一端和所述第一存储模块的第二端形成压差时，维持该压差不变。

2、根据权利要求1所述的像素电路，其中，所述补偿模块包括：

第一晶体管，所述第一晶体管的第一极与所述驱动模块的第二端电连接，所述第一晶体管的第二极与所述漏电抑制模块的第二端电连接，所述第一晶体管的栅极接入所述第一发光控制信号。

3、根据权利要求1所述的像素电路，其中，所述漏电抑制模块包括：

第二晶体管，所述第二晶体管的第一极与所述驱动模块的控制端电连接，所述第二晶体管的第二极与所述补偿模块的第二端电连接，所述第二晶体管的栅极接入所述第一发光控制信号。

4、根据权利要求1所述的像素电路，其中，所述第一存储模块包括：

第一电容，所述第一电容的第一极与所述补偿模块的第二端电连接，所述第一电容的第二极接入所述参考电压信号。

5、根据权利要求1所述的像素电路，其中，所述数据写入模块包括：

第三晶体管，所述第三晶体管的第一极与所述驱动模块的第一端电连接，所述第三晶体管的第二极接入所述数据信号，所述第三晶体管的栅极接入所述第一扫描信号。

6、根据权利要求1所述的像素电路，其中，所述数据写入模块还包括：同

步控制端，所述同步控制端接入所述第一发光控制信号；所述数据写入模块在所述第一扫描信号和所述第一发光控制信号的共同控制下传输所述数据信号。

7、根据权利要求6所述的像素电路，其中，所述数据写入模块包括：

第三晶体管，所述第三晶体管的第二极接入所述数据信号，所述第三晶体管的栅极接入所述第一扫描信号；

第四晶体管，所述第四晶体管的第一极与所述驱动模块的第一端电连接，所述第四晶体管的第二极与所述第三晶体管的第一极电连接；所述第四晶体管的栅极接入所述第一发光控制信号。

8、根据权利要求1所述的像素电路，还包括：

第二存储模块，所述第二存储模块包括第一端和第二端，所述第二存储模块的第一端与所述驱动模块的控制端电连接，所述第二存储模块的第二端接入第一电源信号；所述第二存储模块设置为在发光阶段维持所述驱动模块的控制端的电位不变。

9、根据权利要求8所述的像素电路，其中，所述第二存储模块包括第二电容，所述第二电容的第一极与所述驱动模块的控制端电连接，所述第二电容的第二极接入所述第一电源信号。

10、根据权利要求1所述的像素电路，还包括：

第一发光控制模块，包括控制端、第一端和第二端，所述第一发光控制模块的第一端与所述驱动模块的第一端电连接，所述第一发光控制模块的第二端接入第一电源信号，所述第一发光控制模块的控制端接入第二发光控制信号；

第二发光控制模块，包括控制端、第一端和第二端，所述第二发光控制模块的第一端与所述驱动模块的第二端电连接，所述第二发光控制模块的第二端与发光器件电连接，所述第二发光控制模块的控制端接入所述第二发光控制信号；

初始化模块，包括控制端、第一端和第二端，所述初始化模块的第一端与所述第二发光控制模块的第二端电连接，所述初始化模块的第二端接入初始化信号，所述初始化模块的控制端接入第二扫描信号；所述第一发光控制模块、所述第二发光控制模块和所述初始化模块在所述初始化阶段同时导通。

11、根据权利要求10所述的像素电路，其中，所述第一发光控制模块包括第五晶体管，所述第五晶体管的第一极与所述驱动模块的第一端电连接，所述第五晶体管的第二极接入所述第一电源信号，所述第五晶体管的栅极接入所述第二发光控制信号。

12、根据权利要求 10 所述的像素电路，其中，所述第二发光控制模块包括第六晶体管，所述第六晶体管的第一极与所述驱动模块的第二端电连接，所述第六晶体管的第二极与所述发光器件电连接，所述第六晶体管的栅极接入所述第二发光控制信号。

13、根据权利要求 10 所述的像素电路，其中，所述初始化模块包括第七晶体管，所述第七晶体管的第一极与所述第二发光控制模块的第二端电连接，所述第七晶体管的第二极接入所述初始化信号，所述第七晶体管的栅极接入所述第二扫描信号。

14、根据权利要求 11 所述的像素电路，其中，所述参考电压信号复用为所述初始化信号。

15、根据权利要求 10 所述的像素电路，其中，所述发光器件包括阳极和阴极，所述第二发光控制模块的第二端与所述发光器件的阳极电连接，所述发光器件的阴极接入第二电源信号。

16、一种显示面板，包括：如权利要求 1-15 任一项所述的像素电路。

17、一种像素电路的驱动方法，所述像素电路包括驱动模块、漏电抑制模块、数据写入模块、补偿模块和第一存储模块；所述数据写入模块的第一端与所述驱动模块的第一端电连接，所述数据写入模块的第二端接入数据信号，所述数据写入模块的控制端接入第一扫描信号；所述补偿模块的第一端与所述驱动模块的第二端电连接，所述补偿模块的控制端接入第一发光控制信号；所述漏电抑制模块的第一端与所述驱动模块的控制端电连接，所述漏电抑制模块的第二端与所述补偿模块的第二端电连接，所述漏电抑制模块的控制端接入所述第一发光控制信号；所述第一存储模块的第一端与所述补偿模块的第二端电连接，所述第一存储模块的第二端接入参考电压信号；

所述驱动方法包括：

在初始化阶段，所述第一发光控制信号控制所述补偿模块和所述漏电抑制模块导通，以在所述驱动模块的第一端和所述驱动模块的第二端分别接入不同电压的情况下，使所述驱动模块导通，进行初始化；

在数据写入阶段，所述第一发光控制信号控制所述补偿模块和所述漏电抑制模块导通，所述第一扫描信号控制所述数据写入模块导通，以使所述数据信号写入所述驱动模块的控制端；所述第一存储模块的第一端和所述驱动模块的控制端的电位相等，且所述第一存储模块的第一端和所述第一存储模块的第二端形成压差；

在发光阶段，所述第一发光控制信号控制所述补偿模块和所述漏电抑制模

块断开，所述第一扫描信号控制所述数据写入模块断开，所述第一存储模块维持所述第一存储模块的第一端和所述第一存储模块的第二端的压差不变，以使所述漏电抑制模块的第一端和所述漏电抑制模块的第二端的电位相等。

18、根据权利要求 17 所述的方法，其中，所述像素电路还包括第一发光控制模块、第二发光控制模块和初始化模块，所述第一发光控制模块的第一端与所述驱动模块的第一端电连接，所述第一发光控制模块的第二端接入第一电源信号，所述第一发光控制模块的控制端接入第二发光控制信号，所述第二发光控制模块的第一端与所述驱动模块的第二端电连接，所述第二发光控制模块的第二端与发光器件电连接，所述第二发光控制模块的控制端接入所述第二发光控制信号，所述初始化模块的第一端与所述第二发光控制模块的第二端电连接，所述初始化模块的第二端接入初始化信号，所述初始化模块的控制端接入第二扫描信号；

所述初始化阶段包括第一初始化子阶段和第二初始化子阶段；在所述第一初始化子阶段，所述第一发光控制信号控制所述补偿模块和所述漏电抑制模块导通，所述第二发光控制信号控制所述第一发光控制模块和所述第二发光控制模块导通，所述第二扫描信号控制初始化模块导通，所述参考电压信号对所述驱动晶体管的栅极和所述发光器件的阳极进行初始化；在所述第二初始化子阶段，所述第二发光控制信号控制所述第一发光控制模块和所述第二发光控制模块断开；所述参考电压信号对所述发光器件的阳极进行初始化；

在所述数据写入阶段，所述第二扫描信号控制所述初始化模块断开，所述第一扫描信号控制所述数据写入模块导通；

在所述发光阶段，所述第一扫描信号控制所述数据写入模块断开，所述第一发光控制信号控制所述补偿模块和所述漏电抑制模块断开，所述第二发光控制模块控制所述第一发光控制模块和所述第二发光控制模块导通。

19、根据权利要求 18 所述的方法，其中，在所述第二初始化子阶段和所述数据写入阶段之间包括第一过渡阶段；

在所述第一过渡阶段，所述第二扫描信号控制所述初始化模块断开，所述第一发光控制信号控制所述补偿模块和所述漏电抑制模块断开。

20、根据权利要求 18 所述的方法，其中，在所述数据写入阶段和所述发光阶段之间包括第二过渡阶段；

在所述第二过渡阶段，所述第一扫描信号控制所述数据写入模块断开，所述第一发光控制信号控制所述补偿模块和所述漏电抑制模块断开。

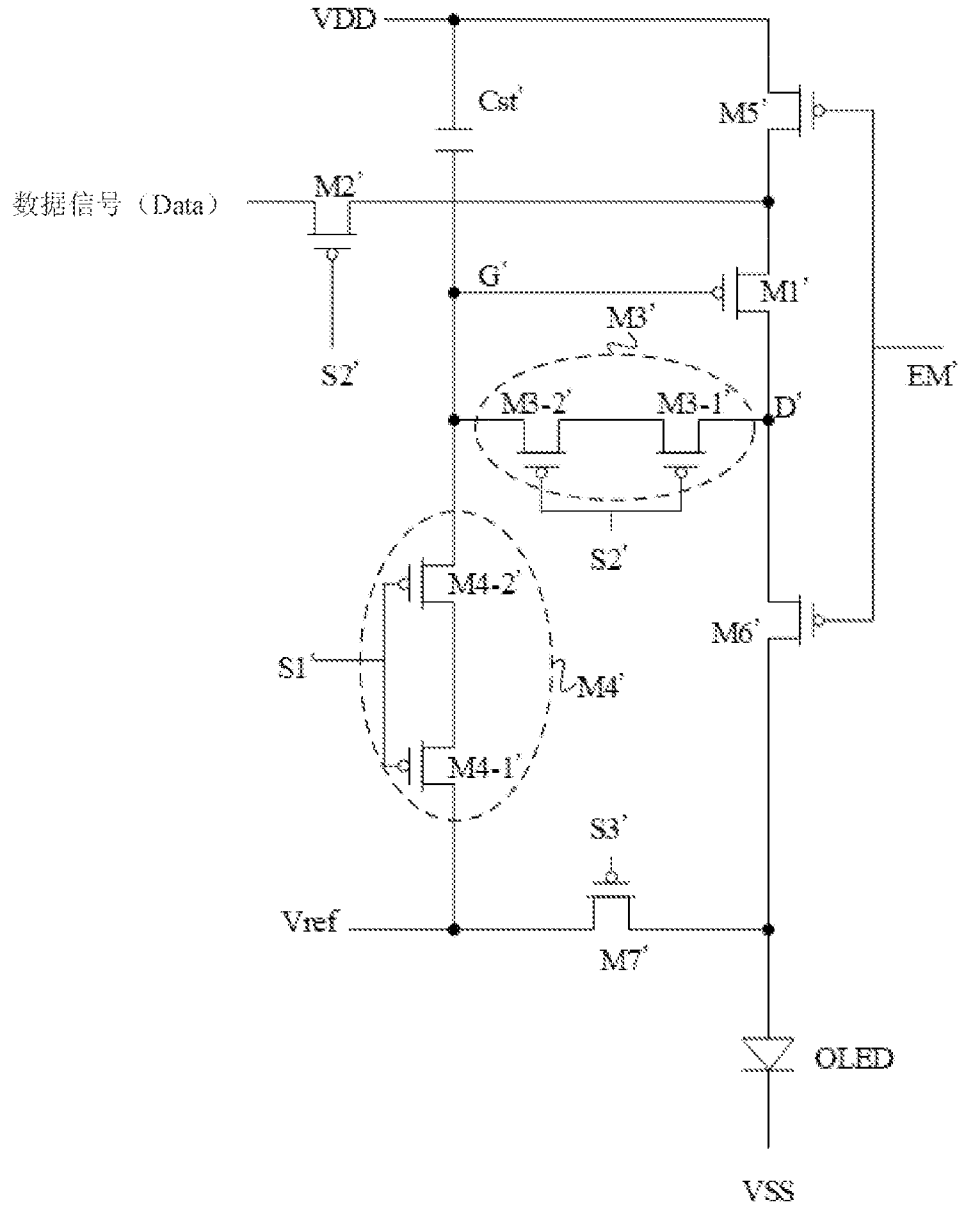


图 1

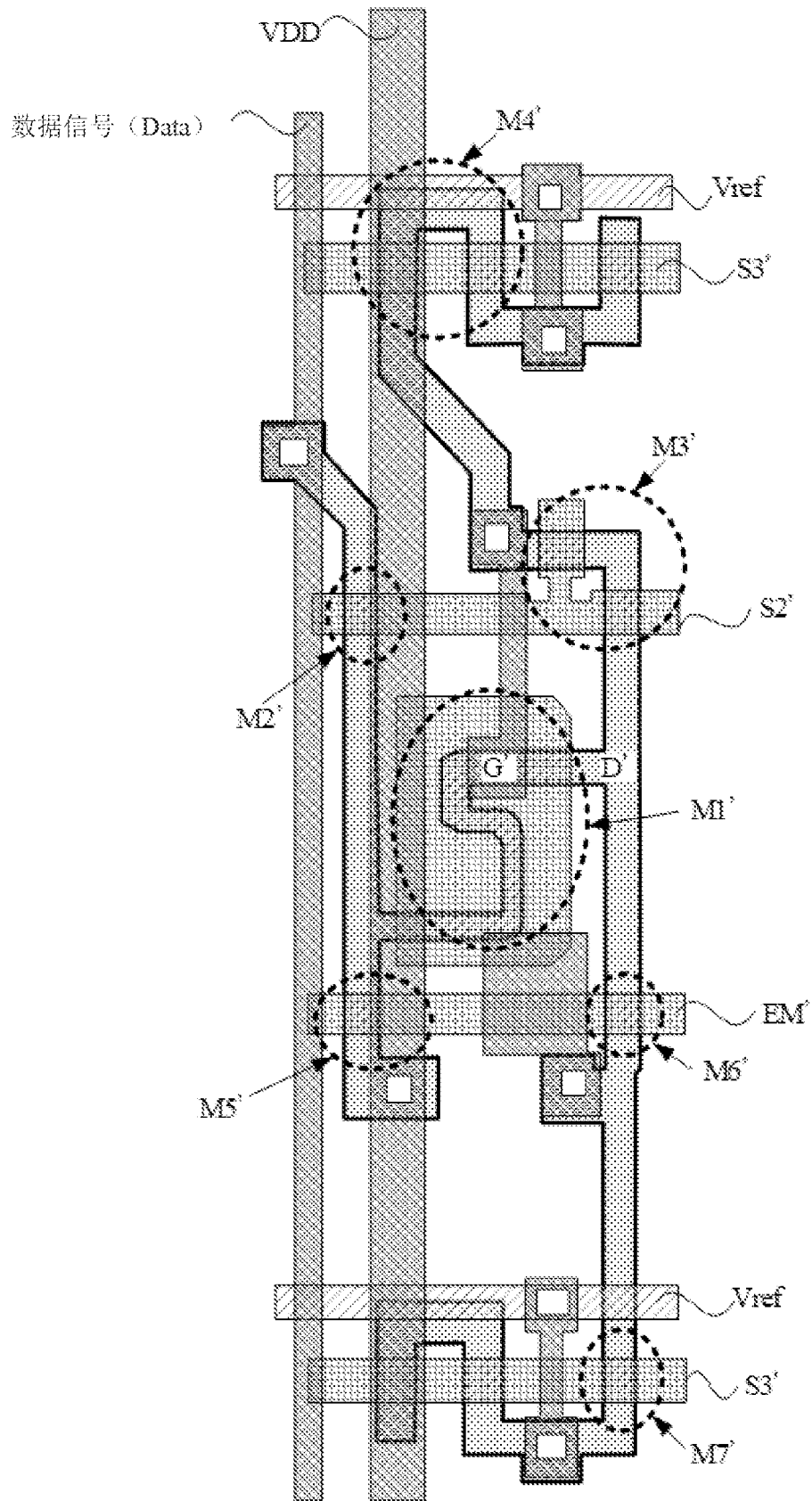


图 2

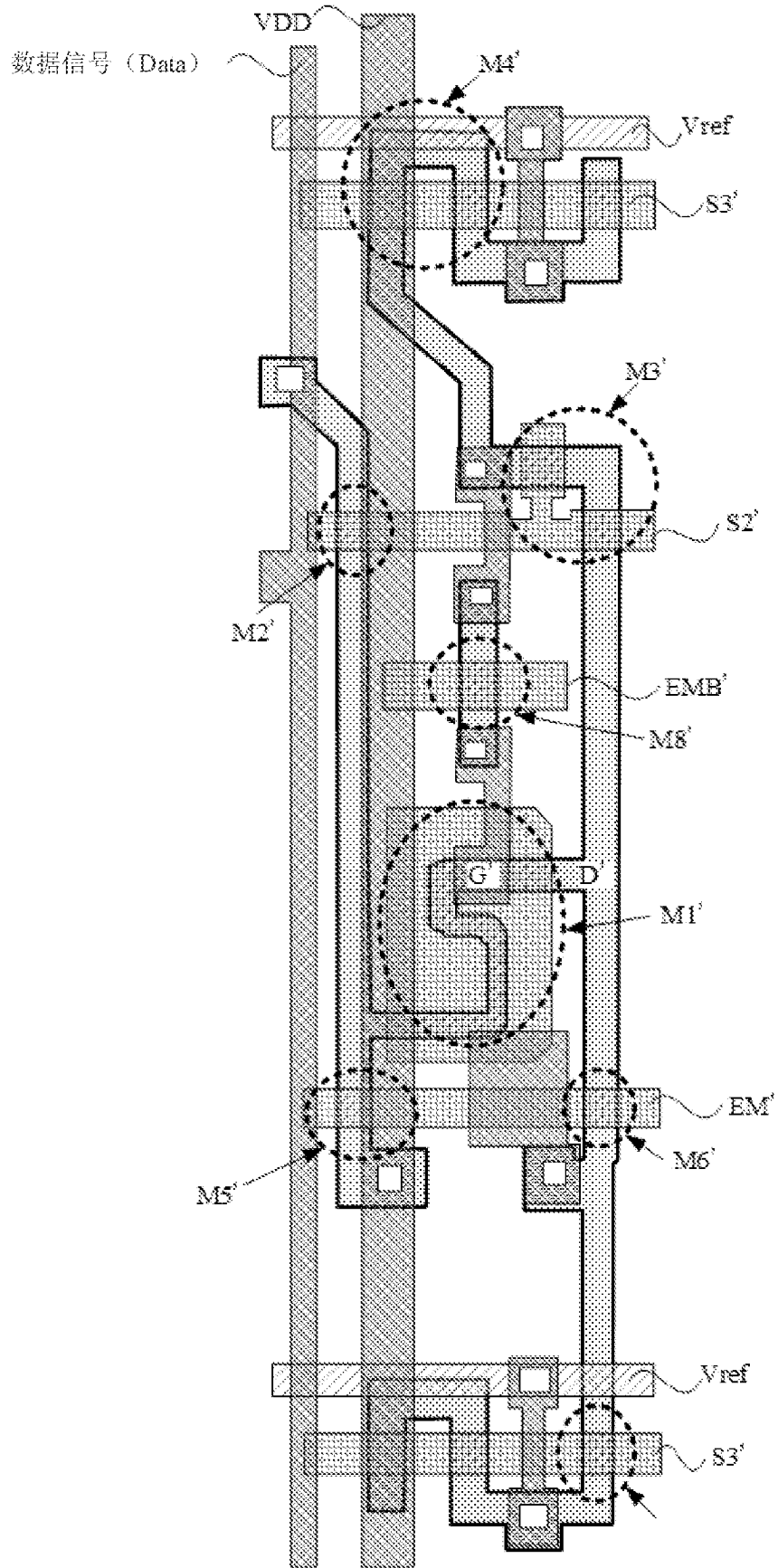


图 4

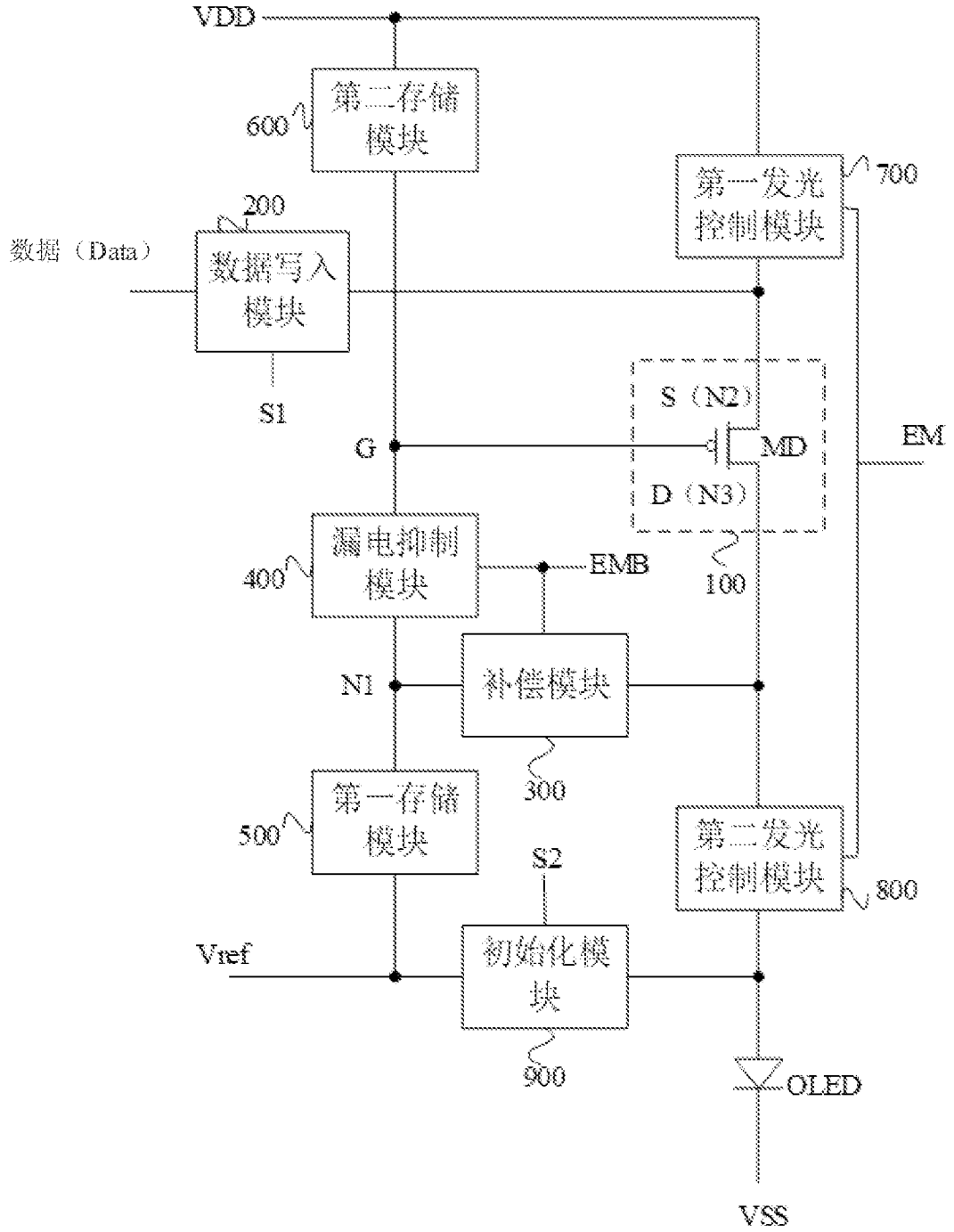


图 5

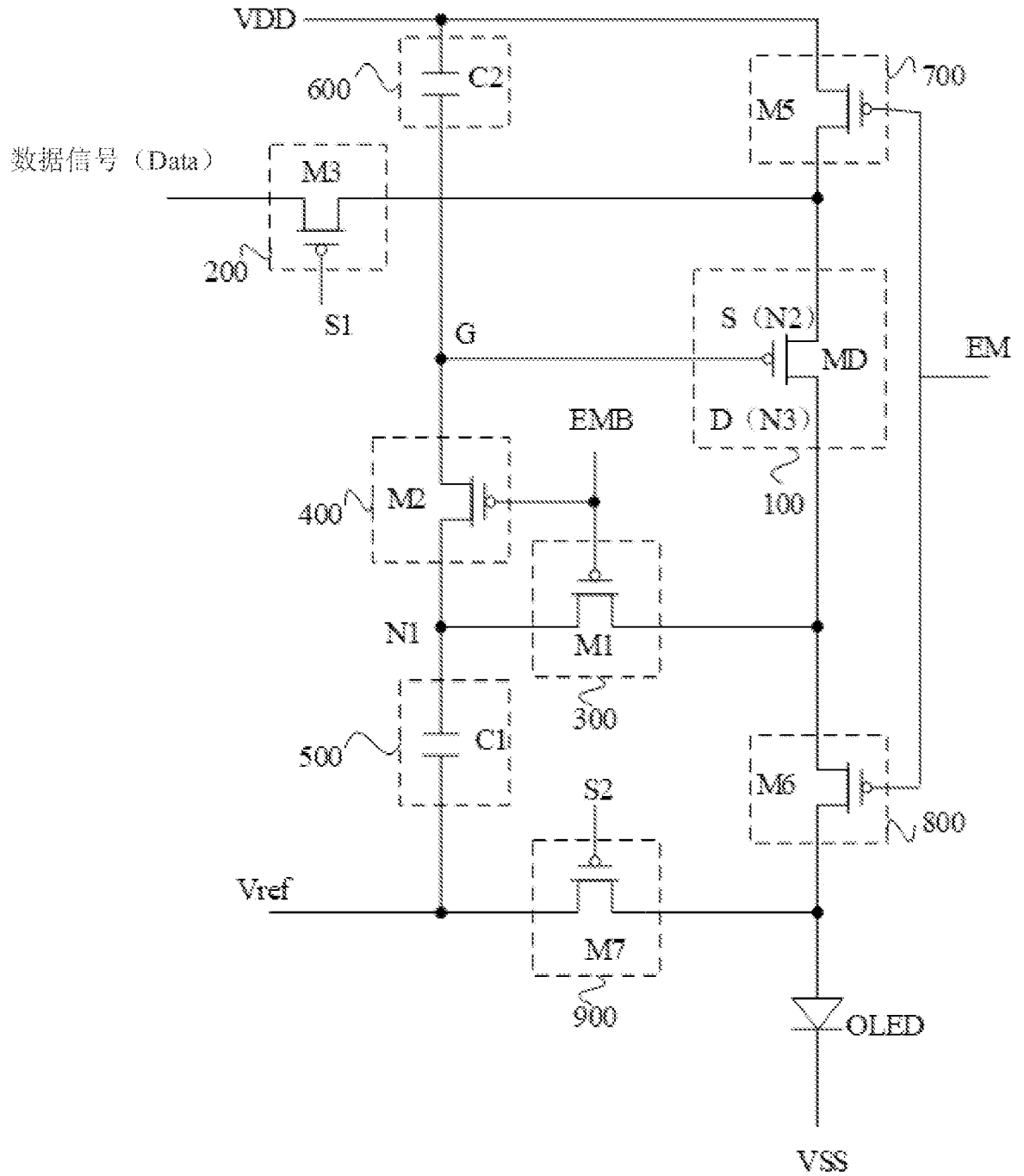


图 6

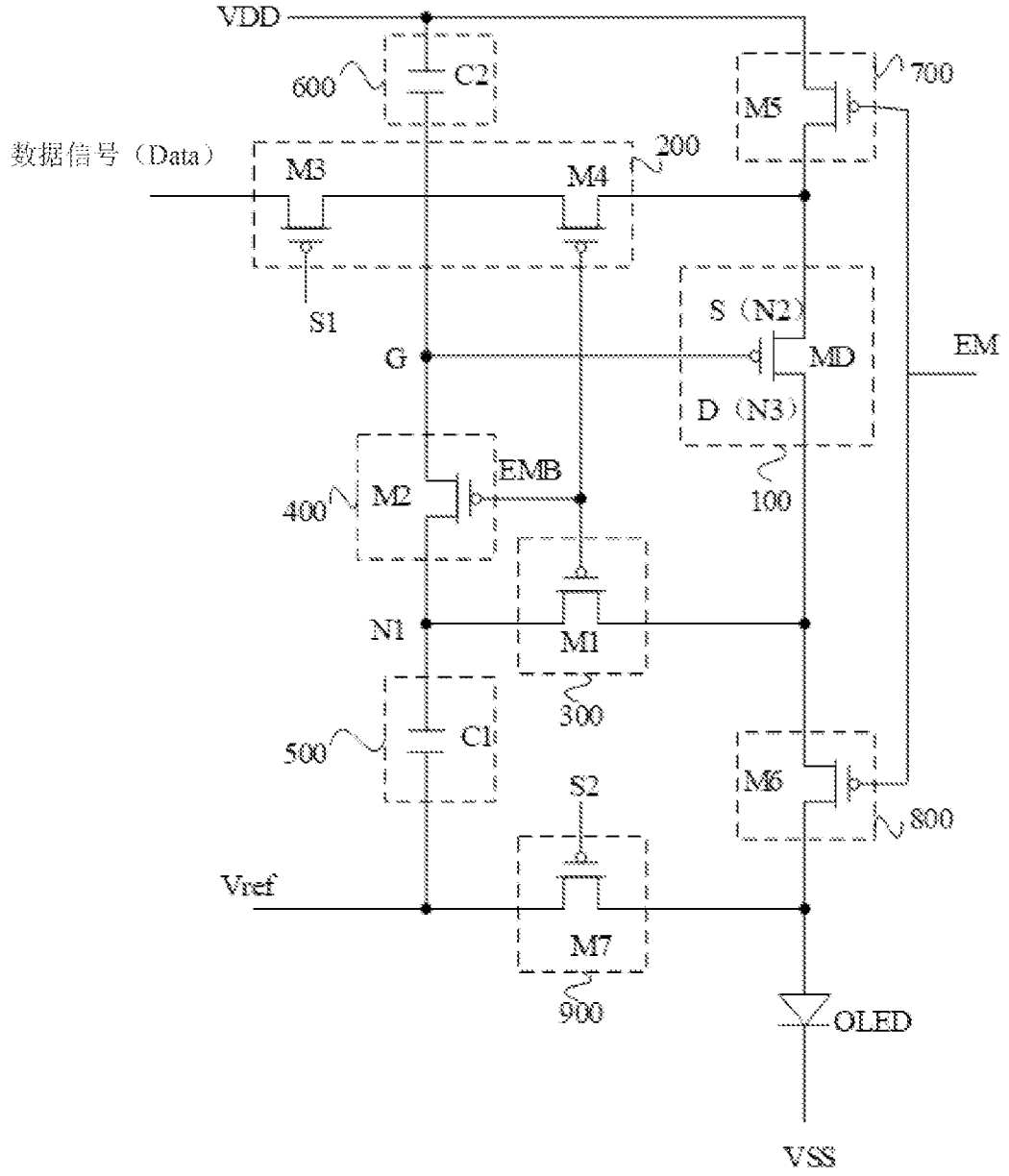


图 7

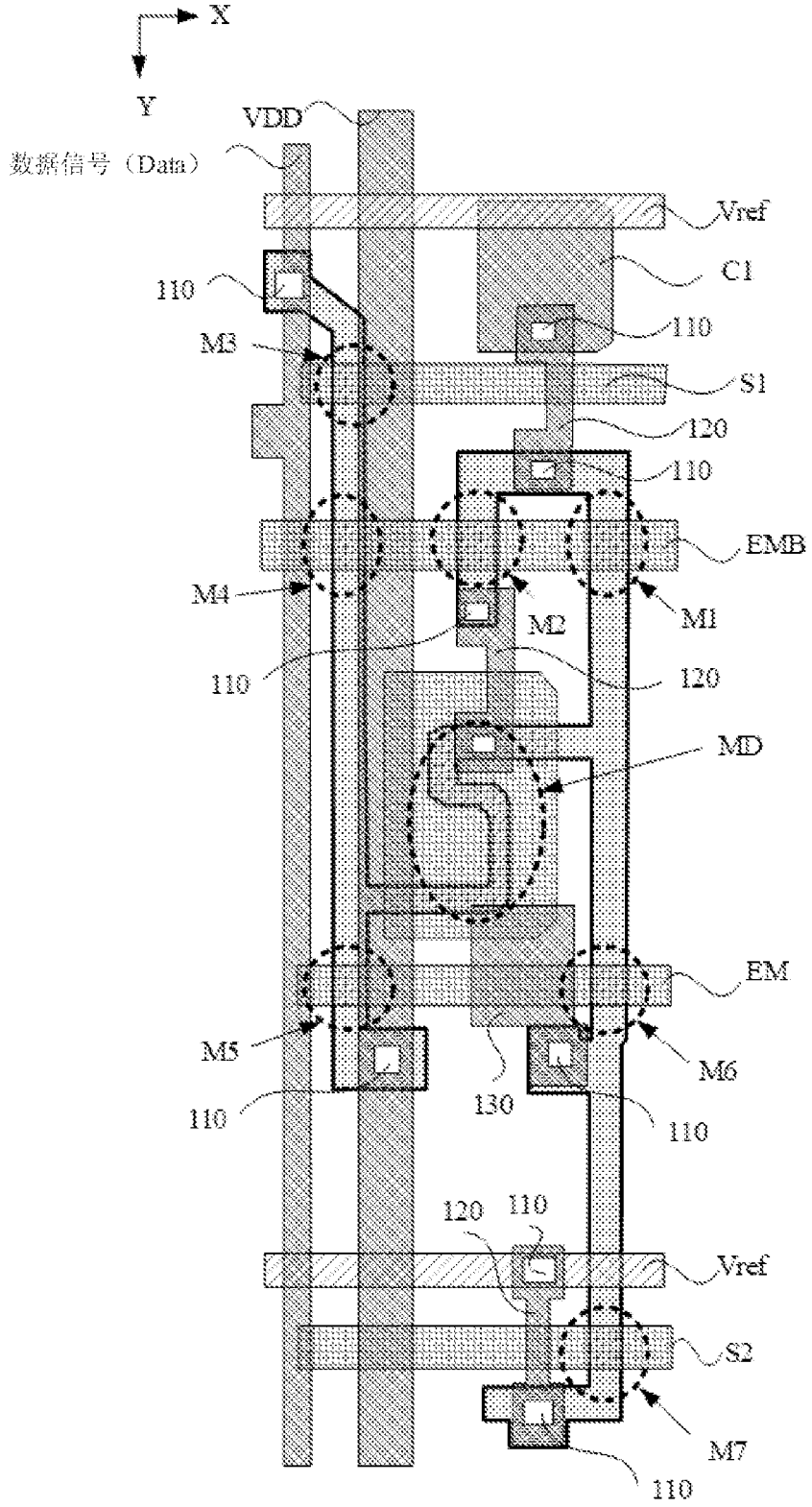


图 8

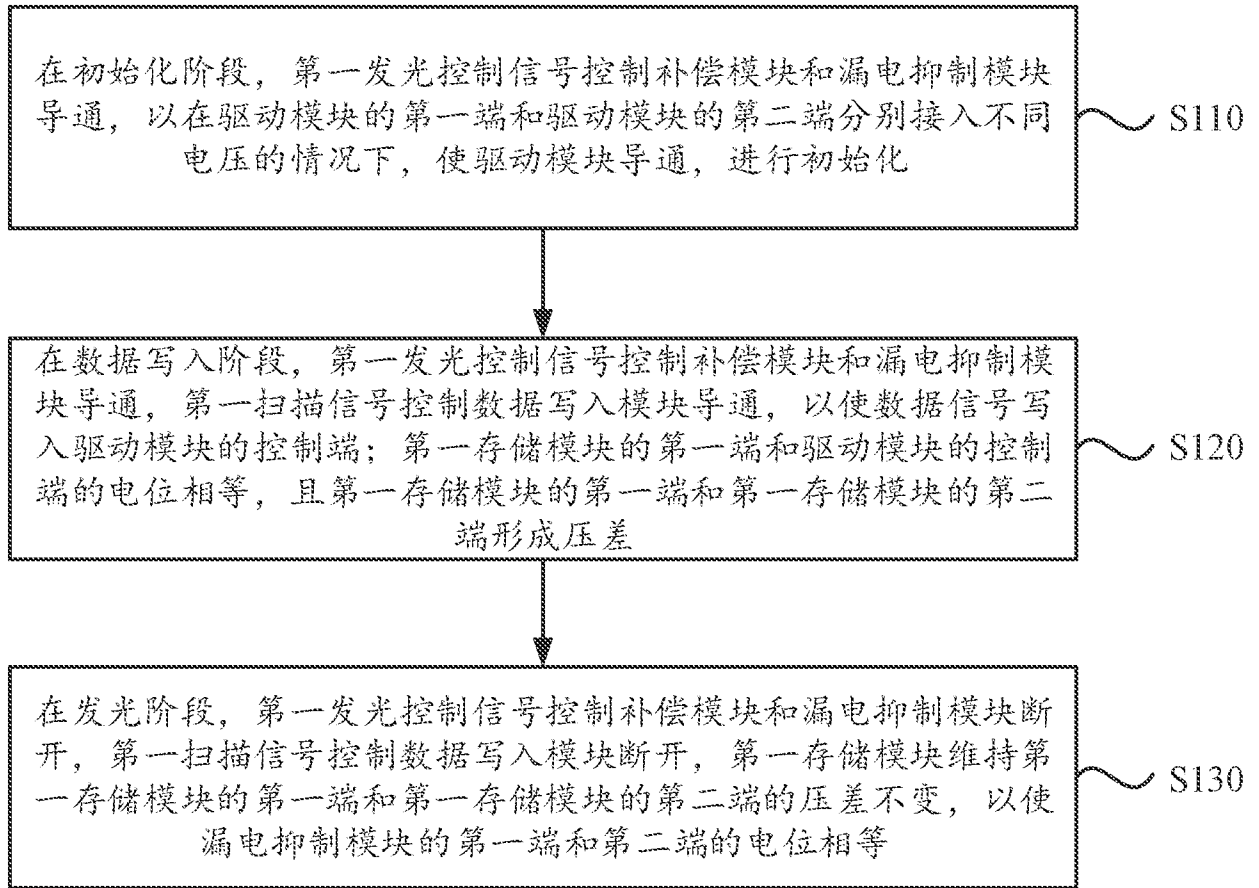


图 9

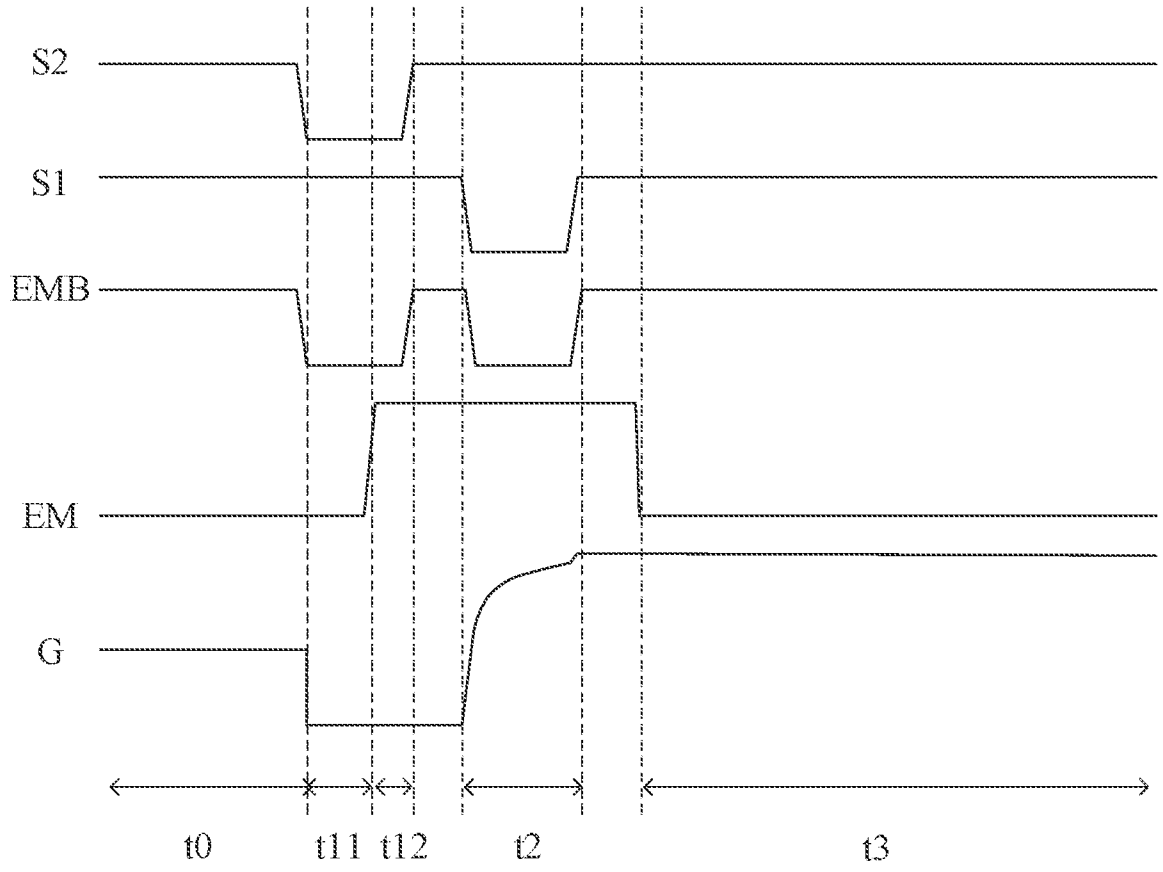


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/089523

A. CLASSIFICATION OF SUBJECT MATTER G09G 3/20(2006.01)i; G09G 3/3208(2016.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS; CNTXT; CNKI; VEN; USTXT; EPTXT; WOTXT: 像素, 数据, 写入, 漏电, 初始化, 复位, 重置, 发光控制, 存储, 补偿, pixel, compensate, initializ+, reset+, writ+, data, leakage current		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 113870758 A (YUNGU (GU&APOSAN) TECHNOLOGY CO., LTD.) 31 December 2021 (2021-12-31) description, paragraphs [0059]-[0117], and figures 5-10	1-20
Y	CN 112289267 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 29 January 2021 (2021-01-29) description, paragraphs [0039]-[0043], and figures 3 and 4	1-20
Y	CN 107452339 A (SHANGHAI TIANMA ORGANIC LIGHT EMITTING DISPLAY TECHNOLOGY CO., LTD.) 08 December 2017 (2017-12-08) description, paragraph [0075], and figures 4D, 4E and 5D-5I	1-20
A	CN 107665672 A (EVERDISPLAY OPTRONICS (SHANGHAI) CO., LTD.) 06 February 2018 (2018-02-06) entire document	1-20
A	CN 112735314 A (HEFEI VISIONOX TECHNOLOGY CO., LTD.) 30 April 2021 (2021-04-30) entire document	1-20
A	US 2011157126 A1 (Chung BoYong et al.) 30 June 2011 (2011-06-30) entire document	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 28 June 2022		Date of mailing of the international search report 18 July 2022
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/089523

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113870758	A	31 December 2021	None			
CN	112289267	A	29 January 2021	None			
CN	107452339	A	08 December 2017	US	2018151123	A1	31 May 2018
				US	10467965	B2	05 November 2019
				CN	107452339	B	09 August 2019
CN	107665672	A	06 February 2018	US	2018033370	A1	01 February 2018
				CN	107665672	B	13 January 2020
				US	10453390	B2	22 October 2019
CN	112735314	A	30 April 2021	None			
US	2011157126	A1	30 June 2011	KR	20110079220	A	07 July 2011
				US	8547372	B2	01 October 2013
				KR	101097325	B1	23 December 2011

国际检索报告

国际申请号

PCT/CN2022/089523

<p>A. 主题的分类 G09G 3/20(2006.01)i; G09G 3/3208(2016.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																																			
<p>B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;CNTXT;CNKI;VEN;USTXT;EPTXT;WOTXT:像素, 数据, 写入, 漏电, 初始化, 复位, 重置, 发光控制, 存储, 补偿, pixel, compensate, initializ+, reset+, writ+, data, leakage current</p>																																			
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 113870758 A (云谷固安科技有限公司) 2021年12月31日 (2021 - 12 - 31) 说明书第[0059]-[0117]段, 图5-10</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>CN 112289267 A (昆山国显光电有限公司) 2021年1月29日 (2021 - 01 - 29) 说明书第[0039]-[0043]段, 图3、4</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>CN 107452339 A (上海天马有机发光显示技术有限公司) 2017年12月8日 (2017 - 12 - 08) 说明书第[0075]段, 图4D、4E、5D-5I</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 107665672 A (上海和辉光电有限公司) 2018年2月6日 (2018 - 02 - 06) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 112735314 A (合肥维信诺科技有限公司) 2021年4月30日 (2021 - 04 - 30) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>US 2011157126 A1 (CHUNG BO-YONG 等) 2011年6月30日 (2011 - 06 - 30) 全文</td> <td>1-20</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <table border="0"> <tr> <td>* 引用文件的具体类型:</td> <td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</td> </tr> <tr> <td>“A” 认为不特别相关的表示了现有技术一般状态的文件</td> <td>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</td> </tr> <tr> <td>“E” 在国际申请日的当天或之后公布的在先申请或专利</td> <td>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</td> </tr> <tr> <td>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</td> <td>“&” 同族专利的文件</td> </tr> <tr> <td>“O” 涉及口头公开、使用、展览或其他方式公开的文件</td> <td></td> </tr> <tr> <td>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td> <td></td> </tr> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 113870758 A (云谷固安科技有限公司) 2021年12月31日 (2021 - 12 - 31) 说明书第[0059]-[0117]段, 图5-10	1-20	Y	CN 112289267 A (昆山国显光电有限公司) 2021年1月29日 (2021 - 01 - 29) 说明书第[0039]-[0043]段, 图3、4	1-20	Y	CN 107452339 A (上海天马有机发光显示技术有限公司) 2017年12月8日 (2017 - 12 - 08) 说明书第[0075]段, 图4D、4E、5D-5I	1-20	A	CN 107665672 A (上海和辉光电有限公司) 2018年2月6日 (2018 - 02 - 06) 全文	1-20	A	CN 112735314 A (合肥维信诺科技有限公司) 2021年4月30日 (2021 - 04 - 30) 全文	1-20	A	US 2011157126 A1 (CHUNG BO-YONG 等) 2011年6月30日 (2011 - 06 - 30) 全文	1-20	* 引用文件的具体类型:	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件	“A” 认为不特别相关的表示了现有技术一般状态的文件	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性	“E” 在国际申请日的当天或之后公布的在先申请或专利	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性	“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“&” 同族专利的文件	“O” 涉及口头公开、使用、展览或其他方式公开的文件		“P” 公布日先于国际申请日但迟于所要求的优先权日的文件	
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																																	
PX	CN 113870758 A (云谷固安科技有限公司) 2021年12月31日 (2021 - 12 - 31) 说明书第[0059]-[0117]段, 图5-10	1-20																																	
Y	CN 112289267 A (昆山国显光电有限公司) 2021年1月29日 (2021 - 01 - 29) 说明书第[0039]-[0043]段, 图3、4	1-20																																	
Y	CN 107452339 A (上海天马有机发光显示技术有限公司) 2017年12月8日 (2017 - 12 - 08) 说明书第[0075]段, 图4D、4E、5D-5I	1-20																																	
A	CN 107665672 A (上海和辉光电有限公司) 2018年2月6日 (2018 - 02 - 06) 全文	1-20																																	
A	CN 112735314 A (合肥维信诺科技有限公司) 2021年4月30日 (2021 - 04 - 30) 全文	1-20																																	
A	US 2011157126 A1 (CHUNG BO-YONG 等) 2011年6月30日 (2011 - 06 - 30) 全文	1-20																																	
* 引用文件的具体类型:	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件																																		
“A” 认为不特别相关的表示了现有技术一般状态的文件	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性																																		
“E” 在国际申请日的当天或之后公布的在先申请或专利	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性																																		
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“&” 同族专利的文件																																		
“O” 涉及口头公开、使用、展览或其他方式公开的文件																																			
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件																																			
国际检索实际完成的日期 2022年6月28日	国际检索报告邮寄日期 2022年7月18日																																		
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	授权官员 李玮 电话号码 (86-512)88997313																																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/089523

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113870758	A	2021年12月31日	无			
CN	112289267	A	2021年1月29日	无			
CN	107452339	A	2017年12月8日	US	2018151123	A1	2018年5月31日
				US	10467965	B2	2019年11月5日
				CN	107452339	B	2019年8月9日
CN	107665672	A	2018年2月6日	US	2018033370	A1	2018年2月1日
				CN	107665672	B	2020年1月13日
				US	10453390	B2	2019年10月22日
CN	112735314	A	2021年4月30日	无			
US	2011157126	A1	2011年6月30日	KR	20110079220	A	2011年7月7日
				US	8547372	B2	2013年10月1日
				KR	101097325	B1	2011年12月23日