



(51) МПК
H04L 27/22 (2006.01)
H03M 13/00 (2006.01)
H04B 7/00 (2006.01)

ФЕДЕРАЛЬНАЯ СЛУЖБА
 ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК

H04B 7/26 (2021.01); *H04L 25/40* (2021.01); *H03M 13/03* (2021.01); *H03M 13/25* (2021.01); *H03M 13/27* (2021.01)

(21)(22) Заявка: 2020125950, 29.07.2020

(24) Дата начала отсчета срока действия патента:
29.07.2020

Дата регистрации:
21.07.2021

Приоритет(ы):

(22) Дата подачи заявки: 29.07.2020

(45) Опубликовано: 21.07.2021 Бюл. № 21

Адрес для переписки:

644009, г. Омск, ул. Масленникова, 231, АО
"ОНИИП"

(72) Автор(ы):

Шадрин Борис Григорьевич (RU),
Дворянчиков Виталий Алексеевич (RU),
Боганков Борис Семенович (RU)

(73) Патентообладатель(и):

Акционерное общество "Омский
научно-исследовательский институт
приборостроения" (АО "ОНИИП") (RU)

(56) Список документов, цитированных в отчете

о поиске: SU 1138954 A1, 07.02.1985. SU
1062879 A1, 23.12.1983. RU 2683598 C1,
29.03.2018. RU 2663200 C2, 02.08.2018. RU
2296431 C2, 27.03.2007. RU 2656577 C1,
05.06.2018. RU 2475958 C2, 20.02.2013. RU
2553091 C2, 10.06.2015. WO 2008/081857 A1,
10.07.2008.

(54) УСТРОЙСТВО ДЛЯ ПРИЕМА СИГНАЛОВ ОТНОСИТЕЛЬНОЙ ФАЗОВОЙ ТЕЛЕГРАФИИ С ПОВЫШЕННОЙ ПОМЕХОУСТОЙЧИВОСТЬЮ

(57) Реферат:

Изобретение относится к электросвязи и может использоваться для приема двоичных данных методом относительной фазовой телеграфии (ОФТ). Технический результат - повышение помехоустойчивости приема сигналов ОФТ путем исправления ошибочно принятых информационных двоичных символов, для определения которых используется избыточная служебная информация, содержащаяся в принимаемом сигнале в виде периодической последовательности одиночных синхросимволов равномерно распределенных среди информационных символов. Для этого в устройство для приема сигналов ОФТ, содержащее последовательно соединенные

когерентный детектор, регенератор и кодопреобразователь (КП), блок выделения тактовой частоты, блок сравнения и блок управления, причем выход КП является выходом демодулированного двоичного сигнала и первым выходом устройства, введен блок обнаружения и коррекции ошибок (БОКО), тактовый вход которого объединен с тактовым входом блока сравнения, другим входом регенератора и выходом блока выделения тактовой частоты, информационный вход БОКО соединен с выходом КП, другие 2М входов БОКО соединены с соответствующими 2М выходами блока управления. 2 з.п. ф-лы, 2 ил.



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.
H04L 27/22 (2006.01)
H03M 13/00 (2006.01)
H04B 7/00 (2006.01)

(12) **ABSTRACT OF INVENTION**

(52) CPC

H04B 7/26 (2021.01); *H04L 25/40* (2021.01); *H03M 13/03* (2021.01); *H03M 13/25* (2021.01); *H03M 13/27* (2021.01)

(21)(22) Application: **2020125950, 29.07.2020**(24) Effective date for property rights:
29.07.2020Registration date:
21.07.2021

Priority:

(22) Date of filing: **29.07.2020**(45) Date of publication: **21.07.2021** Bull. № 21

Mail address:

644009, g. Omsk, ul. Maslennikova, 231, AO "ONIIP"

(72) Inventor(s):

**Shadrin Boris Grigorevich (RU),
Dvoryanchikov Vitalij Alekseevich (RU),
Bogankov Boris Semenovich (RU)**

(73) Proprietor(s):

**Aktsionernoe obshchestvo "Omskij
nauchno-issledovatel'skij institut
priborostroeniya" (AO "ONIIP") (RU)**(54) **DEVICE FOR RECEIVING RELATIVE PHASE TELEGRAPHY SIGNALS WITH INCREASED IMMUNITY**

(57) Abstract:

FIELD: telecommunications.

SUBSTANCE: invention relates to telecommunications and can be used to receive binary data by the method of relative phase telegraphy (RPT). For this purpose, a detection unit is introduced into a device for receiving RPT signals, containing a series-connected coherent detector, a regenerator and a code converter (CC), a clock frequency selection unit, a comparison unit and a control unit, and the CC output is the output of a demodulated binary signal and the first output of the device, error detection and correction unit (EDCU) is introduced, the clock input of which is combined with the clock input of the comparison unit,

another input of the regenerator and the output of the clock frequency selection unit, the EDCU information input is connected to the CC output, the other 2M EDCU inputs are connected to the corresponding 2M outputs of the control unit.

EFFECT: increasing the noise immunity of receiving the RPT signals by correcting erroneously received information binary symbols, which are determined using redundant service information contained in the received signal in the form of a periodic sequence of single sync symbols evenly distributed among the information symbols.

3 cl, 2 dwg

Изобретение относится к электросвязи и может использоваться для приема двоичных данных методом относительной фазовой телеграфии.

Известно устройство для приема сигналов с относительной фазовой модуляцией, содержащее последовательно соединенные формирователь опорного когерентного напряжения, фазовый манипулятор, фазовый детектор, другой вход которого соединен с входом формирователя опорного когерентного напряжения, регенератор и кодопреобразователь, другие входы регенератора и кодопреобразователя соединены с выходом блока выделения тактовой частоты [1].

Однако такое устройство характеризуется недостаточной надежностью.

Из известных устройств для приема сигналов относительной фазовой телеграфии (ОФТ) наиболее близким по сущности решаемых задач и большинству совпадающих существенных признаков является устройство, содержащее последовательно соединенные когерентный детектор, регенератор и кодопреобразователь, другой вход которого соединен с выходом блока выделения тактовой частоты, один вход которого соединен с другим выходом когерентного детектора, другой вход которого и другой вход блока выделения тактовой частоты объединены и являются входом устройства, а также блок сравнения и блок управления, причем выход кодопреобразователя является выходом демодулированного двоичного сигнала и первым выходом устройства [2].

К недостаткам этого устройства для приема сигналов ОФТ, как и других подобных устройств для приема сигналов ОФТ, следует отнести сдвигание ошибок вследствие того, что одиночные ошибки, возникающие на выходе ФД из-за действия помех, удваиваются на выходе КП. Причем сдвигание ошибок происходит независимо от того, содержит ли принимаемый сигнал какую либо избыточную служебную информацию или только основную двоичную информацию, которая может быть закодирована при передаче любым корректирующим избыточным кодом.

В качестве избыточной служебной информации в системах связи может использоваться цикловой синхросигнал (ЦС), вводимый в передаваемый информационный двоичный поток в виде периодической последовательности одиночных синхросимволов равномерно распределенных среди информационных символов, который может быть двух видов [3]:

- односимвольный ЦС - синхросимвол «1», либо синхросимвол «0», регулярно повторяемый среди основных информационных символов с периодом повторения синхросимволов T_c , определяемом в числе k двоичных символов (ДС), равным длительности цикла или циклового интервала $T_{ц} = T_c = k \text{ ДС}$;

- ЦС в виде равномерно распределенной по циклу синхрогруппы (СГ), состоящей из M одиночных синхросимволов, регулярно повторяемой среди информационных символов с периодом повторения цикла $T_{ц} = M T_c$, где $T_c = k$ - период повторения синхросимволов в числе k ДС (при $M=1$ данный вид ЦС переходит в односимвольный ЦС с длительностью цикла $T_{ц} = T_c$).

Во всех приведенных выше случаях такой двоичный сигнал подобен двоичному сигналу, сформированному кодом $(k, k-1)$ с минимальной избыточностью [4], в котором временное положение и значение избыточного синхросимвола («1» или «0») в каждой кодовой комбинации из k ДС предварительно известно.

Цикловой синхросигнал вводят в передаваемый информационный двоичный поток для поддержания синхронизма по циклам приемной части относительно передающей части синхронной системы связи [3].

Кроме того, в качестве избыточной служебной информации при передаче коротких

сообщений (радиограмм) может являться служебная адресная последовательность (САП), которая известна (кроме источника радиограммы) получателю радиограммы. [5]. При равномерном распределении служебных символов САП среди информационных символов радиограммы передаваемая двоичная последовательность по виду
 5 распределения служебных символов среди информационных символов становится аналогичной двоичной последовательности, содержащей известную при приеме выше рассмотренную цикловую информацию. В этом случае распределенную САП можно рассматривать как распределенную СГ с количеством синхросимволов M , равным количеству R служебных символов в САП с периодом повторения служебных символов
 10 САП $T_c = k$ ДС и с одним цикловым интервалом длительностью $T_{ц} = RT_c = Rk$. Символы САП, распределенные среди информационных символов, можно рассматривать как одиночные синхросимволы одной длительной СГ или как двоичную информацию, сформированную кодом $(k, k-1)$ с минимальной избыточностью, в котором временное положение и значение избыточного синхросимвола («1» или «0») в каждой кодовой
 15 комбинации из k ДС предварительно известно.

Однако избыточная служебная информация, содержащаяся в демодулированном сигнале в виде равномерно распределенных среди информационных символов избыточных служебных синхросимволов, порядок следования и значения которых
 20 предварительно известны при приеме, не используется для повышения помехоустойчивости основной информации, передаваемой сигналами ОФТ.

Задачей, на решение которой направлено настоящее изобретение - устройство для приема сигналов относительной фазовой телеграфии с повышенной помехоустойчивостью, является повышение помехоустойчивости приема сигналов
 25 ОФТ путем исправления ошибочно принятых информационных двоичных символов, для определения которых используется избыточная служебная информация, содержащаяся в принимаемом сигнале в виде периодической последовательности одиночных синхросимволов равномерно распределенных среди информационных символов.

Решение поставленной задачи достигается тем, что в устройство для приема сигналов относительной фазовой телеграфии с повышенной помехоустойчивостью, содержащее последовательно соединенные когерентный детектор, регенератор и
 30 кодопреобразователь (КП), другой вход которого соединен с выходом блока выделения тактовой частоты, один вход которого соединен с другим выходом когерентного детектора, другой вход которого и другой вход блока выделения тактовой частоты
 35 объединены и являются входом устройства, а также блок сравнения и блок управления, причем выход КП является выходом демодулированного двоичного сигнала и первым выходом устройства, введен блок обнаружения и коррекции ошибок (БОКО), тактовый вход которого объединен с тактовым входом блока сравнения, другим входом регенератора и выходом блока выделения тактовой частоты, информационный вход
 40 БОКО соединен с выходом КП, другие $2M$ входов БОКО с условными порядковыми номерами $m_1=1_1, 2_1, 1_2, 2_2, \dots, 1_M, 2_M$, соединены с соответствующими $2M$ выходами блока управления с аналогичными условными порядковыми номерами $m_1=1_1, 2_1, 1_2, 2_2, \dots, 1_M, 2_M$, M первых входов которого с порядковыми номерами $m=1, 2, \dots, M$
 45 соединены с соответствующими выходами БОКО с такими же порядковыми номерами $m=1, 2, \dots, M$, а вторые M входов блока управления с порядковыми номерами $m=1, 2, \dots, M$ соединены с соответствующими выходами блока сравнения с такими же порядковыми номерами $m=1, 2, \dots, M$, где M - количество одиночных синхросимволов

в равномерно распределенной по циклу синхрогруппе (СГ) служебного циклового синхросигнала в составе демодулированного сигнала, регулярно повторяемой среди основных информационных символов с периодом повторения цикла $T_{\text{ц}}=MT_{\text{с}}$, где $T_{\text{с}}=k$ - период повторения синхросимволов в числе $k \geq 3$ двоичных символов (ДС), сигнальный вход блока сравнения соединен с выходом когерентного детектора, при этом БОКО содержит первый и второй N -разрядные регистры сдвига, в каждом из которых количество $N=3+(M-1)k$ разрядов с порядковыми номерами $n=1, 2, \dots, N$, соответствующими порядку последовательного продвижения двоичной информации по разрядам каждого регистра сдвига - от старшего разряда, являющимся информационным входом регистра сдвига (при $n=1$), к младшему разряду, являющимся информационным выходом регистра сдвига (при $n=N$), объединенные тактовые входы и объединенные информационные входы регистров сдвига являются соответственно тактовым и информационным входами БОКО, а также M -разрядный регистр хранения с порядковыми номерами разрядов $m=1, 2, \dots, M$, соответствующих порядку следования M синхросимволов в распределенной СГ циклового синхросигнала, выходы которых подключены к первым входам соответствующих сумматоров по модулю два с такими же порядковыми номерами $m=1, 2, \dots, M$, при этом вторые входы этих сумматоров по модулю два с порядковыми номерами, следующими в порядке их увеличения, подключены к выходам соответствующих разрядов первого N -разрядного регистра сдвига с порядковыми номерами $n=2, (2+1 \cdot k), (2+2 \cdot k), \dots, [2+(M-1) \cdot k]$, также следующими в порядке увеличения их порядковых номеров, а выход каждого из M этих сумматоров по модулю два с соответствующим порядковым номером m , являющимся соответствующим выходом БОКО с таким же порядковым номером m , соединен через соответствующий элемент НЕ с соответствующим одноразрядным входом цифрового сумматора, цифровой выход которого соединен с цифровым входом узла цикловой синхронизации (УЦС), выход которого соединен с входом фазирования формирователя цикловых импульсов (ЦИ), тактовый вход которого объединен с тактовым входом УЦС и тактовыми входами N -разрядных регистров сдвига, а выход формирователя ЦИ соединен с импульсным входом перезаписи ДС в разряды второго N -разрядного регистра сдвига, информационный выход которого является выходом откорректированного демодулированного двоичного сигнала и вторым выходом устройства, выходы других $2M$ разрядов первого N -разрядного регистра сдвига с порядковыми номерами $n=1, 3, (1+1 \cdot k), (3+1 \cdot k), (1+2 \cdot k), (3+2 \cdot k), \dots, [1+(M-1) \cdot k], [3+(M-1) \cdot k]$ подключены к первым входам соответствующих других $2M$ сумматоров по модулю два с порядковыми номерами $m_1=(M+1), (M+2), (M+3), (M+4), \dots, (3M-1), 3M$, выходы которых подключены к информационным входам перезаписи ДС в соответствующие разряды второго N -разрядного регистра сдвига с порядковыми номерами $n=1, 3, (1+1 \cdot k), (3+1 \cdot k), (1+2 \cdot k), (3+2 \cdot k), \dots, [1+(M-1) \cdot k], [3+(M-1) \cdot k]$, при этом вторые входы этих $2M$ сумматоров по модулю два, следующих друг за другом в порядке увеличения их порядковых номеров, являются соответствующими $2M$ входами БОКО с условными порядковыми номерами $m_1=1_1, 2_1, 1_2, 2_2, \dots, 1_M, 2_M$.

Кроме того, блок сравнения состоит из последовательно соединенных узла дискретизации, сигнальный вход которого является сигнальным входом блока сравнения, и аналого-цифрового преобразователя (АЦП), обеспечивающего преобразование аналоговых уровней с выхода узла дискретизации в L -разрядные двоичные числа с порядковыми номерами разрядных выходов $\ell=1, 2, \dots, L$, причем каждый разрядный выход с соответствующим порядковым номером ℓ , подключен к информационному

входу соответствующего N-разрядного регистра сдвига с таким же порядковым номером ℓ , по структурному построению, аналогичному N-разрядным регистрам сдвига БОКО, тактовый вход которого объединен с тактовыми входами других таких же L-1 N-разрядных регистров сдвига, с тактовыми входами узла дискретизации и АЦП и является тактовым входом блока сравнения, а также M узлов сравнения с порядковыми номерами $m=1, 2, \dots, M$, выходы которых являются соответствующими выходами блока сравнения с такими же порядковыми номерами $m=1, 2, \dots, M$, при этом каждый узел сравнения с соответствующим порядковым номером m имеет два идентичных L-разрядных цифровых входа с порядковыми номерами разрядных входов $\ell = 1, 2, \dots, L$ каждого L-разрядного цифрового входа, причем каждый разрядный вход с соответствующим порядковым номером ℓ первого L-разрядного цифрового входа подключен к выходу разряда с порядковым номером $n=1+(m-1)k$ N-разрядного регистра сдвига с таким же порядковым номером ℓ , а каждый разрядный вход с соответствующим порядковым номером ℓ второго L-разрядного цифрового входа этого же узла сравнения подключен к выходу разряда с порядковым номером $n=2+(m-1)k$ N-разрядного регистра сдвига с таким же порядковым номером ℓ .

Блок управления состоит из M формирователей команд управления (ФКУ) с порядковыми номерами $m=1, 2, \dots, M$, каждый из которых с соответствующим порядковым номером m состоит из элемента НЕ, выход которого соединен с первым входом первого элемента И, второй вход которого объединен с вторым входом второго элемента И и является первым входом ФКУ, который является одним из первых M входов блока управления с соответствующим порядковым номером m, а первый вход второго элемента И объединен с входом элемента НЕ и является вторым входом ФКУ, который является одним из M вторых входов блока управления с соответствующим порядковым номером m, а выходы первого и второго элементов И этого ФКУ являются первым и вторым выходами ФКУ и блока б управления с условными порядковыми номерами $m_1=1_m, 2_m$, которые совместно с аналогичными выходами других M-1 ФКУ являются соответствующими 2M выходами блока управления с условными порядковыми номерами $m_1=1_1, 2_1, 1_2, 2_2, \dots, 1_M, 2_M$.

Схема электрическая структурная устройства для приема сигналов относительной фазовой телеграфии с повышенной помехоустойчивостью приведена на фиг. 1.

На фиг. 2 представлены временные диаграммы, поясняющие работу устройства.

Параметры и количество составных частей устройства выбраны для осуществления приема сигнала ОФТ, содержащего избыточный служебный цикловой синхросигнал в виде равномерно распределенной по циклу синхрогруппы (СГ), состоящей из $M=3$ одиночных синхросимволов, регулярно повторяемой среди информационных символов с периодом повторения цикла $T_{\text{ц}}=3T_{\text{с}}$, где $T_{\text{с}}=k=6$ ДС - период повторения синхросимволов.

Кроме того, количество L разрядов аналого-цифрового преобразователя (АЦП), определяющих точность преобразования аналогового уровня в цифровую форму и соответствующее количество регистров сдвига в блоке сравнения $L=3$.

Соседние разряды регистров сдвига и хранения условно разделены пунктирными линиями. С целью наглядности и упрощения изображения электрических связей входы и выходы разрядов регистров сдвига обозначены направлениями стрелок электрических соединений.

Устройство для приема сигналов относительной фазовой телеграфии с повышенной

помехоустойчивостью, содержит последовательно соединенные когерентный детектор 1, регенератор 2 и кодопреобразователь (КП) 3, другой вход которого соединен с выходом блока 4 выделения тактовой частоты, один вход которого соединен с другим выходом когерентного детектора 1, другой вход которого и другой вход блока 4 выделения тактовой частоты объединены и являются входом устройства, а также блок 5 сравнения и блок 6 управления, причем выход КП 3 является выходом демодулированного двоичного сигнала и первым выходом устройства.

Кроме того, устройство содержит блок 7 обнаружения и коррекции ошибок (БОКО), тактовый вход которого объединен с тактовым входом блока 5 сравнения, другим входом регенератора 2 и выходом блока 4 выделения тактовой частоты, информационный вход БОКО 7 соединен с выходом КП 3, другие $2M$ входов БОКО с условными порядковыми номерами $m_1=1, 2, 1, 2, 1_{3(M)}, 2_{3(M)}$, соединены с соответствующими $2M$ выходами блока 6 управления с аналогичными условными порядковыми номерами $m_1=1, 2, 1, 2, 1_{3(M)}, 2_{3(M)}$, $M=3$ первых входов которого с порядковыми номерами $m=1, 2, 3(M)$ соединены с соответствующими выходами БОКО 7 с такими же порядковыми номерами $m=1, 2, 3(M)$, а вторые $M=3$ входов блока 5 управления с порядковыми номерами $m=1, 2, 3(M)$ соединены с соответствующими выходами блока 5 сравнения с такими же порядковыми номерами $m=1, 2, 3(M)$, где $M=3$ - количество одиночных синхросимволов в равномерно распределенной по циклу синхрогруппе (СГ) служебного циклового синхросигнала в составе демодулированного сигнала, регулярно повторяемой среди основных информационных символов с периодом повторения цикла $T_{\text{ц}}=MT_{\text{с}}=18$, где $T_{\text{с}}=k=6$ - период повторения синхросимволов в числе $k=6$ двоичных символов (ДС), сигнальный вход блока 5 сравнения соединен с выходом когерентного детектора 1, при этом БОКО 7 содержит первый и второй N -разрядные регистры сдвига 8_1 и 8_2 , в каждом из которых количество $N=3+(M-1)k=15$ разрядов с порядковыми номерами $n=1, 2, \dots, 15(N)$, соответствующими порядку последовательного продвижения двоичной информации по разрядам каждого регистра сдвига - от старшего разряда, являющимся информационным входом регистра сдвига (при $n=15$), к младшему разряду, являющимся информационным выходом регистра сдвига (при $n=1$), объединенные тактовые входы и объединенные информационные входы регистров сдвига являются соответственно тактовым и информационным входами БОКО7, а также M -разрядный регистр хранения 9 с порядковыми номерами разрядов $m=1, 2, 3(M)$, соответствующих порядку следования $M=3$ синхросимволов в распределенной синхрогруппе циклового синхросигнала, выходы которых подключены к первым входам соответствующих сумматоров по модулю два $10_1, 10_2, 10_{3(M)}$ с такими же порядковыми номерами $m=1, 2, 3(M)$, при этом вторые входы этих сумматоров по модулю два $10_1, 10_2, 10_{3(M)}$ с порядковыми номерами, следующими в порядке их увеличения, подключены к выходам соответствующих разрядов первого N -разрядного регистра сдвига 8_1 с порядковыми номерами $n=2, 8, 14$, также следующими в порядке их увеличения, а выход каждого из $M=3$ этих сумматоров по модулю два с соответствующим порядковым номером m , являющимся соответствующим выходом БОКО 7 с таким же порядковым номером m , соединен через соответствующий элемент НЕ с соответствующим одноразрядным входом цифрового сумматора 12, цифровой выход которого соединен с цифровым входом узла цикловой синхронизации (УЦС) 13, выход которого соединен с входом фазирования формирователя цикловых импульсов (ЦИ) 14, тактовый вход которого объединен с тактовым входом УЦС 13 и тактовыми входами N -разрядных

регистров сдвига 8_1 и 8_2 , а выход формирователя ЦИ 14 соединен с импульсным входом перезаписи ДС в разряды второго N-разрядного регистра сдвига 8_2 , информационный выход которого является выходом откорректированного демодулированного двоичного сигнала и вторым выходом устройства, выходы других $2M=6$ разрядов первого N-разрядного регистра сдвига 8_1 с порядковыми номерами $n=1, 3, 7, 9, 13, 15$ подключены к первым входам соответствующих других $2M=6$ сумматоров по модулю два $10_4, 10_5, \dots, 10_{9(3M)}$ с порядковыми номерами $m=4, 5, \dots, 9(3M)$, выходы которых подключены к информационным входам перезаписи ДС в соответствующие разряды второго N-разрядного регистра сдвига 8_2 с порядковыми номерами $n=1, 3, 7, 9, 13, 15$, при этом вторые входы этих $2M=6$ сумматоров по модулю два $10_4, 10_5, \dots, 10_{9(3M)}$, следующих друг за другом в порядке увеличения их порядковых номеров, являются соответствующими $2M$ входами БОКО7 с условными порядковыми номерами $m_1=1, 2_1, 1_2, 2_2, 1_3(3M), 2_3(3M)$.

Блок 5 сравнения состоит из последовательно соединенных узла дискретизации 15, сигнальный вход которого является сигнальным входом блока 5 сравнения, и аналого-цифрового преобразователя (АЦП) 16, обеспечивающего преобразование аналоговых уровней с выхода узла дискретизации в L-разрядные двоичные числа с порядковыми номерами разрядных выходов $l=1,2,3(L)$, причем каждый разрядный выход с соответствующим порядковым номером l , подключен к информационному входу соответствующего N-разрядного регистра сдвига 17_l с таким же порядковым номером l , по структурному построению аналогичному N-разрядным регистрам сдвига 8_1 и 8_2 БОКО7, тактовый вход которого объединен с тактовыми входами других таких же L-1 N-разрядных регистров сдвига, с тактовыми входами узла дискретизации 15 и АЦП 16 и является тактовым входом блока 5 сравнения, а также $M=3$ узлов сравнения $18_1, 18_2, 18_{3(M)}$ с порядковыми номерами $m=1, 2, 3(M)$, выходы которых являются соответствующими выходами блока 5 сравнения с такими же порядковыми номерами $m=1, 2, 3(M)$, при этом каждый узел сравнения 18_m с соответствующим порядковым номером m имеет два идентичных L-разрядных цифровых входа с порядковыми номерами разрядных входов $l = 1,2,3(L)$ каждого L-разрядных цифрового входа, причем каждый разрядный вход с соответствующим порядковым номером l первого L-разрядного цифрового входа подключен к выходу разряда с порядковым номером $n=1+(m-1)k=1$ N-разрядного регистра сдвига 17_l с таким же порядковым номером l , а каждый разрядный вход с соответствующим порядковым номером l второго L-разрядного цифрового входа этого же узла сравнения 18_m подключен к выходу разряда с порядковым номером $n=2+(m-1)k=2$ N-разрядного регистра сдвига 17_l с таким же порядковым номером l .

Блок 6 управления состоит из $M=3$ формирователей команд управления (ФКУ) $19_1, 19_2, 19_{3(M)}$ с порядковыми номерами $m=1, 2, 3(M)$, каждый из которых 19_m с соответствующим порядком номером m состоит из элемента НЕ 11₄, выход которого соединен с первым входом первого элемента И 20₁, второй вход которого объединен с вторым входом второго элемента И 20₂ и является первым входом ФКУ, который

является одним из первых $M=3$ входов блока 6 управления с соответствующим порядковым номером m , а первый вход второго элемента И 20_2 объединен с входом элемента НЕ 11_4 и является вторым входом ФКУ, который является одним из вторых $M=3$ входов блока 6 управления с соответствующим порядковым номером m , а выходы первого и второго элементов И ($20_1, 20_2$) этого ФКУ 19_m являются первым и вторым выходами ФКУ и блока 6 управления с условными порядковыми номерами $m_1=1_m, 2_m$, которые совместно с аналогичными выходами других $M-1=2$ ФКУ являются соответствующими $2M=6$ выходами блока управления с условными порядковыми номерами $m_1=1_1, 2_1, 1_2, 2_2, 1_{3(M)}, 2_{3(M)}$.

Устройство работает следующим образом.

Модулированный методом относительной фазовой телеграфии (ОФТ) сигнал данных (с разностью фаз между соседними посылками 0 или 180°), поступает на когерентный детектор 1 и блок 4 выделения тактовой частоты. В когерентном детекторе 1 производится квазикогерентное детектирование входного сигнала, т.е. операция перемножения входного сигнала на сформированное опорное когерентное напряжение с последующей фильтрацией результата перемножения фильтром нижних частот. Опорное когерентное напряжения в когерентном детекторе 1 может быть сформировано из входного сигнала любым известным методом.

Таким образом, когерентный детектор 1 может состоять из формирователя когерентного напряжения и фазового детектора, представляющего собой последовательно соединенные перемножитель и фильтр нижних частот. Когерентное опорное напряжение подается на вход блока 4 выделения тактовой частоты.

Продетектированный сигнал с первого выхода когерентного детектора 1, представляющего собой видеосигнал с нулевым средним уровнем (так как положительные и отрицательные посылки симметричны относительно нулевого уровня при отсутствии напряжения помех на входе когерентного детектора 1), поступает на вход регенератора 2 и на сигнальный вход блока 5 сравнения. В регенераторе 2 производится регистрация символов в отсчетные моменты времени, задаваемые блоком 4 выделения тактовой частоты, т.е. если в момент прихода тактового импульса выходное напряжение когерентного детектора 1 положительное, то регенератором 2 регистрируется символ «1», если же в этот момент напряжение когерентного детектора 1 отрицательное, то регистрируется символ «0».

В блоке 4 выделения тактовой частоты формируются узкие тактовые импульсы, соответствующие во времени наименее искаженной части продетектированных посылок (обычно середине посылок). Конструктивно блок 4 выделения тактовой частоты может быть выполнен, например, из входного преобразователя, содержащего собственные корреляторы, работающие с временным сдвигом один относительно другого, и замкнутого устройства синхронизации. При этом результат сравнения выходных сигналов корреляторов используется для подборки фазы автогенератора замкнутого устройства синхронизации.

С выхода регенератора 2 двоичные символы подаются на кодопреобразователь (КП) 3, где производится их перекодирование с целью снятия относительности, вводимой в двоичную последовательность символов на передающей стороне. Двоичный поток на выходе КП 3 содержит служебный цикловой синхросигнал, состоящий из $M=3$ одиночных синхросимволов в равномерно распределенной по циклу синхрогруппе (СГ), периодически повторяемой среди информационных символов с периодом повторения цикла $T_{ц}=T_c M$, где $T_c=k$ - период повторения синхросимволов, определяемый

в числе $k \geq 3$ двоичных символов (ДС), в данном случае $k=6$. Предельное наименьшее значение $k=3$ объясняется тем, что при $k=2$ возникает неопределенность в определении наименее надежного информационного символа, что очевидно из анализа временных диаграмм, приведенных на фиг. 2 при $T_c=k=2$.

5 Для наглядности на фиг. 2а представлена передаваемая последовательность двоичных данных, содержащих цикловой синхросигнал в виде равномерно распределенной по циклу СГ, состоящей из $M=3$ одиночных синхросимволов (синхросимволы СГ помечены жирными стрелками), периодически повторяемой среди информационных символов с периодом повторения цикла $T_{\text{ц}}=3T_c$, где $T_c=k=6$ ДС - период следования синхросимволов
10 среди информационных символов в числе двоичных символов. Здесь каждая кодовая комбинация состоит из пяти информационных символов и одного избыточного синхросимвола распределенной по циклу СГ из трех синхросимволов - 110, т.е. период следования синхросимволов в пределах каждого цикла и в общем потоке двоичных данных составляет $T_c=k=6$ ДС. Такой демодулированный сигнал подобен двоичному
15 сигналу, сформированному кодом $(k, k-1)$ с минимальной избыточностью, в котором временное положение и значение избыточного синхросимвола в каждой кодовой комбинации из k ДС известно при приеме.

На фиг. 2б изображена та же последовательность двоичных данных, но только после относительного перекодирования символов, необходимого для передачи информации
20 методом ОФТ. Этой последовательностью символов производится модуляция по фазе $(0-180^\circ)$ несущего колебания на передающей стороне.

На фиг. 2в изображен видеосигнал на выходе когерентного детектора 1 (нулевое среднее обозначено прямой линией), здесь же изображены тактовые импульсы блока
25 4 выделения тактовой частоты, в моменты следования которых производится регистрация символов регенератором 2 (фиг. 2д).

В КП 3 двоичная последовательность с выхода регенератора 2 сдвигается на один тактовый интервал (фиг. 2е), после чего символы обеих последовательностей
30 сравниваются между собой (например, в сумматоре по модулю два с инверсным выходом), в результате с выхода КП 3 на первый выход устройства поступает демодулированный сигнал (фиг. 2ж), правильно принятые синхросимволы помечены жирными стрелками, а искаженные символы - тонкими стрелками).

В каждой комбинации из k следующих подряд символов на выходе КП присваивают условные порядковые номера $i=1, 2, \dots, k$ (фиг. 2ж), из которых условный порядковый
35 номер $i=2$ присваивают синхросимволу. Кроме того, в соответствующих комбинациях неперекодированных символов, регистрируемых непосредственно на выходе ФД (фиг. 2д) и соответствующие им уровни в моменты регистрации этих символов, зафиксированные узлом 15 дискретизации (фиг. 2г), совпадающими во времени с символами на выходе КП с условными порядковыми номерами $i=1, 2, \dots, k$, присваивают
40 условные порядковые номера $i^1=1^1, 2^1, \dots, k^1$. При этом, если на выходе одного из $M=3$ сумматоров по модулю два появляется символ «1» - сбой синхросимвола в соответствующей одной из M комбинаций какого-либо цикла длительностью $T_{\text{ц}}=Mk$ ДС, что означает, что искажен один из двух символов с условными порядковыми
45 номерами $i^1=1^1, 2^1$ на выходе регенератора, при этом наименее надежным считают тот символ, которому при регистрации соответствует наименьшее абсолютное напряжение ФД [6].

Если бы отсутствовали искажения принимаемого сигнала, то видеосигнал на выходе когерентного детектора 1 по форме соответствующий модулирующей двоичной

последовательности на передающей стороне (фиг. 2б), полностью совпадал бы по форме с модулирующей последовательностью. Ввиду задержки в канале связи видеосигнал на фиг. 2в изображен несколько смещенным во времени относительно модулирующего сигнала, показанного на фиг. 2б.

5 Однако вследствие действия помех в канале связи в один из моментов t_1 регистрации очередного символа видеосигнал вместо положительного принимает отрицательное значение (фиг. 2в), т.е. в этот момент времени напряжение помехи на входе устройства действует противофазно по отношению к напряжению сигнала, при этом полярность выходного колебания когерентного детектора 1 противоположна по отношению к
10 тому, если бы на вход устройства поступал только один сигнал без помех.

Таким образом в момент времени t_1 имеет место ошибочная регистрация первого символа одной из k -элементных комбинаций символов (фиг. 2в, г, д), т.е. вместо символа «1» принят символ «0», который обозначен цифрой 1 (искаженные символы помечены тонкими стрелками).

15 В момент времени t_2 имеет место ошибочная регистрация второго символа другой k -элементной комбинации неперекодированных символов, т.е. вместо символа «0», принят символ «1» (фиг. 2в, г, д), который обозначен цифрой 2.

После относительного перекодирования символов в кодопреобразователе 3 (фиг. 2ж) одиночные ошибки, имеющие место на выходе регенератора 2 (фиг. 2д) удваиваются (ошибочные символы помечены тонкими стрелками).

Таким образом, если обнаружен ошибочно принятый синхросимвол в какой либо кодовой комбинации из k ДС с выхода КП 3, то это есть следствие того, что из-за
25 сдваивания ошибок при приеме сигнала ОФТ, искажен один из двух символов на выходе регенератора с условными порядковыми номерами $i^1=1^1, 2^1$, причем наименее надежным считают тот символ, которому при регистрации соответствует наименьшее абсолютное значение напряжение видеосигнала на выходе ФД 1 [6]. При этом, если выполняется
30 неравенство $|Z_1^1| < |Z_2^1|$, где $|Z_1^1|$ и $|Z_2^1|$ - соответственно абсолютные значения напряжения видеосигнала на выходе ФД, измеренные в относительных единицах любым известным способом в моменты регистрации символов с условными порядковыми номерами $i^1=1^1, 2^1$, то в кодовой комбинации с выхода КП корректируют (инвертируют)
35 информационный символ с условным порядковым номером $i=1$. если знак неравенства меняется на противоположный, когда $|Z_2^1| < |Z_1^1|$, то в этой кодовой комбинации корректируют информационный символ с условным порядковым номером $i=3$.

Для выявления искаженных синхросимволов и исправления одного из двух информационных символов, соседних с каждым искаженным синхросимволом, принимаемая последовательность с первого выхода устройства подается на
40 информационный вход блока 7 обнаружения и коррекции ошибок (БОКО). При этом БОКО 7 содержит первый и второй N -разрядные регистры сдвига δ_1 и δ_2 , в каждом из которых количество $N=3+(M-1)k=15$ разрядов с порядковыми номерами $n=1, 2, \dots, 15$ (N), соответствующими порядку последовательного продвижения двоичной информации по разрядам каждого регистра сдвига - от старшего разряда, являющимся
45 информационным входом регистра сдвига (при $n=15$), к младшему разряду, являющимся информационным выходом регистра сдвига (при $n=1$).

Под воздействием тактовых импульсов (фиг. 2в) входная последовательность (фиг. 2ж) синхронно продвигается по разрядам двух N -разрядным регистров сдвига δ_1 и δ_2 .

Для обнаружения каждого сбоя синхросимвола в каждой распределенной СГ из $M=3$ синхросимволов к выходам соответствующих разрядов первого N -разрядного регистра сдвига 8_1 подключены по одним из входов соответствующих $M=3$ сумматора по модулю два ($10_1, 10_2, 10_{3(M)}$). Другие входы этих сумматоров по модулю два подключены к

5 выходам соответствующих разрядов M -разрядного регистра 9 хранения [7], имитирующего логические уровни («1», «1», «0») синхросимволов распределенной СГ. Выходы сумматоров по модулю два, являющиеся M выходами БОКО 7, через соответствующие элементы НЕ ($11_1, 11_2, 11_{3(M)}$) подключены к соответствующим

10 одноразрядным входам цифрового сумматора 12 [7], обеспечивающего суммирование единичных откликов на его входах при каждом сдвиге дискретной информации на один разряд в регистре сдвига 8_1 под воздействием тактовых импульсов - ТИ. Единичный отклик (символ «1») на любом входе цифрового сумматора 12 означает, что в соответствующем разряде регистра сдвига 8_1 и соответствующем тактовом интервале

15 располагается символ, подобный требуемому синхросимволу СГ. При правильном приеме всех $M=3$ синхросимволов распределенной СГ в каком-либо цикле (фиг. 2а) и расположении всех M синхросимволов в требуемых разрядах регистра сдвига 8_1 (фиг. 1) в соответствующем тактовом интервале, на выходе цифрового сумматора 12 появится результат суммирования в этом тактовом интервале - цифра 3

20 в двоичном коде на выходе цифрового сумматора 12. При этом на выходе каждого из $M=3$ сумматоров по модулю два ($10_1, 10_2, 10_{3(M)}$), являющихся соответствующими $M=3$ выходами БОКО 7, появится логический уровень «0» - отсутствие сбоя соответствующего синхросимвола. С выхода цифрового сумматора 12 результаты подсчета символов подобных синхросимволам в СГ поступают на вход устройства цикловой синхронизации (УЦС) 13, который производит определение циклически повторяющегося с периодом $T_{ц}=18$ временного положения $M=3$ синхросимволов СГ в соответствующих разрядах N -разрядного регистра сдвига 8_1 и формирует синхронизирующие импульсы.

30 Конструктивно УЦС 13 может состоять, например, из $Q=Mk$ накапливающих сумматоров, подсчитывающих символы подобные синхросимволам СГ при каждом сдвиге дискретной информации на один разряд в регистре сдвига 8_1 в течении заданного промежутка времени и решающего узла, определяющего номер накапливающего сумматора, в который поступило наибольшее число откликов с выхода цифрового сумматора 12, и формирующего синхронизирующий импульс. Структура подобного УЦС приведена в [8].

40 Выход УЦС 13 соединен с входом фазирования формирователя цикловых импульсов (ЦИ) 14, тактовый вход которого объединен с тактовыми входами УЦС 13 и N -разрядных регистров сдвига 8_1 и 8_2 , а выход формирователя ЦИ 14 соединен с импульсным входом перезаписи ДС в разряды второго N -разрядного регистра сдвига 8_2 . Формирователь ЦИ формирует ЦИ с периодом повторения $T_{ц}$ (фиг. 2а, и) и фазирован от УЦС таким образом, что при поступлении каждого циклового импульса, M синхросимволов СГ каждого цикла принимаемого двоичного сигнала будут

45 размещаться в соответствующих идентичных разрядах первого и второго регистров сдвига 8_1 и 8_2 с порядковыми номерами $n=2, (2+1 \cdot k), (2+2 \cdot k)=2, 8, 14$. При этом первый (во времени) синхросимвол СГ (в данном случае символ «1») каждого цикла должен размещаться в разрядах регистров сдвига 8_1 и 8_2 с порядковым номером $n=2$.

Формирователь ЦИ может быть выполнен, например, на основе двоичного счетчика и дешифратора.

Выходы других $2M=6$ разрядов первого N -разрядного регистра сдвига 8_1 с порядковыми номерами $n=1, 3, 7, 9, 13, 15$ подключены к первым входам соответствующих других $2M=6$ сумматоров по модулю два $10_4, 10_5, \dots, 10_{9(3M)}$ с порядковыми номерами $m=4, 5, \dots, 9(3M)$, выходы которых подключены к информационным входам перезаписи ДС в соответствующие разряды второго N -разрядного регистра сдвига 8_2 с такими же порядковыми номерами $n=1, 3, 7, 9, 13, 15$ разрядов. При этом вторые входы этих $2M=6$ сумматоров по модулю два $10_4, 10_5, \dots, 10_{9(3M)}$, следующих друг за другом в порядке увеличения их порядковых номеров, являются соответствующими $2M$ входами БОКО с условными порядковыми номерами $m_1=1_1, 2_1, 1_2, 2_2, 1_{3(M)}, 2_{3(M)}$.

Через каждую пару сумматоров по модулю два ($10_4, 10_5; 10_6, 10_7; 10_8, 10_9$) возможно принудительно перезаписывать ДС (двоичный символ «1», либо «0») с выходов соответствующих каждых двух разрядов первого регистра сдвига 8_1 с порядковыми номерами $n=1, 3; 7, 9; 13, 15$ в соответствующие разряды второго регистра сдвига 8_2 с идентичными порядковыми номерами разрядов: либо без инверсии двух символов, либо с инверсией одного из двух символов, в момент прихода циклового импульса - ЦИ (фиг. 2и). Причем, если на вторые входы этих сумматоров по модулю два $10_4, 10_5, \dots, 10_{9(3M)}$, являющихся соответствующими $2M$ одиночными входами БОКО с условными порядковыми номерами $m_1=1_1, 2_1, 1_2, 2_2, 1_{3(M)}, 2_{3(M)}$, подаются «нулевые» управляющие уровни (символы «0»), что возможно тогда, когда в соответствующем тактовом интервале в момент поступления ЦИ с выхода формирователя ЦИ 14, все синхросимволы соответствующей СГ приняты правильно и на выходе каждого сумматора по модулю два ($10_1, 10_2, 10_3$), а соответственно и на каждом из $M=3$ выходов БОКО появится логический уровень (символ) «0», то ДС или логические уровни во всех разрядах второго регистра сдвига 8_2 останутся без изменения, так как перезаписываемые логические уровни от разрядов первого регистра сдвига 8_1 совпадают с логическими уровнями идентичных разрядов второго регистра сдвига 8_2 . Если же при поступлении ЦИ синхросимволы СГ приняты ошибочно, и с каждого из $M=3$ выходов блока 5 сравнения поступает логический уровень «0», то на вторые входы сумматоров по модулю два с нечетными порядковыми номерами $n=10_5, 10_7, 10_9$ поступит лог. уровень «0», а на вторые входы сумматоров по модулю два с четными порядковыми номерами $n=10_4, 10_6, 10_8$ поступит лог. уровень «1» с соответствующих одиночных входов БОКО 7 с условными порядковыми номерами $m_1=1_1, 2_1, 1_2, 2_2, 1_{3(M)}, 2_{3(M)}$. В результате во втором N -разрядном регистре сдвига 8_2 откорректированными (инвертированными) будут информационные символы, предшествовавшие искаженным синхросимволам, которые размещены в разрядах с порядковыми номерами $n=1, 7, 13$, а ДС, размещаемые в других разрядах этого регистра сдвига, останутся без изменения. При смене выходных уровней блока 5 сравнения на противоположные - лог. «1», откорректированными (инвертированными) окажутся информационные ДС, следующие за искаженными синхросимволами, которые размещены в разрядах с порядковыми номерами $n=3, 9, 15$ второго регистра сдвига 8_2 .

Как было отмечено выше, для определения наименее надежного символа, соседнего

с искаженным синхросимволом, требуется сравнить между собой абсолютные значения амплитуд видеосигнала в моменты регистрации регенератором 2 символов с условными порядковыми номерами $i^1=1^1, 2^1$ в неперекодированной последовательности (фиг. 2д). Выполнение этих действий осуществляется в блоке 5 сравнения.

В блоке 5 сравнения с сигнального входа видеосигнал поступает на сигнальный вход блока 15 дискретизации, в котором производится запоминание мгновенных значений видеосигнала в моменты регистрации символов регенератором 2 (фиг. 2г, среднее нулевое значение квантованных уровней также обозначено прямой линией).

Запоминание мгновенных значений уровней видеосигнала необходимо для надежного срабатывания в отсчетные моменты времени аналого-цифрового преобразователя (АЦП) 16. Блок 15 дискретизации может быть выполнен, например, в виде электронного ключа и интегрирующей RC-цепи, запоминающей значения мгновенных уровней.

АЦП 16 в момент прихода каждого тактового импульса с блока 4 производит преобразование соответствующего абсолютного значения уровня блока 15 (фиг. 2г) в L-разрядную цифровую форму в виде кодового числа в прямом коде (L - количество разрядов АЦП, определяют точность преобразования мгновенных значений аналоговых уровней в цифровую форму: чем выше разрядность, тем выше точность преобразования) и запоминание этого числа до прихода следующего тактового импульса. Таким образом, кодовые числа на выходе АЦП 16 представляют собой абсолютные значения уровней когерентного детектора 1 (в цифровой форме) в моменты регистрации символов регенератором 2. Эти абсолютные уровни соответствуют во времени перекодированным символам на выходе КП 3.

Поскольку принимаемая двоичная последовательность с выхода КП 3 в БОКО 7 подается на информационные входы N-разрядных регистров сдвига 8_1 и 8_2 для одновременного обнаружения ошибочно принятых $M \leq 3$ синхросимволов в СГ каждого цикла и коррекции ошибочно принятых информационных символов, то и абсолютные значения уровней когерентного детектора 1, во времени должны соответствовать символам с выхода КП 3. Поэтому выход каждого разряда АЦП 16 также подается на информационный вход соответствующего N-разрядного регистра сдвига ($17_1, 17_2, 17_3(L)$) аналогичного регистрам сдвига 8_1 и 8_2 по количеству разрядов и их порядковым номерам. Поскольку одновременно анализируются все M символов СГ, то в составе блока 5 сравнения, требуется иметь $M=3$ узлов сравнения $18_1, 18_2, 18_{3(M)}$, каждый из которых предназначен для сравнения двух чисел в двоичном коде, соответствующих абсолютным значениям уровней напряжения когерентного детектора 1 при регистрации символов с условными порядковыми номерами $i^1=1^1, 2^1$ (фиг. 2д) в неперекодированной кодовой комбинации символов, которые во времени совпадают с символами с условными порядковыми номерами $i=1, 2$ на выходе КП 3. С учетом синхронного продвижения последовательностей ДС по разрядам N-разрядных регистров сдвига $8_1, 8_2$ БОКО 7 и $17_1, 17_2, 17_{3(L)}$ блока 5 сравнения, выходы сравниваемых разрядов N-разрядных регистров сдвига $17_1, 17_2, 17_{3(L)}$ блока 5 сравнения на фиг. 1 по аналогии с фиг. 2д обозначены цифрами 1 и 2.

С приходом каждого тактового импульса в каждом из узлов сравнения ($18_1, 18_2, 18_{3(M)}$), производится сравнение двух чисел в двоичном коде, соответствующих абсолютному значению уровней напряжения когерентного детектора 1 в моменты регистрации двух соседних символов с условными порядковыми номерами $i=1^1, 2^1$,

которые для каждой из M кодовой комбинации из k ДС каждого цикла $T_{ц}$ обозначают как $|Z^1_1|$ и $|Z^1_2|$. Соответствующие разрядные ДС АЦП 16 каждого цикла располагаются в разрядах с порядковыми номерами $n=1, 2, 7, 8, 13, 14$ каждого из регистров сдвига $17_1, 17_2, 17_{3(L)}$ в том тактовом интервале, когда поступает ЦИ с выхода формирователя ЦИ 14. При этом каждый узел сравнения $18_1, 18_2, 18_{3(M)}$ формирует на своем выходе символ «0», если первое число $|Z^1_1|$ меньше второго числа $|Z^1_2|$, В противном случае, когда $|Z^1_2| < |Z^1_1|$, на выходе соответствующего узла сравнения формируется логический уровень «1».

Выходы узлов сравнения $18_1, 18_2, 18_{3(M)}$ с $M=3$ выходов блока 5 сравнения подаются на соответствующие вторые входы блока 6 управления, в котором поступающие управляющие логические уровни подаются на вторые входы соответствующих формирователей команд управления (ФКУ) $19_1, 19_2, 19_{3(M)}$ с порядковыми номерами $m=1, 2, 3(M)$, на первые входы которых подаются другие управляющие уровни с первых входов блока 6 управления с такими же порядковыми номерами входов.

Рассмотрим более подробно процесс исправления ошибочно принятых информационных символов в принимаемой последовательности двоичных символов в соответствии с фиг. 2.

В следствии действия помех в канале связи в один из моментов регистрации очередного символа t_1 видеосигнал (фиг. 2в) вместо положительного принимает отрицательное значение, т.е. в этот момент времени напряжение помехи на входе устройства действует противофазно по отношению к напряжению сигнала. Таким образом, в момент времени t_1 имеет место ошибочная регистрация символа с условным порядковым номером $i^1=1^1$ в одной из кодовых комбинаций неперекодированных символов, т.е. вместо символа «1» принят символ «0» (фиг. 2в, г, д).

После относительного перекодирования символов кодопреобразователем 3 (фиг. 2ж) одиночные ошибки, имеющие место на выходе регенератора 2 (фиг. 2д) удваиваются (ошибочные символы помечены тонкими стрелками). В соответствии с фиг. 2а, ж второй с начала первого цикла искаженный синхросимвол с порядковым номером $n=2$ в распределенной СГ (110) следует во втором периоде повторения одиночных синхросимволов T_{2c} в пределах первого циклового интервала $T_{ц}$. Этот второй синхросимвол располагается в разряде с порядковым номером $n=2+1k=8$ первого и второго регистров сдвига 8_1 и 8_2 БОКО7 в одном из тактовых интервалов, во времени совпадающем с приходом очередного циклового импульса (ЦИ) с выхода формирователя ЦИ 14. Соответственно на выходе сумматора по модулю два 10_2 БОКО7 появляется символ «1» (ошибка второго синхросимвола в СГ), который подается на первый вход ФКУ₂ блока 6 управления. А это значит, что в неперекодированной кодовой комбинации символов (фиг. 2д) искажен либо предыдущий символ с условным порядковым номером $i^1=1^1$, либо символ с условным порядковым номером $i^1=2^1$, во времени совпадающий с искаженным синхросимволом.

Во втором узле сравнения 18_2 блока 5 сравнения производится сравнение двух абсолютных значений выходного напряжения когерентного детектора 1 - $|Z^1_1|$ и $|Z^1_2|$. В соответствии с фиг. 2г в момент t_1 регистрируется символ с условным порядковым

номером $i^1=1^1$, которому соответствует уровень $|Z^1_1|$, при этом $|Z^1_1| < |Z^1_2|$, т.е. наименее надежным является символ с условным порядковым номером $i^1=1^1$. В этом случае на выходе узла сравнения 18₂ появится результат сравнения - символ «0», который подается на второй вход ФКУ₂. При одновременном поступлении на первый вход ФКУ₂ символа «1» с выхода сумматора по модулю два 10₂, а на второй вход ФКУ₂ - символа «0» от блока 6 управления, на втором выходе ФКУ₂ блока 6 управления появится символ «0», который поступает на второй вход сумматора по модулю два 10₇ БОКО 7, а на первом выходе ФКУ₂ - символ «1», который поступает на второй вход сумматора по модулю два 10₆ БОКО 7 и обеспечивает прохождение ДС с выхода разряда с порядковым номером $n=7$ первого регистра сдвига 8₁ на выход сумматора по модулю два 10₆ с инверсией. При этом на информационный вход перезаписи ДС в разряд с порядковым номером $n=1+1k=7$ второго регистра сдвига 8₂ с выхода сумматора по модулю два 10₆ будет поступать противоположный (инверсный) символ относительно символа, хранящегося в данном разряде в рассматриваемом тактовом интервале. Соответственно, с поступлением ЦИ на импульсный вход перезаписи ДС в разрядах второго регистра сдвига 8₂ произойдет корректирование ошибочно принятого информационного символа, хранящегося в данном разряде второго регистра сдвига 8₂.

В момент времени t_2 регистрируется символ 2^1 (фиг. 2д), которому соответствует уровень $|Z^1_2|$ с выхода когерентного детектора 1. В соответствии с фиг. 2а, ж искаженный синхросимвол с условным порядковым номером $i^1=2^1$ в СГ следует в третьем периоде T_{3c} в пределах того же циклового интервала $T_{ц}$. Этот третий синхросимвол располагается в разряде с порядковым номером $n=14$ первого и второго регистров сдвига 8₁ и 8₂ БОКО7. Соответственно на выходе сумматора по модулю два 10₃ БОКО7 появится символ «1» (ошибка третьего синхросимвола в СГ), который подается на первый вход ФКУ₃ блока 6 управления.

В блоке 5 сравнения в третьем узле сравнения 18₃ производится сравнение двух абсолютных значений уровня когерентного детектора 1 - $|Z^1_1|$ и $|Z^1_2|$. При этом в соответствии с фиг. 2г после момента времени t_2 имеет место неравенство $|Z^1_2| < |Z^1_1|$, т.е. наименее надежным является символ с условным порядковым номером $i^1=2^1$. Соответственно на выходе узла сравнения 18₃ появится символ «1», который подается на второй вход ФКУ₃. В результате на втором выходе ФКУ₃ блока 5 сравнения появится символ «1», который поступает на второй вход сумматора по модулю два 10₉ БОКО7, а на первом выходе ФКУ₃ - символ «0», который поступает на второй вход сумматора по модулю два 10₈ БОКО7. При этом на информационный вход перезаписи ДС в разряд с порядковым номером $n=15$ регистра сдвига 8₂ с выхода сумматора по модулю два 10₉ будет поступать противоположный (инверсный) символ относительно символа, хранящегося в данном разряде. При этом информационный символ, хранящийся в разряде с порядковым номером $n=13$ второго регистра сдвига 8₂ БОКО7, остается без изменения.

Откорректированная двоичная последовательность (фиг. 2з) снимается с информационного выхода второго N-разрядного регистра сдвига δ_2 (Вых. 2).

Если принимаемая двоичная последовательность не содержит цикловой синхросигнал в виде равномерно распределенной по циклу синхрогруппы из M синхросимволов, периодически повторяемой среди информационных символов, то двоичная информация снимается как и в любом другом известном устройстве для приема сигналов ОФТ с выхода кодопреобразователя 3 (Вых. 1).

Следует отметить, что предложенная на фиг. 1 схема электрическая структурная является универсальной и реализуема при любых значениях целых чисел, характеризующих параметры M, L, k, в том числе и при M=1, т.е., когда цикловой синхросигнал односимвольный т.е. $T_{ц}=T_{с}$ ДС. При M=1 структура предлагаемого устройства (фиг. 1) существенно упрощается: N-разрядные регистры сдвига δ_1 и δ_2 должны быть трехразрядными - $N=3+(M-1)k=3$. Такие же трехразрядные регистры сдвига $17_1 \dots 17_L$ потребуются в блоке сравнения 5, в котором должен использоваться только один узел сравнения 18 и один ФКУ в блоке 6 управления.

Таким образом, в предлагаемом устройстве за счет инвертирования ошибочно принятых информационных символов реализуется повышенная помехоустойчивость приема.

Источники информации

1. Назаров В.И. Прием сигналов относительной фазовой телеграфии с вращающейся фазой. - «Электросвязь», 1964, №11, с. 9.

2. А.с. СССР №915276, кл. H04L 27/22, 1979.

3. Колтунов М.Н., Коновалов Г.В., Лангуров З.И. Синхронизация по циклам в цифровых системах связи. - М.: Связь, 1980. - 152 с.

4. Финк Л.М. Теория передачи дискретных сообщений. М.: Советское радио. 1970. 728 с.

5. Автоматизированная радиосвязь с судами / Под ред. К.А. Семенова. - Л.: Судостроение, 1989 (Б-ка судового инженера-связиста). - 336 с.

6. Хворостенко Н.П. Статистическая теория демодуляции дискретных сигналов. - М.: Связь, 1968. - 335 с.

7. Соловьёв Г.Н. Арифметические устройства ЭВМ. - М.: Энергия, 1978. - 176.

8. А.с. СССР №1138954. Устройство цикловой синхронизации / Б.Г. Шадрин - 1985.

(57) Формула изобретения

1. Устройство для приема сигналов относительной фазовой телеграфии с повышенной помехоустойчивостью, содержащее последовательно соединенные когерентный детектор, регенератор и кодопреобразователь (КП), другой вход которого соединен с выходом блока выделения тактовой частоты, один вход которого соединен с другим выходом когерентного детектора, другой вход которого и другой вход блока выделения тактовой частоты объединены и являются входом устройства, а также блок сравнения и блок управления, причем выход КП является выходом демодулированного двоичного сигнала и первым выходом устройства, отличающееся тем, что введен блок обнаружения и коррекции ошибок (БОКО), тактовый вход которого объединен с тактовым входом блока сравнения, другим входом регенератора и выходом блока выделения тактовой частоты, информационный вход БОКО соединен с выходом КП, другие 2M входов БОКО с условными порядковыми номерами $m_1=1_1, 2_1, 1_2, 2_2, \dots, 1_M, 2_M$, соединены с соответствующими 2M выходами блока управления с аналогичными условными

порядковыми номерами $m_1=1_1, 2_1, 1_2, 2_2, \dots, 1_M, 2_M$, M первых входов которого с порядковыми номерами $m=1, 2, \dots, M$ соединены с соответствующими выходами БОКО с такими же порядковыми номерами $m=1, 2, \dots, M$, а вторые M входов блока управления с порядковыми номерами $m=1, 2, \dots, M$ соединены с соответствующими выходами

5 блока сравнения с такими же порядковыми номерами $m=1, 2, \dots, M$, где M - количество одиночных синхросимволов в равномерно распределенной по циклу синхрогруппе (СГ) служебного циклового синхросигнала в составе демодулированного сигнала, регулярно повторяемой среди основных информационных символов с периодом повторения цикла $T_{ц}=MT_c$, где $T_c=k$ - период повторения синхросимволов в числе $k \geq 3$ двоичных символов

10 (ДС), сигнальный вход блока сравнения соединен с выходом когерентного детектора, при этом БОКО содержит первый и второй N -разрядные регистры сдвига, в каждом из которых количество $N=3+(M-1)k$ разрядов с порядковыми номерами $n=1, 2, \dots, N$, соответствующими порядку последовательного продвижения двоичной информации по разрядам каждого регистра сдвига - от старшего разряда, являющимся

15 информационным входом регистра сдвига (при $n=1$), к младшему разряду, являющимся информационным выходом регистра сдвига (при $n=N$), объединенные тактовые входы и объединенные информационные входы регистров сдвига являются соответственно тактовым и информационным входами БОКО, а также M -разрядный регистр хранения с порядковыми номерами разрядов $m=1, 2, \dots, M$, соответствующих порядку следования

20 M синхросимволов в распределенной СГ циклового синхросигнала, выходы которых подключены к первым входам соответствующих сумматоров по модулю два с такими же порядковыми номерами $m=1, 2, \dots, M$, при этом вторые входы этих сумматоров по модулю два с порядковыми номерами, следующими в порядке их увеличения,

25 подключены к выходам соответствующих разрядов первого N -разрядного регистра сдвига с порядковыми номерами $n=2, (2+1 \cdot k), (2+2 \cdot k), \dots, [2+(M-1) \cdot k]$, также следующими в порядке увеличения их порядковых номеров, а выход каждого из M этих сумматоров по модулю два с соответствующим порядковым номером m , являющимся

30 соответствующим выходом БОКО с таким же порядковым номером m , соединен через соответствующий элемент НЕ с соответствующим одноразрядным входом цифрового сумматора, цифровой выход которого соединен с цифровым входом узла цикловой синхронизации (УЦС), выход которого соединен с входом фазирования формирователя

35 цикловых импульсов (ЦИ), тактовый вход которого объединен с тактовым входом УЦС и тактовыми входами N -разрядных регистров сдвига, а выход формирователя ЦИ соединен с импульсным входом перезаписи ДС в разряды второго N -разрядного регистра сдвига, информационный выход которого является выходом

откорректированного демодулированного двоичного сигнала и вторым выходом устройства, выходы других $2M$ разрядов первого N -разрядного регистра сдвига с порядковыми номерами $n=1, 3, (1+1 \cdot k), (3+1 \cdot k), (1+2 \cdot k), (3+2 \cdot k), \dots, [1+(M-1) \cdot k], [3+(M-1) \cdot k]$

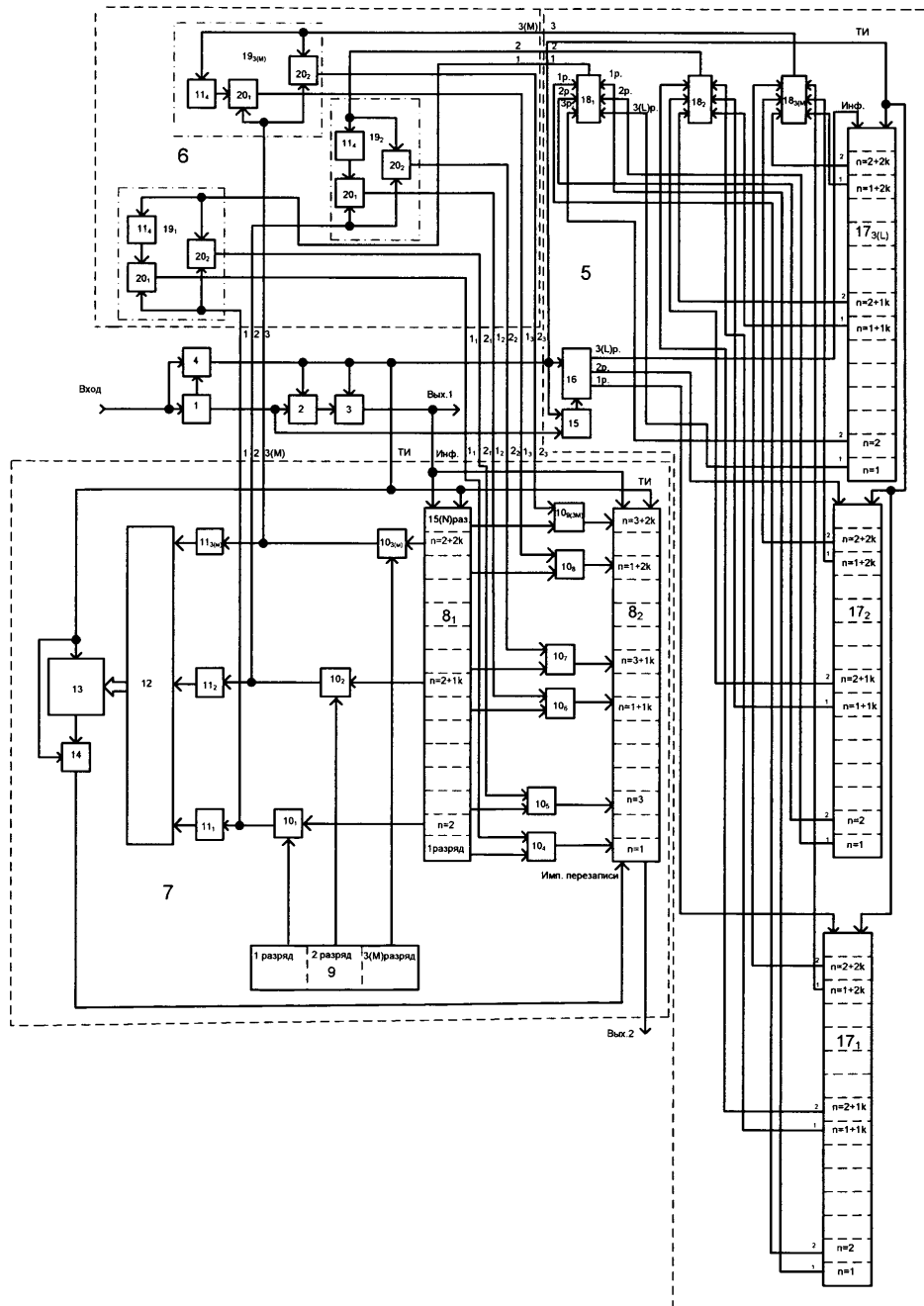
40 подключены к первым входам соответствующих других $2M$ сумматоров по модулю два с порядковыми номерами $m=(M+1), (M+2), (M+3), (M+4), \dots, (3M-1), 3M$, выходы которых подключены к информационным входам перезаписи ДС в соответствующие разряды второго N -разрядного регистра сдвига с порядковыми номерами $n=1, 3, (1+1 \cdot k), (3+1 \cdot k), (1+2 \cdot k), (3+2 \cdot k), \dots, [1+(M-1) \cdot k], [3+(M-1) \cdot k]$, при этом вторые входы этих

45 $2M$ сумматоров по модулю два, следующих друг за другом в порядке увеличения их порядковых номеров, являются соответствующими $2M$ входами БОКО с условными порядковыми номерами $m_1=1_1, 2_1, 1_2, 2_2, \dots, 1_M, 2_M$.

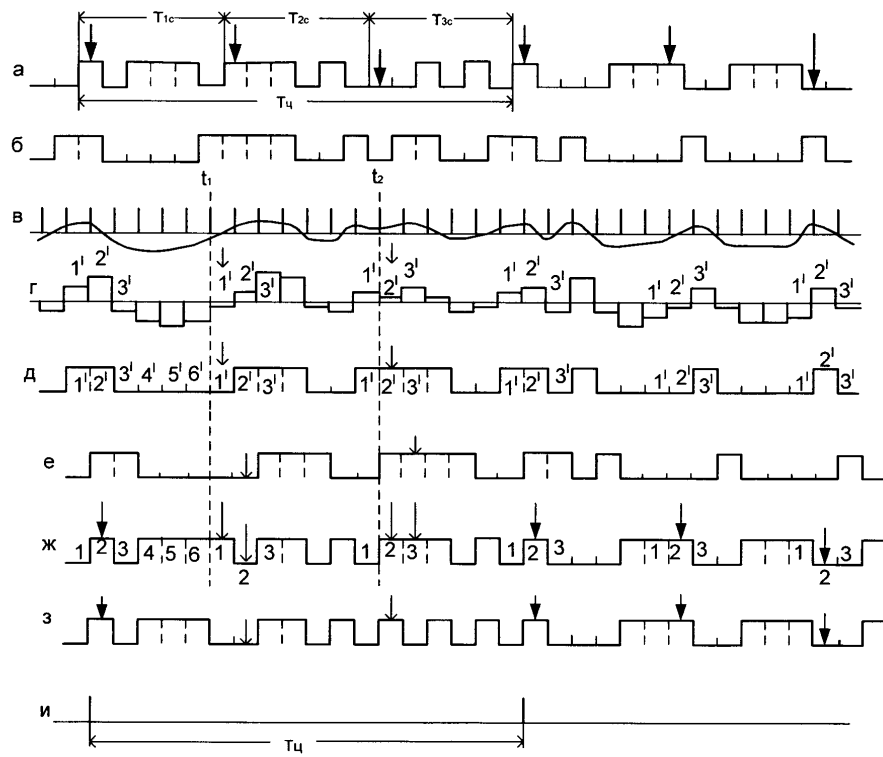
2. Устройство по п. 1, отличающееся тем, блок сравнения состоит из последовательно

соединенных узла дискретизации, сигнальный вход которого является сигнальным входом блока сравнения, и аналого-цифрового преобразователя (АЦП), обеспечивающего преобразование аналоговых уровней с выхода узла дискретизации в L -разрядные двоичные числа с порядковыми номерами разрядных выходов $\ell=1,2,\dots,L$,
 5 причем каждый разрядный выход с соответствующим порядковым номером ℓ , подключен к информационному входу соответствующего N -разрядного регистра сдвига с таким же порядковым номером ℓ , по структурному построению, аналогичному N -разрядным регистрам сдвига БОКО, тактовый вход которого объединен с тактовыми входами других таких же $L-1$ N -разрядных регистров сдвига, с тактовыми входами узла дискретизации и АЦП и является тактовым входом блока сравнения, а также M узлов сравнения с порядковыми номерами $m=1, 2, \dots, M$, выходы которых являются соответствующими выходами блока сравнения с такими же порядковыми номерами $m=1, 2, \dots, M$, при этом каждый узел сравнения с соответствующим порядковым номером m имеет два идентичных L -разрядных цифровых входа с порядковыми номерами разрядных входов $\ell = 1,2,\dots,L$ каждого L -разрядного цифрового входа, причем каждый разрядный вход с соответствующим порядковым номером ℓ первого L -разрядного цифрового входа подключен к выходу разряда с порядковым номером $n=1+(m-1)k$ N -разрядного регистра сдвига с таким же порядковым номером ℓ , а каждый разрядный вход с соответствующим порядковым номером ℓ второго L -разрядного цифрового входа этого же узла сравнения подключен к выходу разряда с порядковым номером $n=2+(m-1)k$ N -разрядного регистра сдвига с таким же порядковым номером ℓ .

3. Устройство по п. 1, отличающееся тем, блок управления состоит из M формирователей команд управления (ФКУ) с порядковыми номерами $m=1, 2, \dots, M$, каждый из которых с соответствующим порядковым номером m состоит из элемента НЕ, выход которого соединен с первым входом первого элемента И, второй вход которого объединен с вторым входом второго элемента И и является первым входом ФКУ, который является одним из первых M входов блока управления с
 30 соответствующим порядковым номером m , а первый вход второго элемента И объединен с входом элемента НЕ и является вторым входом ФКУ, который является одним из M вторых входов блока управления с соответствующим порядковым номером m , а выходы первого и второго элементов И этого ФКУ являются первым и вторым выходами ФКУ и блока б управления с условными порядковыми номерами $m_1=1_m, 2_m$, которые
 35 совместно с аналогичными выходами других $M-1$ ФКУ являются соответствующими $2M$ выходами блока управления с условными порядковыми номерами $m_1=1_1, 2_1, 1_2, 2_2, \dots, 1_M, 2_M$.



Фиг. 1



Фиг. 2