



---

(21)申請案號：107121475

(22)申請日：中華民國 107 (2018) 年 06 月 22 日

(51)Int. Cl. : **G11C7/12 (2006.01)**

(30)優先權：2018/03/20 日本 2018-053060

(71)申請人：日商東芝記憶體股份有限公司 (日本) TOSHIBA MEMORY CORPORATION (JP)  
日本

(72)發明人：宮崎隆行 MIYAZAKI, TAKAYUKI (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：8 共 30 頁

---

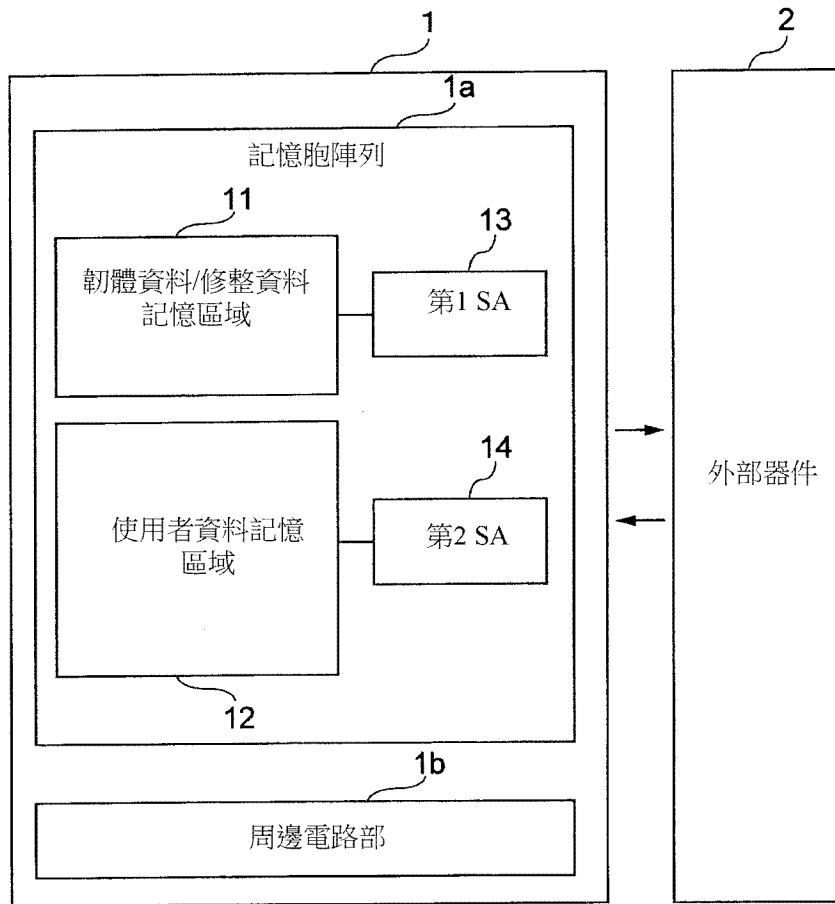
(54)名稱

半導體記憶裝置及其控制方法

(57)摘要

實施形態提供一種能夠適當地自記憶胞讀取資料之半導體記憶裝置及其控制方法。根據一實施形態，半導體記憶裝置具備記憶第 1 值或第 2 值作為記憶資料之記憶胞、及讀取記憶資料之控制電路。記憶胞具有：第 1 動作區域，其伴隨著記憶胞間之電壓增加，胞電流增加；第 2 動作區域，其胞電流較第 1 動作區域大，於胞電流增加之期間，該電壓減少；及第 3 動作區域，其胞電流較第 2 動作區域大，伴隨著該電壓增加，胞電流增加。控制電路執行第 1 讀取處理，即，以記憶資料為第 1 值時及為第 2 值時之胞電流採取第 1 動作區域之值之方式讀取記憶資料。控制電路執行第 2 讀取處理，即，以記憶資料為第 1 值時及為第 2 值時之胞電流中之至少一者採取第 2 或第 3 動作區域之值之方式讀取記憶資料。

指定代表圖：



符號簡單說明：

1 . . . 半導體記憶裝置

1a . . . 記憶胞陣列

1b . . . 周邊電路部

2 . . . 外部器件

11 . . . FD/TD 記憶區域

12 . . . UD 記憶區域

13 . . . 第 1SA

14 . . . 第 2SA

【圖1】

## 【發明說明書】

### 【中文發明名稱】

半導體記憶裝置及其控制方法

### 【技術領域】

【0001】 實施形態係關於一種半導體記憶裝置及其控制方法。

### 【先前技術】

【0002】 近年來，PCM(Phase Change Memory，相變記憶體)、ReRAM(Resistive Random Access Memory，可變電阻式隨機存取記憶體)(電阻變化型記憶體)、MRAM(Magnetic Random Access Memory，磁阻隨機存取記憶體)(磁阻記憶體)等各種半導體記憶裝置之研究開發不斷進展。關於自半導體記憶裝置之記憶胞讀取資料，存在希望高速地讀取資料、希望安全地讀取資料等各種要求。因此，如何實現應對該等要求適當地讀取資料成為問題。

### 【發明內容】

【0003】 實施形態提供一種能夠適當地自記憶胞讀取資料之半導體記憶裝置及其控制方法。

【0004】 根據一實施形態，半導體記憶裝置具備記憶第1值或第2值作為記憶資料之記憶胞、及自上述記憶胞讀採取上述第1值或上述第2值作為上述記憶資料之控制電路。上述記憶胞具有：第1動作區域，其伴隨著上述記憶胞間之電壓增加，於上述記憶胞間流通之胞電流增加；第2動作區域，其上述胞電流較上述第1動作區域大，於上述胞電流增加之期間，上述記憶胞間之電壓減少；及第3動作區域，其上述胞電流較上述第2動作區域大，伴隨著上述記憶胞間之電壓增加，上述胞電流增加。上述控制電

路執行第1讀取處理，即，以上述記憶資料為上述第1值時之上述胞電流與上述記憶資料為上述第2值時之上述胞電流採取上述第1動作區域之值的方式，自上述記憶胞讀取上述記憶資料。上述控制電路執行第2讀取處理，即，以上述記憶資料為上述第1值時之上述胞電流與上述記憶資料為上述第2值時之上述胞電流中之至少一者採取上述第2動作區域或上述第3動作區域之值的方式，自上述記憶胞讀取上述記憶資料。

### 【圖式簡單說明】

#### 【0005】

圖1係表示第1實施形態之半導體記憶裝置之構成之方塊圖。

圖2係表示第1實施形態之變化例之半導體記憶裝置之構成之方塊圖。

圖3(a)～圖4(b)係用以說明第1實施形態之半導體記憶裝置之動作之曲線圖。

圖5(a)、(b)係用以說明圖3(a)～圖4(b)之詳細情況之曲線圖。

圖6(a)、(b)係表示第1實施形態之半導體記憶裝置之構成例之方塊圖。

圖7(a)～(d)係表示第1實施形態之半導體記憶裝置之動作例之圖。

圖8(a)～(d)係表示第1實施形態之半導體記憶裝置之構成例之模式圖。

### 【實施方式】

【0006】 以下，參照圖式對本發明之實施形態進行說明。圖1至圖8中，對相同或類似之構成標註相同之符號，並省略重複之說明。

#### 【0007】

(第1實施形態)

圖1係表示第1實施形態之半導體記憶裝置1之構成之方塊圖。

【0008】 圖1示有半導體記憶裝置1及能夠與半導體記憶裝置1之間進行信號收發之外部器件2。於本實施形態中，半導體記憶裝置1為PCM，但亦可為其他半導體記憶裝置(例如ReRAM或MRAM)。外部器件2可為控制半導體記憶裝置1之動作之IC(Integrated Circuit，積體電路)，亦可為內置或安裝有半導體記憶裝置1之PC(Personal Computer，個人電腦)。

【0009】 半導體記憶裝置1具備包含複數個記憶胞之記憶胞陣列1a、及執行控制記憶胞陣列1a等處理之周邊電路部1b。記憶胞陣列1a例如具有於複數條字元線與複數條位元線交叉之地點包含各個記憶胞之交叉點型構造。周邊電路部1b例如進行對記憶胞寫入資料、自記憶胞讀取資料、自外部器件2接收信號、對外部器件2發送信號等處理。

【0010】 記憶胞陣列1a具備韌體資料/修整資料(FD/TD)記憶區域11、使用者資料(UD)記憶區域12、第1感測放大器(SA)13及第2感測放大器(SA)14。

【0011】 FD/TD記憶區域11係具有記憶有外部器件2之基本動作用資料(韌體資料)之記憶胞、或記憶有周邊電路部1b之基本動作用資料(修整資料)之記憶胞之記憶區域。UD記憶區域12係具有用以供半導體記憶裝置1之使用者記憶資料(使用者資料)之記憶胞之記憶區域。

【0012】 第1SA 13及第2SA 14將自記憶胞接收到之讀取資料經由周邊電路部1b傳送至外部器件2，或者將自外部器件2經由周邊電路部1b接收到之寫入資料傳送至記憶胞。其中，第1SA 13係為了處理韌體資料或

修整資料而設置，第2SA 14係為了處理使用者資料而設置。第1SA 13、第2SA 14及周邊電路部1b係控制電路之例。

【0013】圖2係表示第1實施形態之變化例之半導體記憶裝置1之構成之方塊圖。

【0014】本變化例之半導體記憶裝置1具備韌體資料/修整資料/使用者資料(FD/TD/UD)記憶區域15，以代替FD/TD記憶區域11及UD記憶區域12。於本變化例中，韌體資料或修整資料用記憶區域與使用者資料用記憶區域未分離，韌體資料、修整資料、使用者資料均記憶於FD/TD/UD記憶區域15內。

【0015】以下，對圖1之半導體記憶裝置1之詳細情況進行說明，但以下之說明亦適用於圖2之半導體記憶裝置1。

【0016】圖3及圖4係用以說明第1實施形態之半導體記憶裝置1之動作之曲線圖。

【0017】圖3(a)至圖4(b)中，橫軸表示對半導體記憶裝置1之各記憶胞施加之施加電壓，縱軸表示於半導體記憶裝置1之各記憶胞流通之胞電流。若於某一記憶胞之端子間施加橫軸之電壓，則自該記憶胞之一端子向另一端子流通縱軸之胞電流。又，若於某一記憶胞之端子間流通之胞電流如上述曲線圖般變化，則該記憶胞之端子間之電壓如上述曲線圖般變化。

【0018】圖3(a)至圖4(b)示出了自記憶胞讀取0或1作為記憶資料之4種方式。記憶資料「0」為第1值之例，例如表示記憶胞處於高電阻狀態。記憶資料「1」為第2值之例，例如表示記憶胞處於低電阻狀態。

【0019】圖3(a)及圖3(b)中，採用電壓讀取方式。具體而言，對記憶胞施加讀取電壓 $V_{read}$ 作為施加電壓，根據對應於讀取電壓 $V_{read}$ 而產生

之胞電流之大小，判定記憶資料為0或1。其中，圖3(a)中，以記憶資料為0時不發生記憶胞之驟回(snap back)而記憶資料為1時發生記憶胞之驟回之方式施加讀取電壓Vread。另一方面，圖3(b)中，以記憶資料為0時及記憶資料為1時均不發生記憶胞之驟回之方式施加讀取電壓Vread。

【0020】圖4(a)及圖4(b)中，採用電流讀取方式。具體而言，以對記憶胞流通讀取電流Iread作為胞電流之方式施加了施加電壓，根據該施加電壓之大小而判定記憶資料為0或1。其中，圖4(a)中，以記憶資料為0時及記憶資料為1時均發生記憶胞之驟回之方式流通讀取電流Iread。另一方面，圖4(b)中，以記憶資料為0時及記憶資料為1時均不發生記憶胞之驟回之方式流通讀取電流Iread。

【0021】以下，主要參照圖3(a)對記憶胞之動作特性或驟回進行說明。該說明中，亦適當地參照圖3(b)至圖4(b)。

【0022】如圖3(a)所示，本實施形態之記憶胞於記憶資料為0之情形時，具有動作區域C1、胞電流大於動作區域C1之動作區域C2、胞電流大於動作區域C2之動作區域C5。進而，本實施形態之記憶胞於記憶資料為1之情形時，具有動作區域C3、胞電流大於動作區域C3之動作區域C4、胞電流大於動作區域C4之動作區域C5。動作區域C1、C3為第1動作區域之例，動作區域C2、C4為第2動作區域之例，動作區域C5為第3動作區域之例。

【0023】動作區域C1、C3中，伴隨著施加電壓之增加，胞電流增加。其中，動作區域C3之胞電流對應於施加電壓之增加，較動作區域C1之胞電流更急遽地增加。動作區域C2、C4中，於胞電流增加之期間，施加電壓減少。其中，動作區域C4之施加電壓對應於胞電流之增加，較動

作區域C2之施加電壓緩慢地減少。動作區域C5中，伴隨著施加電壓之增加，胞電流增加。動作區域C5中，記憶資料為0時及為1時記憶胞顯示相同之特性。

【0024】符號P0係指表示動作區域C1之曲線與表示動作區域C2之曲線之間之彎曲點，符號Vth0表示彎曲點P0之施加電壓。施加電壓Vth0被稱為記憶資料為0時之閾值電壓(驟回電壓)。

【0025】符號P1係指表示動作區域C3之曲線與表示動作區域C4之曲線之間之彎曲點，符號Vth1表示彎曲點P1之施加電壓。施加電壓Vth1被稱為記憶資料為1時之閾值電壓(驟回電壓)。

【0026】本實施形態中，對應於施加電壓Vth0之胞電流與對應於施加電壓Vth1之胞電流為相同大小。以下，將該等胞電流稱為驟回電流。

【0027】本實施形態之半導體記憶裝置為PCM。該情形時，產生如下現象：記憶胞之特性於彎曲點P0自動作區域C1之特性變化為動作區域C2之特性，於彎曲點P1自動作區域C3之特性變化為動作區域C4之特性。該現象稱為驟回。PCM之驟回例如因記憶胞之特性隨溫度發生變化而產生。再者，於PCM以外之半導體記憶裝置中，會因其他原因而發生驟回。

【0028】於自記憶胞讀取記憶資料之情形時，胞電流越大，越能以高速讀取記憶資料。由此，為了高速地讀取記憶資料，較理想為胞電流較驟回電流大。即，為了高速地讀取記憶資料，較理想為利用動作區域C2、C4、C5。

【0029】另一方面，若於記憶胞中反覆流通較驟回電流大之胞電流，則有可能導致記憶胞之記憶資料丟失。進而，若胞電流較圖3(a)所示

之 $I_{melt}$ 大，則有可能記憶胞之至少一部分熔化而導致記憶資料丟失。此情形時，存在若不再次對記憶胞寫入記憶資料便無法再次讀取記憶資料之風險。由此，為了安全地讀取記憶資料，較理想為胞電流較驟回電流小。即，為了安全地讀取記憶資料，較理想為利用動作區域C1、C3。

【0030】由此，圖3(a)中，為了高速地讀取記憶資料，以記憶資料為0時不發生記憶胞之驟回，記憶資料為1時發生記憶胞之驟回之方式施加讀取電壓 $V_{read}$ 。於記憶資料為0之情形時，僅流通較驟回電流小之動作區域C1之胞電流，但於記憶資料為1之情形時，流通較驟回電流大之動作區域C5之胞電流。該讀取為第2讀取處理之一例。

【0031】另一方面，圖3(b)中，為了安全地讀取記憶資料，以記憶資料為0時及為1時均不發生記憶胞之驟回之方式施加讀取電壓 $V_{read}$ 。於記憶資料為0之情形時，流通較驟回電流小之動作區域C1之胞電流，於記憶資料為1之情形時，流通較驟回電流小之動作區域C3之胞電流。該讀取為第1讀取處理之一例。

【0032】再者，關於自1個記憶胞讀取記憶資料，圖3(a)之讀取記憶資料所需之時間較圖3(b)之讀取記憶資料所需之時間短。即，根據圖3(a)之方法，能夠實現高速讀取。另一方面，根據圖3(b)之方法，能夠實現安全讀取。

【0033】同樣地，圖4(a)中，為了高速地讀取記憶資料，以記憶資料為0時及為1時均發生記憶胞之驟回之方式流通讀取電流 $I_{read}$ 。於記憶資料為0之情形時，流通較驟回電流大之動作區域C2之胞電流，於記憶資料為1之情形時，流通較驟回電流大之動作區域C4之胞電流。該讀取為第2讀取處理之一例。

【0034】 另一方面，圖4(b)中，為了安全地讀取記憶資料，以記憶資料為0時及為1時均不發生記憶胞之驟回之方式流通讀取電流 $I_{read}$ 。於記憶資料為0之情形時，流通較驟回電流小之動作區域C1之胞電流，於記憶資料為1之情形時，流通較驟回電流小之動作區域C3之胞電流。該讀取為第1讀取處理之一例。

【0035】 再者，關於自1個記憶胞讀取記憶資料，圖4(a)之讀取記憶資料所需之時間較圖4(b)之讀取記憶資料所需之時間短。即，根據圖4(a)之方法，能夠實現高速讀取。另一方面，根據圖4(b)之方法，能夠實現安全讀取。

【0036】 本實施形態之第1SA 13、第2SA 14及周邊電路部1b構成為能夠執行第1讀取處理及第2讀取處理之兩者。例如，於必須高速讀取記憶資料之情形時執行第2讀取處理，於必須安全讀取記憶資料之情形時執行第1讀取處理。由此，根據本實施形態，能夠高速讀取記憶資料及能夠安全讀取記憶資料，從而能夠適當地自各記憶胞讀取記憶資料。

【0037】 本實施形態中，可採用圖3(b)與圖4(b)中之任一處理作為第1讀取處理，亦可採用圖3(a)與圖4(a)中之任一處理作為第2讀取處理。例如，考慮藉由圖4(b)之第1讀取處理(電流讀取方式)安全地讀取韌體資料與修整資料，藉由圖3(a)之第2讀取處理(電壓讀取方式)高速讀取使用者資料。其理由在於，通常而言，不宜丟失韌體資料或修整資料，另一方面，期望能高速讀取使用者資料。下文對將第1及第2讀取處理用於韌體資料、修整資料及使用者資料更詳細地進行敘述。

【0038】 如上所述，於圖3(b)或圖4(b)之第1讀取處理中，以記憶資料為0時及為1時胞電流採取動作區域C1、C3之值之方式自記憶胞讀取記

憶資料。另一方面，於圖3(a)或圖4(a)之第2讀取處理中，以記憶資料為0時及/或為1時之胞電流採取動作區域C2、C4、C5之值之方式自記憶胞讀取記憶資料。藉此，能夠考慮到高速性及安全性而適當地自各記憶胞讀取記憶資料。

【0039】 圖5係用以說明圖3及圖4之詳細情況之曲線圖。

【0040】 圖5(a)中以粗線表示於藉由電壓讀取方式讀取記憶資料「0」時使施加電壓逐漸增加之情形時之胞電流之變化。應注意的是，若施加電壓變得較驟回電壓 $V_{th0}$ 高，則記憶胞之特性自動作區域C1變化為動作區域C5。此情形於藉由電壓讀取方式讀取記憶資料「1」時亦相同。

【0041】 圖5(b)中以粗線表示於藉由電流讀取方式讀取記憶資料「0」時使胞電流逐漸增加之情形時之施加電壓之變化。應注意的是，記憶胞之特性自動作區域C1經由動作區域C2變化為動作區域C5。此情形於藉由電流讀取方式讀取記憶資料「1」時亦相同。

【0042】 圖6係表示第1實施形態之半導體記憶裝置1之構成例之方塊圖。

【0043】 圖6(a)示出了記憶胞陣列1a內之記憶胞16、電流SA 17及電壓SA 18。於圖6(a)之例中，第1SA 13與第2SA 14各自具備電流SA 17與電壓SA 18。

【0044】 電流SA 17係用於圖4(a)或圖4(b)之電流讀取方式之感測放大器，以於記憶胞16中流通讀取電流 $I_{read}$ 之方式施加了施加電壓。周邊電路部1b可根據該施加電壓讀取記憶胞16之記憶資料。讀取電流 $I_{read}$ 為特定值之胞電流之例。

【0045】 電壓SA 18係用於圖3(a)或圖3(b)之電壓讀取方式之感測放

大器，對記憶胞16施加讀取電壓Vread。周邊電路部1b可根據對應於讀取電壓Vread產生之胞電流而讀取記憶胞16之記憶資料。讀取電壓Vread為特定值之施加電壓之例。

【0046】電流SA 17與電壓SA 18自周邊電路部1b接收SA選擇信號。於SA選擇信號包含選擇電流SA 17之指示之情形時，電流SA 17動作，執行電流讀取方式之讀取。於SA選擇信號包含選擇電壓SA 18之指示之情形時，電壓SA 18動作，執行電壓讀取方式之讀取。

【0047】此處，假設藉由圖4(b)之電流讀取方式讀取韌體資料與修整資料，藉由圖3(a)之電壓讀取方式讀取使用者資料之情況。此情形時，可為第1SA 13僅具備電流SA 17，亦可為第2SA 14僅具備電壓SA 18。前者之電流SA 17執行圖4(b)之電流讀取方式，後者之電壓SA 18執行圖3(a)之電壓讀取方式。

【0048】圖6(b)示出了記憶胞陣列1a內之記憶胞16及SA 19。於圖6(b)之例中，第1SA 13與第2SA 14各自具備SA 19。

【0049】SA 19係能夠執行圖4(a)或圖4(b)之電流讀取方式與圖3(a)或圖3(b)之電壓讀取方式之兩者之感測放大器。於SA 19對記憶胞16施加讀取電壓Vread之情形時，周邊電路部1b可根據對應於讀取電壓Vread產生之胞電流而讀取記憶胞16之記憶資料。於SA 19對記憶胞16施加讀取電壓Vread之情形時，周邊電路部1b可根據對應於讀取電壓Vread產生之胞電流而讀取記憶胞16之記憶資料。

【0050】SA 19自周邊電路部1b接收讀取電流設定信號、讀取電壓設定信號、電流電壓切換信號。讀取電流設定信號係用以設定讀取電流Iread之值之信號。讀取電壓設定信號係用以設定讀取電壓Vread之值之信

號。電流電壓切換信號係用以指示執行電流讀取方式與電壓讀取方式之哪一種之信號。SA 19於接收到指示執行電流讀取方式之電流電壓切換信號之情形時，執行電流讀取方式之讀取，於接收到指示執行電壓讀取方式之電流電壓切換信號之情形時，執行電壓讀取方式之讀取。

**【0051】** 圖7係表示第1實施形態之半導體記憶裝置1之動作例之圖。

**【0052】** 於圖7(a)之例中，藉由圖3(b)或圖4(b)之第1讀取處理，以於讀取0及1時不發生驟回之方式讀取韌體資料。另一方面，藉由圖3(a)或圖4(a)之第2讀取處理，以於讀取0及/或1時發生驟回之方式讀取使用者資料。

**【0053】** 韌體資料例如為啟動外部器件2時所需之資料。此情形時，不期望進行存在風險之讀取，例如無法自記憶胞正確地讀取韌體資料、或記憶胞內之韌體資料丟失等。因此，於該例中，藉由安全之第1讀取處理讀取韌體資料。

**【0054】** 於圖7(b)之例中，藉由圖3(b)或圖4(b)之第1讀取處理，以於讀取0及1時不發生驟回之方式讀取修整資料。另一方面，藉由圖3(a)或圖4(a)之第2讀取處理，以於讀取0及/或1發生驟回之方式讀取使用者資料。

**【0055】** 修整資料之例為有關記憶胞陣列1a內之冗餘胞之資料。此情形時，不期望進行存在風險之讀取，例如無法自記憶胞正確地讀取修整資料、或記憶胞內之修整資料丟失等。因此，於該例中，藉由安全之第1讀取處理讀取修整資料。

**【0056】** 於圖7(c)之例中，藉由圖3(b)或圖4(b)之第1讀取處理，以

於讀取0及1時不發生驟回之方式讀取韌體資料及修整資料。另一方面，藉由圖3(a)或圖4(a)之第2讀取處理，以於讀取0及/或1時發生驟回之方式讀取使用者資料。

【0057】於圖7(d)之例中，於自UD記憶區域12之某一位址區域內之記憶胞讀取使用者資料之情形時，藉由圖3(b)或圖4(b)之第1讀取處理，以於讀取0及1時不發生驟回之方式讀取該使用者資料。另一方面，於自UD記憶區域12之另一位址區域內之記憶胞讀取使用者資料之情形時，藉由圖3(a)或圖4(a)之第2讀取處理，以於讀取0及/或1時發生驟回之方式讀取該使用者資料。前者之位址區域為第1位址區域之例，後者之位址區域為不同於第1位址區域之第2位址區域之例。

【0058】該例可用於例如對UD記憶區域12內之各記憶胞要求之讀取速度、錯誤率、可靠性不同之情形。再者，該例亦適用於FD/TD記憶區域11與UD記憶區域12之兩者。此情形時，考慮將FD/TD記憶區域11內之所有位址區域作為第1位址區域。

【0059】圖8係表示第1實施形態之半導體記憶裝置1之構成例之模式圖。圖8(a)至圖8(d)示出了本實施形態之1個記憶胞之各種例。

【0060】圖8(a)之記憶胞僅由記憶元件21構成。記憶元件21具有記憶0或1作為記憶資料之功能。記憶元件21之閾值電壓如上述 $V_{th0}$ 及 $V_{th1}$ 般根據記憶資料而變化。於圖8(a)之例中，藉由記憶元件21實現於記憶資料為0時與記憶資料為1時不同之驟回。具體而言，記憶元件21於記憶資料為0之情形時具有動作區域C1、C2、C5，於記憶資料為1之情形時具有動作區域C3、C4、C5。

【0061】圖8(b)之記憶胞由相互串聯連接之記憶元件22及非線性元

件23構成。記憶元件22具有記憶0或1作為記憶資料之功能。記憶元件22之例為電阻根據記憶資料而變化之元件。非線性元件23具有非線性之I-V特性(電流-電壓特性)。非線性元件23之例為於非線性元件23中流通之電流根據施加給非線性元件23之電壓而大幅變化之元件。於圖8(b)之例中，藉由記憶元件22及非線性元件23實現於記憶資料為0時與為1時不同之驟回。

【0062】再者，於圖8(b)之例中，非線性元件23可替換為二極體，亦可為記憶元件22之閾值電壓根據記憶資料而變化。

【0063】圖8(c)之記憶胞由相互串聯連接之記憶元件22及驟回元件24而構成。記憶元件22具有記憶0或1作為記憶資料之功能。記憶元件22之例為電阻根據記憶資料而變化之元件。驟回元件24具有包含驟回之I-V特性。其中，驟回元件24之I-V特性於記憶元件22之記憶資料為0時及為1時相同。於圖8(c)之例中，藉由記憶元件22及驟回元件24實現於記憶資料為0時與記憶資料為1時不同之驟回。

【0064】再者，於圖8(c)之例中，驟回元件24可替換為用以選擇記憶胞之選擇元件，亦可為記憶元件22之閾值電壓根據記憶資料而變化。

【0065】圖8(d)之記憶胞由相互串聯連接之記憶元件25及驟回元件24而構成。記憶元件25具有記憶0或1作為記憶資料之功能。記憶元件25具有包含驟回之I-V特性，記憶元件25之I-V特性於記憶元件22之記憶資料為0時與為1時不同。另一方面，驟回元件24具有包含驟回之I-V特性，但驟回元件24之I-V特性於記憶元件22之記憶資料為0時及為1時相同。於圖8(d)之例中，僅藉由記憶元件25實現於記憶資料為0時與記憶資料為1時驟回不同，但驟回元件24具有使該驟回變化之作用。

【0066】再者，於圖8(d)之例中，驟回元件24亦可替換成用以選擇記憶胞之選擇元件。

【0067】本實施形態之各記憶胞例如配置於1條字元線與1條位元線交叉之地點。此情形時，圖8(b)之記憶元件22與非線性元件23串聯連接於字元線與位元線之間，施加電壓成為施加給記憶元件22之電壓與施加給非線性元件23之電壓之和。此情況於圖8(c)或圖8(d)之情形時亦相同。

【0068】如上所述，本實施形態之半導體記憶裝置1藉由第1及第2讀取處理自記憶胞讀取記憶資料。於第1讀取處理中，以記憶資料為0時及為1時胞電流採取動作區域C1、C3之值之方式自記憶胞讀取記憶資料。於第2讀取處理中，以記憶資料為0時及/或為1時之胞電流採取動作區域C2、C4、C5之值之方式自記憶胞讀取記憶資料。

【0069】由此，根據本實施形態，藉由考慮例如讀取之高速性與安全性而分開使用第1讀取處理與第2讀取處理，能夠適當地自各記憶胞讀取記憶資料。

【0070】對本發明之若干實施形態進行了說明，但該等實施形態係作為示例而提出，並不意圖限定發明之範圍。該等新穎之實施形態能以其他各種方式加以實施，且能夠於不脫離發明主旨之範圍內進行各種省略、替換、變更。該等實施形態或其變化包含於發明之範圍或主旨中，並且包含於申請專利範圍所記載之發明及其均等之範圍內。

【0071】

相關申請案

本申請案享有以日本專利申請2018-53060號(申請日：2018年3月20日)為基礎申請案之優先權。本申請案藉由參照該基礎申請案而包含基礎

申請案之全部內容。

【符號說明】

【0072】

1	半導體記憶裝置
1a	記憶胞陣列
1b	周邊電路部
2	外部器件
11	FD/TD記憶區域
12	UD記憶區域
13	第1SA
14	第2SA
15	FD/TD/UD記憶區域
16	記憶胞
17	電流SA
18	電壓SA
19	SA
21	記憶元件
22	記憶元件
23	非線性元件
24	驟回元件
25	記憶元件
C1	動作區域
C2	動作區域

C3	動作區域
C4	動作區域
C5	動作區域
Iread	讀取電流
P0	彎曲點
P1	彎曲點
Vread	讀取電壓
Vth0	施加電壓
Vth1	施加電壓



201941195

**【發明摘要】****【中文發明名稱】**

半導體記憶裝置及其控制方法

**【中文】**

實施形態提供一種能夠適當地自記憶胞讀取資料之半導體記憶裝置及其控制方法。

根據一實施形態，半導體記憶裝置具備記憶第1值或第2值作為記憶資料之記憶胞、及讀取記憶資料之控制電路。記憶胞具有：第1動作區域，其伴隨著記憶胞間之電壓增加，胞電流增加；第2動作區域，其胞電流較第1動作區域大，於胞電流增加之期間，該電壓減少；及第3動作區域，其胞電流較第2動作區域大，伴隨著該電壓增加，胞電流增加。控制電路執行第1讀取處理，即，以記憶資料為第1值時及為第2值時之胞電流採取第1動作區域之值之方式讀取記憶資料。控制電路執行第2讀取處理，即，以記憶資料為第1值時及為第2值時之胞電流中之至少一者採取第2或第3動作區域之值之方式讀取記憶資料。

**【指定代表圖】**

圖1

**【代表圖之符號簡單說明】**

- 1 半導體記憶裝置
- 1a 記憶胞陣列
- 1b 周邊電路部
- 2 外部器件
- 11 FD/TD記憶區域

12	UD記憶區域
13	第1SA
14	第2SA

## 【發明申請專利範圍】

### 【第1項】

一種半導體記憶裝置，其具備：

記憶胞，其記憶第1值或第2值作為記憶資料；及

控制電路，其自上述記憶胞讀取上述第1值或上述第2值作為上述記憶資料；

上述記憶胞具有：

第1動作區域，其伴隨著上述記憶胞間之電壓增加，於上述記憶胞間流通之胞電流增加；

第2動作區域，其上述胞電流較上述第1動作區域大，於上述胞電流增加之期間，上述記憶胞間之電壓減少；及

第3動作區域，其上述胞電流較上述第2動作區域大，伴隨著上述記憶胞間之電壓增加，上述胞電流增加；

上述控制電路執行：

第1讀取處理，其係以上述記憶資料為上述第1值時之上述胞電流與上述記憶資料為上述第2值時之上述胞電流採取上述第1動作區域之值的方式，自上述記憶胞讀取上述記憶資料；及

第2讀取處理，其係以上述記憶資料為上述第1值時之上述胞電流與上述記憶資料為上述第2值時之上述胞電流中之至少一者採取上述第2動作區域或上述第3動作區域之值的方式，自上述記憶胞讀取上述記憶資料。

### 【第2項】

如請求項1之半導體記憶裝置，其中

於上述第1動作區域，上述記憶資料為上述第2值時之上述胞電流較

上述記憶資料為上述第1值時之上述胞電流更急遽地增加，

於上述第2動作區域，上述記憶資料為上述第2值時之上述胞電流較上述記憶資料為上述第1值時之上述胞電流更急遽地減少。

**【第3項】**

如請求項1之半導體記憶裝置，其中上述第2讀取處理讀取上述記憶資料所需之時間與上述第1讀取處理讀取上述記憶資料所需之時間不同。

**【第4項】**

如請求項1之半導體記憶裝置，其中上述控制電路係藉由對上述記憶胞施加特定值之上述電壓或者對上述記憶胞流通特定值之上述胞電流，而讀取上述記憶資料。

**【第5項】**

如請求項4之半導體記憶裝置，其中上述控制電路具備對上述記憶胞施加上述特定值之上述電壓之電壓感測放大器、及對上述記憶胞流通上述特定值之上述胞電流之電流感測放大器。

**【第6項】**

如請求項4之半導體記憶裝置，其中上述控制電路具備感測放大器，該感測放大器於接收到指示施加上述特定值之上述電壓之信號之情形時，對上述記憶胞施加上述特定值之上述電壓，於接收到指示流通上述特定值之上述胞電流之信號之情形時，對上述記憶胞流通上述特定值之上述胞電流。

**【第7項】**

如請求項1之半導體記憶裝置，其中上述控制電路藉由上述第1讀取處理自上述記憶胞讀取韌體資料或修整資料。

**【第8項】**

如請求項1之半導體記憶裝置，其中上述控制電路於自第1位址區域內之上述記憶胞讀取上述記憶資料之情形時執行上述第1讀取處理，於自不同於上述第1位址區域之第2位址區域內之上述記憶胞讀取上述記憶資料之情形時執行上述第2讀取處理。

**【第9項】**

如請求項1之半導體記憶裝置，其中上述記憶胞包含記憶上述記憶資料之第1元件及與上述第1元件串聯連接之第2元件，上述第1、第2及第3動作區域因上述第1及/或第2元件之特性而產生。

**【第10項】**

如請求項9之半導體記憶裝置，其中上述第2元件為具有非線性之電流-電壓特性之非線性元件、二極體、具有包含驟回之電流-電壓特性之驟回元件或選擇上述第1元件之選擇元件。

**【第11項】**

一種半導體記憶裝置之控制方法，其包含如下步驟：

將第1值或第2值作為記憶資料記憶於記憶胞內，該記憶胞具有第1動作區域、第2動作區域及第3動作區域，上述第1動作區域中，伴隨著記憶胞間之電壓增加，於上述記憶胞間流通之胞電流增加，上述第2動作區域中，上述胞電流較上述第1動作區域大，於上述胞電流增加之期間，上述記憶胞間之電壓減少，上述第3動作區域中，上述胞電流較上述第2動作區域大，伴隨著上述記憶胞間之電壓增加，上述胞電流增加；

執行第1讀取處理，即，以上述記憶資料為上述第1值時之上述胞電流與上述記憶資料為上述第2值時之上述胞電流採取上述第1動作區域之值

的方式，自上述記憶胞讀取上述記憶資料；

執行第2讀取處理，即，以上述記憶資料為上述第1值時之上述胞電流與上述記憶資料為上述第2值時之上述胞電流中之至少一者採取上述第2動作區域或上述第3動作區域之值的方式，自上述記憶胞讀取上述記憶資料。

#### 【第12項】

如請求項11之半導體記憶裝置之控制方法，其中

於上述第1動作區域，上述記憶資料為上述第2值時之上述胞電流較上述記憶資料為上述第1值時之上述胞電流更急遽地增加，

於上述第2動作區域，上述記憶資料為上述第2值時之上述胞電流較上述記憶資料為上述第1值時之上述胞電流更急遽地減少。

#### 【第13項】

如請求項11之半導體記憶裝置之控制方法，其中上述第2讀取處理讀取上述記憶資料所需之時間與上述第1讀取處理讀取上述記憶資料所需之時間不同。

#### 【第14項】

如請求項11之半導體記憶裝置之控制方法，其中執行上述第1及第2讀取處理之控制電路係藉由對上述記憶胞施加特定值之上述電壓或對上述記憶胞流通特定值之上述胞電流，而讀取上述記憶資料。

#### 【第15項】

如請求項14之半導體記憶裝置之控制方法，其中上述控制電路具備對上述記憶胞施加上述特定值之上述電壓之電壓感測放大器、及對上述記憶胞流通上述特定值之上述胞電流之電流感測放大器。

**【第16項】**

如請求項14之半導體記憶裝置之控制方法，其中上述控制電路具備感測放大器，該感測放大器於接收到指示施加上述特定值之上述電壓之信號之情形時，對上述記憶胞施加上述特定值之上述電壓，於接收到指示流通上述特定值之上述胞電流之信號之情形時，對上述記憶胞流通上述特定值之上述胞電流。

**【第17項】**

如請求項11之半導體記憶裝置之控制方法，其中藉由上述第1讀取處理自上述記憶胞讀取韌體資料或修整資料。

**【第18項】**

如請求項11之半導體記憶裝置之控制方法，其中於自第1位址區域內之上述記憶胞讀取上述記憶資料之情形時執行上述第1讀取處理，於自不同於上述第1位址區域之第2位址區域內之上述記憶胞讀取上述記憶資料之情形時執行上述第2讀取處理。

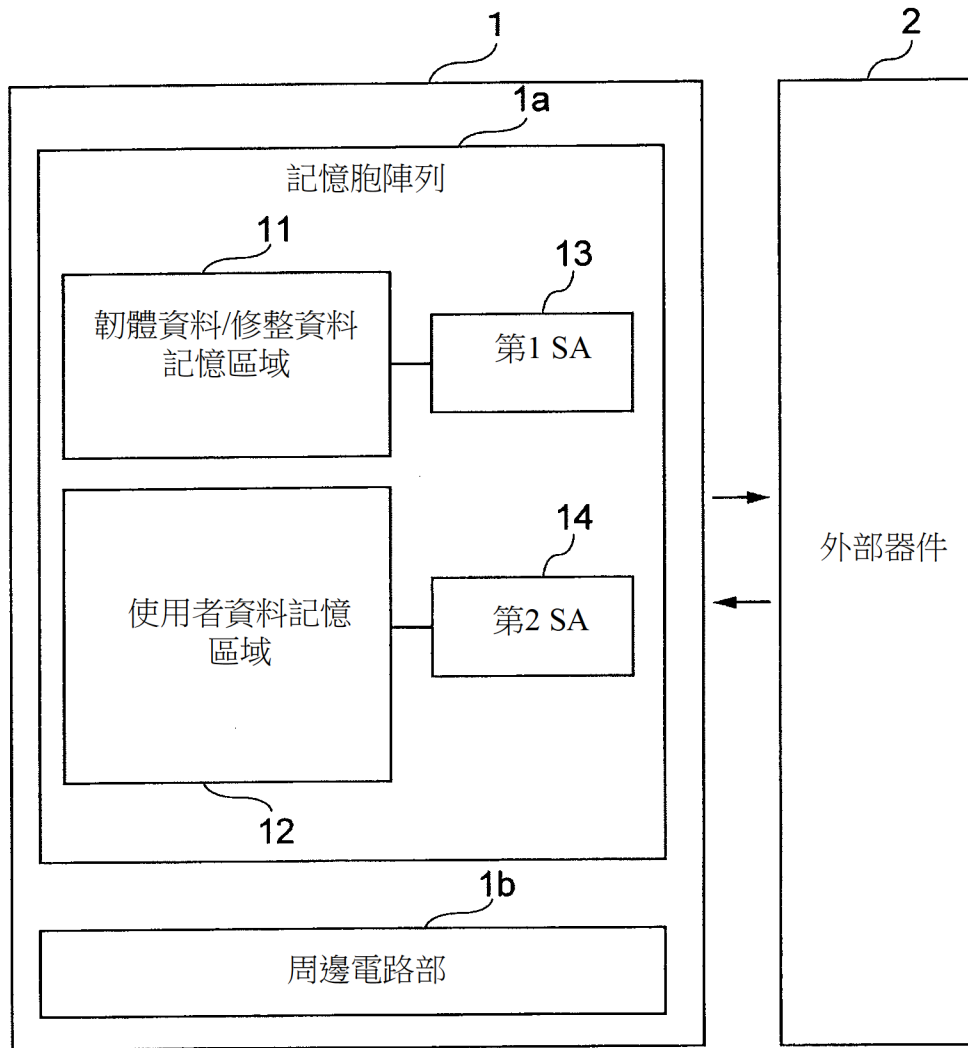
**【第19項】**

如請求項11之半導體記憶裝置之控制方法，其中上述記憶胞包含記憶上述記憶資料之第1元件及與上述第1元件串聯連接之第2元件，上述第1、第2及第3動作區域因上述第1及/或第2元件之特性而產生。

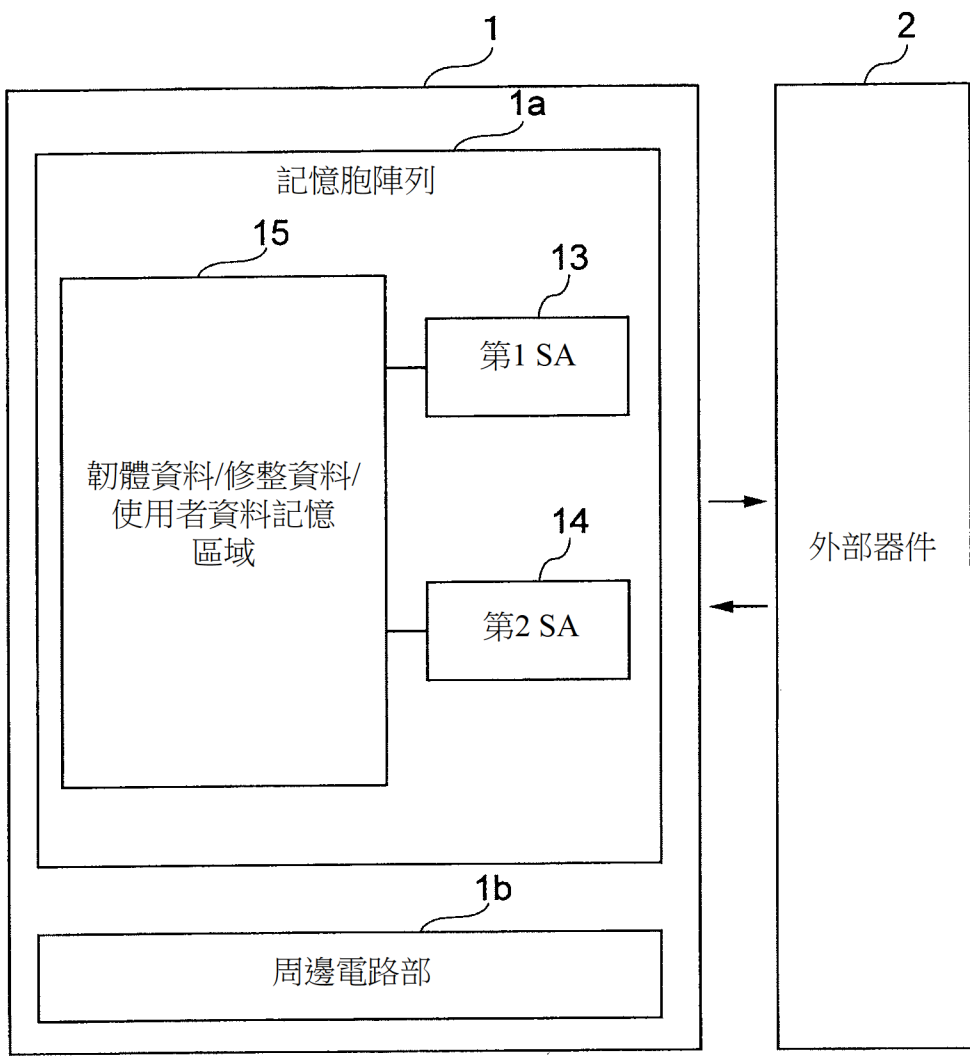
**【第20項】**

如請求項19之半導體記憶裝置之控制方法，其中上述第2元件為具有非線性之電流-電壓特性之非線性元件、二極體、具有包含驟回之電流-電壓特性之驟回元件或選擇上述第1元件之選擇元件。

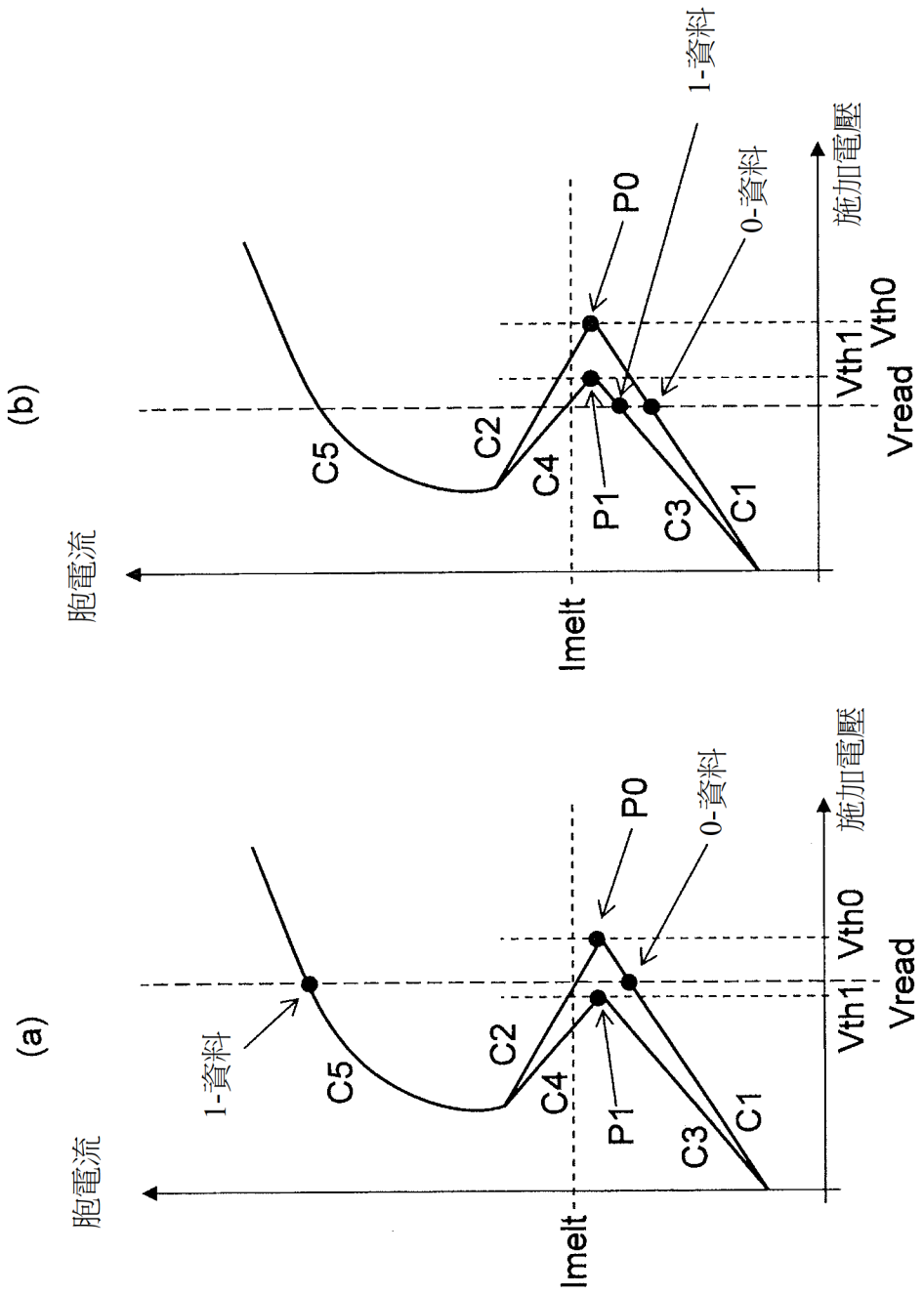
【發明圖式】



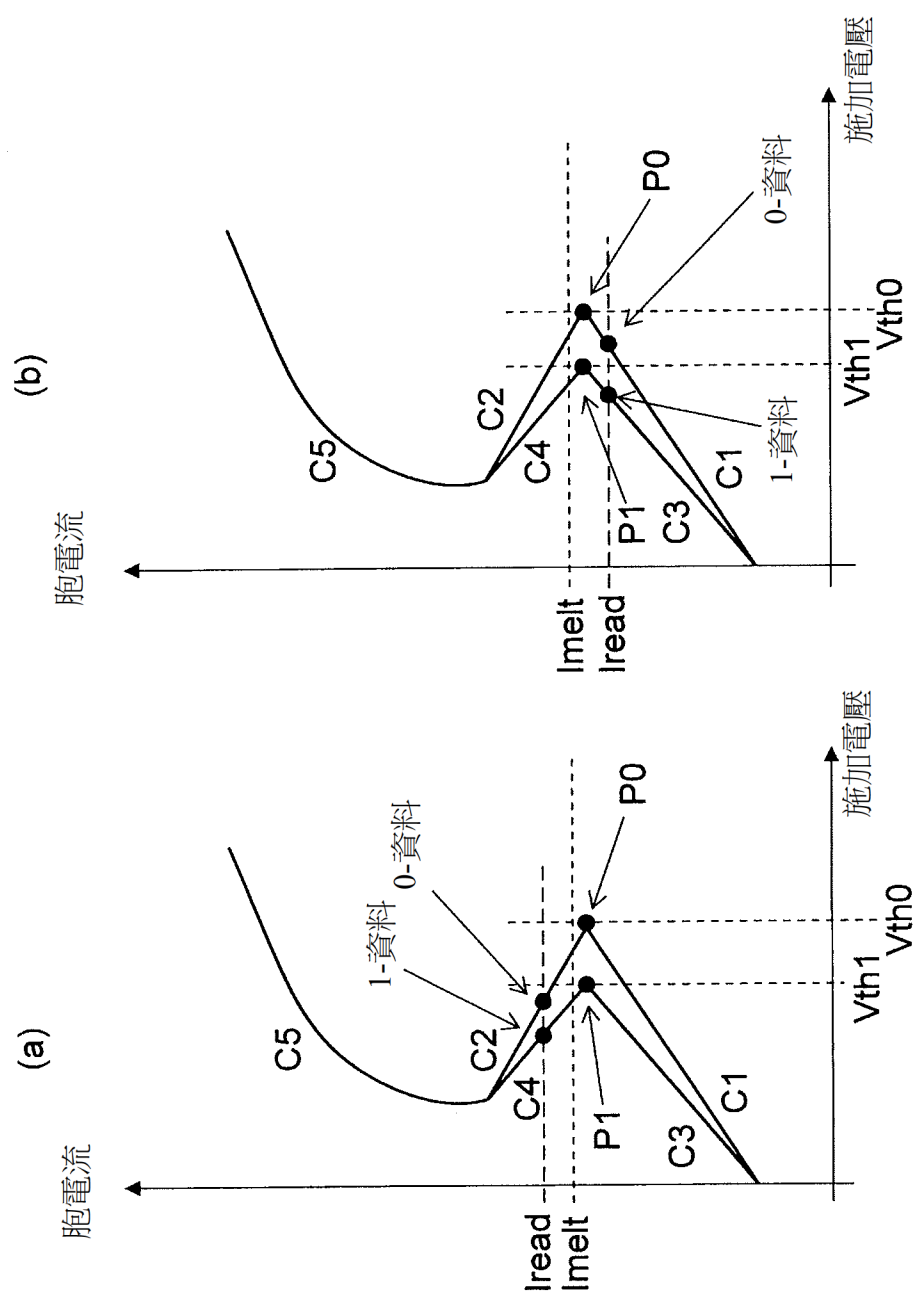
【圖1】



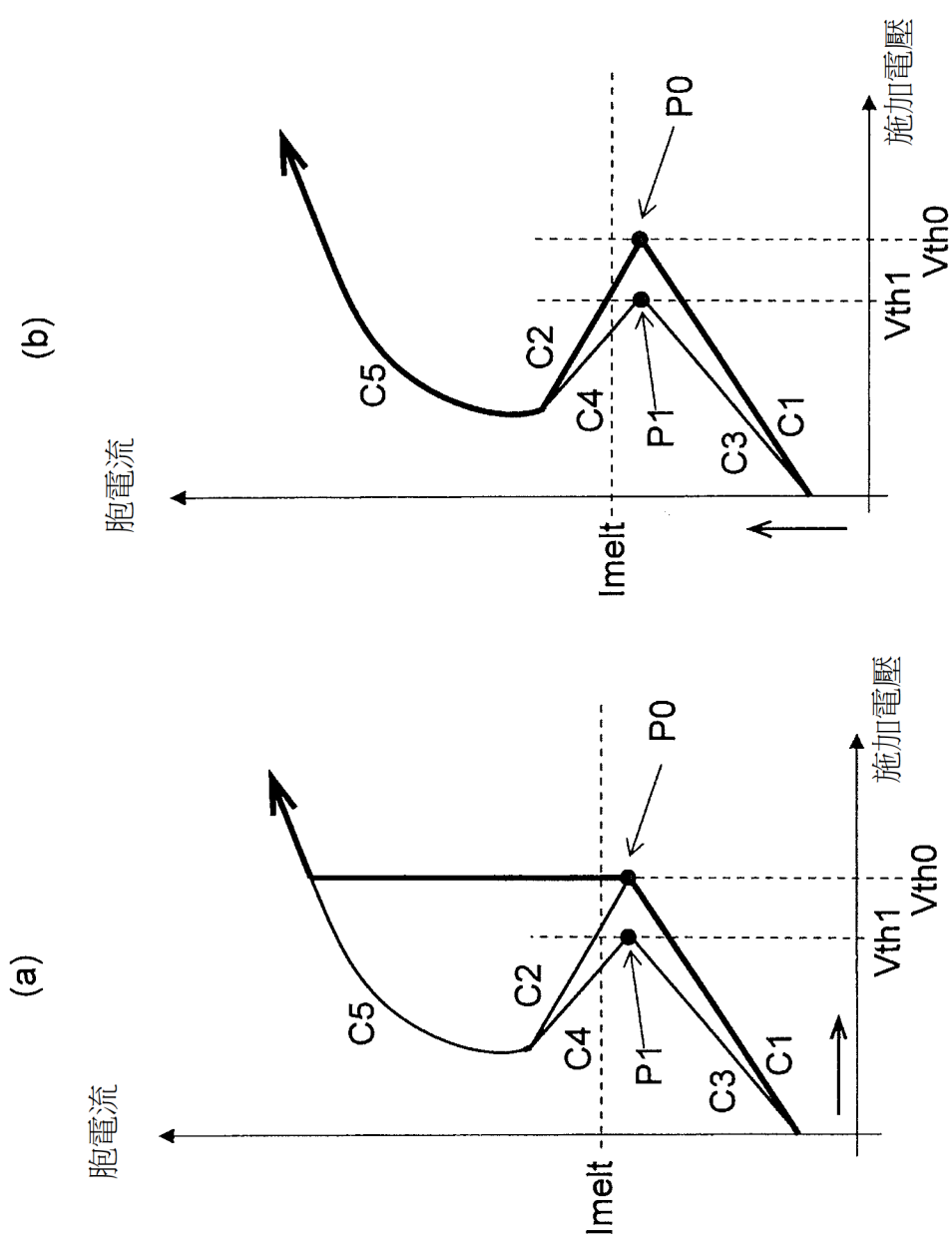
【圖2】



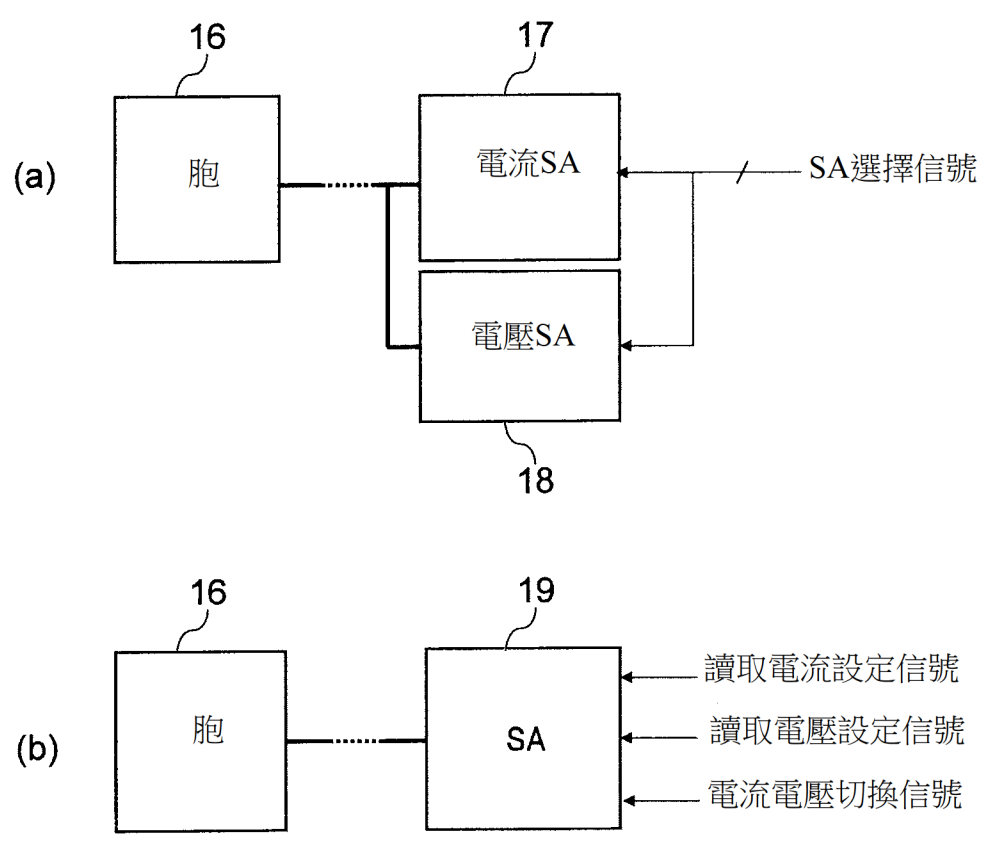
【圖3】



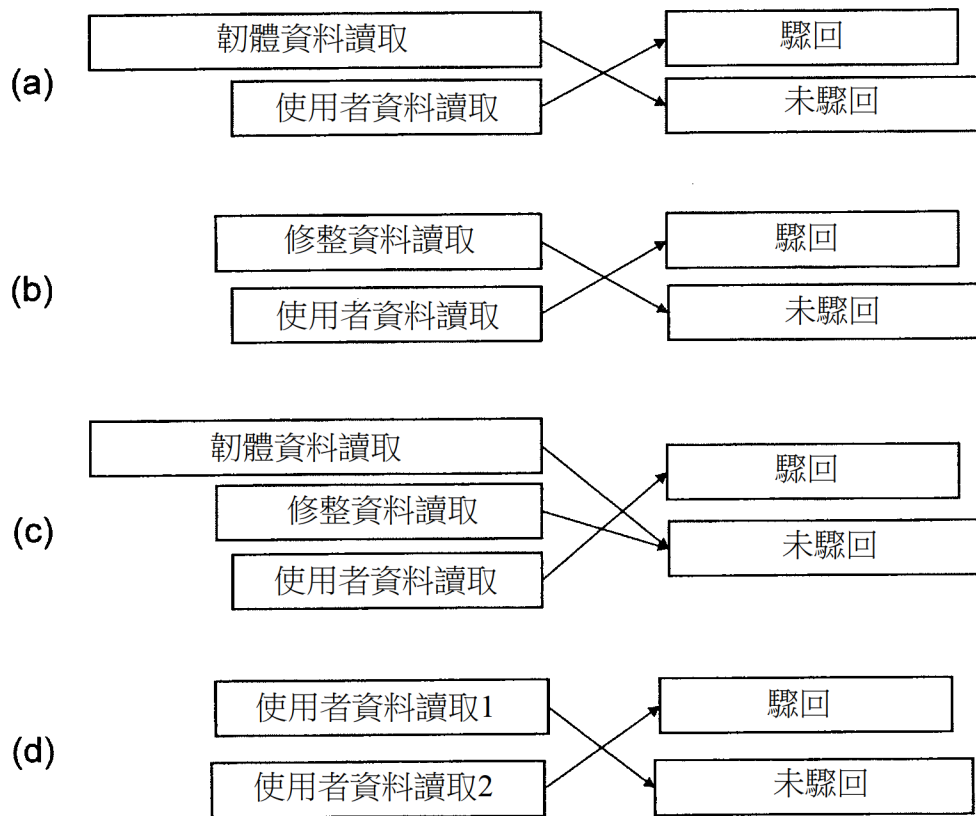
【圖4】



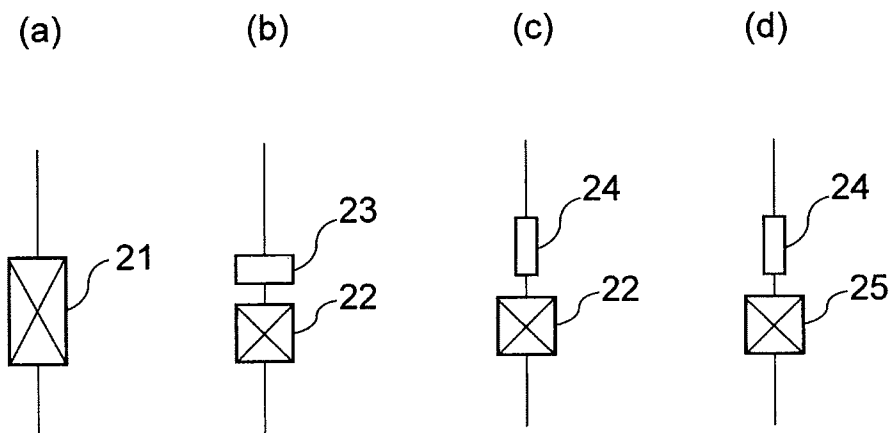
【圖5】



【圖6】



【圖7】



【圖8】