(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 9 月 21 日(21.09.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/158478 A1

(51) 国際特許分類:
H04N 5/374 (2011.01) *H01L 29/786* (2006.01)
H01L 27/146 (2006.01) *H04N 5/378* (2011.01)

(21) 国際出願番号: PCT/IB2017/051375

(22) 国際出願日: 2017 年 3 月 9 日(09.03.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-055039 2016 年 3 月 18 日(18.03.2016) JP

(71) 出願人: 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷３９８ Kanagawa (JP).

(72) 発明者: 中川貴史 (NAKAGAWA, Takashi); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 上妻宗広 (KOZUMA, Munehiro); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 黒川義元 (KUROKAWA, Yoshiyuki); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 池田隆之 (IKEDA, Takayuki); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

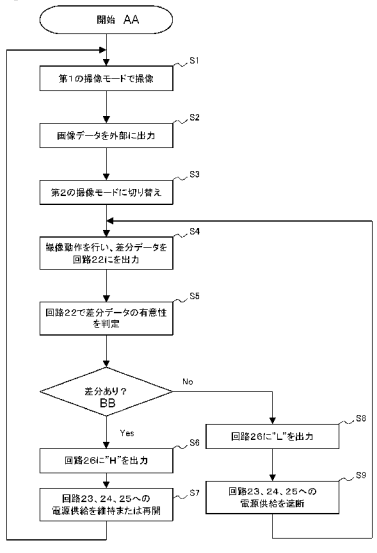
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

[続葉有]

(54) **Title**: IMAGING DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称 : 撮像装置および電子機器

[図39]



S1 Capture image in first imaging mode
S2 Output image data to exterior
S3 Switch to second imaging mode
S4 Perform imaging operation, output differential data to circuit 22
S5 Determine significance of differential data in circuit 22
S6 Output "H" to circuit 26
S7 Maintain or resume power supply to circuits 23, 24, 25
S8 Output "L" to circuit 26
S9 Shut off power supply to circuits 23, 24, 25
AA Start
BB Is there a difference?

(57) **Abstract**: Provided is an imaging device with low power consumption. The imaging device is provided with pixels capable of outputting the differential data between two different frames, a circuit for determining the significance of the differential data, a circuit for controlling a power supply, and an A/D converter. Differential data is acquired after acquiring image data. If no difference is determined in the differential data, power supply to the A/D converter is shut off. If a difference is determined in the differential data, power supply to the A/D converter is continued or resumed. The determination of the significance of the differential data can be performed approximately simultaneously for each row of the pixel array or for all of the pixels provided to the pixel array.

(57) 要約: 要約書 低消費電力の撮像装置を提供する。 異なる２つのフレーム間における差分データを出力することができる画素と、当該差分データの有意 性を判定する回路と、 電源供給を制御する回路と、 Ａ／Ｄコンバータ等を有し、 画像データを取得し た後、 差分データを取得し、 差分なしと判定された場合は、 Ａ／Ｄコンバータ等への電源供給を遮断し、 差分ありと判定された場合は、 Ａ／Ｄコンバータ等への電源供給を継続または再開する。 当該差 分データの有意性を判定は、 画素アレイの行毎、 または画素アレイが有する画素全体で略同時に行う ことができる。

WO 2017/158478 A1

ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明細書

発明の名称

撮像装置および電子機器

技術分野

［０００１］

本発明の一態様は、撮像装置に関する。

［０００２］

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの動作方法、または、それらの製造方法、を一例として挙げることができる。

［０００３］

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

背景技術

［０００４］

トランジスタに適用可能な半導体材料として酸化物半導体が注目されている。例えば、酸化物半導体を有するトランジスタを画素回路の一部に用いる構成の撮像装置が特許文献１に開示されている。

［０００５］

また、異なる２つのフレーム間の差分電位を出力することができる画素回路を有する撮像装置が特許文献２に開示されている。

［先行技術文献］

［特許文献］

［０００６］

［特許文献１］特開２０１１－１１９７１１号公報

［特許文献２］特開２０１３－２１１８４０号公報

発明の概要

発明が解決しようとする課題

［０００７］

ＣＭＯＳ（ｃｏｍｐｌｅｍｅｎｔａｒｙ ｍｅｔａｌ ｏｘｉｄｅ ｓｅｍｉｃｏｎｄｕｃｔｏｒ）イメージセンサでは、一般的に画素アレイの列毎にＡ／Ｄコンバータを設ける構成が用いられている。当該構成とすることでアナログーデジタル変換の並列処理を行うことができ、処理時間を短縮することができる。Ａ／Ｄコンバータで変換されたデジタルデータは、列選択回路によって順次読み出すことができる。

［０００８］

監視カメラなどでは、変化が少ない被写体の撮像を目的とする場合がある。このような被写体を連続

して撮像すると、連続する数フレームにおいては出力データに変化がない画素が多数となる。つまり、当該数フレームにおいては、同一画素における差分データは”０”となることが多い。

［０００９］

差分データが”０”である場合は、出力先の画像データを書き換える動作、または画像データを記録する動作を省くことができる。このとき、Ａ／Ｄコンバータや列選択回路の動作を停止し省電力化することが望ましい。

［００１０］

本発明の一態様では、低消費電力の撮像装置を提供することを目的の一つとする。または、異なる２つのフレーム間における差分の有無を判定する回路を有する撮像装置を提供することを目的の一つとする。または、高速動作に適した撮像装置を提供することを目的の一つとする。または、解像度の高い撮像装置を提供することを目的の一つとする。または、低照度下で撮像することができる撮像装置を提供することを目的の一つとする。または、広い温度範囲において使用可能な撮像装置を提供することを目的の一つとする。または、高開口率の撮像装置を提供することを目的の一つとする。または、信頼性の高い撮像装置を提供することを目的の一つとする。または、新規な撮像装置などを提供することを目的の一つとする。または、上記撮像装置の動作方法を提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

［００１１］

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

［００１２］

本発明の一態様は、異なる２つのフレーム間における有意な差分の有無を判定する回路を有する撮像装置に関する。

［００１３］

本発明の一態様は、第１の画素回路と、第２の画素回路と、第１の回路と、第２の回路と、第３の回路と、第４の回路と、第５の回路と、第１の配線と、を有する撮像装置であって、第１の画素回路は、第１の回路と電気的に接続され、第１の画素回路は、第４の回路と電気的に接続され、第２の画素回路は、第２の回路と電気的に接続され、第２の画素回路は、第５の回路と電気的に接続され、第１の回路は、第１の配線と電気的に接続され、第２の回路は、第１の配線と電気的に接続され、第１の配線は、記第３の回路と電気的に接続され、第３の回路は、第４の回路と電気的に接続され、第３の回路は、第５の回路と電気的に接続され、第１および第２の画素回路は、アナログ信号を出力する機能を有し、第１および第２の画素回路は、異なる二つのフレーム間の差分電位を出力する機能を有し、第１および第２の回路は、差分電位が第１の電位以上の場合に第３の電位を第１の配線に出力する機能を有し、第１および第２の回路は、差分電位が第２の電位以下の場合に第３の電位を第１の配線に出力する機能を有し、第１および第２の回路は、差分電位が第２の電位より大きく、第１より小さい場合に第４の電位を第１の配線に出力する機能を有し、第３の回路は、第４および第５の回路へ電源を供給する機能を有し、第４および第５の回路は、アナログ信号をデジタル信号に変換する機能を有

し、第３の回路は、第１の配線が第３の電位のときに第４および第５の回路への電源供給を行い、第１の配線が第４の電位のときに第４および第５の回路への電源供給を行わない機能を有することを特徴とする撮像装置である。

［００１４］

さらに、第６の回路と、第７の回路と、を有し、第６の回路は、第１および第２の画素回路と電気的に接続され、第７の回路は、第４および第５の回路と電気的に接続され、第６の回路は、第３の回路と電気的に接続され、第７の回路は、第３の回路と電気的に接続され、第６の回路は、第１および第２の画素回路を選択する機能を有し、第７の回路（は、第４または第５の回路を選択する機能を有し、第３の回路は、第１の配線が第３の電位のときに第７の回路への電源供給を行い、第１の配線が第４の電位のときに第７の回路への電源供給を行わない機能を有していてもよい。

［００１５］

さらに、第８の回路と、第２の配線と、を有し、第８の回路は、第２の配線と電気的に接続され、第８の回路は、第６の回路と電気的に接続され、第８の回路は、第１および第２の画素回路と電気的に接続され、第８の回路は、第６の回路と第１および第２の画素回路とを導通させる機能を有し、第８の回路は、第２の配線が第５の電位のときに第６の回路と第１および第２の画素回路とを導通させ、第２の配線が第６の電位のときに第６の回路と第１および第２の画素回路とを非導通にさせる機能を有し、第８の回路は、第２の配線が第６の電位のときに第１および第２の画素回路を選択する機能を有していてもよい。

［００１６］

第１および第２の画素回路は、光電変換素子、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、容量素子と、を有し、光電変換素子の一方の電極は第１のトランジスタのソースまたはドレインの一方と電気的に接続され、第１のトランジスタのソースまたはドレインの他方は第２のトランジスタのソースまたはドレインの他方と電気的に接続され、第１のトランジスタのソースまたはドレインの他方は容量素子の一方の電極と電気的に接続され、容量素子の他方の電極は第３のトランジスタのソースまたはドレインの他方と電気的に接続され、容量素子の他方の電極は第４のトランジスタのゲートと電気的に接続され、第４のトランジスタのソースまたはドレインの一方は第５のトランジスタのソースまたはドレインの一方と電気的に接続されている構成とすることができる。

［００１７］

第１乃至第３のトランジスタはチャネル形成領域に酸化物半導体を有し、酸化物半導体は、Ｉｎと、Ｚｎと、Ｍ（MはＡｌ、Ｇａ、YまたはＳｎ）と、を有することが好ましい。

発明の効果

［００１８］

本発明の一態様を用いることで、低消費電力の撮像装置を提供することができる。または、異なる２つのフレーム間における差分の有無を判定する回路を有する撮像装置を提供することができる。または、高速動作に適した撮像装置を提供することができる。または、解像度の高い撮像装置を提供することができる。または、低照度下で撮像することができる撮像装置を提供することができる。または、広い温度範囲において使用可能な撮像装置を提供することができる。または、高開口率の撮像装置を提供することができる。または、信頼性の高い撮像装置を提供することができる。または、新規な撮

像装置などを提供することができる。または、上記撮像装置の動作方法を提供することができる。または、新規な半導体装置などを提供することができる。

［００１９］

なお、本発明の一態様はこれらの効果に限定されるものではない。例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果以外の効果を有する場合もある。または、例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果を有さない場合もある。

図面の簡単な説明

［００２０］

［図１］撮像装置を説明するブロック図。

［図２］撮像装置を説明するブロック図および回路図。

［図３］差分データを判定する回路を説明する図。

［図４］差分データを判定する回路の動作を説明するタイミングチャート。

［図５］差分データを判定する回路を説明する図。

［図６］差分データを判定する回路の動作を説明するタイミングチャート。

［図７］差分データを判定する回路を説明する図。

［図８］差分データを判定する回路を説明する図。

［図９］差分データを判定する回路の動作を説明するタイミングチャート。

［図１０］画素を説明する回路図。

［図１１］画素の動作を説明するタイミングチャート。

［図１２］画素の動作を説明するタイミングチャート。

［図１３］撮像装置の構成を説明する断面図。

［図１４］撮像装置の構成を説明する断面図。

［図１５］光電変換素子の接続形態を説明する断面図。

［図１６］光電変換素子の接続形態を説明する断面図。

［図１７］撮像装置の構成を説明する断面図。

［図１８］光電変換素子の接続形態を説明する断面図。

［図１９］撮像装置の構成を説明する断面図。

［図２０］撮像装置の構成を説明する断面図。

［図２１］撮像装置の構成を説明する断面図。

［図２２］撮像装置の構成を説明する断面図。

［図２３］撮像装置の構成を説明する断面図。

［図２４］撮像装置の構成を説明する断面図。

［図２５］トランジスタを説明する上面図および断面図。

［図２６］トランジスタを説明する上面図および断面図。

［図２７］トランジスタを説明する上面図および断面図。

［図２８］トランジスタを説明する上面図および断面図。

［図２９］トランジスタを説明する上面図および断面図。

［図３０］トランジスタを説明する上面図および断面図。

［図３１］トランジスタを説明する上面図および断面図。

［図３２］トランジスタを説明する上面図および断面図。

［図３３］酸化物半導体の原子数比の範囲を説明する図。

［図３４］$InMZnO_4$の結晶を説明する図。

［図３５］酸化物半導体の積層構造におけるバンド図。

［図３６］撮像装置を収めたパッケージの斜視図および断面図。

［図３７］撮像装置を収めたパッケージの斜視図および断面図。

［図３８］電子機器を説明する図。

［図３９］撮像装置の動作方法を説明するフローチャート。

発明を実施するための形態

［００２１］

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

［００２２］

なお、第１、第２として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第１の」を「第２の」または「第３の」などと適宜置き換えて説明することができる。また、本明細書などに記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

［００２３］

例えば、本明細書等において、ＸとＹとが接続されている、と明示的に記載されている場合は、ＸとＹとが電気的に接続されている場合と、ＸとＹとが機能的に接続されている場合と、ＸとＹとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

［００２４］

ここで、Ｘ、Ｙは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

［００２５］

ＸとＹとが直接的に接続されている場合の一例としては、ＸとＹとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、ＸとＹとの間に接続されていない場合であり、ＸとＹとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、ＸとＹとが、接続されている場合である。

［００２６］

ＸとＹとが電気的に接続されている場合の一例としては、ＸとＹとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発

光素子、負荷など）が、ＸとＹとの間に１個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、ＸとＹとが電気的に接続されている場合は、ＸとＹとが直接的に接続されている場合を含むものとする。

［００２７］

ＸとＹとが機能的に接続されている場合の一例としては、ＸとＹとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、ＮＡＮＤ回路、ＮＯＲ回路など）、信号変換回路（Ｄ／Ａ変換回路、Ａ／Ｄ変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、ＸとＹとの間に１個以上接続されることが可能である。なお、一例として、ＸとＹとの間に別の回路を挟んでいても、Ｘから出力された信号がＹへ伝達される場合は、ＸとＹとは機能的に接続されているものとする。なお、ＸとＹとが機能的に接続されている場合は、ＸとＹとが直接的に接続されている場合と、ＸとＹとが電気的に接続されている場合とを含むものとする。

［００２８］

なお、ＸとＹとが電気的に接続されている、と明示的に記載されている場合は、ＸとＹとが電気的に接続されている場合（つまり、ＸとＹとの間に別の素子または別の回路を挟んで接続されている場合）と、ＸとＹとが機能的に接続されている場合（つまり、ＸとＹとの間に別の回路を挟んで機能的に接続されている場合）と、ＸとＹとが直接接続されている場合（つまり、ＸとＹとの間に別の素子または別の回路を挟まずに接続されている場合）とが、本明細書等に開示されているものとする。つまり、電気的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に開示されているものとする。

［００２９］

なお、例えば、トランジスタのソース（または第１の端子など）が、Ｚ１を介して（または介さず）、Ｘと電気的に接続され、トランジスタのドレイン（または第２の端子など）が、Ｚ２を介して（または介さず）、Ｙと電気的に接続されている場合や、トランジスタのソース（または第１の端子など）が、Ｚ１の一部と直接的に接続され、Ｚ１の別の一部がＸと直接的に接続され、トランジスタのドレイン（または第２の端子など）が、Ｚ２の一部と直接的に接続され、Ｚ２の別の一部がＹと直接的に接続されている場合では、以下のように表現することが出来る。

［００３０］

例えば、「ＸとＹとトランジスタのソース（または第１の端子など）とドレイン（または第２の端子など）とは、互いに電気的に接続されており、Ｘ、トランジスタのソース（または第１の端子など）、トランジスタのドレイン（または第２の端子など）、Ｙの順序で電気的に接続されている。」と表現することができる。または、「トランジスタのソース（または第１の端子など）は、Ｘと電気的に接続され、トランジスタのドレイン（または第２の端子など）はＹと電気的に接続され、Ｘ、トランジスタのソース（または第１の端子など）、トランジスタのドレイン（または第２の端子など）、Ｙは、この順序で電気的に接続されている」と表現することができる。または、「Ｘは、トランジスタのソー

ス（または第１の端子など）とドレイン（または第２の端子など）とを介して、Ｙと電気的に接続され、Ｘ、トランジスタのソース（または第１の端子など）、トランジスタのドレイン（または第２の端子など）、Ｙは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（または第１の端子など）と、ドレイン（または第２の端子など）とを、区別して、技術的範囲を決定することができる。

［００３１］

または、別の表現方法として、例えば、「トランジスタのソース（または第１の端子など）は、少なくとも第１の接続経路を介して、Ｘと電気的に接続され、前記第１の接続経路は、第２の接続経路を有しておらず、前記第２の接続経路は、トランジスタを介した、トランジスタのソース（または第１の端子など）とトランジスタのドレイン（または第２の端子など）との間の経路であり、前記第１の接続経路は、Ｚ１を介した経路であり、トランジスタのドレイン（または第２の端子など）は、少なくとも第３の接続経路を介して、Ｙと電気的に接続され、前記第３の接続経路は、前記第２の接続経路を有しておらず、前記第３の接続経路は、Ｚ２を介した経路である。」と表現することができる。または、「トランジスタのソース（または第１の端子など）は、少なくとも第１の接続経路によって、Ｚ１を介して、Ｘと電気的に接続され、前記第１の接続経路は、第２の接続経路を有しておらず、前記第２の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（または第２の端子など）は、少なくとも第３の接続経路によって、Ｚ２を介して、Ｙと電気的に接続され、前記第３の接続経路は、前記第２の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（または第１の端子など）は、少なくとも第１の電気的パスによって、Ｚ１を介して、Ｘと電気的に接続され、前記第１の電気的パスは、第２の電気的パスを有しておらず、前記第２の電気的パスは、トランジスタのソース（または第１の端子など）からトランジスタのドレイン（または第２の端子など）への電気的パスであり、トランジスタのドレイン（または第２の端子など）は、少なくとも第３の電気的パスによって、Ｚ２を介して、Ｙと電気的に接続され、前記第３の電気的パスは、第４の電気的パスを有しておらず、前記第４の電気的パスは、トランジスタのドレイン（または第２の端子など）からトランジスタのソース（または第１の端子など）への電気的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（または第１の端子など）と、ドレイン（または第２の端子など）とを、区別して、技術的範囲を決定することができる。

［００３２］

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、Ｘ、Ｙ、Ｚ１、Ｚ２は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

［００３３］

なお、回路図上は独立している構成要素同士が電気的に接続しているように図示されている場合であっても、１つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、および電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

［００３４］

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

［００３５］

なお、一般的に、電位（電圧）は、相対的なものであり、基準の電位からの相対的な大きさによって大きさが決定される。したがって、「接地」「ＧＮＤ」「グラウンド」などと記載されている場合であっても、必ずしも、電位が０ボルトであるとは限らないものとする。例えば、回路で最も低い電位を基準として、「接地」や「ＧＮＤ」を定義する場合もある。または、回路で中間くらいの電位を基準として、「接地」や「ＧＮＤ」を定義する場合もある。その場合には、その電位を基準として、正の電位と負の電位が規定されることとなる。

［００３６］

（実施の形態１）

本実施の形態では、本発明の一態様である撮像装置について、図面を参照して説明する。

［００３７］

本発明の一態様は、異なる２つのフレーム間における有意な差分の有無を判定する回路を有する撮像装置の構成および動作方法である。

［００３８］

撮像装置は、差分データを出力することができる画素と、当該差分データを判定する回路と、電源供給を制御する回路と、Ａ／Ｄコンバータ等を有する。

［００３９］

当該構成により、有意な差分の有無を高速に判定することができる。差分なしと判定された場合は、Ａ／Ｄコンバータ等への電源供給を遮断し、電力消費を抑えることができる。

［００４０］

画素回路には酸化物半導体を活性層とするトランジスタ（以下、ＯＳトランジスタ）を用いることが好ましい。ＯＳトランジスタはオフ電流が小さく、画素回路内にデータを保持するメモリを簡易に構成することができる。

［００４１］

図１は、本発明の一態様の撮像装置のブロック図である。当該撮像装置は、画素アレイ２１と、回路２２と、回路２３と、回路２４と、回路２５と、回路２６を有する。

［００４２］

画素アレイ２１は、画素２０を有する。画素２０は、例えばm行ｎ列（m、ｎは１以上の自然数）のマトリクス状に配置することができる。画素２０は、画像データまたは異なる二つのフレームの差分データを電気的に接続された配線９１（ＯＵＴ１）に出力することができる。

［００４３］

回路２２は列毎に一つ設けられ、配線９１（ＯＵＴ１）と電気的に接続される。回路２２は、画素２０が出力する差分データの有意性を判定する機能を有することができる。なお、差分データが有意であるとは、当該差分データが差分ありと判定できる値以上であることを意味する。当該値は実施者が任意に設定することができる。

［００４４］

例えば、差分データが差分なしと判定された場合、回路２２はローレベル電位（以下、“Ｌ”）を配線９２（ＯＵＴ２）に出力する。また、差分データが差分ありと判定された場合、回路２２はハイレベル電位（以下、“Ｈ”）を配線９２（ＯＵＴ２）に出力する。なお、差分の有無の判定結果として出力される信号の論理は逆であってもよい。

［００４５］

回路２３は、画素２０を行毎に選択するロードライバとしての機能を有することができる。回路２３で選択状態とされた画素２０から、画像データまたは差分データが配線９１（ＯＵＴ１）に出力される。回路２３には、例えばシフトレジスタなどを用いることができる。

［００４６］

回路２４は、配線９１（ＯＵＴ１）と電気的に接続される。回路２４は、画素２０が出力するアナログ信号の画像データをデジタル信号に変換する機能を有することができる。回路２４には、例えばＡ／Ｄコンバータなどを用いることができる。回路２４は列毎に設けることができる。

［００４７］

回路２５は、列毎に設けられた回路２４を順次選択するカラムドライバとしての機能を有することができる。回路２５で選択された回路２４から、画像データに相当するデジタル信号が配線９３（ＯＵＴ３）に出力される。回路２５には、例えばシフトレジスタなどを用いることができる。

［００４８］

回路２６は、回路２４、回路２５などの周辺回路および配線９２（ＯＵＴ２）と電気的に接続される。回路２６は、配線９２（ＯＵＴ２）から入力される信号電位に従って、回路２４および回路２５に対する電源供給を制御する機能を有することができる。

［００４９］

当該信号電位が“Ｌ”であるとき、すなわち回路２２が差分なしと判定したとき、撮像装置が表示装置や記録装置などに出力した画像データを書き換える動作または記録する動作などを省くことができる。したがって、差分なしと判定されたとき、回路２６によって回路２４および回路２５への電源供給を遮断する制御を行い、電力消費を抑えることが好ましい。

［００５０］

また、当該信号電位が“Ｈ”であるとき、すなわち回路２２によって差分ありと判定されたとき、撮像装置は新たな画像データを取得し、出力先の画像データを書き換える動作または記録する動作などを行う。したがって、差分ありと判定されたとき、回路２６によって回路２４および回路２５への電源供給を継続または再開する制御を行い、画素２０から画像データを読み出す。

［００５１］

なお、回路２６は、配線９２（ＯＵＴ２）の電位に従って回路２４および回路２５などへの電源供給を制御できる機能を有していればよい。したがって、回路２６の機能は他の回路が有していてもよい。また、回路２６を設けず、当該機能にかかわる動作をソフトウェアを用いて行ってもよい。

［００５２］

また、本発明の一態様の撮像装置は、図２（Ａ）に示す構成であってもよい。当該撮像装置は、回路２７を有する点が図１に示す撮像装置と異なる。

［００５３］

回路２７は行毎に設けられ、配線９０（ＲＤＳＥ）と電気的に接続される。また、回路２７は、回路２３と画素２０とを接続する行配線に電気的に接続される。回路２７は、回路２３と画素２０との導通を制御する機能を有することができる。また、回路２７は、画素アレイ２１が有する全ての画素２０を選択状態とすることもできる。

［００５４］

図２（Ｂ）は、回路２７の具体的な構成の一例であり、ｐ－ｃｈ型トランジスタおよびｎ－ｃｈ型トランジスタを有する。ｐ－ｃｈ型トランジスタのソースまたはドレインの一方は回路２３と電気的に接続され、ソースまたはドレインの他方は画素２０と電気的に接続される。ｎ－ｃｈ型トランジスタのソースまたはドレインの一方は高電位電源線（ＶＤＤ）と電気的に接続され、ソースまたはドレインの他方は画素２０と電気的に接続される。ｐ－ｃｈ型トランジスタおよびｎ－ｃｈ型トランジスタのそれぞれのゲートは、配線９０（ＲＤＳＥ）と電気的に接続される。

［００５５］

回路２７は、配線９０（ＲＤＳＥ）にから入力される信号電位によって、回路２３の使用の有無を選択することができる。

［００５６］

配線９０（ＲＤＳＥ）の電位が“Ｌ”であるとき、ｐ－ｃｈ型トランジスタはオン状態、ｎ－ｃｈ型トランジスタはオフ状態となり、回路２３と画素２０は導通状態となる。すなわち、回路２３を使用する動作モードとなり、図１に示す撮像装置と同様の動作を行うことができる。

［００５７］

配線９０（ＲＤＳＥ）の電位が“Ｈ”であるとき、ｐ－ｃｈ型トランジスタはオフ状態となり、回路２３と画素２０は非導通状態となる。すなわち、回路２３を使用しない動作モードとすることができる。また、ｎ－ｃｈ型トランジスタはオン状態となり、全ての画素２０には高電位電源線（ＶＤＤ）から“Ｈ”が供給される。すなわち、全ての画素２０が選択状態となる。なお、回路２７の別の構成として、回路２３の出力信号と配線９０の信号とを入力信号とし、画素２０への信号を出力信号とする論理和回路とすることができる。

［００５８］

一つの配線９１（ＯＵＴ１）には一列分の画素２０が電気的に接続されているため、差分データを取得しているときに、列方向のいずれかの画素２０で有意な差分電位が出力できれば、回路２２で差分ありの判定を行うことができる。また、列毎に設けられた各回路２２は、配線９２（ＯＵＴ２）を共通した出力線としていることから、いずれかの回路２２で差分ありの判定が出れば配線９２（ＯＵＴ２）の電位は“Ｈ”となる。すなわち、全ての画素２０を対象として略同時に差分の有無の判定を行うことができる。

［００５９］

また、回路２３を使用しない動作モードのとき、回路２６は、配線９２（ＯＵＴ２）から入力される信号電位によって、回路２４および回路２５に加えて回路２３に対しても電源供給の制御を行ってもよい。

［００６０］

当該信号電位が“Ｌ”であるとき、すなわち回路２２が差分なしと判定したとき、回路２６は回路２３、回路２４および回路２５に対して電源供給を遮断する制御を行う。当該信号電位が“Ｈ”である

とき、すなわち回路２２が差分ありと判定したとき、回路２６は回路２３、回路２４および回路２５に対して電源供給を継続または再開する制御を行う。

［００６１］

なお、回路２２が出力する論理信号に従って回路２７が適切に動作する構成とすれば、配線９０（ＲＤＳＥ）は配線９１（ＯＵＴ１）と電気的に接続することができる。

［００６２］

図３は、回路２２の構成の一例である。回路２２［１］および配線９１（ＯＵＴ１）［１］は１列目に設けられる回路２２および配線９１（ＯＵＴ１）を意味する。なお、図３では、全ての配線９１（ＯＵＴ１）に回路２２を設ける構成を例示しているが、数列毎、数十列毎または数百列毎などに回路２２を設けてもよい。すなわち、差分データを検出しない列があってもよい。

［００６３］

回路２２は、トランジスタ５１と、トランジスタ５２と、トランジスタ５３と、トランジスタ５４と、コンパレータ回路３１と、コンパレータ回路３２を有する構成とすることができる。なお、図３ではトランジスタ５１、５４の極性をｎ－ｃｈ型、トランジスタ５２、５３の極性をｐ－ｃｈ型としているが、動作条件を変更することによりトランジスタの極性は入れ替えることができる。

［００６４］

トランジスタ５１のソースまたはドレインの一方は、配線９１（ＯＵＴ１）と電気的に接続される。トランジスタ５１のソースまたはドレインの他方は、コンパレータ回路３１の一方の入力端子と電気的に接続される。トランジスタ５１のソースまたはドレインの他方は、コンパレータ回路３２の他方の入力端子と電気的に接続される。コンパレータ回路３１の出力端子は、トランジスタ５２のゲートと電気的に接続される。コンパレータ回路３２の出力端子は、トランジスタ５３のゲートと電気的に接続される。トランジスタ５２のソースまたはドレインの一方は、トランジスタ５４のソースまたはドレインの一方と電気的に接続される。トランジスタ５３のソースまたはドレインの一方は、トランジスタ５４のソースまたはドレインの一方と電気的に接続される。トランジスタ５４のソースまたはドレインの一方は、配線９２（ＯＵＴ２）に電気的に接続される。

［００６５］

コンパレータ回路３１の他方の入力端子には、差分データの有意性を判定する電圧の上限または下限の一方（例えば、Ｖｒｅｆ－）が供給される。コンパレータ回路３２の一方の入力端子には、差分データの有意性を判定する電圧の上限または下限の他方（例えば、Ｖｒｅｆ＋）が供給される。トランジスタ５２のソースまたはドレインの他方およびトランジスタ５３のソースまたはドレインの他方には、高電位（例えば、ＶＤＤ）が供給される。トランジスタ５４のソースまたはドレインの他方には、低電位（例えば、ＧＮＤ）が供給される。

［００６６］

トランジスタ５１のゲートは配線６５（ＳＥＴ）と電気的に接続される。トランジスタ５４のゲートは配線６６（ＲＥＳ）と電気的に接続される。配線６５（ＳＥＴ）および配線６６（ＲＥＳ）は、それぞれに接続されるトランジスタの導通を制御する信号線としての機能を有することができる。

［００６７］

コンパレータ回路３１、３２の電源入力端子には、回路動作の制御が可能な一定の高電位電源（ＢＩＡＳ）が供給される。また、トランジスタ５１のソースまたはドレインの他方、コンパレータ回路３

１の一方の入力端子およびコンパレータ回路３２の他方の入力端子が接続される配線をノードＮＤ１とする。コンパレータ回路３１の出力端子およびトランジスタ５２のゲートが接続される配線をノードＮＤ２とする。コンパレータ回路３２の出力端子およびトランジスタ５３のゲートが接続される配線をノードＮＤ３とする。

［００６８］

上記構成では、画素２０から出力される差分データをコンパレータ回路３１、３２に入力することができる。コンパレータ回路３１、３２には差分データの有意性を判定する電圧の上限または下限が設定されており、回路２２は差分の有無によって論理の異なる信号を出力することができる。

［００６９］

次に、図４に示すタイミングチャートを用いて、回路２２の動作を説明する。

［００７０］

期間Ｔ０は配線９２（ＯＵＴ２）の電位を“Ｌ”とするリセット動作の期間である。期間Ｔ０において、配線６６（ＲＥＳ）の電位を“Ｈ”とすると、配線９２（ＯＵＴ２）の電位は“Ｌ”にリセットされる。

［００７１］

期間Ｔ１は画素２０が出力する差分データがコンパレータ回路３１、３２に設定された上下限値内である場合、すなわち、差分なしと判定される場合の動作を例示している。

［００７２］

期間Ｔ１において、配線６５（ＳＥＴ）の電位を“Ｈ”とすると、配線９１（ＯＵＴ１）に接続された画素２０から差分データがノードＮＤ１に入力される。このとき、ノードＮＤ１の電位はＶｒｅｆ－とＶｒｅｆ＋との間のレベルであるため、コンパレータ回路３１はノードＮＤ２に“Ｈ”を出力し、コンパレータ回路３２はノードＮＤ３に“Ｈ”を出力する。したがって、トランジスタ５２およびトランジスタ５３はオフ状態となるため、配線９２（ＯＵＴ２）の電位は“Ｌ”となる。ここで、配線９２（ＯＵＴ２）の電位が“Ｌ”となることは、差分なしを意味する。

［００７３］

期間Ｔ２は画素２０が出力する差分データがコンパレータ回路３１に設定された上限値を上回っている場合、すなわち、差分ありと判定される場合の動作を例示している。

［００７４］

期間Ｔ２において、配線６５（ＳＥＴ）の電位を“Ｈ”とすると、配線９１（ＯＵＴ１）に接続された画素２０から差分データがノードＮＤ１に入力される。このとき、ノードＮＤ１の電位がＶｒｅｆ＋より高いレベルであるため、コンパレータ回路３１はノードＮＤ２に“Ｌ”を出力し、コンパレータ回路３２はノードＮＤ３に“Ｈ”を出力する。したがって、トランジスタ５２はオン状態となり、トランジスタ５３はオフ状態となるため、配線９２（ＯＵＴ２）の電位は“Ｈ”となる。ここで、配線９２（ＯＵＴ２）の電位が“Ｈ”となることは、差分ありを意味する。

［００７５］

期間Ｔ３は画素２０が出力する差分データがコンパレータ回路３２に設定された下限値を下回っている場合、すなわち、差分ありと判定される場合の動作を例示している。

［００７６］

期間Ｔ３において、配線６５（ＳＥＴ）の電位を“Ｈ”とすると、配線９１（ＯＵＴ１）に接続され

た画素２０から差分データがノードＮＤ１に入力される。このとき、ノードＮＤ１の電位がＶｒｅｆーより低いレベルであるため、コンパレータ回路３１はノードＮＤ２に“H”を出力し、コンパレータ回路３２はノードＮＤ３に“Ｌ”を出力する。したがって、トランジスタ５２はオフ状態となり、トランジスタ５３はオン状態となるため、配線９２（ＯＵＴ２）の電位は“H”となる。ここで、配線９２（ＯＵＴ２）の電位が“H”となることは、差分ありを意味する。

［００７７］

図１に示す構成に図３の回路を適用した場合、期間Ｔ１などに例示した差分の判定動作は、回路２３による行選択動作にあわせて行えばよい。つまり、１フレーム期間に最大行数分だけの判定動作を行う。なお、配線６５（ＳＥＴ）の電位を制御することで、数行毎、数十行毎または数百行毎などに差分の判定動作を行うこともできる。また、画素アレイ２１の一部の領域、例えば中央付近の行のみなどにおいて、重点的に差分の判定動作を行うこともできる。

［００７８］

図２に示す構成に図３の回路を適用した場合、回路２７で全ての画素２０を選択状態とし、全ての画素２０から略同時に差分データを回路２２に入力できることから、１フレーム期間に行う判定動作の回数は任意となる。

［００７９］

図５は、図３とは異なる回路２２の構成の一例である。図３では、全ての配線９１（ＯＵＴ１）に回路２２を設ける構成を例示しているが、数列毎、数十列毎または数百列毎などに回路２２を設けてもよい。また、当該回路２２は、回路２８と電気的に接続される。

［００８０］

図５に示す回路２２は、トランジスタ５１と、トランジスタ５２と、トランジスタ５３と、トランジスタ５４と、コンパレータ回路３１と、コンパレータ回路３２と、ＮＡＮＤ回路３３と、ＮＡＮＤ回路３４を有する構成とすることができる。なお、図５ではトランジスタ５１、５４の極性をｎ－ｃｈ型、トランジスタ５２、５３の極性をｐ－ｃｈ型としているが、動作条件を変更することによりトランジスタの極性は入れ替えることができる。

［００８１］

トランジスタ５１のソースまたはドレインの一方は、配線９１（ＯＵＴ１）と電気的に接続される。トランジスタ５１のソースまたはドレインの他方は、コンパレータ回路３１の一方の入力端子と電気的に接続される。トランジスタ５１のソースまたはドレインの他方は、コンパレータ回路３２の他方の入力端子と電気的に接続される。コンパレータ回路３１の出力端子は、ＮＡＮＤ回路３３の一方の入力端子と電気的に接続される。コンパレータ回路３２の出力端子は、ＮＡＮＤ回路３４の一方の入力端子と電気的に接続される。ＮＡＮＤ回路３３の出力端子はトランジスタ５２のゲートと電気的に接続される。ＮＡＮＤ回路３４の出力端子は、トランジスタ５３のゲートと電気的に接続される。トランジスタ５２のソースまたはドレインの一方は、トランジスタ５４のソースまたはドレインの一方と電気的に接続される。トランジスタ５３のソースまたはドレインの一方は、トランジスタ５４のソースまたはドレインの一方と電気的に接続される。トランジスタ５４のソースまたはドレインの一方は、配線９２（ＯＵＴ２）に電気的に接続される。

［００８２］

コンパレータ回路３１の他方の入力端子には、差分データの有意性を判定する電圧の上限または下限

の一方（例えば、Ｖｒｅｆ＋）が供給される。コンパレータ回路３２の一方の入力端子には、差分データの有意性を判定する電圧の上限または下限の他方（例えば、Ｖｒｅｆ－）が供給される。トランジスタ５２のソースまたはドレインの他方およびトランジスタ５３のソースまたはドレインの他方には、高電位（例えば、ＶＤＤ）が供給される。トランジスタ５４のソースまたはドレインの他方には、低電位（例えば、ＧＮＤ）が供給される。

［００８３］

コンパレータ回路３１、３２には、回路２８を介して回路動作の制御が可能な一定の高電位電源（ＢＩＡＳ）または低電位（例えば、ＧＮＤ）が供給される。ＮＡＮＤ回路３３、３４の他方の入力端子には、回路２８を介して高電位（例えば、ＶＤＤ）または低電位（例えば、ＧＮＤ）が供給される。

［００８４］

また、トランジスタ５１のソースまたはドレインの他方、コンパレータ回路３１の一方の入力端子およびコンパレータ回路３２の他方の入力端子が接続される配線をノードＮＤ１とする。コンパレータ回路３１の出力端子およびＮＡＮＤ回路３３の一方の入力端子が接続される配線をノードＮＤ２とする。コンパレータ回路３２の出力端子およびＮＡＮＤ回路３４の一方の入力端子が接続される配線をノードＮＤ３とする。ＮＡＮＤ回路３３の出力端子およびトランジスタ５２のゲートが接続される配線をノードＮＤ４とする。ＮＡＮＤ回路３４の出力端子およびトランジスタ５３のゲートが接続される配線をノードＮＤ５とする。

［００８５］

回路２８は、トランジスタ５５と、トランジスタ５６と、トランジスタ５７と、トランジスタ５８を有する構成とすることができる。なお、図５ではトランジスタ５５、５７の極性をｐ－ｃｈ型、トランジスタ５６、５７の極性をｎ－ｃｈ型としているが、動作条件を変更することによりトランジスタの極性は入れ替えることができる。

［００８６］

トランジスタ５５のソースまたはドレインの一方は、トランジスタ５６のソースまたはドレインの一方と電気的に接続される。トランジスタ５５のソースまたはドレインの一方は、ＮＡＮＤ回路３３、３４の他方の入力端子と電気的に接続される。ここで、トランジスタ５５のソースまたはドレインの一方、トランジスタ５６のソースまたはドレインの一方およびＮＡＮＤ回路３３、３４の他方の入力端子が接続される配線をノードＮＤ６とする。

［００８７］

トランジスタ５７のソースまたはドレインの一方は、トランジスタ５８のソースまたはドレインの一方と電気的に接続される。トランジスタ５７のソースまたはドレインの一方は、コンパレータ回路３１、３２の電源入力端子と電気的に接続される。ここで、トランジスタ５７のソースまたはドレインの一方、トランジスタ５８のソースまたはドレインの一方およびコンパレータ回路３１、３２の電源入力端子が接続される配線をノードＮＤ７とする。

［００８８］

トランジスタ５５乃至５８のゲートは、配線９２（ＯＵＴ２）と電気的に接続される。トランジスタ５５のソースまたはドレインの他方には、高電位（例えば、ＶＤＤ）が供給される。トランジスタ５７のソースまたはドレインの他方には、コンパレータ回路３１、３２の回路動作の制御が可能な一定の高電位電源（ＢＩＡＳ）が供給される。トランジスタ５４、５８のソースまたはドレインの他方に

は、低電位（例えば、ＧＮＤ）が供給される。

［００８９］

図５に示す回路では、回路２２が配線９２（ＯＵＴ２）に出力する電位を回路２８に入力する構成となっている。回路２８は、当該電位の値に応じて回路２２が有する一部の回路を停止させることができる。したがって、消費電力を低減させることができる。

［００９０］

配線９２（ＯＵＴ２）の電位が“Ｌ”、すなわち差分なしと判定された場合、コンパレータ回路３１、３２にはＢＩＡＳが供給され、動作状態となる。また、ＮＡＮＤ回路３３、３４の他方の入力端子には“Ｈ”が供給され、ノードＮＤ２、ノードＮＤ３の電位は反転してノードＮＤ４、ノードＮＤ５に出力される。ここで、差分なしと判定されれば差分検出動作が繰り返される。

［００９１］

配線９２（ＯＵＴ２）の電位が“Ｈ”、すなわち差分ありと判定された場合、コンパレータ回路３１、３２にはＧＮＤ電位が供給され、非動作状態となる。また、ＮＡＮＤ回路３３、３４の他方の入力端子には“Ｌ”が供給され、ノードＮＤ４、ノードＮＤ５の電位は“Ｈ”に固定される。したがって、配線９２（ＯＵＴ２）の電位が“Ｈ”に固定されるため、１フレームが終了するまでの残りの期間、不要な差分検出動作は行われず、電力消費を抑えることができる。

［００９２］

次に、図６に示すタイミングチャートを用いて、図５に示す回路２２および回路２８の動作を説明する。

［００９３］

期間Ｔ０は配線９２（ＯＵＴ２）の電位を“Ｌ”とするリセット動作の期間である。期間Ｔ０において、配線６６（ＲＥＳ）の電位を“Ｈ”とすると、配線９２（ＯＵＴ２）の電位は“Ｌ”にリセットされる。配線９２（ＯＵＴ２）の電位が“Ｌ”のとき、コンパレータ回路３１、３２にはＢＩＡＳが供給され、ＮＡＮＤ回路３３、３４の他方の入力端子には“Ｈ”が供給される。

［００９４］

期間Ｔ１は画素２０が出力する差分データがコンパレータ回路３１、３２に設定された上下限値内である場合、すなわち、差分なしと判定される場合の動作を例示している。

［００９５］

期間Ｔ１において、配線６５（ＳＥＴ）の電位を“Ｈ”とすると、配線９１（ＯＵＴ１）に接続された画素２０から差分データがノードＮＤ１に入力される。このとき、ノードＮＤ１の電位はＶｒｅｆ－とＶｒｅｆ＋との間のレベルであるため、コンパレータ回路３１はノードＮＤ２に“Ｌ”を出力し、コンパレータ回路３２はノードＮＤ３に“Ｌ”を出力する。ノードＮＤ６の電位は“Ｈ”であるため、ＮＡＮＤ回路３３、３４は、ノードＮＤ２、ノードＮＤ３の反転電位である“Ｈ”をノードＮＤ４、ノードＮＤ５に出力する。したがって、トランジスタ５２およびトランジスタ５３はオフ状態となるため、配線９２（ＯＵＴ２）の電位は“Ｌ”となる。ここで、配線９２（ＯＵＴ２）の電位が“Ｌ”となることは、差分なしを意味する。

［００９６］

期間Ｔ２は画素２０が出力する差分データがコンパレータ回路３１に設定された上限値を上回っている場合、すなわち、差分ありと判定される場合の動作を例示している。

［００９７］

期間Ｔ２において、配線６５（ＳＥＴ）の電位を“H”とすると、配線９１（ＯＵＴ１）に接続された画素２０から差分データがノードＮＤ１に入力される。このとき、ノードＮＤ１の電位がＶｒｅｆ＋より高いレベルであるため、コンパレータ回路３１はノードＮＤ２に“H”を出力し、コンパレータ回路３２はノードＮＤ３に“L”を出力する。このとき、ＮＡＮＤ回路３３はノードＮＤ２の反転電位である“L”をノードＮＤ４出力し、ＮＡＮＤ回路３４はノードＮＤ３の反転電位である“H”をノードＮＤ５に出力する。したがって、トランジスタ５２はオン状態となり、トランジスタ５３はオフ状態となるため、配線９２（ＯＵＴ２）の電位は“H”となる。ここで、配線９２（ＯＵＴ２）の電位が“H”となることは、差分ありを意味する。

［００９８］

また、配線９２（ＯＵＴ２）の電位が“H”となるため、コンパレータ回路３１、３２へのＢＩＡＳ供給が遮断される。そのため、ノードＮＤ３の電位は“L”から“H”に上昇する。

［００９９］

また、配線９２（ＯＵＴ２）の電位が“H”となるため、ノードＮＤ６の電位は“L”となる。そのため、ノードＮＤ４の電位は“L”から“H”に上昇する。

［０１００］

期間Ｔ３は画素２０が出力する差分データがコンパレータ回路３２に設定された下限値を下回っている場合、すなわち、差分ありと判定される場合の動作を例示している。ただし、期間Ｔ２において、ノードＮＤ２乃至ノードＮＤ５の電位が固定されたため、ノードＮＤ１の電位にかかわらず、配線９２（ＯＵＴ２）の電位は“H”となる。したがって、回路内において、期間Ｔ３では期間Ｔ２の状態から変化しない。

［０１０１］

つまり、図１に示す構成に図５の回路を適用した場合では、１フレーム内のいずれかの行で差分ありと判定されると、それ以降の行の差分判定は実質的に行われず、差分ありを示す電位が配線９２（ＯＵＴ２）に維持される。したがって、差分判定の回路動作に必要な電力を削減することができる。

［０１０２］

図２に示す構成に図３の回路を適用した場合、１フレーム期間に行ういずれかの判定動作で差分ありと判定されると、それ以降の差分判定は実質的に行われず、差分ありを示す電位が配線９２（ＯＵＴ２）に維持される。したがって、差分判定の回路動作に必要な電力を削減することができる。

［０１０３］

図５に示す回路２８は、図７に示す回路２９と置き換えることができる。回路２９は、ＮＯＲ回路３５と、インバータ回路３６と、レベルシフタ回路３７と、トランジスタ５９と、トランジスタ６０を有する構成とすることができる。なお、図７ではトランジスタ５９、６０の極性をｎ－ｃｈ型としているが、動作条件を変更することによりトランジスタの極性は入れ替えることができる。

［０１０４］

ＮＯＲ回路の一方の入力端子は、配線９２（ＯＵＴ２）と電気的に接続される。ＮＯＲ回路の出力端子はインバータ回路３６、トランジスタ５９のゲートおよびレベルシフタ回路３７の反転入力端子と電気的に接続される。インバータ回路３６の出力端子は、レベルシフタ回路３７の入力端子と電気的に接続される。レベルシフタ回路３７の出力端子はトランジスタ６０のゲートと電気的に接続される。

トランジスタ５９のソースまたはドレインの一方は、トランジスタ６０のソースまたはドレインの一方と電気的に接続される。

［０１０５］

トランジスタ５９のソースまたはドレインの他方には、コンパレータ回路３１、３２の回路動作の制御が可能な一定の高電位電源（ＢＩＡＳ）が供給される。トランジスタ６０のソースまたはドレインの他方には、コンパレータ回路３１、３２の回路動作の制御が可能な一定の低電位電源（ＡＶＳＳ）が供給される。また、ＮＯＲ回路３５の他方の入力端子には、配線９４が接続され、動作信号（ＡＥＮＥ）が入力される。

［０１０６］

また、ＮＯＲ回路の出力端子が電気的に接続される配線は、ＮＡＮＤ回路３３、３４と接続され、図５のノードＮＤ６に相当する。トランジスタ５９のソースまたはドレインの一方と電気的に接続される配線は、コンパレータ回路３１、３２と接続され、図５のノードＮＤ７に相当する。

［０１０７］

回路２９を用いることで、コンパレータ回路３１、３２の電源入力端子に入力されるローレベル電位“Ｌ”を適切にすることができる。

［０１０８］

回路２８においては、コンパレータ回路３１、３２（アナログ回路）の電源電圧と、それ以外の回路（デジタル回路）の電源電圧とを区別しない構成となっている。アナログ回路とデジタル回路でローレベル電位“Ｌ”の電圧値が異なる場合、回路２８から供給されるローレベル電位“Ｌ”では正常にアナログ回路を停止させることができない場合がある。したがって、アナログ回路の動作にあわせてローレベル電位“Ｌ”の電圧値を設定することが好ましい。回路２９のレベルシフタ回路３７およびトランジスタ６０を用いることで、コンパレータ回路３１、３２のローレベル電位“Ｌ”として、ＡＶＳＳを供給することができる。

［０１０９］

また、回路２９では、配線９４から動作信号（ＡＥＮＥ）を入力することで、配線９１（ＯＵＴ１）の電位にかかわらず、ノードＮＤ６、ノードＮＤ７の電位を“Ｌ”にすることができる。動作信号（ＡＥＮＥ）が個別に供給できる配線を複数設け、当該配線のそれぞれに回路２９を接続することで、回路２９を選択して動作させることができる。例えば、動作信号（ＡＥＮＥ）が個別に供給できる配線、および回路２９をそれぞれ二つ有する構成とし、一つの回路２９が半数の回路２２を制御する構成とすれば、全ての回路２２を動作させることができるほか、半数の回路２２を動作させ、半数の回路２２を停止させるなどの動作が可能となる。したがって、消費電力を削減することができる。動作信号（ＡＥＮＥ）が個別に供給できる配線９４および回路２９の数を増やすことで、回路２２の動作数をさらに細かく制御することができる。

［０１１０］

図８は、動作信号（ＡＥＮＥ）が個別に供給できる配線９４［１］および配線９４［２］と、配線９４［１］が接続される回路２９［１］と、配線９４［２］が接続される回路２９［２］と、回路２９［１］と配線７１０、７１１を介して接続される回路２２［１］、回路２２［３］および回路２２［ｎ－１］と、回路２９［２］と配線７１２、７１３を介して接続される回路２２［２］および回路２２［ｎ］を有する構成を示している。なお、図示しない回路２２［４］乃至回路２２［ｎ－２］は、回

路２９［１］または回路２９［２］のいずれかに接続されるものとする。また、回路２２［１］乃至［ｎ］は、配線９２（ＯＵＴ２）を介して回路２９［１］、［２］と接続している。

［０１１１］

なお、配線７１０、７１２は、図５に示すノードＮＤ６に相当する。配線７１１、７１３は、図５に示すノードＮＤ７に相当する。

［０１１２］

図８に示す構成では、配線９４［１］または配線９４［２］の一方に動作信号（ＡＥＮＥ）を供給することで、回路２９［１］または回路２９［２］の一方を動作させることができる。すなわち、回路２９［１］または回路２９［２］の一方に接続された回路２２のみを動作させることができる。なお、配線９４［１］および配線９４［２］の両方に動作信号（ＡＥＮＥ）を供給することで、全ての回路２２を動作させることもできる。

［０１１３］

図９は、図８に示す回路の動作を説明するタイミングチャートである。ここでは、配線９４［１］の電位を“Ｈ”、配線９４［２］の電位を“Ｌ”としたときの動作を説明する。期間Ｔ０乃至Ｔ３における回路２２の動作は、図６に示すタイミングチャートの説明と同じである。

［０１１４］

配線９４［１］が接続された回路２９［１］からは、回路２２で差分データを判定するための電圧が配線７１０（ノードＮＤ６）および配線７１１（ノードＮＤ７）に供給される。したがって、回路２９［１］と配線７１０、７１１を介して接続される回路２２［１］、回路２２［３］および回路２２［ｎ－１］等は、正常に差分データの判定動作を行う。

［０１１５］

一方、配線９４［２］が接続された回路２９［２］からは、回路２２への入力信号および出力信号にかかわらず、回路２２の出力が固定される電圧が供給される。したがって、回路２９［２］と配線７１２、７１３を介して接続される回路２２［２］および回路２２［ｎ］等は、差分データの判定動作を行わない。すなわち、図９に示す回路では、半数の回路を動作させずに差分判定動作行うことができる。

［０１１６］

図１に示す撮像装置の動作方法の一例を図３９に示すフローチャートに従って説明する。当該撮像装置は、画像データを取得する第１の撮像モードまたは異なる２つのフレーム間における差分データを取得する第２の撮像モードを選択して実行することができる。

［０１１７］

まず、第１の撮像モードで画像モードを取得する（Ｓ１）。次に、回路２３で選択した行毎の画素２０から当該画像データ(アナログデータ)を回路２４に出力してデジタルデータに変換する。そして、回路２５で列を順次選択し、当該デジタルデータを外部に出力する（Ｓ２）。上記動作を１フレーム期間内で１行目から最終行まで繰り返す。

［０１１８］

次に、第２の撮像モードに切り替える（Ｓ３）。第２の撮像モードで差分データを取得し、画素２０から回路２２に出力する（Ｓ４）。回路２２では当該差分データの有意性を判定する（Ｓ５）。

［０１１９］

差分ありの場合は、回路２６に信号電位“Ｈ”を出力し（Ｓ６）、回路２４および回路２５への電源供給を維持する（Ｓ７）。そして、Ｓ１に戻って再度第１の撮像モードで画像データの取得を行う。

［０１２０］

差分なしの場合は、回路２６に信号電位“Ｌ”を出力し（Ｓ８）、回路２４および回路２５への電源供給を遮断する（Ｓ７）。そして、Ｓ４に戻って再度差分データの取得を行う。

［０１２１］

なお、差分なしの状態から差分ありと判定された場合は、回路２６は回路２４および回路２５への電源供給を再開する制御を行う。

［０１２２］

また、図２に示す撮像装置では、回路２６が電源供給を制御する回路の対象として、回路２３を含めてもよい。

［０１２３］

以上により、低消費電力の撮像装置を提供することができる。

［０１２４］

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

［０１２５］

（実施の形態２）

本実施の形態では、実施の形態１で説明した撮像装置が有する画素２０に適用可能な画素回路およびその駆動方法の一例について説明する。

［０１２６］

図１０（Ａ）は、画素２０として適用できる画素回路の一例である。なお、図１０（Ａ）などにおいてはトランジスタがｎ－ｃｈ型である場合の例を示すが、本発明の一態様はこれに限定されず、一部のトランジスタをｐ－ｃｈ型トランジスタに置き換えてもよい。

［０１２７］

当該画素回路は、光電変換素子ＰＤと、トランジスタ４１と、トランジスタ４２と、トランジスタ４３と、トランジスタ４４と、トランジスタ４５と、容量素子Ｃ１と、容量素子Ｃ２と、を有する構成とすることができる。なお、容量素子Ｃ２を設けない構成としてもよい。

［０１２８］

光電変換素子ＰＤの一方の端子は、トランジスタ４１のソースまたはドレインの一方と電気的に接続される。トランジスタ４１のソースまたはドレインの他方は、トランジスタ４２のソースまたはドレインの一方と電気的に接続される。トランジスタ４１のソースまたはドレインの他方は、容量素子Ｃ１の一方の端子と電気的に接続される。容量素子Ｃ１の他方の端子は、トランジスタ４５のソースまたはドレインの一方と電気的に接続される。容量素子Ｃ１の他方の端子は、トランジスタ４３のゲートと電気的に接続される。容量素子Ｃ１の他方の端子は、容量素子Ｃ２の一方の端子と電気的に接続される。トランジスタ４３のソースまたはドレインの一方は、トランジスタ４４のソースまたはドレインの一方と電気的に接続される。容量素子Ｃ２の他方の端子は、トランジスタ４３のソースまたはドレインの他方と電気的に接続される。

［０１２９］

ここで、トランジスタ４１のソースまたはドレインの一方、トランジスタ４２のソースまたはドレイ

ンの一方および容量素子Ｃ１の一方の端子が接続されるノードをＦＤ１とする。また、容量素子Ｃ１の他方の端子、トランジスタ４５のソースまたはドレインの一方、トランジスタ４３のゲートおよび容量素子Ｃ２の一方の端子が接続されるノードをＦＤ２とする。

［０１３０］

光電変換素子ＰＤの他方の端子は、配線７１（ＶＰＤ）に電気的に接続される。トランジスタ４２のソースまたはドレインの他方は、配線７２（ＶＰＲ）に電気的に接続される。トランジスタ４５のソースまたはドレインの他方は、配線７４（ＶＣＳ）に電気的に接続される。トランジスタ４３のソースまたはドレインの他方および容量素子Ｃ２の他方の端子は、配線７３（ＶＰＩ）に電気的に接続される。トランジスタ４４のソースまたはドレインの他方は、配線９１（ＯＵＴ１）に電気的に接続される。

［０１３１］

配線７１（ＶＰＤ）、配線７２（ＶＰＲ）、配線７３（ＶＰＩ）および配線７４（ＶＣＳ）は、電源線としての機能を有することができる。例えば、配線７１（ＶＰＤ）および配線７４（ＶＣＳ）は、低電位電源線として機能させることができる。配線７２（ＶＰＲ）および配線７３（ＶＰＩ）は、高電位電源線として機能させることができる。

［０１３２］

トランジスタ４１のゲートは、配線６１（ＴＸ）と電気的に接続される。トランジスタ４２のゲート電極は、配線６２（ＰＲ）と電気的に接続される。トランジスタ４５のゲートは、配線６３（Ｗ）と電気的に接続される。トランジスタ４４のゲートは、配線６３（ＳＥ）と電気的に接続される。

［０１３３］

配線６１（ＴＸ）、配線６２（ＰＲ）、配線６３（ＳＥ）および配線６５（Ｗ）は、トランジスタの導通を制御する信号線として機能させることができる。

［０１３４］

上記構成において、容量素子Ｃ２の他方の端子は、配線７３（ＶＰＩ）ではなく、固定電位を供給することのできる他の配線等に接続されていてもよい。

［０１３５］

なお、上記画素回路が有するトランジスタには、図１０（Ｂ）に示すようにバックゲートを設ける構成としてもよい。図１０（Ｂ）はバックゲートに定電位を印加する構成であり、しきい値電圧を制御することができる。

［０１３６］

それぞれのバックゲートに接続される配線７５乃至７９には、個別に異なる電位を供給することができる。なお、トランジスタ４３およびトランジスタ４４が有するバックゲートに接続される配線は電気的に接続されていてもよい。

［０１３７］

トランジスタがｎ－ｃｈ型であるとき、バックゲートにソース電位よりも低い電位を印加すると、しきい値電圧はプラス方向にシフトする。逆に、バックゲートにソース電位よりも高い電位を印加すると、しきい値電圧はマイナス方向にシフトする。したがって、予め定められたゲート電圧で各トランジスタのオン、オフを制御する場合、バックゲートにソース電位よりも低い電位を印加すると、オフ電流を小さくすることができる。また、バックゲートにソース電位よりも高い電位を印加すると、オ

ン電流を小さくすることができる。

［０１３８］

図１０（Ａ）、（Ｂ）に示す回路では、ノードＦＤ１およびノードＦＤ２の電位保持能力が高いことが望まれるため、トランジスタ４１、４２、４５にはオフ電流の低いトランジスタを用いることが好ましい。トランジスタ４１、４２、４５のバックゲートにソース電位よりも低い電位を印加することで、オフ電流をより小さくすることができる。したがって、ノードＦＤ１およびノードＦＤ２の電位保持能力を高めることができる。例えば、トランジスタ４１、４２、４５には、ＯＳトランジスタを用いることが好ましい。

［０１３９］

また、トランジスタ４３、４４は増幅トランジスタとして作用するため、オン電流の高いトランジスタを用いることが好ましい。トランジスタ４３、４４のバックゲートにソース電位よりも高い電位を印加することで、オン電流をより大きくすることができる。したがって、配線９１（ＯＵＴ１）に出力される読み出し電位を速やかに確定することができる、すなわち、高い周波数で動作させることができる。例えば、トランジスタ４３、４４には、シリコンを活性領域または活性層に用いたトランジスタ（以下、Ｓｉトランジスタ）を用いることが好ましい。

［０１４０］

なお、トランジスタ４４は、図１０（Ｃ）に示すようにフロントゲートと同じ電位がバックゲートに印加される構成であってもよい。また、トランジスタ４３、４４はＳｉトランジスタではなく、ＯＳトランジスタであってもよい。ＯＳトランジスタのオン電流は比較的小さいが、バックゲートを設けることでオン電流を大きくすることができ、高い周波数で動作させることが可能となる。

［０１４１］

また、撮像装置の内部では、各電源電位の他、信号電位および上記バックゲートに印加する電位など、複数の電位を用いる。撮像装置の外部から複数の電位を供給すると、端子数などが増加するため、撮像装置の内部で複数の電位を生成する電源回路を有していることが好ましい。

［０１４２］

ＯＳトランジスタは極めて低いオフ電流特性を有するため、トランジスタ４１、４２、４４３の低いオフ電流特性によってノードＦＤ１およびノードＦＤ２で電荷を保持できる期間を極めて長くすることができる。そのため、回路構成や動作方法を複雑にすることなく、全画素で同時に電荷の蓄積動作を行うグローバルシャッタ方式を適用することができる。なお、本発明の一態様の撮像装置は、ローリングシャッタ方式で動作させることもできる。

［０１４３］

ＯＳトランジスタは、Ｓｉトランジスタよりも電気特性変動の温度依存性が小さいため、極めて広い温度範囲で使用することができる。したがって、ＯＳトランジスタを有する撮像装置および半導体装置は、自動車、航空機、宇宙機などへの搭載にも適している。

［０１４４］

また、ＯＳトランジスタは、Ｓｉトランジスタよりもドレイン耐圧の高い特性を有する。セレン系材料を光電変換層とした光電変換素子では、アバランシェ増倍を利用するために比較的高い電圧（例えば、１０Ｖ以上）を印加して動作させることが好ましい。したがって、ＯＳトランジスタと、セレン系材料を光電変換層とした光電変換素子とを組み合わせることで、信頼性の高い撮像装置とすること

ができる。

［０１４５］

本実施の形態で説明する画素回路は、画像データの取得を行う第１の撮像モードでの動作と、初期フレームの撮像データと現フレームの撮像データとの差分データを保持し、当該差分データに応じた信号を出力する第２の撮像モードでの動作を行うことができる。第２の動作では、外部回路での比較処理などを行うことなく差分データを出力することができるため、当該画素回路を実施の形態１で説明した撮像装置に用いることが好ましい。

［０１４６］

図１０（Ａ）に示す画素回路を第１の撮像モードで動作させる場合について、図１１（Ａ）に示すタイミングチャートを用いて説明する。

［０１４７］

時刻Ｔ１乃至時刻Ｔ２において、配線６１（ＴＸ）の電位を”Ｈ”、配線６２（ＰＲ）の電位を”Ｈ”、配線６５（Ｗ）の電位を”Ｈ”とする。このとき、ノードＦＤ１の電位は配線７２（ＶＰＲ）の電位ＶＰＲ、ノードＦＤ２の電位は配線７４（ＶＣＳ）の電位ＶＣＳに設定される（リセット動作）。

［０１４８］

時刻Ｔ２乃至時刻Ｔ３において、配線６１（ＴＸ）の電位を”Ｈ”、配線６２（ＰＲ）の電位を”Ｌ”、配線６５（Ｗ）の電位を”Ｌ”とする。ここで、光電変換素子ＰＤに照射する光に応じてノードＦＤ１の電位が低下すると、容量結合によってノードＦＤ２の電位も低下する。時刻Ｔ３におけるノードＦＤ１の低下電位量をＶＡとすると、ノードＦＤ１の電位は、ＶＰＲ－ＶＡとなる。また、ノードＦＤ２の電位はＶＢだけ減少し、ＶＣＳ－ＶＢとなる（蓄積動作）。なお、図５（Ａ）に示す回路構成では、光電変換素子ＰＤに照射する光が強い程、ノードＦＤ１およびノードＦＤ２の電位は低下する。

［０１４９］

時刻Ｔ３乃至時刻Ｔ４において、配線６１（ＴＸ）の電位を”Ｌ”、配線６２（ＰＲ）の電位を”Ｌ”、配線６５（Ｗ）の電位を”Ｌ”とすると、ノードＦＤ１およびノードＦＤ２の電位は保持される。

［０１５０］

時刻Ｔ４乃至時刻Ｔ５において、配線６３（ＳＥ）の電位を”Ｈ”とすると、ノードＦＤ２の電位に応じて、配線９１（ＯＵＴ１）に画像データに対応する信号が出力される（選択動作）。以上が第１の動作モードの説明である。

［０１５１］

次に、図１０（Ａ）に示す画素回路を第２の撮像モードで動作させる場合について説明する。第２の撮像モードでは、第１のフレーム（初期フレーム）と、第２のフレーム（現フレーム）とのデータの差分を出力する。まず、図１１（Ｂ）に示すタイミングチャートを用いて第１のフレームにおけるデータ取得動作を説明する。

［０１５２］

時刻Ｔ１乃至時刻Ｔ２において、配線６１（ＴＸ）の電位を”Ｈ”、配線６２（ＰＲ）の電位を”Ｈ”、配線６５（Ｗ）の電位を”Ｈ”とする。このとき、ノードＦＤ１の電位は配線７２（ＶＰＲ）の電位ＶＰＲ、ノードＦＤ２の電位は配線７４（ＶＣＳ）の電位ＶＣＳに設定される。

［０１５３］

時刻Ｔ２乃至時刻Ｔ３において、配線６１（ＴＸ）の電位を”Ｈ”、配線６２（ＰＲ）の電位を”Ｌ”、

配線６５（W）の電位を”H”とする。ここで、光電変換素子ＰＤに照射する光に応じて、ノードＦＤ１の電位は低下する。時刻Ｔ３におけるノードＦＤ１の低下電位量をＶＡとすると、ノードＦＤ１の電位は、ＶＰＲ－ＶＡとなる。なお、図５（Ａ）の回路構成においては、光電変換素子ＰＤに照射する光が強い程、ノードＦＤ１の電位は低下する。

［０１５４］

時刻Ｔ３乃至時刻Ｔ４において、配線６１（ＴＸ）の電位を”Ｌ”、配線６２（ＰＲ）の電位を”Ｌ”、配線６５（W）の電位を”Ｈ”とすると、ノードＦＤ１の電位は保持される。

［０１５５］

時刻Ｔ４乃至時刻Ｔ５において、配線６１（ＴＸ）の電位を”Ｌ”、配線６２（ＰＲ）の電位を”Ｌ”、配線６５（W）の電位を”Ｌ”とすると、ノードＦＤ１の電位およびノードＦＤ２の電位は保持される。

［０１５６］

次に、図１２（Ａ）に示すタイミングチャートを用いて第２のフレームにおけるデータ取得動作を説明する。なお、図１２（Ａ）では第１のフレームと第２のフレームとのデータの差分がない場合、すなわち第１のフレームおよび第２のフレームで撮像される画像が同じである場合を想定する。

［０１５７］

時刻Ｔ１乃至時刻Ｔ２において、配線６１（ＴＸ）の電位を”H”、配線６２（ＰＲ）の電位を”H”、配線６５（W）の電位を”Ｌ”とすると、ノードＦＤ１の電位はＶＡだけ上昇し、ノードＦＤ２の電位は容量結合によりＶＢだけ上昇する。ここで、ＶＡおよびＶＢは、第１のフレームの照度を反映する電位である。

［０１５８］

時刻Ｔ２乃至時刻Ｔ３において、配線６１（ＴＸ）の電位を”H”、配線６２（ＰＲ）の電位を”Ｌ”、配線６５（W）の電位を”Ｌ”とすると、光電変換素子ＰＤに照射する光に応じて、ノードＦＤ１およびノードＦＤ２の電位は低下する。時刻Ｔ３におけるノードＦＤ１の低下電位量をＶＡ’とすると、ノードＦＤ１の電位はＶＰＲ－ＶＡ’となるがＶＡ’＝ＶＡによりＶＰＲ－ＶＡとなる。また、ノードＦＤ２の電位は容量結合によりＶＢ’だけ減少し、ＶＣＳ＋ＶＢ－ＶＢ’となるが、ＶＢ’＝ＶＢによりＶＣＳとなる。

［０１５９］

時刻Ｔ３乃至時刻Ｔ４において、配線６１（ＴＸ）の電位を”Ｌ”、配線６２（ＰＲ）の電位を”Ｌ”、配線６５（W）の電位を”Ｌ”とすると、ノードＦＤ１およびノードＦＤ２の電位は保持される。

［０１６０］

時刻Ｔ４乃至時刻Ｔ５において、配線６３（ＳＥ）の電位を”Ｈ”とすると、ノードＦＤ２の電位に応じて、配線９１（ＯＵＴ１）に差分データに対応する信号が出力される。このとき、ノードＦＤ２の電位はリセット電位である”ＶＣＳ”であり、出力された信号から第１のフレームと第２のフレームのデータの比較において有意な差分はないと判定される。

［０１６１］

次に、図１２（Ｂ）に示すタイミングチャートを用いて第１のフレームと第２のフレームとのデータの差分がある場合、すなわち第１のフレームおよび第２のフレームで撮像される画像が異なる画像である場合を想定した動作を説明する。なお、対象となる画素に入射される光の照度は、第１のフレー

ム＜第２のフレームの関係とする。

［０１６２］

時刻Ｔ１乃至時刻Ｔ２において、配線６１（ＴＸ）の電位を”Ｈ”、配線６２（ＰＲ）の電位を”Ｈ”、配線６５（Ｗ）の電位を”Ｌ”とすると、ノードＦＤ１の電位はＶＡだけ上昇し、ノードＦＤ２の電位は容量結合によりＶＢだけ上昇する。ここで、ＶＡおよびＶＢは、第１のフレームの照度を反映する電位である。

［０１６３］

時刻Ｔ２乃至時刻Ｔ３において、配線６１（ＴＸ）の電位を”Ｈ”、配線６２（ＰＲ）の電位を”Ｌ”、配線６５（Ｗ）の電位を”Ｌ”とすると、光電変換素子ＰＤに照射する光に応じて、ノードＦＤ１およびノードＦＤ２の電位は低下する。時刻Ｔ３におけるノードＦＤ１の低下電位量をＶＡ’とすると、ノードＦＤ１の電位はＶＰＲ－ＶＡ’となる。また、ノードＦＤ２の電位は容量結合によりＶＢ’だけ減少し、ＶＣＳ＋ＶＢ－ＶＢ’となる。

［０１６４］

時刻Ｔ３乃至時刻Ｔ４において、配線６１（ＴＸ）の電位を”Ｌ”、配線６２（ＰＲ）の電位を”Ｌ”、配線６５（Ｗ）の電位を”Ｌ”とすると、ノードＦＤ１およびノードＦＤ２の電位は保持される。

［０１６５］

時刻Ｔ４乃至時刻Ｔ５において、配線６３（ＳＥ）の電位を”Ｈ”とすると、ノードＦＤ２の電位に応じて、配線９１（ＯＵＴ１）に差分データに対応する信号が出力される。このとき、ノードＦＤ２の電位はＶＣＳ＋ＶＢ－ＶＢ’である。ＶＢは第１のフレームの照度を反映する電位であり、ＶＢ’は第２のフレームにおける照度を反映するデータである。以上が第１のフレームと第２のフレームとのデータの差分を出力する第２の撮像モードの説明である。

［０１６６］

図１３は、画素２０の具体的な構成の一例を説明する図であり、画素回路が有するトランジスタ４１、４２、４３、４４のチャネル長方向を表す断面図である。

［０１６７］

なお、本実施の形態で説明する断面図において、配線、電極、金属層およびコンタクトプラグ（導電体８２）を個別の要素として図示しているが、それらが電気的に接続している場合においては、同一の要素として設けられる場合もある。また、配線、電極および金属層などの要素が導電体８２を介して接続される形態は一例であり、各要素が導電体８２を介さずに直接接続される場合もある。

［０１６８］

また、基板上、およびトランジスタなどの各要素上には保護膜、層間絶縁膜または平坦化膜としての機能を有する絶縁層８１ａ乃至８１ｋ等が設けられる。例えば、絶縁層８１ａ乃至８１ｋには、酸化シリコン膜、酸化窒化シリコン膜などの無機絶縁膜を用いることができる。または、アクリル樹脂、ポリイミド樹脂などの有機絶縁膜などを用いてもよい。絶縁層８１ａ乃至８１ｋ等の上面は、必要に応じてＣＭＰ（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）法等で平坦化処理を行ってもよい。

［０１６９］

なお、図面に示される配線等やトランジスタ等の一部が設けられない場合や、図面に示されない配線等やトランジスタ等が各層に含まれる場合もある。

［０１７０］
画素２０は、層１１００および層１２００を有することができる。

［０１７１］
層１１００は、光電変換素子ＰＤを有することができる。光電変換素子ＰＤには、例えば、２端子のフォトダイオードを用いることができる。当該フォトダイオードとしては、単結晶シリコン基板を用いたｐｎ型フォトダイオード、非晶質シリコン薄膜、微結晶シリコン薄膜または多結晶シリコン薄膜を用いたｐｉｎ型フォトダイオード、セレンまたはセレンの化合物、または有機化合物を用いたフォトダイオードなどを用いることができる。

［０１７２］
図１３において、層１１００が有する光電変換素子ＰＤは、単結晶シリコン基板を用いたｐｎ型フォトダイオードを示している。当該光電変換素子ＰＤは、p^{+}領域６２０、p^{-}領域６３０、ｎ型領域６４０、p^{+}領域６５０を有する構成とすることができる。

［０１７３］
層１２００は、画素回路を構成するＯＳトランジスタを有することができ、図１３では、画素回路が有するトランジスタ４１、４２、４３、４４を例示している。このように、光電変換素子ＰＤと、トランジスタが重なる構成とすることができ、光電変換素子ＰＤの受光面積を広くすることができる。

［０１７４］
ＯＳトランジスタが形成される領域と、Ｓｉデバイス（ＳｉトランジスタまたはＳｉフォトダイオードなど）が形成される領域との間には絶縁層８０が設けられる。

［０１７５］
Ｓｉデバイス近傍に設けられる絶縁層中には、シリコンのダングリングボンドを終端するため、水素を含むことが好ましい。一方で、トランジスタ４１、４２等の活性層である酸化物半導体層の近傍に設けられる絶縁層中の水素は、酸化物半導体層中にキャリアを生成する要因の一つとなる。そのため、当該水素はトランジスタ４１、４２等の信頼性を低下させる要因となる場合がある。したがって、Ｓｉデバイスを有する一方の層と、ＯＳトランジスタを有する他方の層を積層する場合、これらの間に水素の拡散を防止する機能を有する絶縁層８０を設けることが好ましい。絶縁層８０により、水素の拡散を防ぐことができるため、ＳｉデバイスおよびＯＳトランジスタの両者の信頼性を向上することができる。

［０１７６］
絶縁層８０としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア（ＹＳＺ）等を用いることができる。

［０１７７］
光電変換素子ＰＤの一方の電極（ｎ型領域６４０）は、例えば、二つの導電体８２および配線６９を介してトランジスタ４１と電気的に接続することができる。

［０１７８］
ここで、導電体８２は絶縁層８０を貫通して設けられるため、導電体８２も水素の拡散を防止する機能を有することが好ましい。例えば、図１３に示すように導電体８２の少なくとも貫通口の側壁と接する外側は水素に対してバリア性を有する導電体８２ｂとし、内側は抵抗の低い導電体８２ａとすれ

ばよい。例えば、導電体８２ａにはタングステン、導電体８２ｂには窒化タンタルなどを用いることができる。なお、導電体８２を導電体８２ａのみで構成することもできる。また、水素などの不純物を有する層と導電体８２が接しない場合は、導電体８２を導電体８２ｂのみで構成してもよい。

［０１７９］

図１３は、層１２００にトップゲート型のＯＳトランジスタを設けた構成である。例えば、ＯＳトランジスタは、層１１００上に形成された絶縁層の積層（絶縁層８１ａ、８０、８１ｂ）上に設けられ、酸化物半導体層１３０と、ソース電極またはドレイン電極として機能する１４０、１５０と、ゲート絶縁層として機能する絶縁層１６０と、ゲート電極として機能する導電層１７０を有する。なお、絶縁層８１ｂはゲート絶縁層としての機能を有することもできる。

［０１８０］

図１３では、ＯＳトランジスタにバックゲート電極として機能する導電層１７３を設けた構成を例示している。図１３に示す構成では、層１１００を通過した光がトランジスタの電気特性を変動させることがあるため、遮光層を兼ねてバックゲート電極を設ける構成とすることが好ましい。また、バックゲートを設けることで、ＯＳトランジスタのしきい値電圧などを制御することができる。

［０１８１］

また、画素２０は、図１４に示す積層構成とすることもできる。図１４に示す画素２０は、基板１１５上に層１２００および層１１００を設けた構成である。ＯＳトランジスタ上に光電変換素子ＰＤを設ける構成となるため、ＯＳトランジスタと光電変換素子ＰＤの一方の電極との電気的な接続が容易になる。

［０１８２］

図１４では、セレン系材料を光電変換層５６１に用いた形態を図示している。セレン系材料を用いた光電変換素子ＰＤは、可視光に対する外部量子効率が高い特性を有する。また、セレン系材料は光吸収係数が高いため、光電変換層５６１を薄くしやすい利点を有する。セレン系材料を用いた光電変換素子ＰＤでは、アバランシェ増倍により増幅が大きい高感度のセンサとすることができる。つまり、セレン系材料を光電変換層５６１に用いることで、画素面積が縮小しても十分な光電流を得ることができる。したがって、セレン系材料を用いた光電変換素子ＰＤは、低照度環境における撮像にも適しているといえる。

［０１８３］

セレン系材料としては、非晶質セレンまたは結晶セレンを用いることができる。結晶セレンは、例えば、非晶質セレンを成膜後に熱処理することで得ることができる。結晶セレンの結晶粒径を画素ピッチより小さくすることで、画素ごとの特性ばらつきを低減させることができる。また、結晶セレンは、非晶質セレンよりも可視光に対する分光感度や光吸収係数が高い特性を有する。

［０１８４］

図１４では、光電変換層５６１は単層として図示しているが、図１５（Ａ）に示すように受光面側に正孔注入阻止層５６８として酸化ガリウム、酸化セリウムまたはＩｎ－Ｇａ－Ｚｎ酸化物などを設けてもよい。または、図１５（Ｂ）に示すように、電極５６６側に電子注入阻止層５６９として酸化ニッケルまたは硫化アンチモンなどを設けてもよい。または、図１５（Ｃ）に示すように、正孔注入阻止層５６８および電子注入阻止層５６９を設ける構成としてもよい。

［０１８５］

光電変換層５６１は、銅、インジウム、セレンの化合物（ＣＩＳ）を含む層であってもよい。または、銅、インジウム、ガリウム、セレンの化合物（ＣＩＧＳ）を含む層であってもよい。ＣＩＳおよびＣＩＧＳでは、セレンの単層と同様にアバランシェ増倍を利用する光電変換素子を形成することができる。

［０１８６］

セレン系材料を用いた光電変換素子ＰＤは、例えば、金属材料などで形成された電極５６６と透光性導電層５６２との間に光電変換層５６１を有する構成とすることができる。また、ＣＩＳおよびＣＩＧＳはｐ型半導体であり、接合を形成するためにｎ型半導体の硫化カドミウムや硫化亜鉛等を接して設けてもよい。

［０１８７］

図１４では透光性導電層５６２と配線７１は直接接する構成としているが、図１５（Ｄ）に示すように配線５８８を介して両者が接する構成としてもよい。また、図１４では光電変換層５６１および透光性導電層５６２を画素回路間で分離しない構成としているが、図１５（Ｅ）に示すように回路間で分離する構成としてもよい。また、画素間においては、電極５６６を有さない領域には絶縁体で隔壁５６７を設け、光電変換層５６１および透光性導電層５６２に亀裂が入らないようにすることが好ましいが、図１６（Ａ）、（Ｂ）に示すように隔壁５６７を設けない構成としてもよい。

［０１８８］

また、電極５６６および配線７１等は多層としてもよい。例えば、図１６（Ｃ）に示すように、電極５６６を導電層５６６ａおよび導電層５６６ｂの二層とし、配線７１を導電層７１ａおよび導電層７１ｂの二層とすることができる。図１６（Ｃ）の構成においては、例えば、導電層５６６ａおよび導電層７１ａを低抵抗の金属等を選択して形成し、導電層５６６ａおよび導電層７１ａを光電変換層５６１とコンタクト特性の良い金属等を選択して形成するとよい。このような構成とすることで、光電変換素子ＰＤの電気特性を向上させることができる。また、一部の金属は透光性導電層５６２と接触することにより電蝕を起こすことがある。そのような金属を導電層７１ａに用いた場合でも導電層７１ｂを介することによって電蝕を防止することができる。

［０１８９］

導電層５６６ｂおよび導電層７１ｂには、例えば、モリブデンやタングステンなどを用いることができる。また、導電層５６６ａおよび導電層７１ａには、例えば、アルミニウム、チタン、またはアルミニウムをチタンで挟むような積層を用いることができる。

［０１９０］

また、図１６（Ｄ）に示すように透光性導電層５６２と配線７１は導電体８２および配線８８を介して接続してもよい。

［０１９１］

隔壁５６７は、無機絶縁体や絶縁有機樹脂などを用いて形成することができる。また、隔壁５６７は、トランジスタ等に対する遮光、および／または１画素あたりの受光部の面積を確定するために黒色等に着色されていてもよい。

［０１９２］

また、画素２０は、図１７に示す積層構成とすることもできる。図１７に示す画素２０は、図１４に示す画素２０と層１１００のみが異なり、その他の構成は同じである。

［０１９３］

図１７において、層１１００が有する光電変換素子ＰＤは、光電変換層に非晶質シリコン膜や微結晶シリコン膜などを用いたｐｉｎ型フォトダイオードを示している。当該光電変換素子ＰＤは、ｎ型の半導体層５６５、ｉ型の半導体層５６４、ｐ型の半導体層５６３、電極５６６、配線７１、配線５８８を有する構成とすることができる。

［０１９４］

電極５６６は、金属層４０５と電気的に接続される。また、ｐ型の半導体層５６３は配線５８８を介して配線７１と電気的に接続される。

［０１９５］

ｉ型の半導体層５６４には非晶質シリコンを用いることが好ましい。また、ｐ型の半導体層５６３およびｎ型の半導体層５６５には、それぞれの導電型を付与するドーパントを含む非晶質シリコンまたは微結晶シリコンなどを用いることができる。非晶質シリコンを光電変換層とするフォトダイオードは可視光の波長領域における感度が高く、微弱な可視光を検知しやすい。

［０１９６］

また、ｐｉｎ型の薄膜フォトダイオードの形態を有する光電変換素子ＰＤの構成、ならびに光電変換素子ＰＤおよび配線の接続形態は、図１８（Ａ）、（Ｂ）、（Ｃ）に示す例であってもよい。なお、光電変換素子ＰＤの構成、光電変換素子ＰＤと配線の接続形態はこれらに限定されず、他の形態であってもよい。

［０１９７］

図１８（Ａ）は、光電変換素子ＰＤのｐ型の半導体層５６３と接する透光性導電層５６２を設けた構成である。透光性導電層５６２は電極として作用し、光電変換素子ＰＤの出力電流を高めることができる。

［０１９８］

透光性導電層５６２には、例えば、インジウム錫酸化物、シリコンを含むインジウム錫酸化物、亜鉛を含む酸化インジウム、酸化亜鉛、ガリウムを含む酸化亜鉛、アルミニウムを含む酸化亜鉛、酸化錫、フッ素を含む酸化錫、アンチモンを含む酸化錫、グラフェンまたは酸化グラフェン等を用いることができる。また、透光性導電層５６２は単層に限らず、異なる膜の積層であっても良い。

［０１９９］

図１８（Ｂ）は、透光性導電層５６２と配線７１が導電体８２および配線５８８を介して接続された構成である。なお、光電変換素子ＰＤのｐ型の半導体層５６３と配線７１が導電体８２および配線５８８を介して接続された構成とすることもできる。なお、図１８（Ｂ）においては、透光性導電層５６２を設けない構成とすることもできる。

［０２００］

図１８（Ｃ）は、光電変換素子ＰＤを覆う絶縁層８１ｅにｐ型の半導体層５６３が露出する開口部が設けられ、当該開口部を覆う透光性導電層５６２と配線７１が電気的な接続を有する構成である。

［０２０１］

上述したセレン系材料や非晶質シリコンなどを用いて形成した光電変換素子ＰＤは、成膜工程、リソグラフィ工程、エッチング工程などの一般的な半導体作製工程を用いて作製することができる。また、セレン系材料は高抵抗であり、図１４に示すように、光電変換層５６１を回路間で分離しない構成と

することもできる。したがって、歩留りが高く、低コストで作製することができる。

［０２０２］

また、画素２０は、図１９（Ａ）、（Ｂ）、（Ｃ）に示すように層１１００、層１２００および層１３００の積層構成であってもよい。図１９（Ａ）はトランジスタ４１、４２、４３、４４のチャネル長方向を表す断面図である。図１９（Ｂ）は図１９（Ａ）に示す一点鎖線Ｘ１－Ｘ２の断面図であり、トランジスタ４１のチャネル幅方向の断面を表している。図１９（Ｃ）は図１９（Ａ）に示す一点鎖線Ｙ１－Ｙ２の断面図であり、トランジスタ４２のチャネル幅方向の断面を表している。

［０２０３］

層１１００は、前述した画素２０の構成と同様に光電変換素子ＰＤを有する構成とすることができる。図１９（Ａ）では、図１４の構成と同様にセレン系の光電変換素子ＰＤを設けた構成を例示しているが、図１７の構成と同様にｐｉｎ型の薄膜フォトダイオードの形態を有する光電変換素子ＰＤを設けた構成であってもよい。

［０２０４］

層１２００は、トランジスタ４１、４２、４５を有する構成とすることができる。トランジスタ４１、４２、４５としては、ＯＳトランジスタを用いることが好ましい。なお、トランジスタ４５は図示していない。

［０２０５］

層１３００は、トランジスタ４３およびトランジスタ４４を有する構成とすることができる。トランジスタ４３、４４としては、シリコンを活性層または活性領域とするトランジスタを用いることが好ましい。シリコンを活性層または活性領域とするトランジスタはオン電流が大きく、ノードＦＤ２の電位を効率良く増幅することができる。

［０２０６］

なお、容量素子Ｃ１は導電層８４および導電層８５を電極とし、絶縁層８３を誘電体層とする構成で層１３００に設ける構成を例示しているが、層１２００に設けてもよい。また、容量素子Ｃ２は図示していないが、層１２００および層１３００のいずれに設けてもよい。

［０２０７］

図１９（Ａ）、（Ｃ）においてトランジスタ４３、４４はフィン型の構成を例示しているが、図２０（Ａ）に示すようにプレーナー型であってもよい。または、図２０（Ｂ）に示すように、シリコン薄膜の活性層６６０を有するトランジスタであってもよい。また、活性層６６０は、多結晶シリコンやＳＯＩ（Ｓｉｌｉｃｏｎ　ｏｎ　Ｉｎｓｕｌａｔｏｒ）の単結晶シリコンとすることができる。

［０２０８］

また、層１１００が有する光電変換素子ＰＤは、図２１に示すように単結晶シリコン基板を用いたｐｎ型フォトダイオードであってもよい。

［０２０９］

当該構成とする場合、層１３００上に層１２００を形成したのち、別途形成した層１１００を貼り合わせる工法を用いることが好ましい。この場合、層１２００には絶縁層８１ｉおよび金属層４０２ａ、４０３ａが設けられる。また、層１１００には絶縁層８１ｋおよび金属層４０２ｂ、４０３ｂが設けられる。

［０２１０］

金属層４０２ａ、４０３ａは絶縁層８１ｈに埋設された領域を有するように設けられ、金属層４０２ａはトランジスタ４１のソースまたはドレインの一方と電気的に接続される。また、４０３ａは配線７１と電気的に接続される。金属層４０２ｂ、４０３ｂは絶縁層８１ｉに埋設された領域を有するように設けられ、金属層４０２ｂは光電変換素子ＰＤのｎ型領域６４０と電気的に接続される。また、４０３ｂは$ｐ^{+}$領域６５０を介して$ｐ^{+}$領域６２０と電気的に接続される。

［０２１１］

図２１に示すように、金属層４０２ａおよび金属層４０２ｂと、金属層４０３ａおよび金属層４０３ｂとは、それぞれが直接接触する位置に設けられ、接続部４０２、４０３を有する構成とする。

［０２１２］

ここで、金属層４０２ａおよび金属層４０２ｂは主成分が同一の金属元素であることが好ましい。また、金属層４０３ａおよび金属層４０３ｂは主成分が同一の金属元素であることが好ましい。また、絶縁層８１ｉおよび絶縁層８１ｋは、同一の成分で構成されていることが好ましい。

［０２１３］

例えば、金属層４０２ａ、４０２ｂ、４０３ａ、４０３ｂには、Ｃｕ、Ａｌ、Ｓｎ、Ｚｎ、Ｗ、Ａｇ、ＰｔまたはＡｕなどを用いることができる。接合のしやすさから、好ましくはＣｕ、Ａｌ、Ｗ、またはＡｕを用いる。また、絶縁層８１ｉおよび絶縁層８１ｋには、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、窒化チタンなどを用いることができる。

［０２１４］

金属層４０２ａ、４０２ｂ、４０３ａ、４０３ｂのそれぞれに、上記に示す同一の金属材料を用い、絶縁層８１ｉおよび絶縁層８１ｋのそれぞれに、上記に示す同一の絶縁材料を用いることで、層１１００と層１２００で貼り合わせ工程を行うことができる。当該貼り合わせ工程によって、金属層４０２ａおよび金属層４０２ｂの電気的な接続、ならびに金属層４０３ａおよび金属層４０３ｂの電気的な接続を得ることができる。また、絶縁層８１ｉおよび絶縁層８１ｋの機械的な強度を有する接続を得ることができる。

［０２１５］

金属層同士の接合には、酸化膜や不純物の吸着層などをスパッタリングなどで除去し、清浄化および活性化した表面同士を接触させて接合する表面活性化接合法を用いることができる。または、温度と圧力を併用して表面同士を接合する拡散接合法などを用いることができる。どちらも原子レベルでの結合が起こるため、電気的だけでなく機械的にも優れた接合を得ることができる。

［０２１６］

また、絶縁層同士の接合には、研磨などによって高い平坦性を得たのち、酸素プラズマ等で親水性処理をした表面同士を接触させて仮接合し、熱処理による脱水で本接合を行う親水性接合法などを用いることができる。親水性接合法も原子レベルでの結合が起こるため、機械的に優れた接合を得ることができる。

［０２１７］

層１１００と、層１２００を貼り合わせる場合、それぞれの接合面には絶縁層と金属層が混在するため、例えば、表面活性化接合法および親水性接合法を組み合わせて行えばよい。

［０２１８］

例えば、研磨後に表面を清浄化し、金属層の表面に酸化防止処理を行ったのちに親水性処理を行って

接合する方法などを用いることができる。また、金属層の表面をＡｕなどの難酸化性金属とし、親水性処理を行ってもよい。なお、上述した方法以外の接合方法を用いてもよい。

［０２１９］

貼り合わせ法は、それぞれの層が有するデバイスが完成後に貼り合わせを行うため、それぞれのデバイスは最適な工程用いて作製することができる。したがって、トランジスタおよび光電変換素子の電気特性および信頼性を高めることができる。

［０２２０］

なお、図２１の構成においては、絶縁層８０に相当する層として、ＯＳトランジスタとＳｉトランジスタとの間に絶縁層８０ａが設けられる。また、ＯＳトランジスタとＳｉフォトダイオードとの間に絶縁層８０ｂが設けられる。

［０２２１］

また、本発明の一態様の撮像装置では、層１３００に形成したＳｉトランジスタで画素回路とは異なる回路を設けることができる。当該回路としては、例えば、回路２２乃至回路２９などがある。

［０２２２］

上記いずれかの回路に含まれるトランジスタ５４６およびトランジスタ５４７を図２２に示す。トランジスタ５４６、５４７は光電変換素子ＰＤと重なる領域に形成することができる。すなわち、上記回路は画素２０と重なる領域に形成される。なお、図２２では、トランジスタ４６をｐ－ｃｈ型、トランジスタ４７をｎ－ｃｈ型としたＣＭＯＳインバータを構成の例を示しているが、その他の回路構成であってもよい。

［０２２３］

また、図２３に示すように、トランジスタ４７は層１２００に設けたＯＳトランジスタであってもよい。図２３に示す構成では、トランジスタ４６とトランジスタ４７を互いに重なる領域に貼り合わせ工程で設けることができ、回路面積を小さくすることができる。また、画素回路が有するトランジスタ４３、４４をｐ－ｃｈ型で形成する場合は、単結晶シリコン基板６００に設けるトランジスタを全てｐ－ｃｈ型とすることもでき、ｎ－ｃｈ型のＳｉトランジスタを形成する工程を省くことができる。

［０２２４］

図２４は、図１３に示す構成に層１４００を付加した構成の断面図であり、３画素分（画素２０ａ、２０ｂ、２０ｃ）を表している。

［０２２５］

層１４００には、遮光層１５３０、光学変換層１５５０ａ、１５５０ｂ、１５５０ｃ、マイクロレンズアレイ１５４０などを設けることができる。

［０２２６］

層１４００において、層１１００と接する領域には絶縁層８１ｊが形成される。絶縁層８１ｊは、可視光に対して透光性の高い酸化シリコン膜などを用いることができる。また、パッシベーション膜として窒化シリコン膜を積層する構成としてもよい。また、反射防止膜として、酸化ハフニウムなどの誘電体膜を積層する構成としてもよい。

［０２２７］

絶縁層８１ｊ上には遮光層１５３０を設けることができる。遮光層１５３０は画素の境界およびその近傍に配置され、斜め方向から侵入する迷光を遮蔽する機能を有する。遮光層１５３０には、アルミ

ニウム、タングステンなどの金属層や当該金属層と反射防止膜としての機能を有する誘電体膜を積層する構成とすることができる。

［０２２８］

絶縁層８１および遮光層１５３０上には、光学変換層１５５０ａ、１５５０ｂ、１５５０ｃを設けることができる。例えば、光学変換層１５５０ａ、１５５０ｂ、１５５０ｃに、Ｒ（赤）、Ｇ（緑）、Ｂ（青）、Ｙ（黄）、Ｃ（シアン）、Ｍ（マゼンタ）などのカラーフィルタを割り当てることにより、カラー画像を得ることができる。

［０２２９］

なお、光学変換層に可視光線の波長以下の光を遮るフィルタを用いれば赤外線撮像装置とすることができる。また、光学変換層に近赤外線の波長以下の光を遮るフィルタを用いれば遠赤外線撮像装置とすることができる。また、光学変換層に可視光線の波長以上の光を遮るフィルタを用いれば紫外線撮像装置とすることができる。

［０２３０］

また、光学変換層にシンチレータを用いれば、Ｘ線撮像装置などに用いる、放射線の強弱を可視化した画像を得る撮像装置とすることができる。被写体を透過したＸ線等の放射線がシンチレータに入射されると、フォトルミネッセンス現象により可視光線や紫外光線などの光（蛍光）に変換される。そして、当該光を光電変換素子ＰＤで検知することにより画像データを取得する。また、放射線検出器などに当該構成の撮像装置を用いてもよい。

［０２３１］

シンチレータは、Ｘ線やガンマ線などの放射線が照射されると、そのエネルギーを吸収して可視光や紫外光を発する物質を含む。例えば、Gd_2O_2S：Ｔｂ、Gd_2O_2S：Ｐｒ、Gd_2O_2S：Ｅｕ、ＢａＦＣｌ：Ｅｕ、ＮａＩ、ＣｓＩ、CaF_2、BaF_2、CeF_3、ＬｉＦ、ＬｉＩ、ＺｎＯを樹脂やセラミクスに分散させたものを用いることができる。

［０２３２］

光学変換層１５５０ａ、１５５０ｂ、１５５０ｃ上には、マイクロレンズアレイ１５４０を設けることができる。マイクロレンズアレイ１５４０が有する個々のレンズを通る光が直下の光学変換層１５５０ａ、１５５０ｂ、１５５０ｃを通り、光電変換素子ＰＤに照射されるようになる。

［０２３３］

本実施の形態において、本発明の一態様について述べた。または、他の実施の形態において、本発明の一態様について述べる。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態および他の実施の形態では、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、撮像装置に適用した場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様は、撮像装置に適用しなくてもよい。例えば、本発明の一態様は、別の機能を有する半導体装置に適用してもよい。例えば、本発明の一態様として、トランジスタのチャネル形成領域、ソースドレイン領域などが、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、様々な半導体を有していてもよい。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、ト

ランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、酸化物半導体を有していなくてもよい。例えば、本発明の一態様として、グローバルシャッタ方式の場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様は、別の方式、例えば、ローリングシャッタ方式を用いてもよい。または、場合によっては、または、状況に応じて、グローバルシャッタ方式を用いなくてもよい。

［０２３４］

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

［０２３５］

（実施の形態３）

本実施の形態では、本発明の一態様に用いることのできるＯＳトランジスタについて図面を用いて説明する。なお、本実施の形態における図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。

［０２３６］

図２５（Ａ）、（Ｂ）、（Ｃ）は、本発明の一態様のトランジスタ１０１の上面図および断面図である。図２５（Ａ）は上面図であり、図２５（Ａ）に示す一点鎖線Ｘ１－Ｘ２方向の断面が図２５（Ｂ）に相当する。また、図２５（Ａ）に示す一点鎖線Ｙ１－Ｙ２方向の断面が図２５（Ｃ）に相当する。

［０２３７］

なお、本実施の形態で説明する図面において、一点鎖線Ｘ１－Ｘ２方向をチャネル長方向、一点鎖線Ｙ１－Ｙ２方向をチャネル幅方向と呼ぶ。

［０２３８］

トランジスタ１０１は、基板１１５と接する絶縁層１２０と、絶縁層１２０と接する導電層１７３と、絶縁層１２０と接する酸化物半導体層１３０と、酸化物半導体層１３０と電気的に接続する導電層１４０および導電層１５０と、酸化物半導体層１３０、導電層１４１および導電層１５１と接する絶縁層１６０と、絶縁層１６０と接する導電層１７０を有する。

［０２３９］

また、トランジスタ１０１上には、酸化物半導体層１３０、導電層１４１、導電層１５１、絶縁層１６０および導電層１７０と接する絶縁層１８０を必要に応じて設けてもよい。

［０２４０］

酸化物半導体層１３０は、一例として、酸化物半導体層１３０ａ、１３０ｂ、１３０ｃの三層構造とすることができる。

［０２４１］

導電層１４０および導電層１５０はソース電極層またはドレイン電極層、絶縁層１６０はゲート絶縁膜、導電層１７０はゲート電極層としてそれぞれ機能することができる。

［０２４２］

また、導電層１７３を第２のゲート電極層（バックゲート）として用いることで、オン電流の増加や、

しきい値電圧の制御を行うことができる。なお、導電層１７３は、遮光層としても機能させることができる。

［０２４３］

オン電流を増加させるには、例えば、導電層１７０と導電層１７３を同電位とし、ダブルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、導電層１７０とは異なる定電位を導電層１７３に供給すればよい。

［０２４４］

酸化物半導体層１３０において、導電層１４０および導電層１５０と接する領域は、ソース領域またはドレイン領域として機能することができる。

［０２４５］

酸化物半導体層１３０と導電層１４０および導電層１５０とが接することで酸化物半導体層１３０内に酸素欠損が生じ、当該酸素欠損と酸化物半導体層１３０内に残留または外部から拡散する水素との相互作用により、当該領域は導電型がｎ型の低抵抗領域となる。

［０２４６］

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。また、「電極層」は、「配線」と言い換えることもできる。

［０２４７］

導電層１４０および導電層１５０は、酸化物半導体層１３０の上面と接し、側面には接しない構成となっている。このような構成にすることにより、絶縁層１２０が有する酸素による酸化物半導体層１３０内の酸素欠損を補填しやすくなる。

［０２４８］

本発明の一態様のトランジスタは、図２６（Ａ）、（Ｂ）、（Ｃ）に示す構成であってもよい。図２６（Ａ）はトランジスタ１０２の上面図であり、図２６（Ａ）に示す一点鎖線Ｘ１－Ｘ２方向の断面が図２６（Ｂ）に相当する。また、図２６（Ａ）に示す一点鎖線Ｙ１－Ｙ２方向の断面が図２６（Ｃ）に相当する。

［０２４９］

トランジスタ１０２は、導電層１４０および導電層１５０が絶縁層１２０と接している点、および導電層１４０および導電層１５０が酸化物半導体層１３０の側面と接している点を除き、トランジスタ１０１と同様の構成を有する。

［０２５０］

また、本発明の一態様のトランジスタは、図２７（Ａ）、（Ｂ）、（Ｃ）に示す構成であってもよい。図２７（Ａ）はトランジスタ１０３の上面図であり、図２７（Ａ）に示す一点鎖線Ｘ１－Ｘ２方向の断面が図２７（Ｂ）に相当する。また、図２７（Ａ）に示す一点鎖線Ｙ１－Ｙ２方向の断面が図２７（Ｃ）に相当する。

［０２５１］

トランジスタ１０３は、酸化物半導体層１３０ａ、１３０ｂ、導電層１４０および導電層１５０が酸化物半導体層１３０ｃおよび絶縁層１６０で覆われている点を除き、トランジスタ１０１と同様の構

成を有する。

［０２５２］

酸化物半導体層１３０ｃで酸化物半導体層１３０ａ、１３０ｂを覆うことで、酸化物半導体層１３０ａ、１３０ｂおよび絶縁層１２０に対する酸素の補填効果を高めることができる。また、酸化物半導体層１３０ｃが介在することにより、絶縁層１８０による導電層１４０および導電層１５０の酸化を抑制することができる。

［０２５３］

また、本発明の一態様のトランジスタは、図２８（Ａ）、（Ｂ）、（Ｃ）に示す構成であってもよい。図２８（Ａ）はトランジスタ１０４の上面図であり、図２８（Ａ）に示す一点鎖線Ｘ１－Ｘ２方向の断面が図２８（Ｂ）に相当する。また、図２８（Ａ）に示す一点鎖線Ｙ１－Ｙ２方向の断面が図２８（Ｃ）に相当する。

［０２５４］

トランジスタ１０４は、酸化物半導体層１３０ａ、１３０ｂ、導電層１４０および導電層１５０が酸化物半導体層１３０ｃで覆われている点、導電層１７０が絶縁層２１０で覆われている点を除き、トランジスタ１０１と同様の構成を有する。

［０２５５］

絶縁層２１０には、酸素に対するブロッキング性を有する材料を用いることができる。絶縁層２１０としては、例えば酸化アルミニウム等の金属酸化物を用いることができる。絶縁層２１０が介在することにより、絶縁層１８０による導電層１７０の酸化を抑制することができる。

［０２５６］

トランジスタ１０１乃至１０４は、導電層１７０と導電層１４０および導電層１５０が重なる領域を有するトップゲート構造である。当該領域のチャネル長方向の幅は、寄生容量を小さくするために３ｎｍ以上３００ｎｍ未満とすることが好ましい。当該構成では、酸化物半導体層１３０にオフセット領域が形成されないため、オン電流の高いトランジスタを形成しやすい。

［０２５７］

本発明の一態様のトランジスタは、図２９（Ａ）、（Ｂ）、（Ｃ）に示す構成であってもよい。図２９（Ａ）はトランジスタ１０５の上面図であり、図２９（Ａ）に示す一点鎖線Ｘ１－Ｘ２方向の断面が図２９（Ｂ）に相当する。また、図２９（Ａ）に示す一点鎖線Ｙ１－Ｙ２方向の断面が図２９（Ｃ）に相当する。

［０２５８］

トランジスタ１０５は、基板１１５と接する絶縁層１２０と、絶縁層１２０と接する導電層１７３と、絶縁層１２０と接する酸化物半導体層１３０と、酸化物半導体層１３０と接する絶縁層１６０と、絶縁層１６０と接する導電層１７０を有する。

［０２５９］

また、層間絶縁膜として機能する絶縁層１８０には、酸化物半導体層１３０の領域２３１と接する導電体２００と、酸化物半導体層１３０の領域２３２と接する導電体２０１が設けられる。導電体２００および導電体２０１は、ソース電極層の一部またはドレイン電極層の一部として機能することができる。

［０２６０］

トランジスタ１０５における領域２３１および領域２３２には、酸素欠損を形成し導電率を高めるための不純物を添加することが好ましい。酸化物半導体層に酸素欠損を形成する不純物としては、例えば、リン、砒素、アンチモン、ホウ素、アルミニウム、シリコン、窒素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、インジウム、フッ素、塩素、チタン、亜鉛、および炭素のいずれかから選択される一つ以上を用いることができる。当該不純物の添加方法としては、プラズマ処理法、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。

［０２６１］

不純物元素として、上記元素が酸化物半導体層に添加されると、酸化物半導体層中の金属元素および酸素の結合が切断され、酸素欠損が形成される。酸化物半導体層に含まれる酸素欠損と酸化物半導体層中に残存または後から添加される水素の相互作用により、酸化物半導体層の導電率を高くすることができる。

［０２６２］

不純物元素の添加により酸素欠損が形成された酸化物半導体に水素を添加すると、酸素欠損サイトに水素が入り伝導帯近傍にドナー準位が形成される。その結果、酸化物導電体を形成することができる。ここでは、導電体化された酸化物半導体を酸化物導電体という。

［０２６３］

トランジスタ１０５は、導電層１７０と導電層１４０および導電層１５０が重なる領域を有さないセルフアライン構造である。セルフアライン構造のトランジスタはゲート電極層とソース電極層およびドレイン電極層間の寄生容量が極めて小さいため、高速動作用途に適している。

［０２６４］

本発明の一態様のトランジスタは、図３０（Ａ）、（Ｂ）、（Ｃ）に示す構成であってもよい。図３０（Ａ）はトランジスタ１０６の上面図であり、図３０（Ａ）に示す一点鎖線Ｘ１－Ｘ２方向の断面が図３０（Ｂ）に相当する。また、図３０（Ａ）に示す一点鎖線Ｙ１－Ｙ２方向の断面が図３０（Ｃ）に相当する。

［０２６５］

トランジスタ１０６は、基板１１５と、基板１１５上の絶縁層１２０と、絶縁層１２０と接する導電層１７３と、絶縁層１２０上の酸化物半導体層１３０（酸化物半導体層１３０ａ、酸化物半導体層１３０ｂ、酸化物半導体層１３０ｃ）と、酸化物半導体層１３０に接し、間隔を開けて配置された導電層１４０および導電層１５０と、酸化物半導体層１３０ｃと接する絶縁層１６０と、絶縁層１６０と接する導電層１７０を有する。

［０２６６］

なお、酸化物半導体層１３０、絶縁層１６０および導電層１７０は、トランジスタ１０６上の絶縁層１８０に設けられた酸化物半導体層１３０ａ、酸化物半導体層１３０ｂおよび絶縁層１２０に達する開口部に設けられている。

［０２６７］

本発明の一態様のトランジスタは、図３１（Ａ）、（Ｂ）、（Ｃ）に示す構成であってもよい。図３１（Ａ）はトランジスタ１０７の上面図であり、図３１（Ａ）に示す一点鎖線Ｘ１－Ｘ２方向の断面が図３１（Ｂ）に相当する。また、図３１（Ａ）に示す一点鎖線Ｙ１－Ｙ２方向の断面が図３１（Ｃ）に相当

する。

［０２６８］

トランジスタ１０７は、酸化物半導体層１３０ａ、１３０ｂ、導電層１４０および導電層１５０が酸化物半導体層１３０ｃおよび酸化物半導体層１３０ｄで覆われている点を除き、トランジスタ１０６と同様の構成を有する。酸化物半導体層１３０ｄは酸化物半導体層１３０ｃと同じ材料で形成することができる。

［０２６９］

酸化物半導体層１３０ｃ、１３０ｄで酸化物半導体層１３０ａ、１３０ｂを覆うことで、酸化物半導体層１３０ａ、１３０ｂおよび絶縁層１２０に対する酸素の補填効果を高めることができる。また、酸化物半導体層１３０ｄが介在することにより、絶縁層１８０による導電層１４０および導電層１５０の酸化を抑制することができる。

［０２７０］

トランジスタ１０６、１０７の構成は、ソースまたはドレインとなる導電体とゲート電極となる導電体の重なる領域が少ないため、寄生容量を小さくすることができる。したがって、トランジスタ１０６、１０７は、高速動作を必要とする回路の要素として適している。

［０２７１］

また、本発明の一態様のトランジスタは、図３２（Ａ）に示すように、酸化物半導体層１３０を単層で形成してもよい。また、図３２（Ｂ）に示すように、酸化物半導体層１３０を２層で形成してもよい。

［０２７２］

また、本発明の一態様のトランジスタは、図３２（Ｃ）に示すように、導電層１７３を有さない構成であってもよい。

［０２７３］

また、本発明の一態様のトランジスタにおいて、導電層１７０と導電層１７３を電気的に接続するには、例えば、図３２（Ｄ）に示すように、絶縁層１２０、酸化物半導体層１３０ｃおよび絶縁層１６０に導電層１７３に達する開口部を設け、当該開口部を覆うように導電層１７０を形成すればよい。

［０２７４］

また、本発明の一態様のトランジスタは、図３２（Ｅ）に示すように導電層１４０および導電層１５０のそれぞれと接する絶縁層１４５および絶縁層１５５を設けてもよい。絶縁層１４５および絶縁層１５５により導電層１４０および導電層１５０の酸化を抑制することができる。

［０２７５］

絶縁層１４５および絶縁層１５５としては、酸素に対するブロッキング性を有する材料を用いることができる。例えば、絶縁層１４５および絶縁層１５５として、酸化アルミニウム等の金属酸化物を用いることができる。

［０２７６］

また、本発明の一態様のトランジスタは、図３２（Ｆ）に示すように、導電層１７０を導電層１７１および導電層１７２の積層で形成してもよい。

［０２７７］

また、酸化物半導体層１３０上に導電層１４０、１５０が設けられる本発明の一態様のトランジスタ

においては、図３２（Ｇ）、（Ｈ）に示す上面図（酸化物半導体層１３０、導電層１４０および導電層１５０のみを図示）のように酸化物半導体層１３０の幅（W_{OS}）よりも導電層１４０および導電層１５０の幅（W_{SD}）が短く形成されていてもよい。$W_{OS} \geqq W_{SD}$（W_{SD}はW_{OS}以下）とすることで、ゲート電界がチャネル形成領域全体にかかりやすくなり、トランジスタの電気特性を向上させることができる。

［０２７８］

なお、図３２（Ａ）乃至（Ｆ）では、トランジスタ１０１の変形例として例示したが、当該変形例は本実施の形態で説明したその他のトランジスタにも適用可能である。

［０２７９］

本発明の一態様のトランジスタでは、いずれの構成においても、ゲート電極層である導電層１７０（および導電層１７３）が絶縁層を介して酸化物半導体層１３０のチャネル幅方向を電気的に取り囲む構成である。このような構成ではオン電流を高めることができ、ｓｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（ｓ－ｃｈａｎｎｅｌ）構造とよぶ。

［０２８０］

酸化物半導体層１３０ａおよび酸化物半導体層１３０ｂを有するトランジスタ、ならびに酸化物半導体層１３０ａ、酸化物半導体層１３０ｂおよび酸化物半導体層１３０ｃを有するトランジスタにおいては、酸化物半導体層１３０を構成する二層または三層の材料を適切に選択することで酸化物半導体層１３０ｂに電流を流すことができる。酸化物半導体層１３０ｂに電流が流れることで、界面散乱の影響を受けにくく、高いオン電流を得ることができる。

［０２８１］

以上の構成のトランジスタを用いることにより、半導体装置に良好な電気特性を付与することができる。

［０２８２］

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

［０２８３］

（実施の形態４）

本実施の形態では、実施の形態２に示したトランジスタの構成要素について詳細を説明する。

［０２８４］

基板１１５には、ガラス基板、石英基板、半導体基板、セラミックス基板、表面が絶縁処理された金属基板などを用いることができる。または、トランジスタやフォトダイオードが形成されたシリコン基板、および当該シリコン基板上に絶縁層、配線、コンタクトプラグとして機能を有する導電体等が形成されたものを用いることができる。なお、シリコン基板にｐ－ｃｈ型のトランジスタを形成する場合は、n^-型の導電型を有するシリコン基板を用いることが好ましい。または、n^-型またはｉ型のシリコン層を有するＳＯＩ基板であってもよい。また、シリコン基板に設けるトランジスタがｐ－ｃｈ型である場合は、トランジスタを形成する面の面方位は、（１１０）面であるシリコン基板を用いることが好ましい。（１１０）面にｐ－ｃｈ型トランジスタを形成することで、移動度を高くすることができる。

［０２８５］

絶縁層１２０は、基板１１５に含まれる要素からの不純物の拡散を防止する役割を有するほか、酸化

物半導体層１３０に酸素を供給する役割を担うことができる。したがって、絶縁層１２０は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。例えば、膜の表面温度が１００℃以上７００℃以下、好ましくは１００℃以上５００℃以下の加熱処理で行われるＴＤＳ法にて、酸素原子に換算した酸素の放出量が１．０×10^{19}ａｔｏｍｓ／ｃｍ^{3}以上である膜とする。また、基板１１５が他のデバイスが形成された基板である場合、絶縁層１２０は、層間絶縁膜としての機能も有する。その場合は、表面が平坦になるようにＣＭＰ法等で平坦化処理を行うことが好ましい。

［０２８６］

バックゲート電極層として作用する導電層１７３には、例えば、Ａｌ、Ｔｉ、Ｃｒ、Ｃｏ、Ｎｉ、Ｃｕ、Ｙ、Ｚｒ、Ｍｏ、Ｒｕ、Ａｇ、Ｍｎ、Ｎｄ、Ｓｃ、ＴａおよびWなどの導電膜を用いることができる。また、上記材料の合金や上記材料の導電性窒化物を用いてもよい。また、上記材料、上記材料の合金、および上記材料の導電性窒化物から選ばれた複数の材料の積層であってもよい。

［０２８７］

例えば、絶縁層１２０には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、またはこれらの混合材料を用いることができる。また、上記材料の積層であってもよい。

［０２８８］

酸化物半導体層１３０は、酸化物半導体層１３０ａ、酸化物半導体層１３０ｂおよび酸化物半導体層１３０ｃを絶縁層１２０側から順に積んだ三層構造とすることができる。

［０２８９］

なお、酸化物半導体層１３０が単層の場合は、本実施の形態に示す、酸化物半導体層１３０ｂに相当する層を用いればよい。

［０２９０］

酸化物半導体層１３０が二層の場合は、酸化物半導体層１３０ａに相当する層および酸化物半導体層１３０ｂに相当する層を絶縁層１２０側から順に積んだ積層を用いればよい。この構成の場合、酸化物半導体層１３０ａと酸化物半導体層１３０ｂとを入れ替えることもできる。

［０２９１］

一例としては、酸化物半導体層１３０ｂには、酸化物半導体層１３０ａおよび酸化物半導体層１３０ｃよりも電子親和力（真空準位から伝導帯下端までのエネルギー）が大きい酸化物半導体を用いる。

［０２９２］

このような構造において、導電層１７０に電圧を印加すると、酸化物半導体層１３０のうち、伝導帯下端のエネルギーが最も小さい酸化物半導体層１３０ｂにチャネルが形成される。したがって、酸化物半導体層１３０ｂは半導体として機能する領域を有するといえるが、酸化物半導体層１３０ａおよび酸化物半導体層１３０ｃは絶縁体または半絶縁体として機能する領域を有するともいえる。

［０２９３］

酸化物半導体層１３０ａ、酸化物半導体層１３０ｂ、および酸化物半導体層１３０ｃとして用いることのできる酸化物半導体は、少なくともＩｎもしくはＺｎを含むことが好ましい。または、ＩｎとＺ

ｎの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、Ａｌ、Ｇａ、Ｙ、またはＳｎ等のスタビライザーを含むことが好ましい。

［０２９４］

例えば、酸化物半導体層１３０ａおよび酸化物半導体層１３０ｃにはＩｎ：Ｇａ：Ｚｎ＝１：３：２、１：３：３、１：３：４、１：３：６、１：４：５、１：６：４または１：９：６（原子数比）、およびその近傍の原子数比を有するＩｎ－Ｇａ－Ｚｎ酸化物などを用いることができる。また、酸化物半導体層１３０ｂにはＩｎ：Ｇａ：Ｚｎ＝１：１：１、２：１：３、５：５：６、３：１：２、３：１：４、５：１：６、または４：２：３（原子数比）およびその近傍の原子数比を有するＩｎ－Ｇａ－Ｚｎ酸化物などを用いることができる。

［０２９５］

酸化物半導体層１３０ａ、酸化物半導体層１３０ｂおよび酸化物半導体層１３０ｃには、結晶部が含まれていてもよい。例えばｃ軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。また、ｃ軸に配向した結晶は歪曲に強く、フレキシブル基板を用いた半導体装置の信頼性を向上させることができる。

［０２９６］

ソース電極層として作用する導電層１４０およびドレイン電極層として作用する導電層１５０には、例えば、Ａｌ、Ｃｒ、Ｃｕ、Ｔａ、Ｔｉ、Ｍｏ、Ｗ、Ｎｉ、Ｍｎ、Ｎｄ、Ｓｃ、および当該金属材料の合金または導電性窒化物から選ばれた材料の単層、あるいは積層を用いることができる。なお、導電性窒化物である窒化タンタルを用いることで酸化を防止することができる。また、低抵抗のＣｕやＣｕ－Ｍｎなどの合金と上記材料との積層を用いてもよい。

［０２９７］

上記材料は酸化物半導体膜から酸素を引き抜く性質を有する。そのため、上記材料と接した酸化物半導体膜の一部の領域では酸化物半導体層中の酸素が脱離し、酸素欠損が形成される。膜中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域は顕著にｎ型化する。したがって、ｎ型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。

［０２９８］

ゲート絶縁膜として作用する絶縁層１６０には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁層１６０は上記材料の積層であってもよい。

［０２９９］

また、酸化物半導体層１３０と接する絶縁層１２０および絶縁層１６０は、窒素酸化物の放出量の少ない膜を用いることが好ましい。窒素酸化物の放出量の多い絶縁層と酸化物半導体が接した場合、窒素酸化物に起因する準位密度が高くなることがある。

［０３００］

絶縁層１２０および絶縁層１６０として、上記絶縁膜を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

［０３０１］

ゲート電極層として作用する導電層１７０には、例えば、Ａｌ、Ｔｉ、Ｃｒ、Ｃｏ、Ｎｉ、Ｃｕ、Ｙ、Ｚｒ、Ｍｏ、Ｒｕ、Ａｇ、Ｍｎ、Ｎｄ、Ｓｃ、ＴａおよびWなどの導電膜を用いることができる。また、上記材料の合金や上記材料の導電性窒化物を用いてもよい。また、上記材料、上記材料の合金、および上記材料の導電性窒化物から選ばれた複数の材料の積層であってもよい。代表的には、タングステン、タングステンと窒化チタンの積層、タングステンと窒化タンタルの積層などを用いることができる。また、低抵抗のＣｕまたはＣｕ－Ｍｎなどの合金や上記材料とＣｕまたはＣｕ－Ｍｎなどの合金との積層を用いてもよい。例えば、導電層１７１に窒化チタン、導電層１７２にタングステンを用いて導電層１７０を形成することができる。

［０３０２］

また、導電層１７０にはＩｎ－Ｇａ－Ｚｎ酸化物、酸化亜鉛、酸化インジウム、酸化スズ、酸化インジウムスズなどの酸化物導電層を用いてもよい。絶縁層１６０と接するように酸化物導電層を設けることで、当該酸化物導電層から酸化物半導体層１３０に酸素を供給することができる。

［０３０３］

絶縁層１８０には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、当該絶縁層は上記材料の積層であってもよい。

［０３０４］

ここで、絶縁層１８０は絶縁層１２０と同様に化学量論組成よりも多くの酸素を有することが好ましい。絶縁層１８０から放出される酸素は絶縁層１６０を経由して酸化物半導体層１３０のチャネル形成領域に拡散させることができることから、チャネル形成領域に形成された酸素欠損に酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。

［０３０５］

また、トランジスタ上または絶縁層１８０上には、不純物をブロッキングする効果を有する膜を設けることが好ましい。当該ブロッキング膜には窒化シリコン膜、窒化アルミニウム膜または酸化アルミニウム膜などを用いることができる。

［０３０６］

窒化絶縁膜は水分などをブロッキングする機能を有し、トランジスタの信頼性を向上させることができる。また、酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、水素、水分などの不純物の酸化物半導体層１３０への混入防止、酸素の酸化物半導体層からの放出防止、絶縁層１２０からの酸素の不必要な放出を防止する効果を有する保護膜として適している。

［０３０７］

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性は悪化する傾向にあり、例えばチャネル幅を縮小させるとオン電流は低下してしまう。

［０３０８］

本発明の一態様のトランジスタでは、チャネルが形成される酸化物半導体層１３０ｂを酸化物半導体層１３０ｃで覆う構成とすることができる。当該構成では、チャネル形成層とゲート絶縁膜が接しないため、チャネル形成層とゲート絶縁膜との界面で生じるキャリアの散乱を抑えることができ、トランジスタのオン電流を大きくすることができる。

［０３０９］

本発明の一態様のトランジスタでは、前述したように酸化物半導体層１３０のチャネル幅方向を電気的に取り囲むようにゲート電極層（導電層１７０）が形成されているため、酸化物半導体層１３０に対しては上面に垂直な方向からのゲート電界に加えて、側面に垂直な方向からのゲート電界が印加される。すなわち、チャネル形成層に対して全体的にゲート電界が印加されることになり実効チャネル幅が拡大するため、さらにオン電流を高められる。

［０３１０］

本実施の形態で説明した金属膜、半導体膜、無機絶縁膜など様々な膜は、代表的にはスパッタ法やプラズマＣＶＤ法により形成することができるが、他の方法、例えば、熱ＣＶＤ法により形成してもよい。熱ＣＶＤ法の例としては、ＭＯＣＶＤ（Ｍｅｔａｌ　Ｏｒｇａｎｉｃ　Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法やＡＬＤ（Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法などがある。

［０３１１］

熱ＣＶＤ法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

［０３１２］

また、熱ＣＶＤ法では、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

［０３１３］

ＡＬＤ法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスをチャンバーに導入・反応させ、これを繰り返すことで成膜を行う。原料ガスと一緒に不活性ガス（アルゴン、或いは窒素など）をキャリアガスとして導入しても良い。例えば２種類以上の原料ガスを順番にチャンバーに供給してもよい。その際、複数種の原料ガスが混ざらないように第１の原料ガスの反応後、不活性ガスを導入し、第２の原料ガスを導入する。あるいは、不活性ガスを導入する代わりに真空排気によって第１の原料ガスを排出した後、第２の原料ガスを導入してもよい。第１の原料ガスが基板の表面に吸着・反応して第１の層を成膜し、後から導入される第２の原料ガスが吸着・反応して、第２の層が第１の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入の繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なＦＥＴを作製する場合に適している。

［０３１４］

また、酸化物半導体層の成膜には、対向ターゲット式スパッタ装置を用いることもできる。当該対向ターゲット式スパッタ装置を用いた成膜法を、ＶＤＳＰ（ｖａｐｏｒ　ｄｅｐｏｓｉｔｉｏｎ　ＳＰ）と呼ぶこともできる。

［０３１５］

対向ターゲット式スパッタ装置を用いて酸化物半導体層を成膜することによって、酸化物半導体層の成膜時におけるプラズマ損傷を低減することができる。そのため、膜中の酸素欠損を低減することができる。また、対向ターゲット式スパッタ装置を用いることで低圧での成膜が可能となるため、成膜された酸化物半導体層中の不純物濃度（例えば水素、希ガス（アルゴンなど）、水など）を低減させることができる。

［０３１６］

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

［０３１７］

（実施の形態５）

本実施の形態では、本発明の一態様に用いることのできる酸化物半導体の材料について説明する。

［０３１８］

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、元素Mとしてアルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、元素Mとしては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

［０３１９］

ここで、酸化物半導体が、インジウム、元素Mおよび亜鉛を有する場合を考える。

［０３２０］

まず、図３３（Ａ）、図３３（Ｂ）、および図３３（Ｃ）を用いて、本発明に係る酸化物半導体が有するインジウム、元素Mおよび亜鉛の原子数比の好ましい範囲について説明する。なお、酸素の原子数比については記載しない。また、酸化物半導体が有するインジウム、元素M、および亜鉛の原子数比のそれぞれの項を［Ｉｎ］、［M］、および［Ｚｎ］とする。

［０３２１］

図３３（Ａ）、図３３（Ｂ）、および図３３（Ｃ）において、破線は、［Ｉｎ］：［M］：［Ｚｎ］＝（１＋α）：（１－α）：１の原子数比（－１≦α≦１）となるライン、［Ｉｎ］：［M］：［Ｚｎ］＝（１＋α）：（１－α）：２の原子数比となるライン、［Ｉｎ］：［M］：［Ｚｎ］＝（１＋α）：（１－α）：３の原子数比となるライン、［Ｉｎ］：［M］：［Ｚｎ］＝（１＋α）：（１－α）：４の原子数比となるライン、および［Ｉｎ］：［M］：［Ｚｎ］＝（１＋α）：（１－α）：５の原子数比となるラインを表す。

［０３２２］

また、一点鎖線は、［Ｉｎ］：［M］：［Ｚｎ］＝１：１：βの原子数比（β≧０）となるライン、［Ｉｎ］：［M］：［Ｚｎ］＝１：２：βの原子数比となるライン、［Ｉｎ］：［M］：［Ｚｎ］＝１：３：βの原子数比となるライン、［Ｉｎ］：［M］：［Ｚｎ］＝１：４：βの原子数比となるライン、［Ｉｎ］：［M］：［Ｚｎ］＝２：１：βの原子数比となるライン、および［Ｉｎ］：［M］：［Ｚｎ］＝５：１：βの原子数比となるラインを表す。

［０３２３］

また、図３３に示す、［Ｉｎ］：［M］：［Ｚｎ］＝０：２：１の原子数比またはその近傍値の酸化物半導体は、スピネル型の結晶構造をとりやすい。

［０３２４］

図３３（Ａ）および図３３（Ｂ）では、本発明の一態様の酸化物半導体が有する、インジウム、元素Ｍ、および亜鉛の原子数比の好ましい範囲の一例について示している。

［０３２５］

一例として、図３４に、［Ｉｎ］：［Ｍ］：［Ｚｎ］＝１：１：１である、$InMZnO_4$の結晶構造を示す。また、図３４は、ｂ軸に平行な方向から観察した場合の$InMZnO_4$の結晶構造である。なお、図３４に示すＭ、Ｚｎ、酸素を有する層（以下、（Ｍ，Ｚｎ）層）における金属元素は、元素Ｍまたは亜鉛を表している。この場合、元素Ｍと亜鉛の割合が等しいものとする。元素Ｍと亜鉛とは、置換が可能であり、配列は不規則である。

［０３２６］

$InMZnO_4$は、層状の結晶構造（層状構造ともいう）をとり、５２に示すように、インジウム、および酸素を有する層（以下、Ｉｎ層）が１に対し、元素Ｍ、亜鉛、および酸素を有する（Ｍ，Ｚｎ）層が２となる。

［０３２７］

また、インジウムと元素Ｍは、互いに置換可能である。そのため、（Ｍ，Ｚｎ）層の元素Ｍがインジウムと置換し、（Ｉｎ，Ｍ，Ｚｎ）層と表すこともできる。その場合、Ｉｎ層が１に対し、（Ｉｎ，Ｍ，Ｚｎ）層が２である層状構造をとる。

［０３２８］

［Ｉｎ］：［Ｍ］：［Ｚｎ］＝１：１：２となる原子数比の酸化物半導体は、Ｉｎ層が１に対し、（Ｍ，Ｚｎ）層が３である層状構造をとる。つまり、［Ｉｎ］および［Ｍ］に対し［Ｚｎ］が大きくなると、酸化物半導体が結晶化した場合、Ｉｎ層に対する（Ｍ，Ｚｎ）層の割合が増加する。

［０３２９］

ただし、酸化物半導体中において、Ｉｎ層が１層に対し、（Ｍ，Ｚｎ）層がの層数が非整数である場合、Ｉｎ層が１層に対し、（Ｍ，Ｚｎ）層の層数が整数である層状構造を複数種有する場合がある。例えば、［Ｉｎ］：［Ｍ］：［Ｚｎ］＝１：１：１．５である場合、Ｉｎ層が１に対し、（Ｍ，Ｚｎ）層が２である層状構造と、（Ｍ，Ｚｎ）層が３である層状構造とが混在する層状構造となる場合がある。

［０３３０］

例えば、酸化物半導体をスパッタ装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。特に、成膜時の基板温度によっては、ターゲットの［Ｚｎ］よりも、膜の［Ｚｎ］が小さくなる場合がある。

［０３３１］

また、酸化物半導体中に複数の相が共存する場合がある（二相共存、三相共存など）。例えば、［Ｉｎ］：［Ｍ］：［Ｚｎ］＝０：２：１の原子数比の近傍値である原子数比では、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、［Ｉｎ］：［Ｍ］：［Ｚｎ］＝１：０：０を示す原子数比の近傍値である原子数比では、ビックスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。酸化物半導体中に複数の相が共存する場合、異なる結晶構造の間において、粒界（グレインバウンダリーともいう）が形成される場合がある。

［０３３２］

また、インジウムの含有率を高くすることで、酸化物半導体のキャリア移動度（電子移動度）を高く

することができる。これは、インジウム、元素Mおよび亜鉛を有する酸化物半導体では、主として重金属のｓ軌道がキャリア伝導に寄与しており、インジウムの含有率を高くすることにより、ｓ軌道が重なる領域がより大きくなるため、インジウムの含有率が高い酸化物半導体はインジウムの含有率が低い酸化物半導体と比較してキャリア移動度が高くなるためである。

［０３３３］

一方、酸化物半導体中のインジウムおよび亜鉛の含有率が低くなると、キャリア移動度が低くなる。したがって、［Ｉｎ］：［Ｍ］：［Ｚｎ］＝０：１：０を示す原子数比、およびその近傍値である原子数比（例えば図３３（Ｃ）に示す領域Ｃ）では、絶縁性が高くなる。

［０３３４］

したがって、本発明の一態様の酸化物半導体は、キャリア移動度が高く、かつ、粒界が少ない層状構造となりやすい、図３３（Ａ）の領域Ａで示される原子数比を有することが好ましい。

［０３３５］

また、図３３（Ｂ）に示す領域Ｂは、［Ｉｎ］：［Ｍ］：［Ｚｎ］＝４：２：３から４．１、おおびその近傍値を示している。近傍値には、例えば、原子数比が［Ｉｎ］：［Ｍ］：［Ｚｎ］＝５：３：４が含まれる。領域Ｂで示される原子数比を有する酸化物半導体は、特に、結晶性が高く、キャリア移動度も高い優れた酸化物半導体である。

［０３３６］

なお、酸化物半導体が、層状構造を形成する条件は、原子数比によって一義的に定まらない。原子数比により、層状構造を形成するための難易の差はある。一方、同じ原子数比であっても、形成条件により、層状構造になる場合も層状構造にならない場合もある。したがって、図示する領域は、酸化物半導体が層状構造を有する原子数比を示す領域であり、領域Ａ乃至領域Ｃの境界は厳密ではない。

［０３３７］

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

［０３３８］

なお、上記酸化物半導体をトランジスタに用いることで、粒界におけるキャリア散乱等を減少させることができるため、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

［０３３９］

また、トランジスタのしきい値電圧のマイナスシフトの抑制、またはトランジスタのオフ電流の低減を目的とする場合においては、酸化物半導体のキャリア密度を低くする方が好ましい。酸化物半導体のキャリア密度を低くする場合においては、酸化物半導体中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。高純度真性の酸化物半導体のキャリア密度としては、８×１０^{15}ｃｍ$^{-3}$未満、好ましくは１×１０^{11}ｃｍ$^{-3}$未満、さらに好ましくは１×１０^{10}ｃｍ$^{-3}$未満であり、１×１０^{-9}ｃｍ$^{-3}$以上とすればよい。

［０３４０］

一方で、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度の向上を目的とする場合においては、酸化物半導体のキャリア密度を高くする方が好ましい。酸化物半導体のキャリア密度を高くする場合においては、酸化物半導体の不純物濃度をわずかに高める、または酸化物半導体の

欠陥準位密度をわずかに高めればよい。あるいは、酸化物半導体のバンドギャップをより小さくするとよい。例えば、トランジスタのＩｄ－Ｖｇ特性のオン／オフ比が取れる範囲において、不純物濃度がわずかに高い、または欠陥準位密度がわずかに高い酸化物半導体は、実質的に真性とみなせる。また、電子親和力が大きく、それにともなってバンドギャップが小さくなり、その結果、熱励起された電子（キャリア）の密度が増加した酸化物半導体は、実質的に真性とみなせる。なお、より電子親和力が大きな酸化物半導体を用いた場合には、トランジスタのしきい値電圧がより低くなる。

［０３４１］

上述のキャリア密度が高められた酸化物半導体は、わずかにｎ型化している。したがって、キャリア密度が高められた酸化物半導体を、「Ｓｌｉｇｈｔｌｙ－ｎ」と呼称してもよい。

［０３４２］

実質的に真性の酸化物半導体のキャリア密度は、1×10^{5}ｃｍ$^{-3}$以上1×10^{18}ｃｍ$^{-3}$未満が好ましく、1×10^{7}ｃｍ$^{-3}$以上1×10^{17}ｃｍ$^{-3}$以下がより好ましく、1×10^{9}ｃｍ$^{-3}$以上5×10^{16}ｃｍ$^{-3}$以下がさらに好ましく、1×10^{10}ｃｍ$^{-3}$以上1×10^{16}ｃｍ$^{-3}$以下がさらに好ましく、1×10^{11}ｃｍ$^{-3}$以上1×10^{15}ｃｍ$^{-3}$以下がさらに好ましい。

［０３４３］

また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

［０３４４］

したがって、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

［０３４５］

ここで、酸化物半導体中における各不純物の影響について説明する。

［０３４６］

酸化物半導体において、第１４族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体または酸化物半導体と接する層との界面近傍においては、シリコンや炭素の濃度（二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）により得られる濃度）が、2×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは2×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下となる領域を有するように制御する。

［０３４７］

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度（ＳＩＭＳ分析により得られる濃度）が、1×10^{1}

^{8}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは２×１０^{16}ａｔｏｍｓ／ｃｍ^{3}以下となる領域を有するように制御する。

［０３４８］

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。したがって、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、具体的には、酸化物半導体中の窒素濃度（ＳＩＭＳ分析により得られる濃度）が、５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは５×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下となる領域を有するように制御する。

［０３４９］

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体中の水素濃度（ＳＩＭＳ分析により得られる濃度）が、１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満となる領域を有するように制御する。

［０３５０］

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。また、上述のように高純度化された酸化物半導体をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を０．１Ｖ、５Ｖ、または、１０Ｖ程度とした場合に、トランジスタのチャネル幅あたりのオフ電流を数ｙＡ／μｍ乃至数ｚＡ／μｍにまで低減することが可能となる。

［０３５１］

続いて、該酸化物半導体を２層構造、または３層構造とした場合について述べる。酸化物半導体Ｓ１、酸化物半導体Ｓ２、および酸化物半導体Ｓ３の積層構造に接する絶縁体のバンド図と、酸化物半導体Ｓ２および酸化物半導体Ｓ３の積層構造に接する絶縁体のバンド図と、について、図３５を用いて説明する。なお、酸化物半導体Ｓ１は酸化物半導体層１３０ａ、酸化物半導体Ｓ２は酸化物半導体層１３０ｂ、酸化物半導体Ｓ３は酸化物半導体層１３０ｃに相当する。

［０３５２］

図３５（Ａ）は、絶縁体Ｉ１、酸化物半導体Ｓ１、酸化物半導体Ｓ２、酸化物半導体Ｓ３、および絶縁体Ｉ２を有する積層構造の膜厚方向のバンド図の一例である。また、図３５（Ｂ）は、絶縁体Ｉ１、酸化物半導体Ｓ２、酸化物半導体Ｓ３、および絶縁体Ｉ２を有する積層構造の膜厚方向のバンド図の一例である。なお、バンド図は、理解を容易にするため絶縁体Ｉ１、酸化物半導体Ｓ１、酸化物半導体Ｓ２、酸化物半導体Ｓ３、および絶縁体Ｉ２の伝導帯下端のエネルギー準位（Ｅｃ）を示す。

［０３５３］

酸化物半導体Ｓ１、酸化物半導体Ｓ３は、酸化物半導体Ｓ２よりも伝導帯下端のエネルギー準位が真空準位に近く、代表的には、酸化物半導体Ｓ２の伝導帯下端のエネルギー準位と、酸化物半導体Ｓ１、酸化物半導体Ｓ３の伝導帯下端のエネルギー準位との差が、０．１５ｅＶ以上、または０．５ｅＶ以上、かつ２ｅＶ以下、または１ｅＶ以下であることが好ましい。すなわち、酸化物半導体Ｓ１、酸化物半導体Ｓ３の電子親和力よりも、酸化物半導体Ｓ２の電子親和力が大きく、酸化物半導体Ｓ１、酸化物半導体Ｓ３の電子親和力と、酸化物半導体Ｓ２の電子親和力との差は、０．１５ｅＶ以上、または０．５ｅＶ以上、かつ２ｅＶ以下、または１ｅＶ以下であることが好ましい。

［０３５４］

図３５（Ａ）、および図３５（Ｂ）に示すように、酸化物半導体Ｓ１、酸化物半導体Ｓ２、酸化物半導体Ｓ３において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようなバンド図を有するためには、酸化物半導体Ｓ１と酸化物半導体Ｓ２との界面、または酸化物半導体Ｓ２と酸化物半導体Ｓ３との界面において形成される混合層の欠陥準位密度を低くするとよい。

［０３５５］

具体的には、酸化物半導体Ｓ１と酸化物半導体Ｓ２、酸化物半導体Ｓ２と酸化物半導体Ｓ３が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物半導体Ｓ２がＩｎ－Ｇａ－Ｚｎ酸化物半導体の場合、酸化物半導体Ｓ１、酸化物半導体Ｓ３として、Ｉｎ－Ｇａ－Ｚｎ酸化物半導体、Ｇａ－Ｚｎ酸化物半導体、酸化ガリウムなどを用いるとよい。

［０３５６］

このとき、キャリアの主たる経路は酸化物半導体Ｓ２となる。酸化物半導体Ｓ１と酸化物半導体Ｓ２との界面、および酸化物半導体Ｓ２と酸化物半導体Ｓ３との界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

［０３５７］

トラップ準位に電子が捕獲されることで、捕獲された電子は固定電荷のように振る舞うため、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。酸化物半導体Ｓ１、酸化物半導体Ｓ３を設けることにより、トラップ準位を酸化物半導体Ｓ２より遠ざけることができる。当該構成とすることで、トランジスタのしきい値電圧がプラス方向にシフトすることを防止することができる。

［０３５８］

酸化物半導体Ｓ１、酸化物半導体Ｓ３は、酸化物半導体Ｓ２と比較して、導電率が十分に低い材料を用いる。このとき、酸化物半導体Ｓ２、酸化物半導体Ｓ２と酸化物半導体Ｓ１との界面、および酸化物半導体Ｓ２と酸化物半導体Ｓ３との界面が、主にチャネル領域として機能する。例えば、酸化物半導体Ｓ１、酸化物半導体Ｓ３には、図３３（Ｃ）において、絶縁性が高くなる領域Ｃで示す原子数比の酸化物半導体を用いればよい。

［０３５９］

特に、酸化物半導体Ｓ２に領域Ａで示される原子数比の酸化物半導体を用いる場合、酸化物半導体Ｓ１および酸化物半導体Ｓ３には、［Ｍ］／［Ｉｎ］が１以上、好ましくは２以上となる原子数比の酸化物半導体を用いることが好ましい。また、酸化物半導体Ｓ３として、十分に高い絶縁性を得ることができる［Ｍ］／（［Ｚｎ］＋［Ｉｎ］）が１以上となるような原子数比の酸化物半導体を用いること

が好適である。

［０３６０］

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

［０３６１］

（実施の形態６）

本実施の形態では、イメージセンサチップを収めたパッケージおよびカメラモジュールの一例について説明する。当該イメージセンサチップには、本発明の一態様の撮像装置の構成を用いることができる。

［０３６２］

図３６（Ａ）は、イメージセンサチップを収めたパッケージの上面側の外観斜視図である。当該パッケージは、イメージセンサチップ８５０を固定するパッケージ基板８１０、カバーガラス８２０および両者を接着する接着剤８３０等を有する。

［０３６３］

図３６（Ｂ）は、当該パッケージの下面側の外観斜視図である。パッケージの下面には、半田ボールをバンプ８４０としたＢＧＡ（Ｂａｌｌ　ｇｒｉｄ　ａｒｒａｙ）の構成を有する。なお、ＢＧＡに限らず、ＬＧＡ（Ｌａｎｄ　ｇｒｉｄ　ａｒｒａｙ）やＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）などであってもよい。

［０３６４］

図３６（Ｃ）は、カバーガラス８２０および接着剤８３０の一部を省いて図示したパッケージの斜視図であり、図３６（Ｄ）は、当該パッケージの断面図である。パッケージ基板８１０上には電極パッド８６０が形成され、電極パッド８６０およびバンプ８４０はスルーホール８８０およびランド８８５を介して電気的に接続されている。電極パッド８６０は、イメージセンサチップ８５０が有する電極とワイヤ８７０によって電気的に接続されている。

［０３６５］

また、図３７（Ａ）は、イメージセンサチップをレンズ一体型のパッケージに収めたカメラモジュールの上面側の外観斜視図である。当該カメラモジュールは、イメージセンサチップ８５１を固定するパッケージ基板８１１、レンズカバー８２１、およびレンズ８３５等を有する。また、パッケージ基板８１１およびイメージセンサチップ８５１の間には撮像装置の駆動回路および信号変換回路などの機能を有するＩＣチップ８９０も設けられており、ＳｉＰ（Ｓｙｓｔｅｍ　ｉｎ　ｐａｃｋａｇｅ）としての構成を有している。

［０３６６］

図３７（Ｂ）は、当該カメラモジュールの下面側の外観斜視図である。パッケージ基板８１１の下面および４側面には、実装用のランド８４１が設けられるＱＦＮ（Ｑｕａｄ　ｆｌａｔ　ｎｏ－　ｌｅａｄ　ｐａｃｋａｇｅ）の構成を有する。なお、当該構成は一例であり、ＱＦＰ（Ｑｕａｄ　ｆｌａｔ　ｐａｃｋａｇｅ）や前述したＢＧＡ等であってもよい。

［０３６７］

図３７（Ｃ）は、レンズカバー８２１およびレンズ８３５の一部を省いて図示したモジュールの斜視図であり、図３７（Ｄ）は、当該カメラモジュールの断面図である。ランド８４１の一部は電極パッド８６１として利用され、電極パッド８６１はイメージセンサチップ８５１およびＩＣチップ８９０

が有する電極とワイヤ８７１によって電気的に接続されている。

［０３６８］

イメージセンサチップを上述したような形態のパッケージに収めることでプリント基板等への実装が容易になり、イメージセンサチップを様々な半導体装置、電子機器に組み込むことができる。

［０３６９］

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

［０３７０］

（実施の形態７）

本発明の一態様に係る撮像装置を用いることができる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置または画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図３８に示す。

［０３７１］

図３８（Ａ）は監視カメラであり、筐体９５１、レンズ９５２、支持部９５３等を有する。当該監視カメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。なお、監視カメラとは慣用的な名称であり、用途を限定するものではない。例えば監視カメラとしての機能を有する機器はカメラ、またはビデオカメラとも呼ばれる。

［０３７２］

図３８（Ｂ）はビデオカメラであり、第１筐体９７１、第２筐体９７２、表示部９７３、操作キー９７４、レンズ９７５、接続部９７６等を有する。操作キー９７４およびレンズ９７５は第１筐体９７１に設けられており、表示部９７３は第２筐体９７２に設けられている。当該ビデオカメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

［０３７３］

図３８（Ｃ）はデジタルカメラであり、筐体９６１、シャッターボタン９６２、マイク９６３、発光部９６７、レンズ９６５等を有する。当該デジタルカメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

［０３７４］

図３８（Ｄ）は腕時計型の情報端末であり、筐体９３１、表示部９３２、リストバンド９３３、操作用のボタン９３５、竜頭９３６、カメラ９３９等を有する。表示部９３２はタッチパネルとなっていてもよい。当該情報端末における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

［０３７５］

図３８（Ｅ）は携帯型ゲーム機であり、筐体９０１、筐体９０２、表示部９０３、表示部９０４、マイク９０５、スピーカー９０６、操作キー９０７、スタイラス９０８、カメラ９０９等を有する。なお、図３８（Ｅ）に示した携帯型ゲーム機は、２つの表示部９０３と表示部９０４とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。当該携帯型ゲーム機における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

［０３７６］

図３８（Ｆ）は携帯データ端末であり、筐体９１１、表示部９１２、カメラ９１９等を有する。表示部９１２が有するタッチパネル機能により情報の入出力を行うことができる。当該携帯データ端末における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

［０３７７］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［符号の説明］

［０３７８］

２０　画素
２０ａ　画素
２０ｂ　画素
２０ｃ　画素
２１　画素アレイ
２２　回路
２３　回路
２４　回路
２５　回路
２６　回路
２７　回路
２８　回路
２９　回路
３１　コンパレータ回路
３２　コンパレータ回路
３３　ＮＡＮＤ回路
３４　ＮＡＮＤ回路
３５　ＮＯＲ回路
３６　インバータ回路
３７　レベルシフタ回路
４１　トランジスタ
４２　トランジスタ
４３　トランジスタ
４４　トランジスタ
４５　トランジスタ
４６　トランジスタ
４７　トランジスタ
５１　トランジスタ
５２　トランジスタ
５３　トランジスタ
５４　トランジスタ

５５　トランジスタ
５６　トランジスタ
５７　トランジスタ
５８　トランジスタ
５９　トランジスタ
６０　トランジスタ
６１　配線
６２　配線
６３　配線
６５　配線
６６　配線
６９　配線
７１　配線
７１ａ　導電層
７１ｂ　導電層
７２　配線
７３　配線
７４　配線
７５　配線
７９　配線
８０　絶縁層
８０ａ　絶縁層
８０ｂ　絶縁層
８１　絶縁層
８１ａ　絶縁層
８１ｂ　絶縁層
８１ｅ　絶縁層
８１ｈ　絶縁層
８１ｉ　絶縁層
８１ｊ　絶縁層
８１ｋ　絶縁層
８２　導電体
８２ａ　導電体
８２ｂ　導電体
８３　絶縁層
８４　導電層
８５　導電層
８８　配線
９０　配線

９１　配線
９２　配線
９３　配線
９４　配線
１０１　トランジスタ
１０２　トランジスタ
１０３　トランジスタ
１０４　トランジスタ
１０５　トランジスタ
１０６　トランジスタ
１０７　トランジスタ
１１５　基板
１２０　絶縁層
１３０　酸化物半導体層
１３０ａ　酸化物半導体層
１３０ｂ　酸化物半導体層
１３０ｃ　酸化物半導体層
１３０ｄ　酸化物半導体層
１４０　導電層
１４１　導電層
１４５　絶縁層
１５０　導電層
１５１　導電層
１５５　絶縁層
１６０　絶縁層
１７０　導電層
１７１　導電層
１７２　導電層
１７３　導電層
１８０　絶縁層
２００　導電体
２０１　導電体
２１０　絶縁層
２３１　領域
２３２　領域
４０２　接続部
４０２ａ　金属層
４０２ｂ　金属層
４０３　接続部

４０３ａ　金属層
４０３ｂ　金属層
４０５　金属層
４４３　トランジスタ
５４６　トランジスタ
５４７　トランジスタ
５６１　光電変換層
５６２　透光性導電層
５６３　半導体層
５６４　半導体層
５６５　半導体層
５６６　電極
５６６ａ　導電層
５６６ｂ　導電層
５６７　隔壁
５６８　正孔注入阻止層
５６９　電子注入阻止層
５８８　配線
６００　単結晶シリコン基板
６２０　ｐ＋領域
６３０　ｐ－領域
６４０　ｎ型領域
６５０　ｐ＋領域
６６０　活性層
７１０　配線
７１１　配線
７１２　配線
７１３　配線
８１０　パッケージ基板
８１１　パッケージ基板
８２０　カバーガラス
８２１　レンズカバー
８３０　接着剤
８３５　レンズ
８４０　バンプ
８４１　ランド
８５０　イメージセンサチップ
８５１　イメージセンサチップ
８６０　電極パッド

８６１　電極パッド
８７０　ワイヤ
８７１　ワイヤ
８８０　スルーホール
８８５　ランド
８９０　ＩＣチップ
９０１　筐体
９０２　筐体
９０３　表示部
９０４　表示部
９０５　マイク
９０６　スピーカー
９０７　操作キー
９０８　スタイラス
９０９　カメラ
９１１　筐体
９１２　表示部
９１９　カメラ
９３１　筐体
９３２　表示部
９３３　リストバンド
９３５　ボタン
９３６　竜頭
９３９　カメラ
９５１　筐体
９５２　レンズ
９５３　支持部
９６１　筐体
９６２　シャッターボタン
９６３　マイク
９６５　レンズ
９６７　発光部
９７１　筐体
９７２　筐体
９７３　表示部
９７４　操作キー
９７５　レンズ
９７６　接続部
１１００　層

１２００　層
１３００　層
１４００　層
１５３０　遮光層
１５４０　マイクロレンズアレイ
１５５０ａ　光学変換層
１５５０ｂ　光学変換層
１５５０ｃ　光学変換層

請求の範囲

［請求項１］

第１の画素回路と、第２の画素回路と、第１の回路と、第２の回路と、第３の回路と、第４の回路と、第５の回路と、第１の配線と、を有する撮像装置であって、

前記第１の画素回路は、前記第１の回路と電気的に接続され、

前記第１の画素回路は、前記第４の回路と電気的に接続され、

前記第２の画素回路は、前記第２の回路と電気的に接続され、

前記第２の画素回路は、前記第５の回路と電気的に接続され、

前記第１の回路は、前記第１の配線と電気的に接続され、

前記第２の回路は、前記第１の配線と電気的に接続され、

前記第１の配線は、前記第３の回路と電気的に接続され、

前記第３の回路は、前記第４の回路と電気的に接続され、

前記第３の回路は、前記第５の回路と電気的に接続され、

前記第１および前記第２の画素回路は、アナログ信号を出力する機能を有し、

前記第１および前記第２の画素回路は、異なる二つのフレーム間の差分電位を出力する機能を有し、

前記第１および前記第２の回路は、前記差分電位が第１の電位以上の場合に第３の電位を前記第１の配線に出力する機能を有し、

前記第１および前記第２の回路は、前記差分電位が第２の電位以下の場合に前記第３の電位を前記第１の配線に出力する機能を有し、

前記第１および前記第２の回路は、前記差分電位が前記第２の電位より大きく、前記第１より小さい場合に第４の電位を前記第１の配線に出力する機能を有し、

前記第３の回路は、前記第４および前記第５の回路へ電源を供給する機能を有し、

前記第４および前記第５の回路は、前記アナログ信号をデジタル信号に変換する機能を有し、

前記第３の回路は、前記第１の配線が第３の電位のときに前記第４および前記第５の回路への電源供給を行い、前記第１の配線が前記第４の電位のときに前記第４および前記第５の回路への電源供給を行わない機能を有することを特徴とする撮像装置。

［請求項２］

請求項１において、

第６の回路と、第７の回路と、を有し、

前記第６の回路は、前記第１および前記第２の画素回路と電気的に接続され、

前記第７の回路は、前記第４および前記第５の回路と電気的に接続され、

前記第６の回路は、前記第３の回路と電気的に接続され、

前記第７の回路は、前記第３の回路と電気的に接続され、

前記第６の回路は、前記第１および前記第２の画素回路を選択する機能を有し、

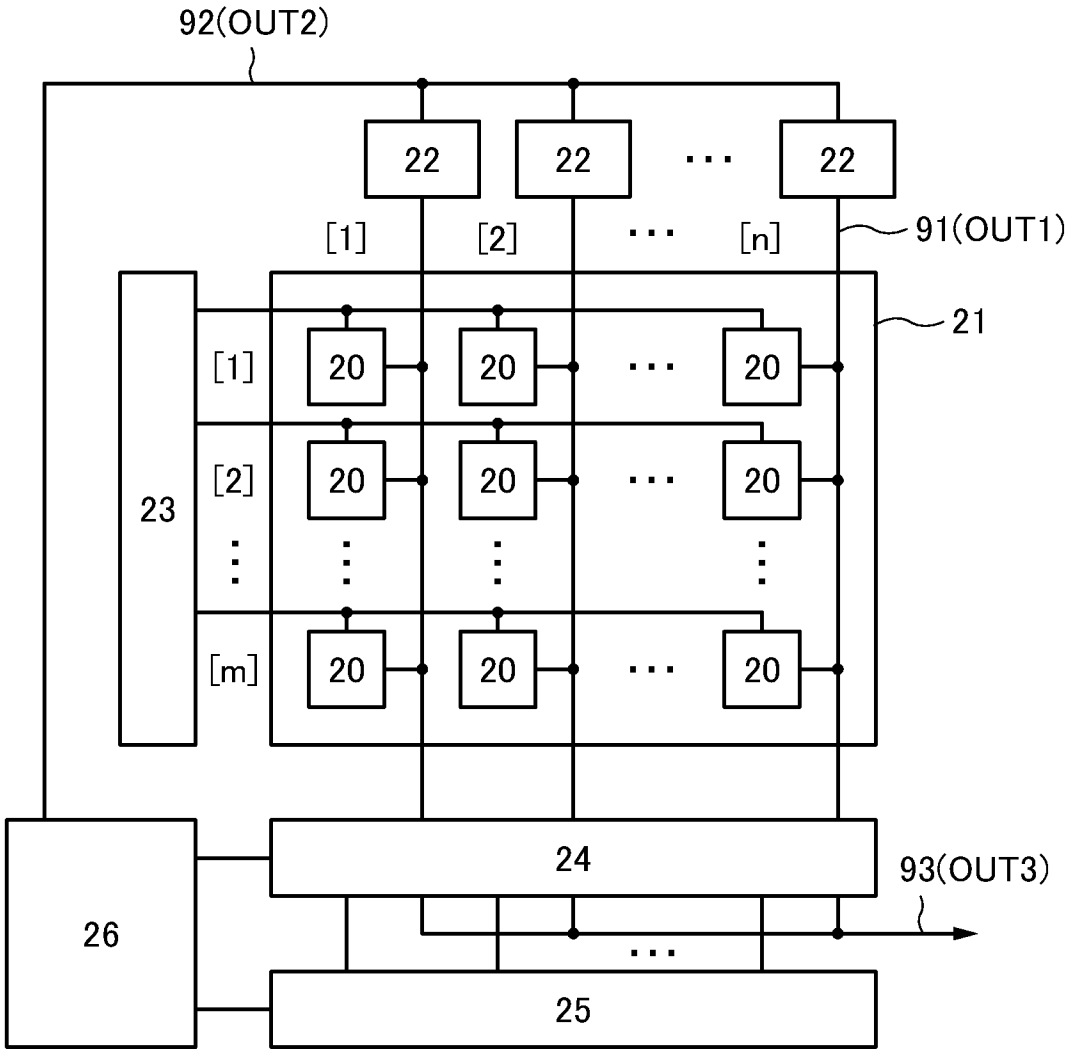
前記第７の回路は、前記第４または前記第５の回路を選択する機能を有し、

前記第３の回路は、前記第１の配線が前記第３の電位のときに前記第７の回路への電源供給を行い、前記第１の配線が前記第４の電位のときに前記第７の回路への電源供給を行わない機能を有することを特徴とする撮像装置。

［請求項３］

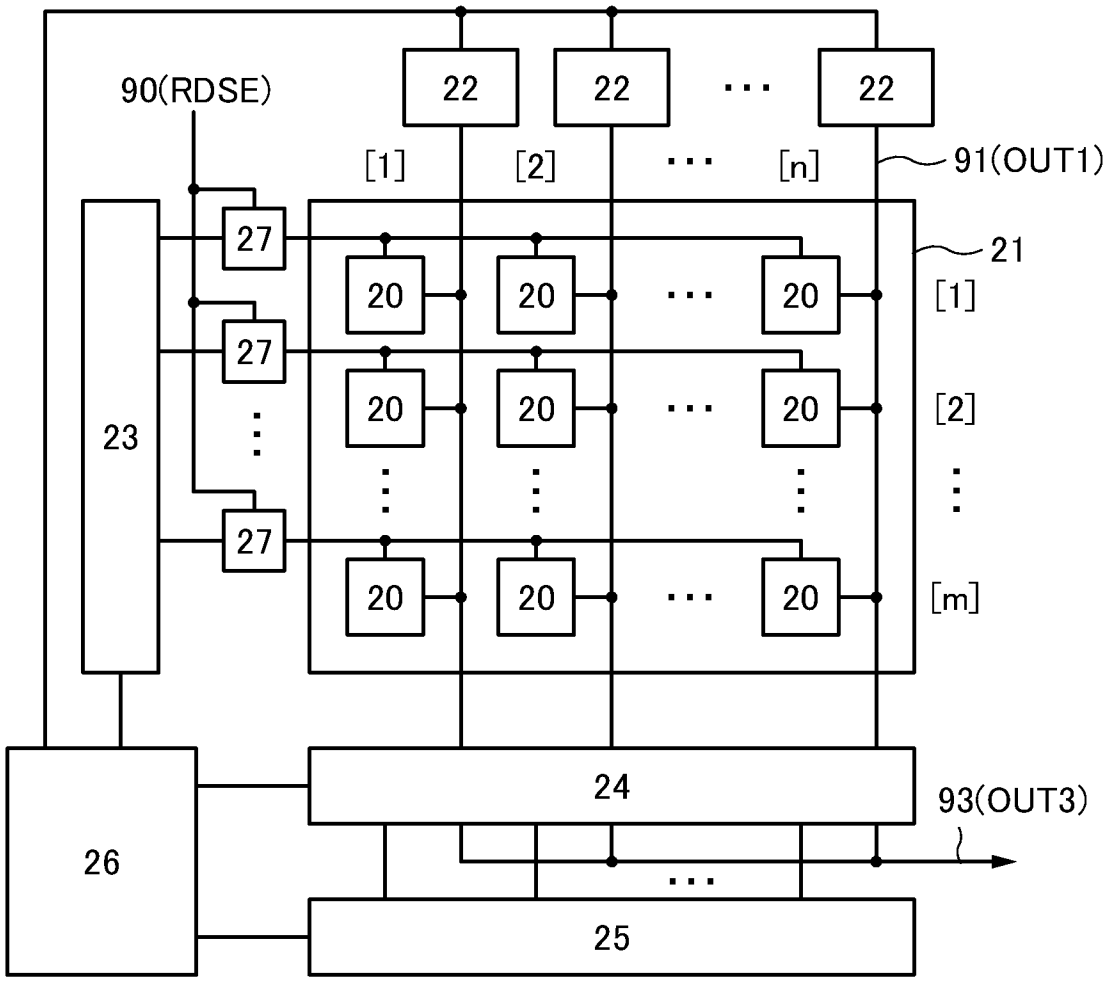
請求項２において、
第８の回路と、第２の配線と、を有し、
前記第８の回路は、前記第２の配線と電気的に接続され、
前記第８の回路は、前記第６の回路と電気的に接続され、
前記第８の回路は、前記第１および前記第２の画素回路と電気的に接続され、
前記第８の回路は、前記第６の回路と前記第１および前記第２の画素回路とを導通させる機能を有し、
前記第８の回路は、前記第２の配線が第５の電位のときに前記第６の回路と前記第１および前記第２の画素回路とを導通させ、前記第２の配線が第６の電位のときに前記第６の回路と前記第１および前記第２の画素回路とを非導通にさせる機能を有し、
前記第８の回路は、前記第２の配線が前記第６の電位のときに前記第１および前記第２の画素回路を選択する機能を有することを特徴とする撮像装置。
［請求項４］
請求項１において、
前記第１および前記第２の画素回路は、光電変換素子、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、容量素子と、を有し、
前記光電変換素子の一方の電極は前記第１のトランジスタのソースまたはドレインの一方と電気的に接続され、
前記第１のトランジスタのソースまたはドレインの他方は前記第２のトランジスタのソースまたはドレインの他方と電気的に接続され、
前記第１のトランジスタのソースまたはドレインの他方は前記容量素子の一方の電極と電気的に接続され、
前記容量素子の他方の電極は前記第３のトランジスタのソースまたはドレインの他方と電気的に接続され、
前記容量素子の他方の電極は前記第４のトランジスタのゲートと電気的に接続され、
前記第４のトランジスタのソースまたはドレインの一方は前記第５のトランジスタのソースまたはドレインの一方と電気的に接続されていることを特徴とする撮像装置。
［請求項５］
請求項４において、
前記第１乃至第３のトランジスタはチャネル形成領域に酸化物半導体を有し、前記酸化物半導体は、Ｉｎと、Ｚｎと、Ｍ（ＭはＡｌ、Ｇａ、ＹまたはＳｎ）と、を有することを特徴とする撮像装置。
［請求項６］
請求項１に記載の撮像装置と、
レンズと、
を有することを特徴とするモジュール。
［請求項７］
請求項１に記載の撮像装置と、
表示装置と、
を有することを特徴とする電子機器。

[図01]

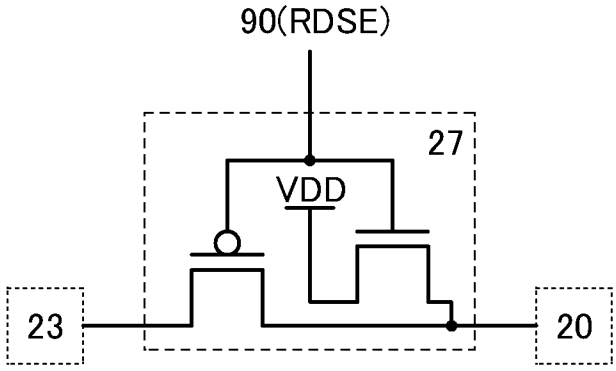


[図02]

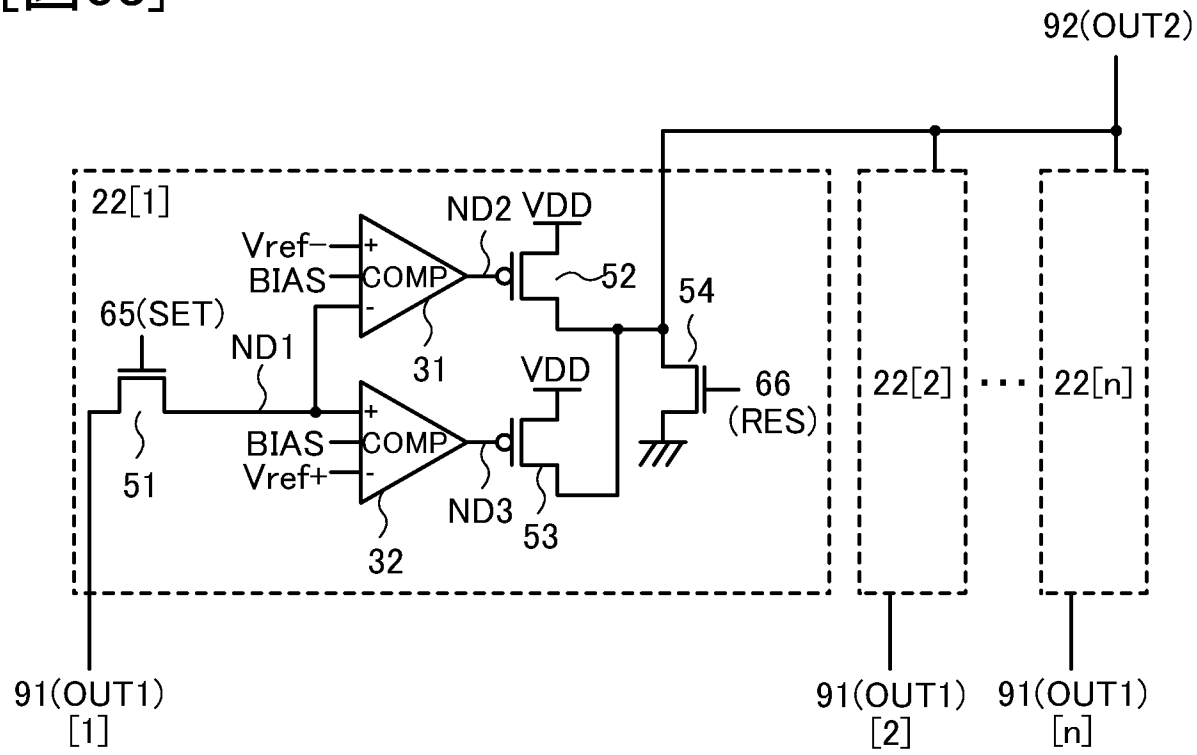
(A)


90(RDSE)
22
22
22
[1]
[2]
[n]
91(OUT1)
21
27
27
27
20
20
20
[1]
[2]
[m]
23
24
93(OUT3)
26
25

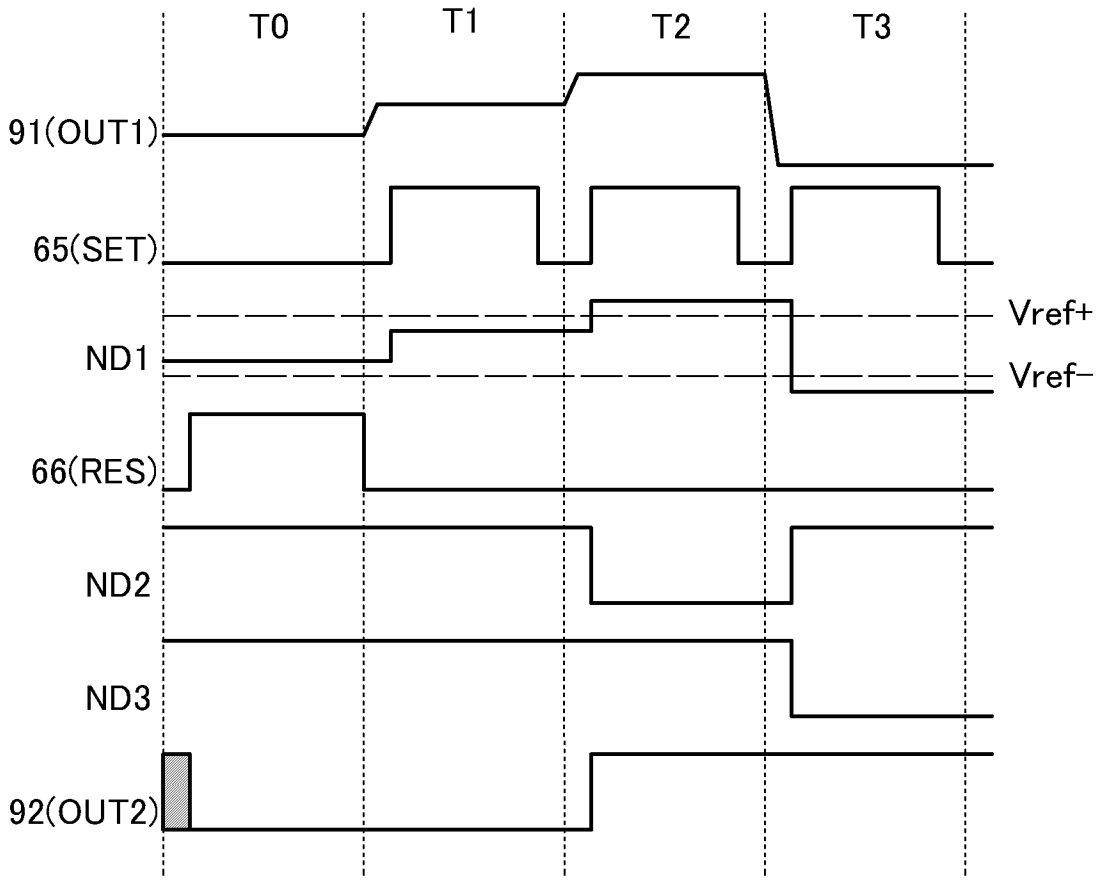
(B)


90(RDSE)
27
VDD
23
20

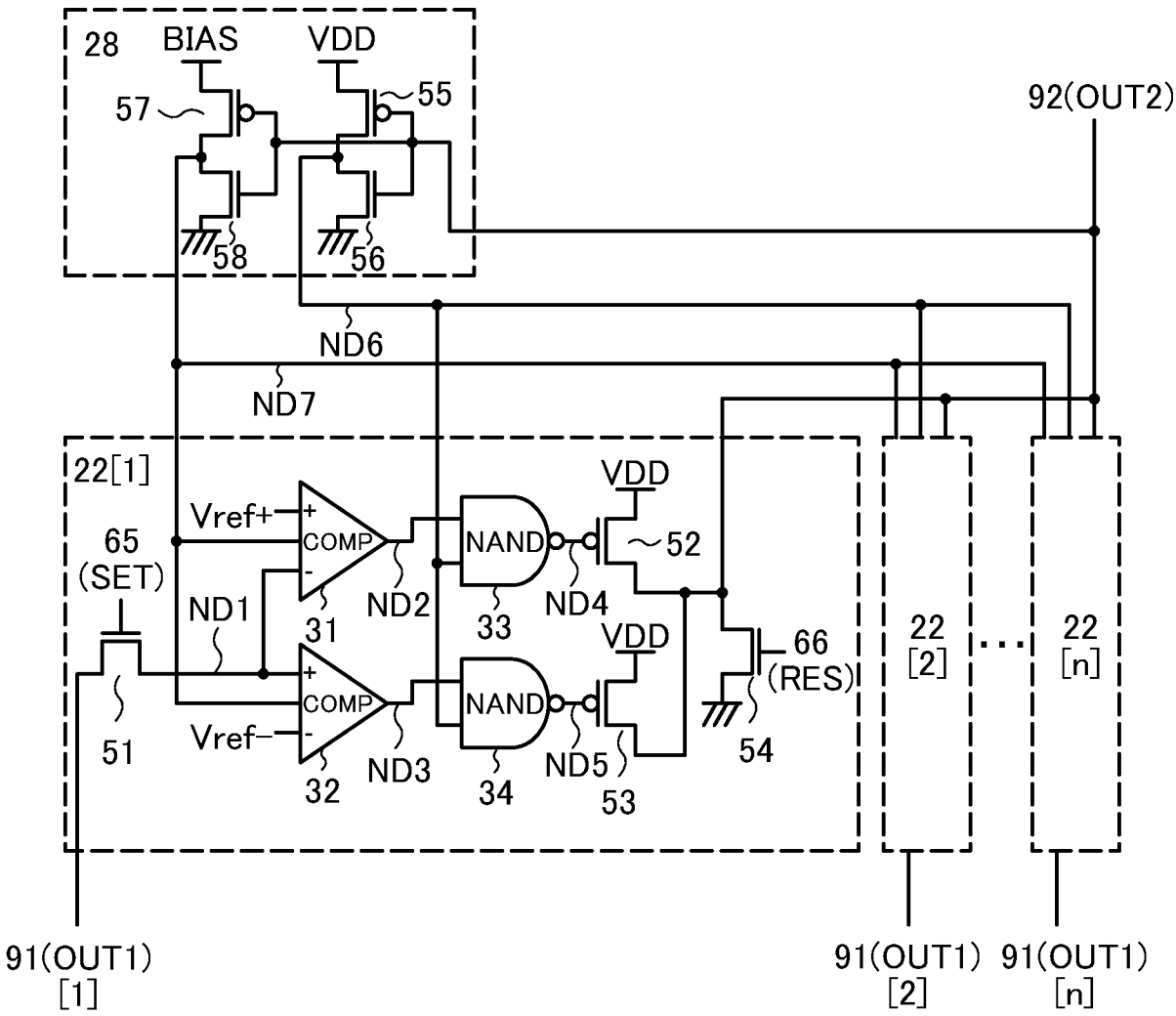
[図03]


92(OUT2)
22[1]
ND2
VDD
Vref−
BIAS
COMP
52
54
65(SET)
ND1
31
VDD
66
(RES)
22[2]
22[n]
BIAS
COMP
Vref+
51
ND3
53
32
91(OUT1)
[1]
91(OUT1)
[2]
91(OUT1)
[n]

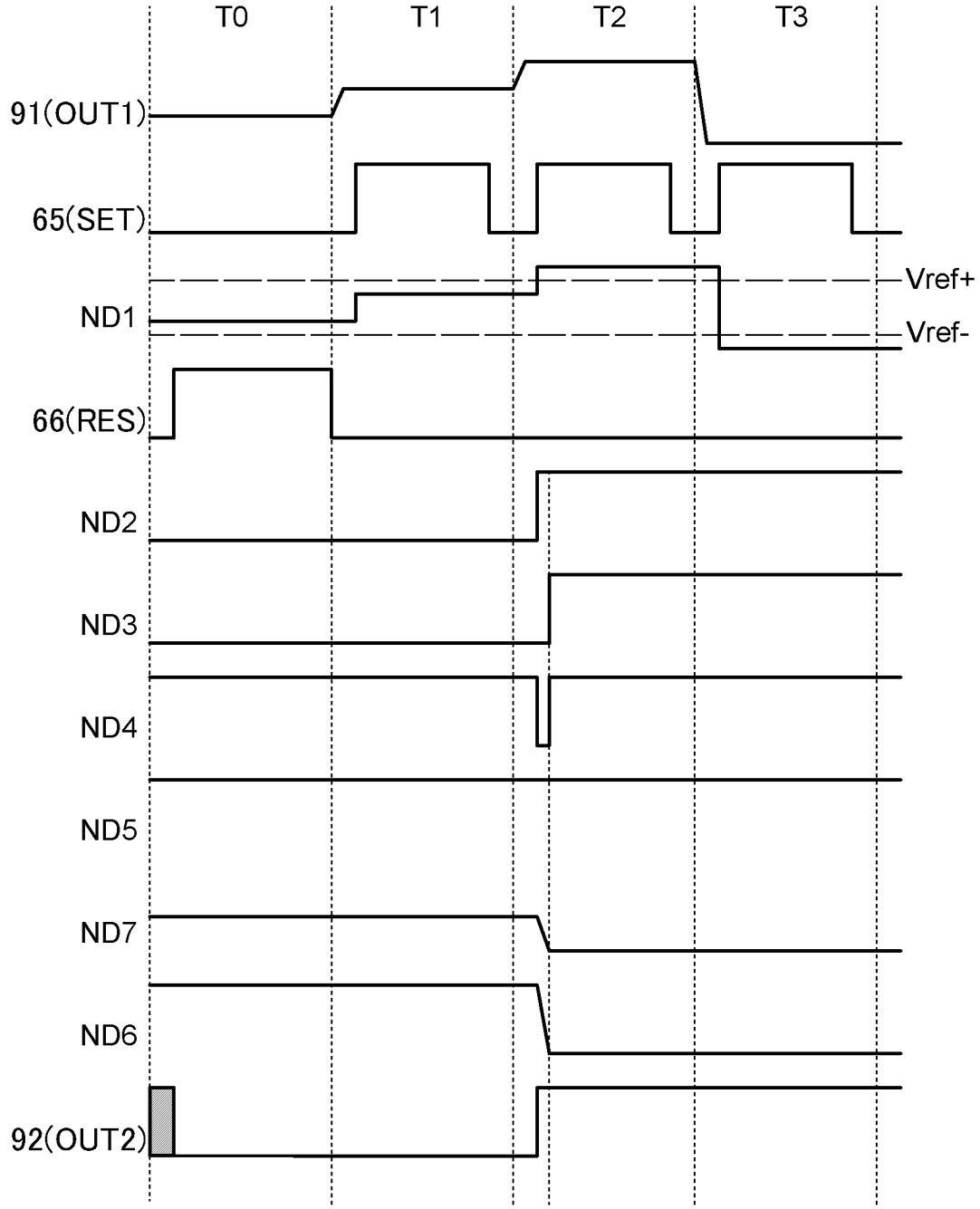
[図04]



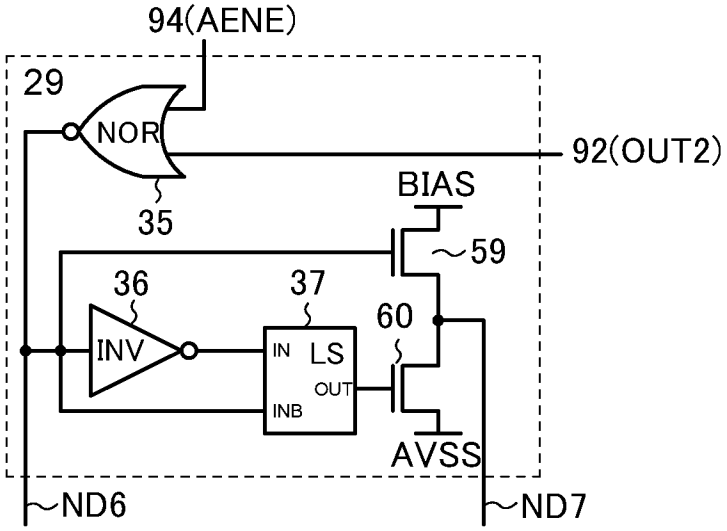
[図05]


28
BIAS
VDD
57
55
58
56
92(OUT2)
ND6
ND7
22[1]
VDD
Vref+
65
(SET)
COMP
NAND
52
ND1
ND2
ND4
31
33
VDD
66
(RES)
22
[2]
22
[n]
COMP
NAND
51
Vref−
ND3
ND5
54
32
34
53
91(OUT1)
[1]
91(OUT1)
[2]
91(OUT1)
[n]

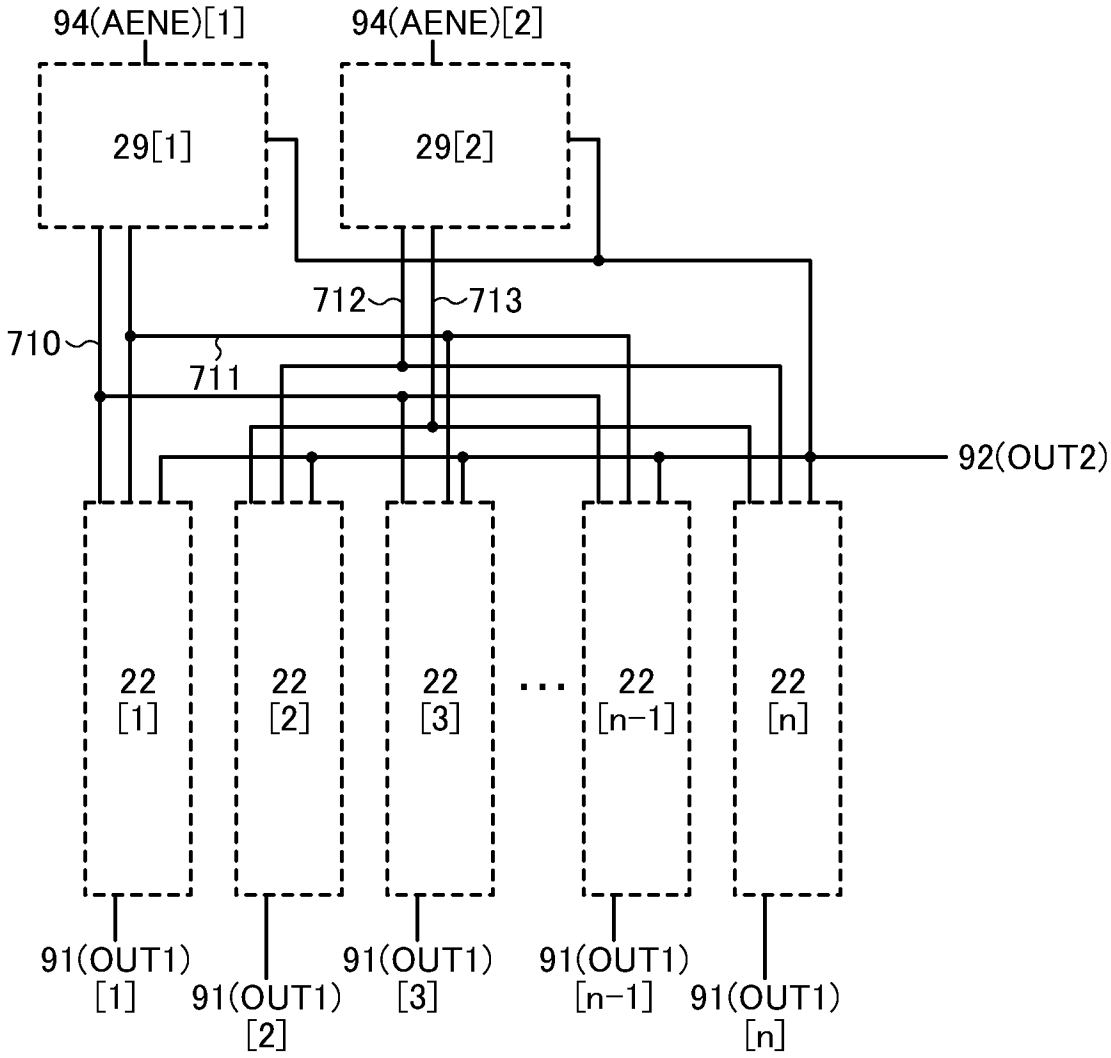
[図06]


T0
T1
T2
T3
91(OUT1)
65(SET)
ND1
Vref+
Vref-
66(RES)
ND2
ND3
ND4
ND5
ND7
ND6
92(OUT2)

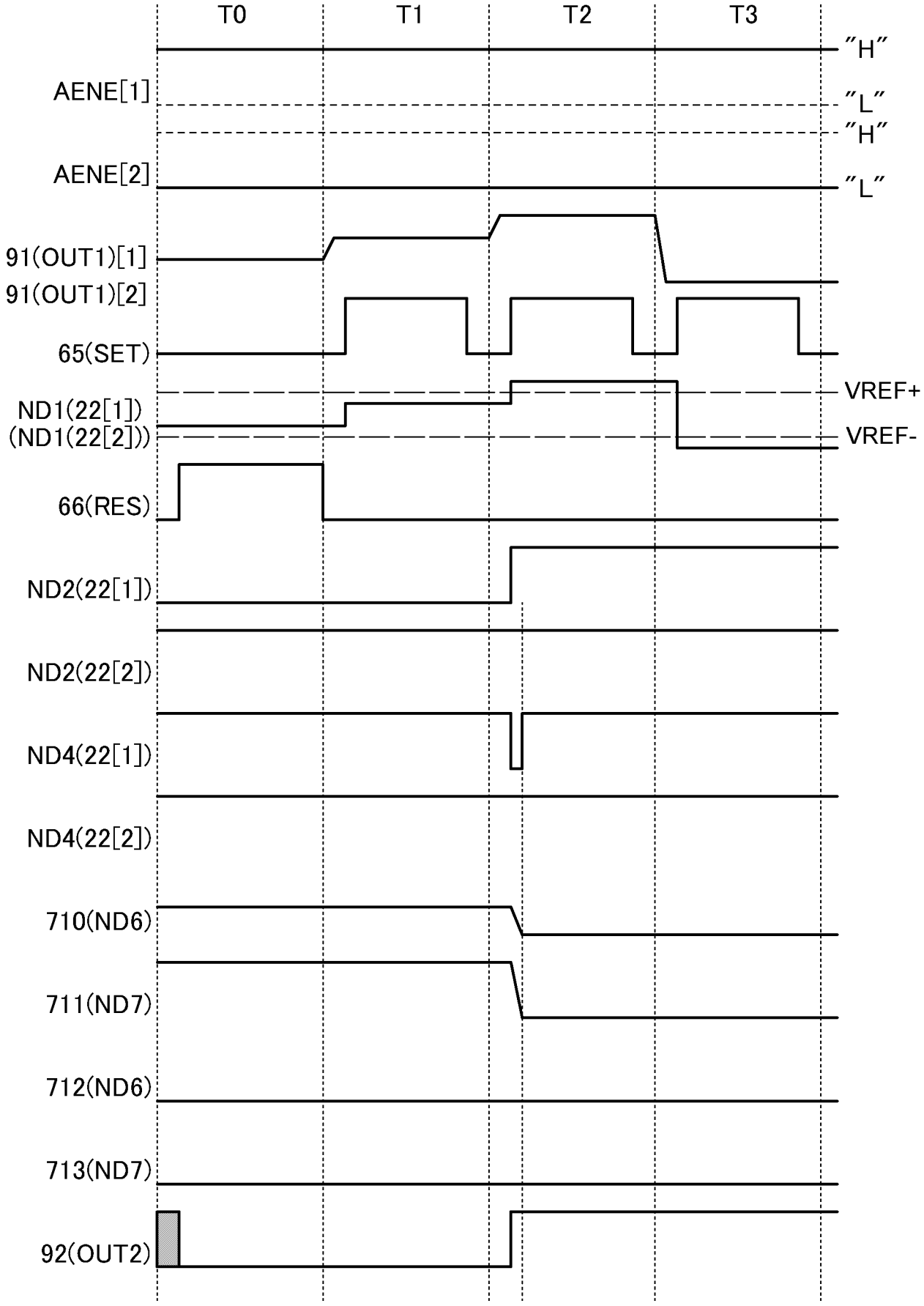
[図07]


94(AENE)
29
NOR
35
92(OUT2)
BIAS
59
36
37
60
INV
IN
LS
OUT
INB
AVSS
ND6
ND7

[図08]

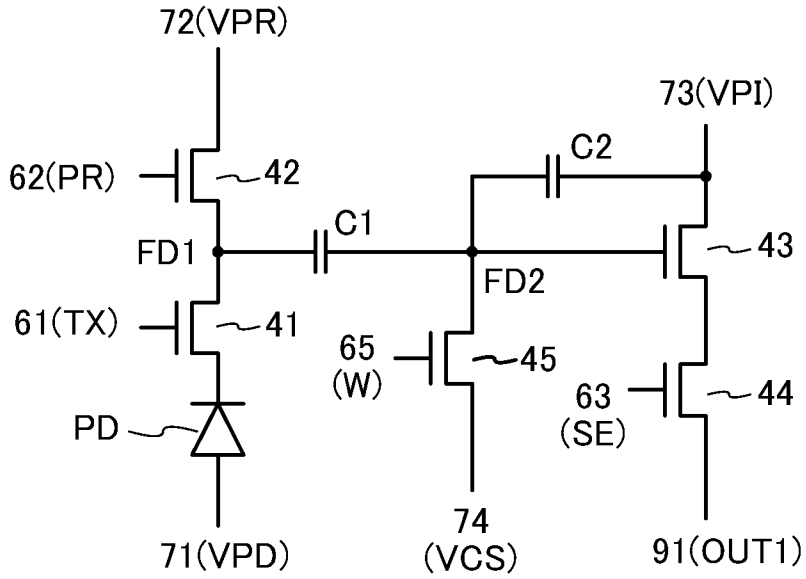

94(AENE)[1]
94(AENE)[2]
29[1]
29[2]
712
713
710
711
92(OUT2)
22 [1]
22 [2]
22 [3]
22 [n-1]
22 [n]
91(OUT1) [1]
91(OUT1) [2]
91(OUT1) [3]
91(OUT1) [n-1]
91(OUT1) [n]

[図09]

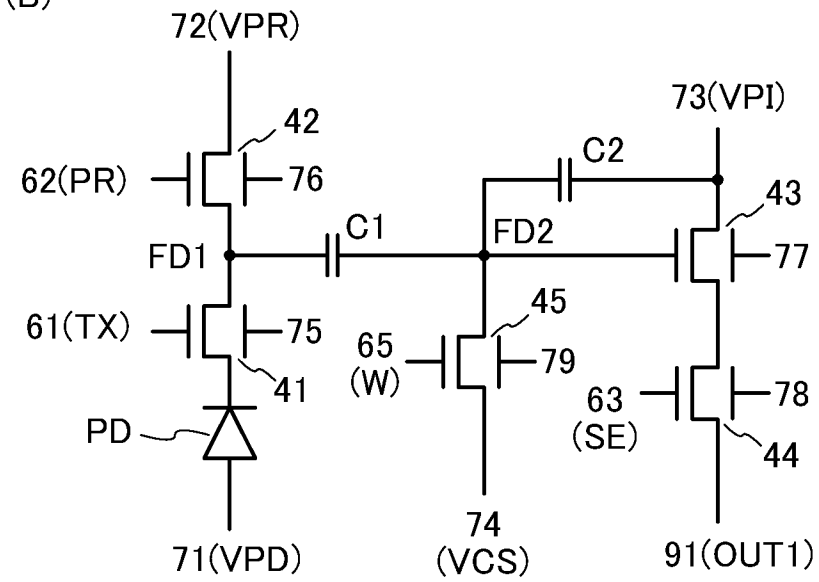

T0
T1
T2
T3
"H"
AENE[1]
"L"
"H"
AENE[2]
"L"
91(OUT1)[1]
91(OUT1)[2]
65(SET)
VREF+
ND1(22[1])
(ND1(22[2]))
VREF-
66(RES)
ND2(22[1])
ND2(22[2])
ND4(22[1])
ND4(22[2])
710(ND6)
711(ND7)
712(ND6)
713(ND7)
92(OUT2)

[図10]

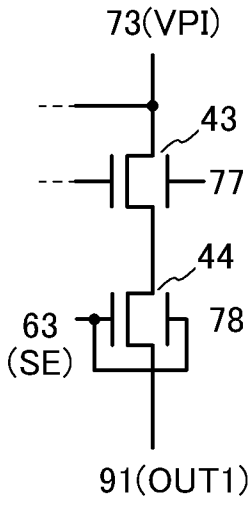
(A)


72(VPR)
73(VPI)
62(PR)
42
C2
C1
FD1
43
FD2
61(TX)
41
65
(W)
45
63
(SE)
44
PD
71(VPD)
74
(VCS)
91(OUT1)

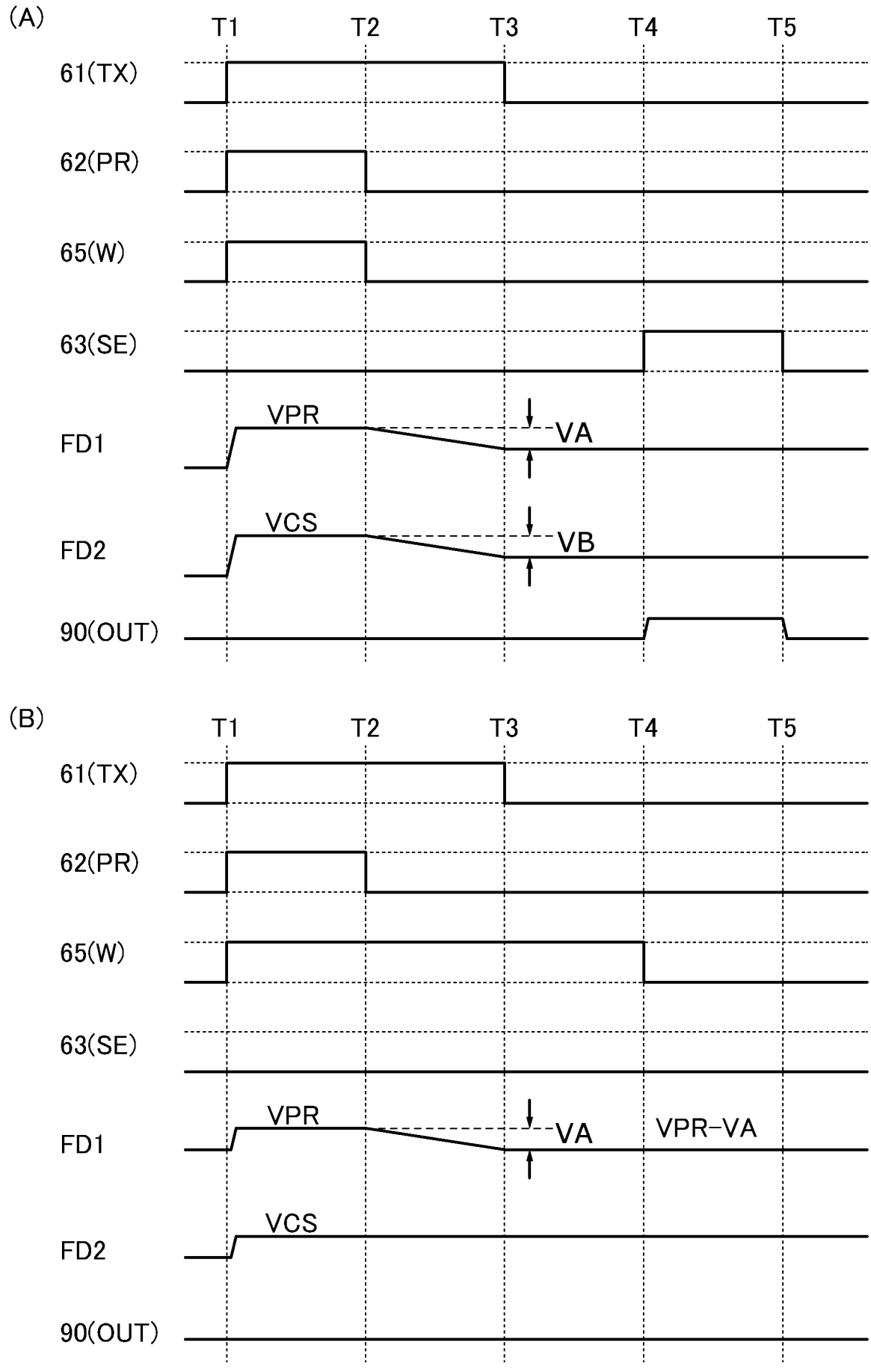
(B)


72(VPR)
42
73(VPI)
62(PR)
76
C2
43
C1
FD1
FD2
77
61(TX)
75
45
65
(W)
79
41
63
(SE)
78
PD
44
74
(VCS)
71(VPD)
91(OUT1)

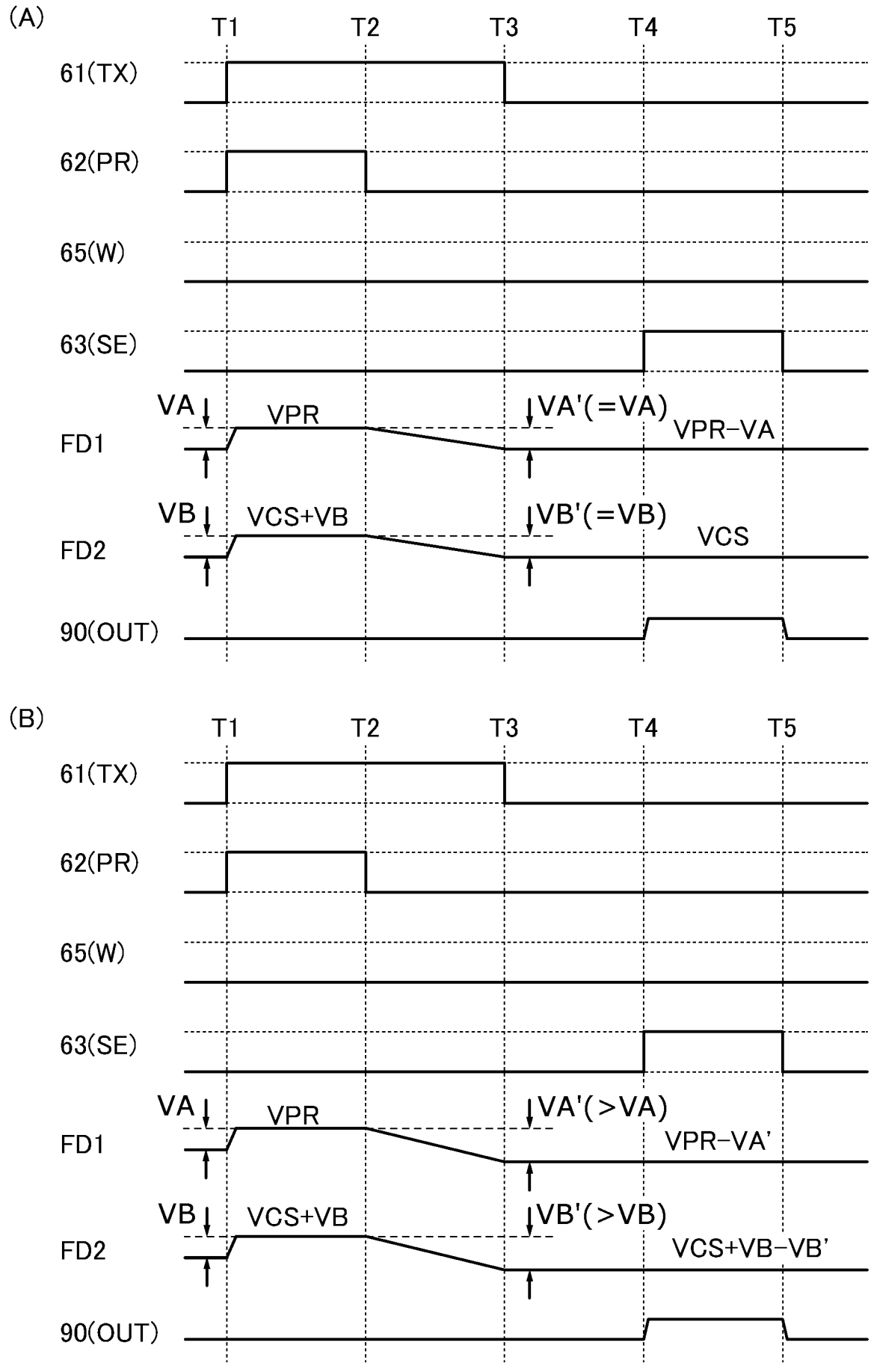
(C)


73(VPI)
43
77
44
63
(SE)
78
91(OUT1)

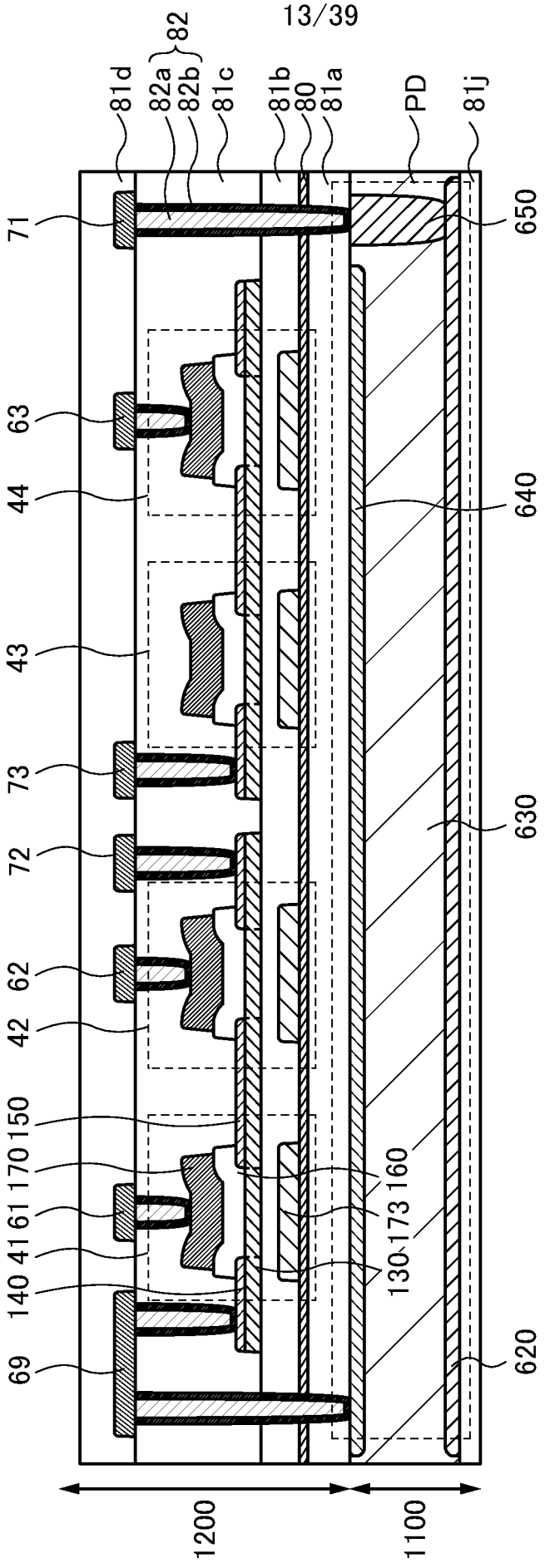
[図11]


(A)
T1
T2
T3
T4
T5
61(TX)
62(PR)
65(W)
63(SE)
FD1
VPR
VA
FD2
VCS
VB
90(OUT)
(B)
T1
T2
T3
T4
T5
61(TX)
62(PR)
65(W)
63(SE)
FD1
VPR
VA
VPR-VA
FD2
VCS
90(OUT)

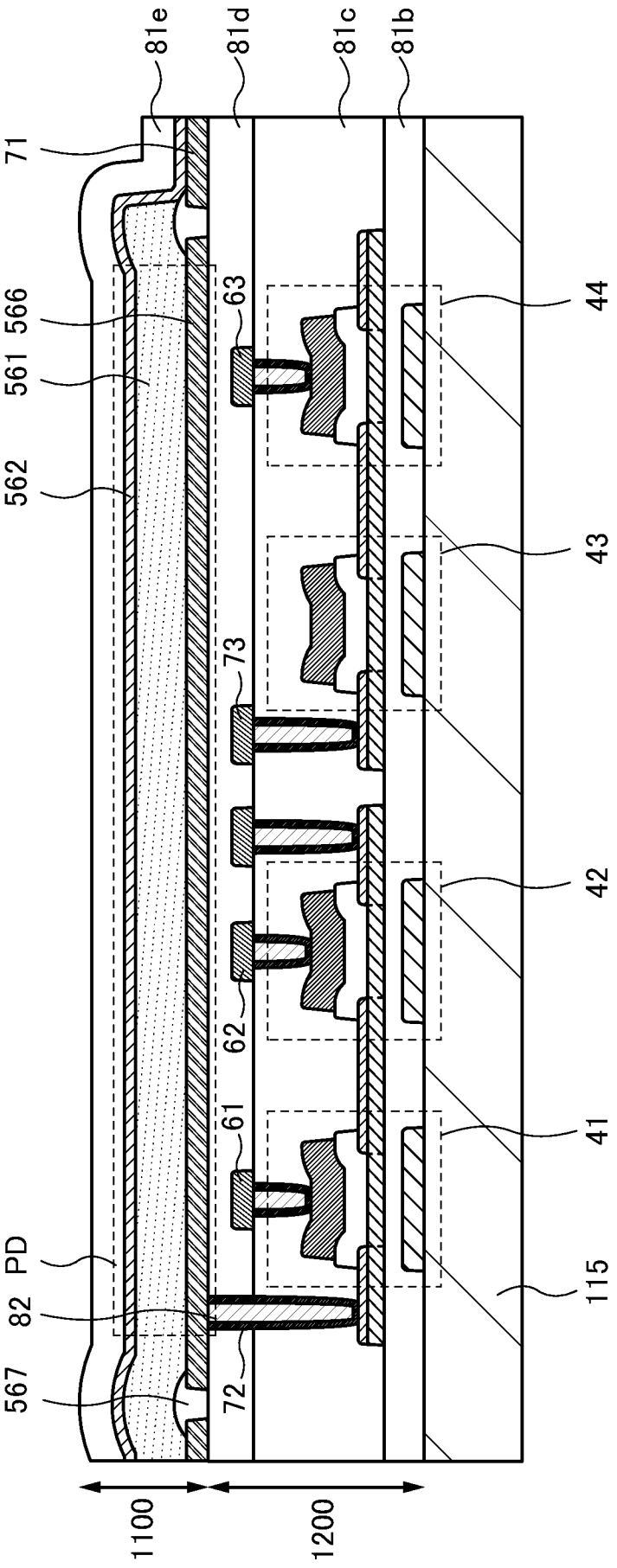
[図12]


(A)
T1
T2
T3
T4
T5
61(TX)
62(PR)
65(W)
63(SE)
VA
VPR
VA'(=VA)
VPR-VA
FD1
VB
VCS+VB
VB'(=VB)
VCS
FD2
90(OUT)
(B)
T1
T2
T3
T4
T5
61(TX)
62(PR)
65(W)
63(SE)
VA
VPR
VA'(>VA)
VPR-VA'
FD1
VB
VCS+VB
VB'(>VB)
VCS+VB-VB'
FD2
90(OUT)

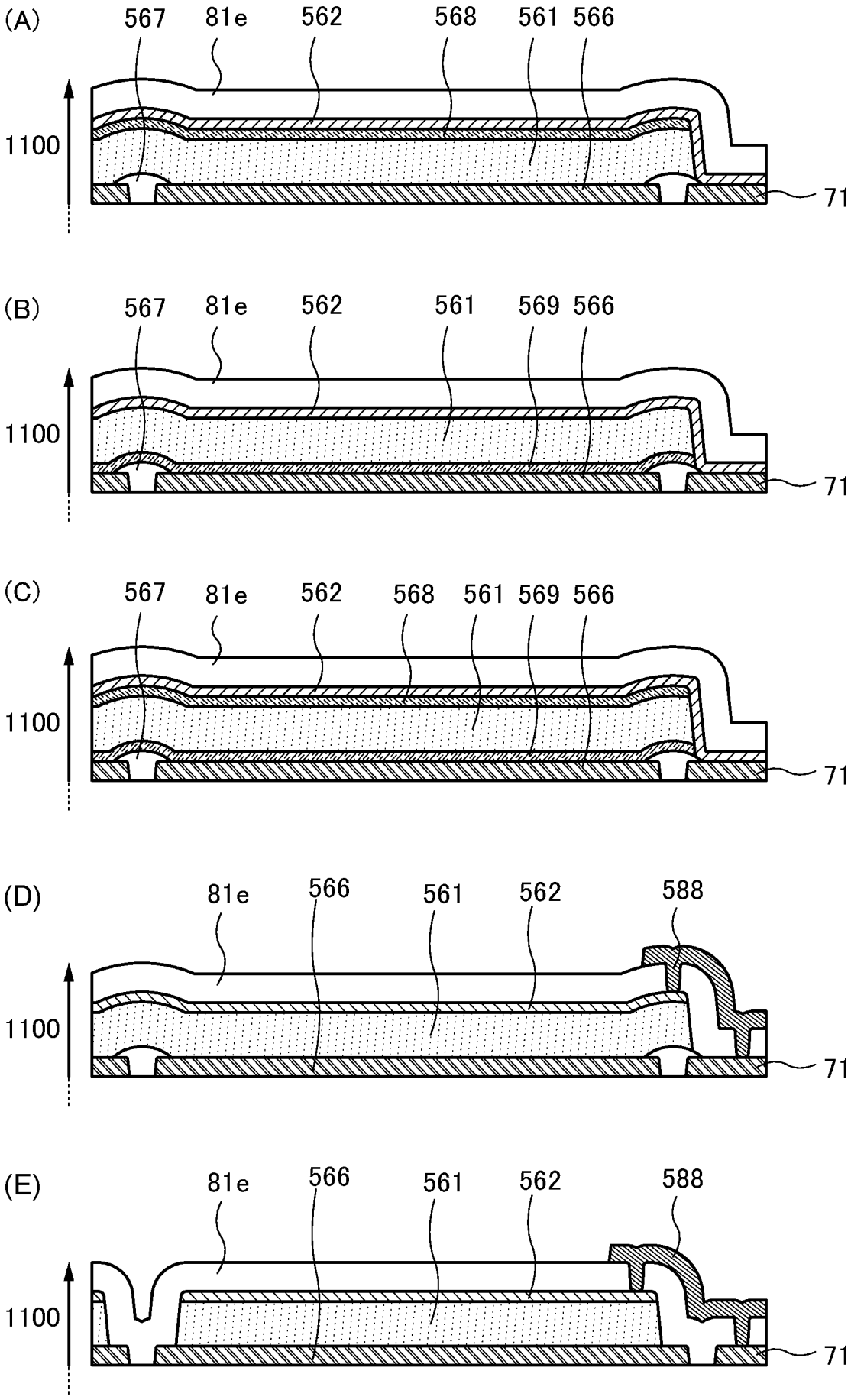
[図13]


81d
82a
82b
82
81c
81b
80
81a
PD
81j
71
63
44
43
73
72
62
42
150
170
61
41
140
69
650
640
630
160
173
130
620
1200
1100

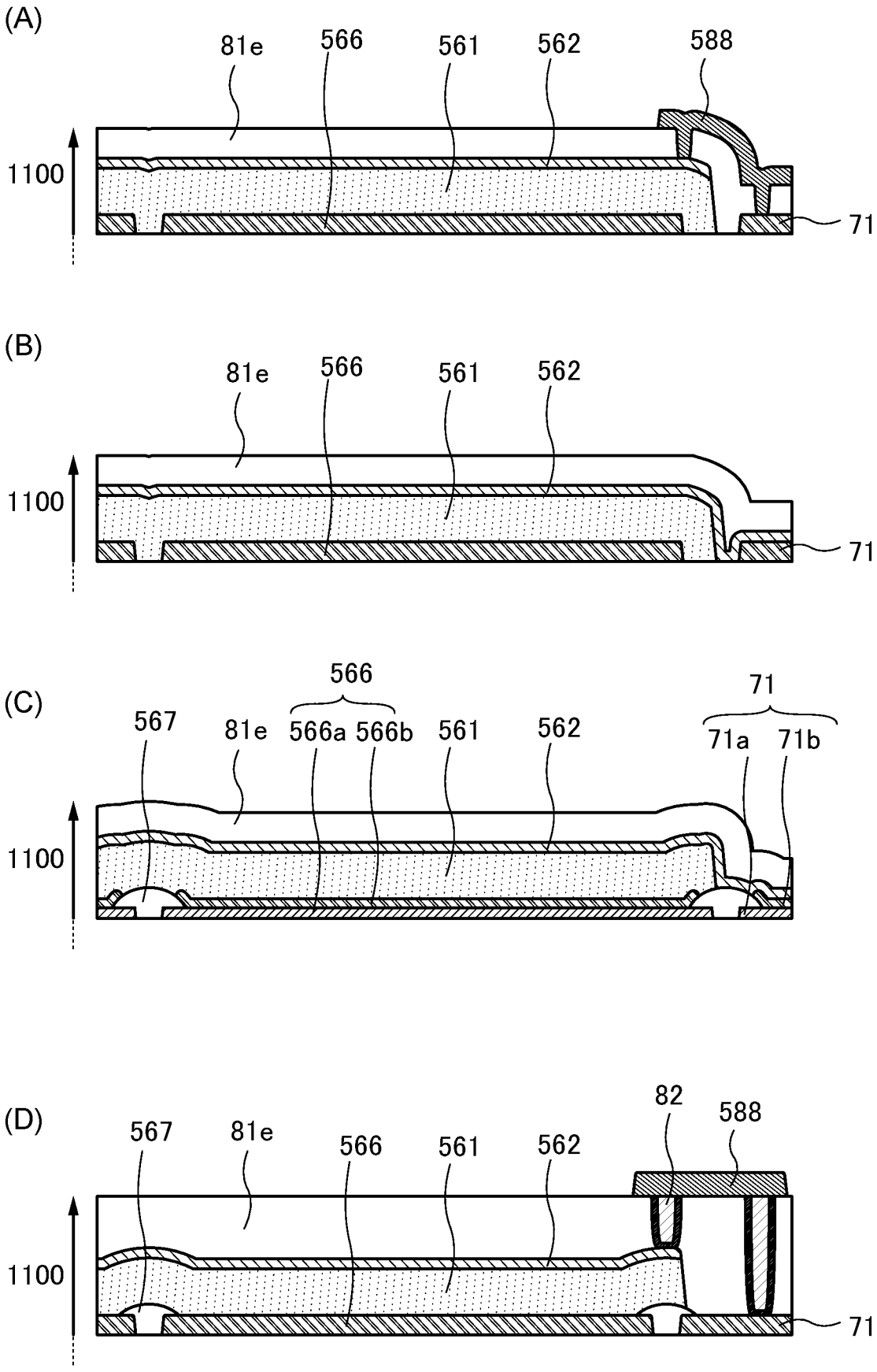
[図14]


81e
81d
81c
81b
71
566
561
562
63
44
43
73
42
62
61
41
PD
82
115
567
72
1100
1200

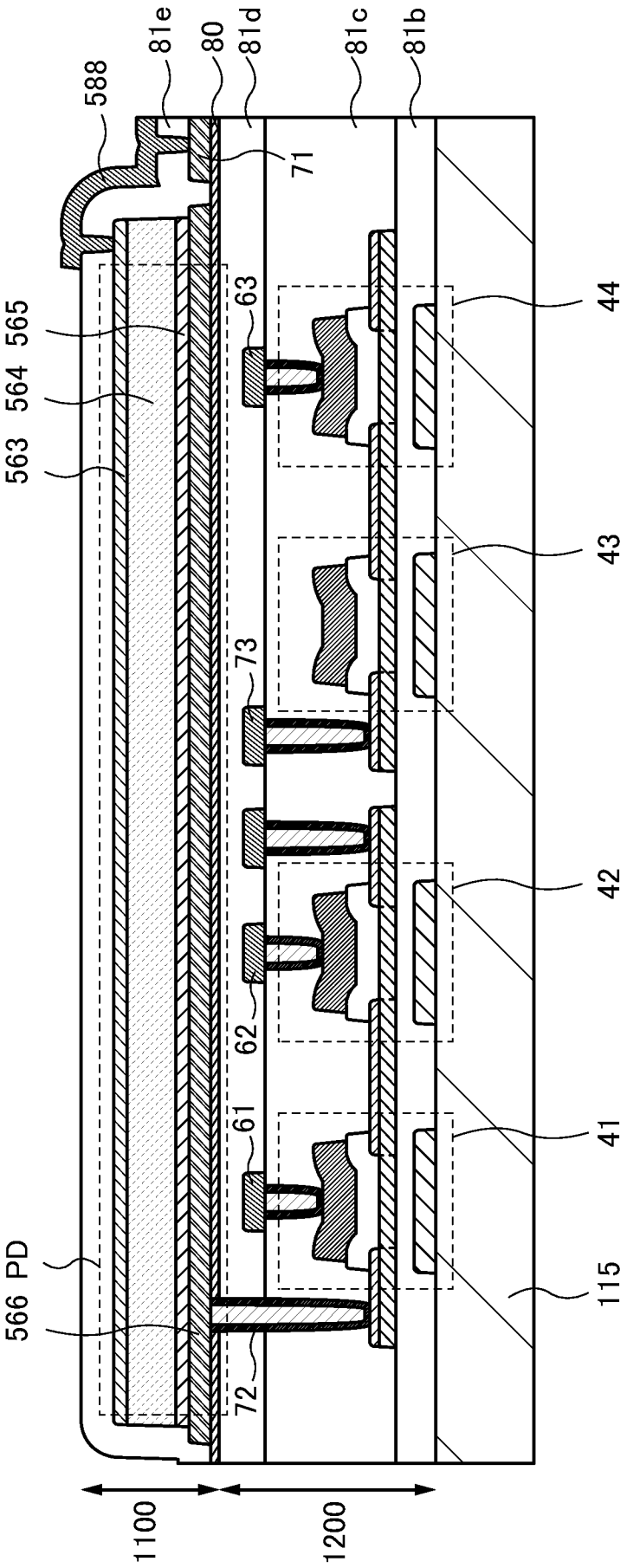
[図15]


(A)
567
81e
562
568
561
566
1100
71
(B)
567
81e
562
561
569
566
1100
71
(C)
567
81e
562
568
561
569
566
1100
71
(D)
81e
566
561
562
588
1100
71
(E)
81e
566
561
562
588
1100
71

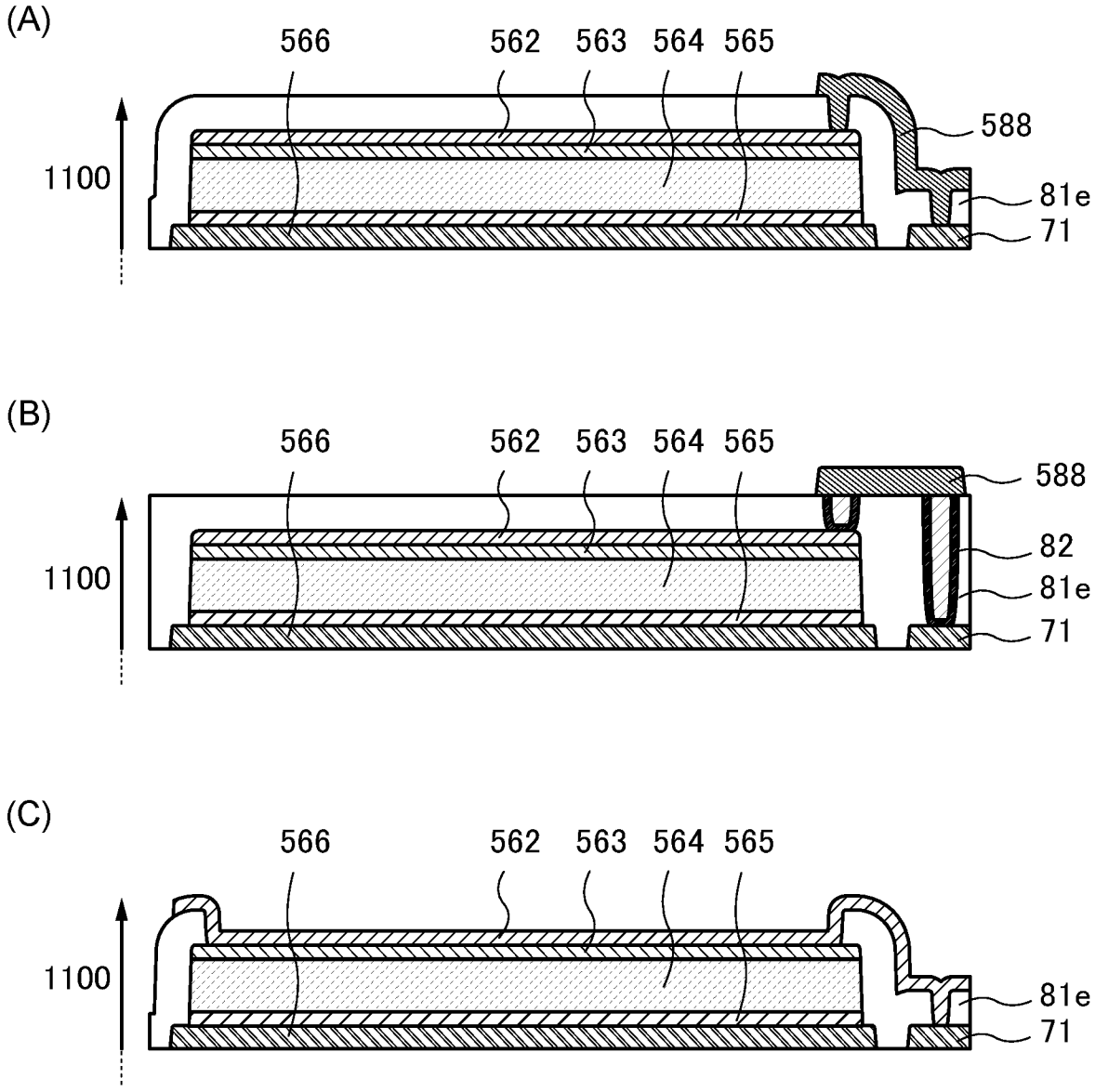
[図16]


(A)
81e
566
561
562
588
1100
71
(B)
81e
566
561
562
1100
71
(C)
566
567
81e
566a
566b
561
562
71
71a
71b
1100
(D)
82
588
567
81e
566
561
562
1100
71

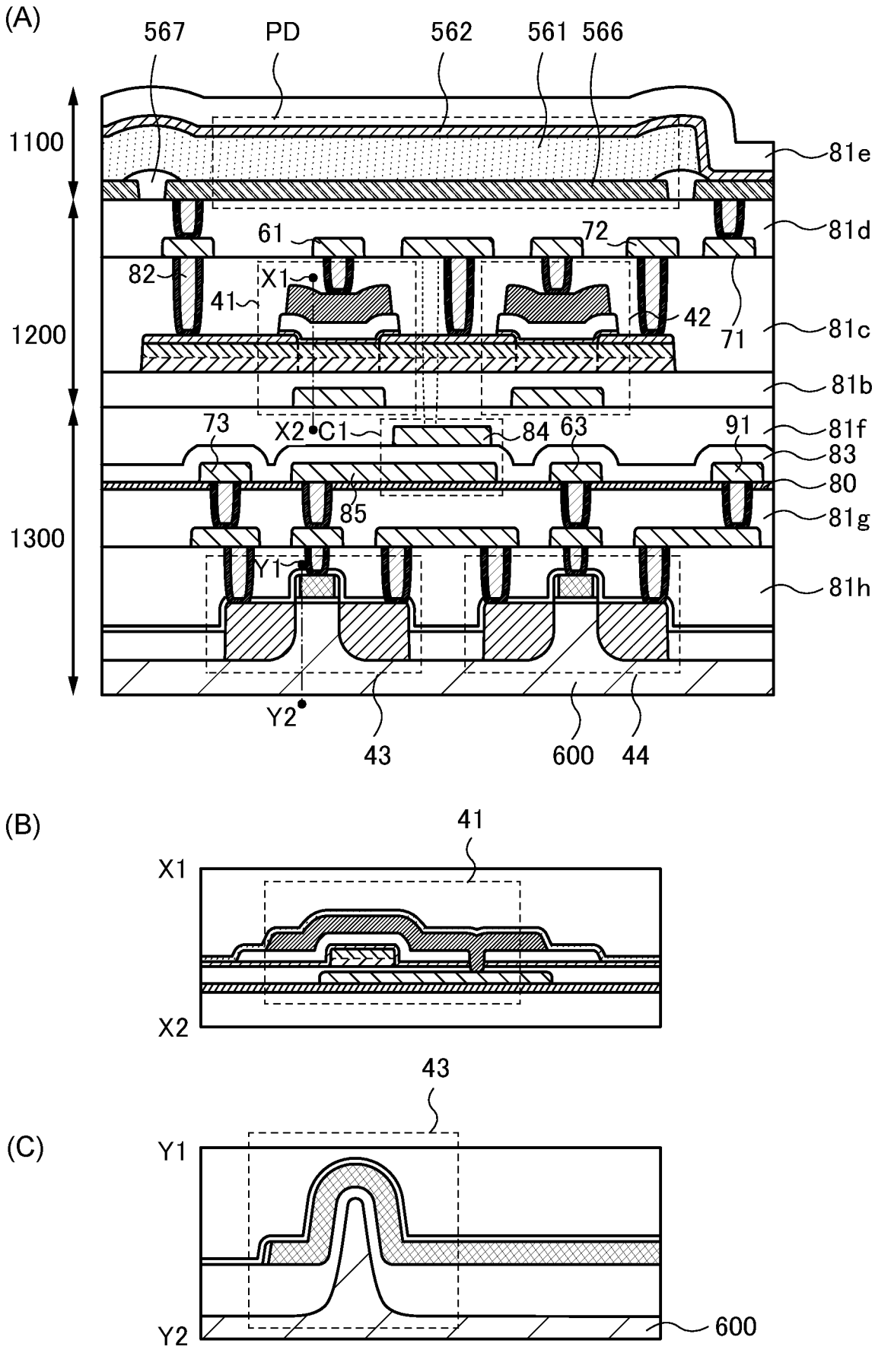
[図17]


588
81e
80
81d
81c
81b
71
565
564
563
63
44
43
73
42
62
61
41
566 PD
115
72
1100
1200

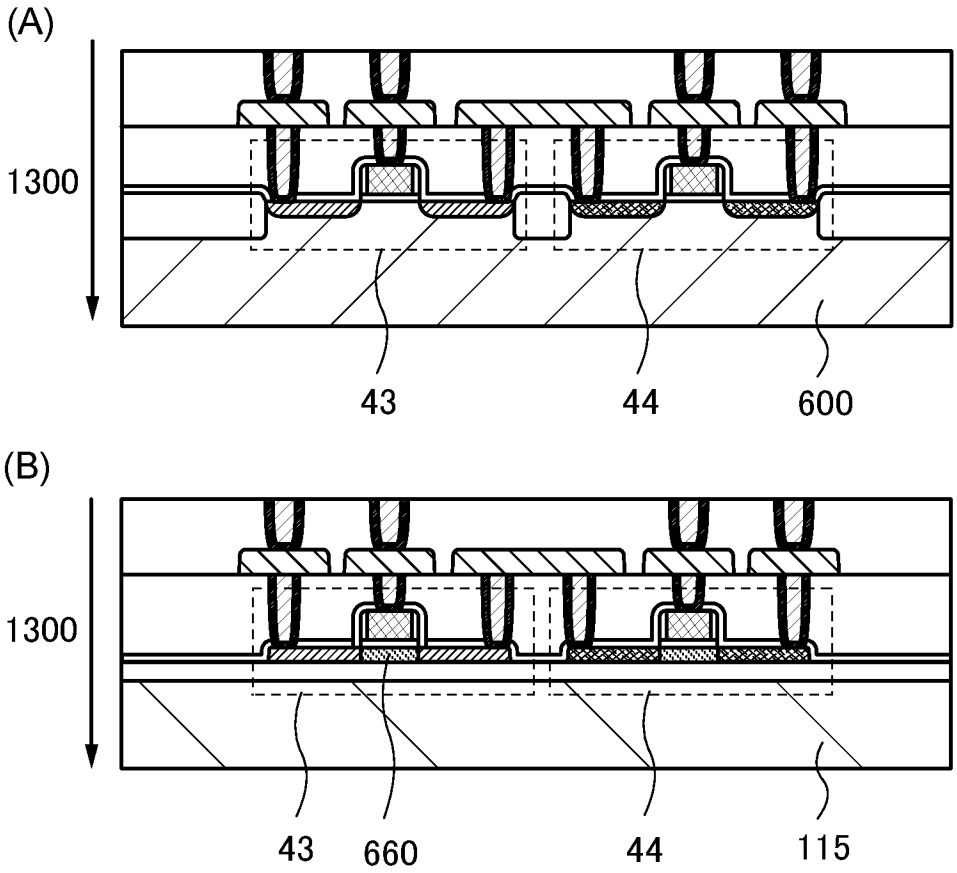
[図18]


(A)
566
562
563
564
565
588
1100
81e
71
(B)
566
562
563
564
565
588
82
1100
81e
71
(C)
566
562
563
564
565
1100
81e
71

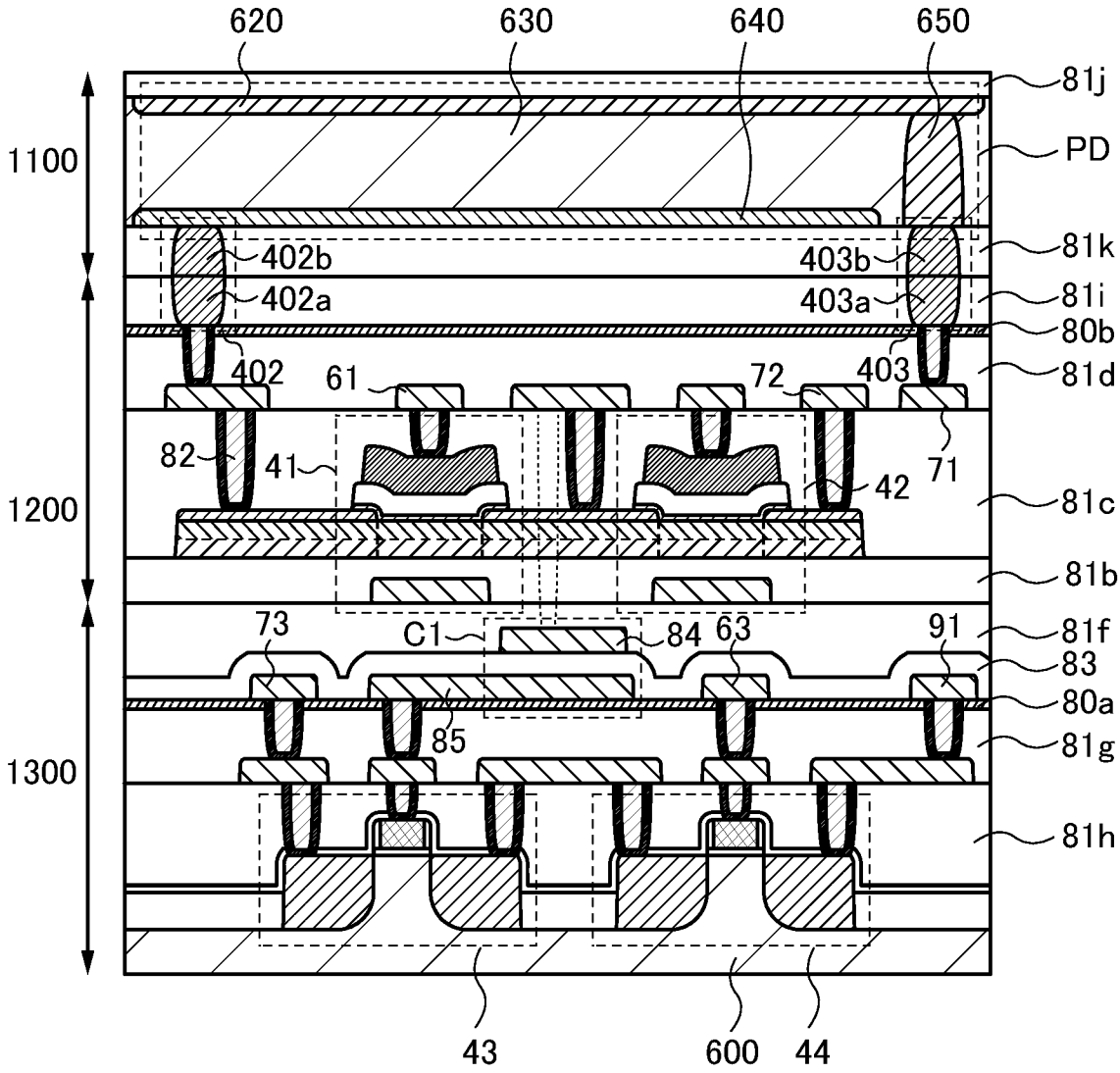
[図19]


(A)
567
PD
562
561
566
1100
1200
1300
81e
81d
81c
81b
81f
83
80
81g
81h
61
72
82
X1
41
42
71
73
X2
C1
84
63
91
85
Y1
Y2
43
600
44
(B)
41
X1
X2
(C)
43
Y1
Y2
600

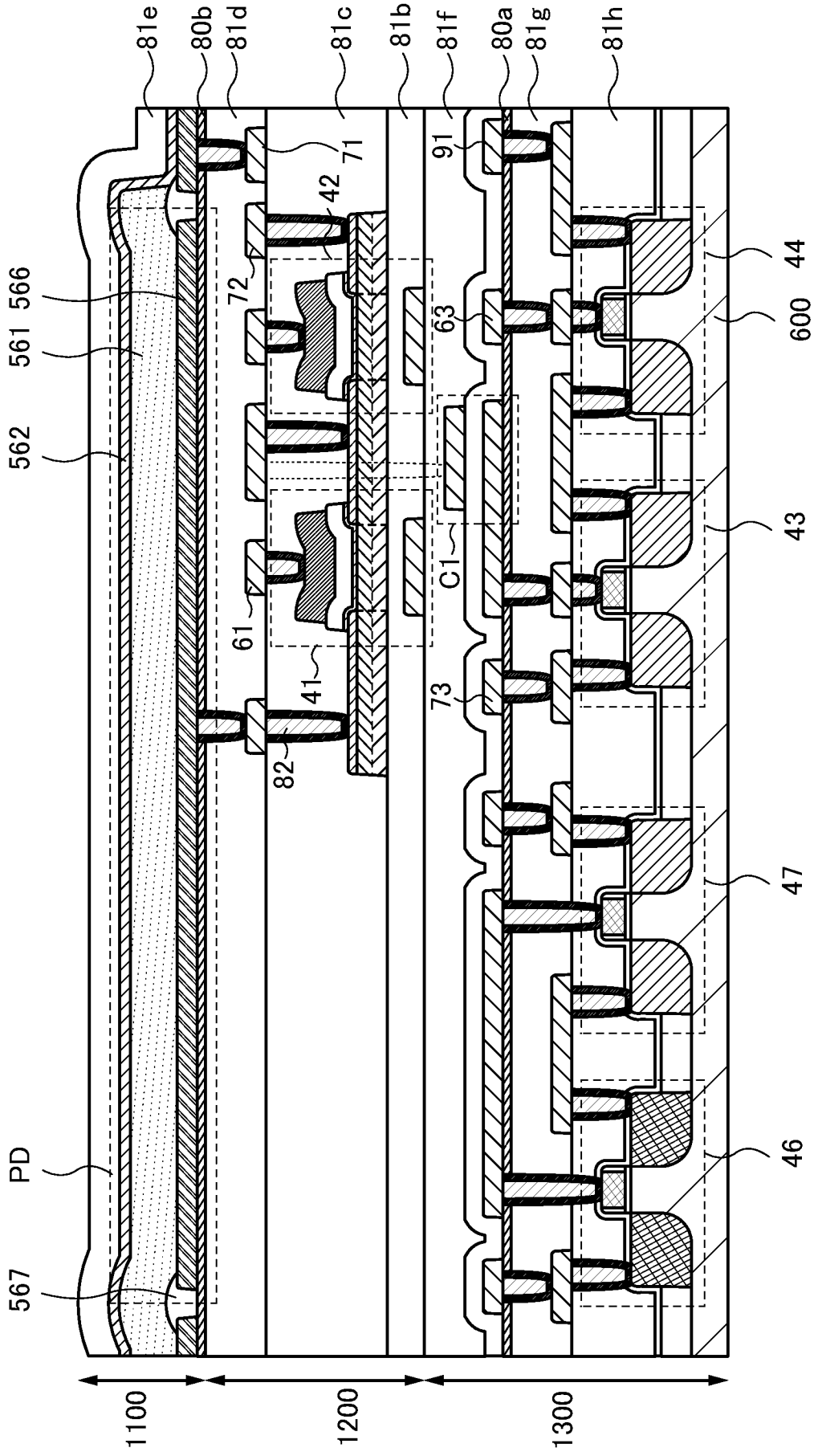
[図20]



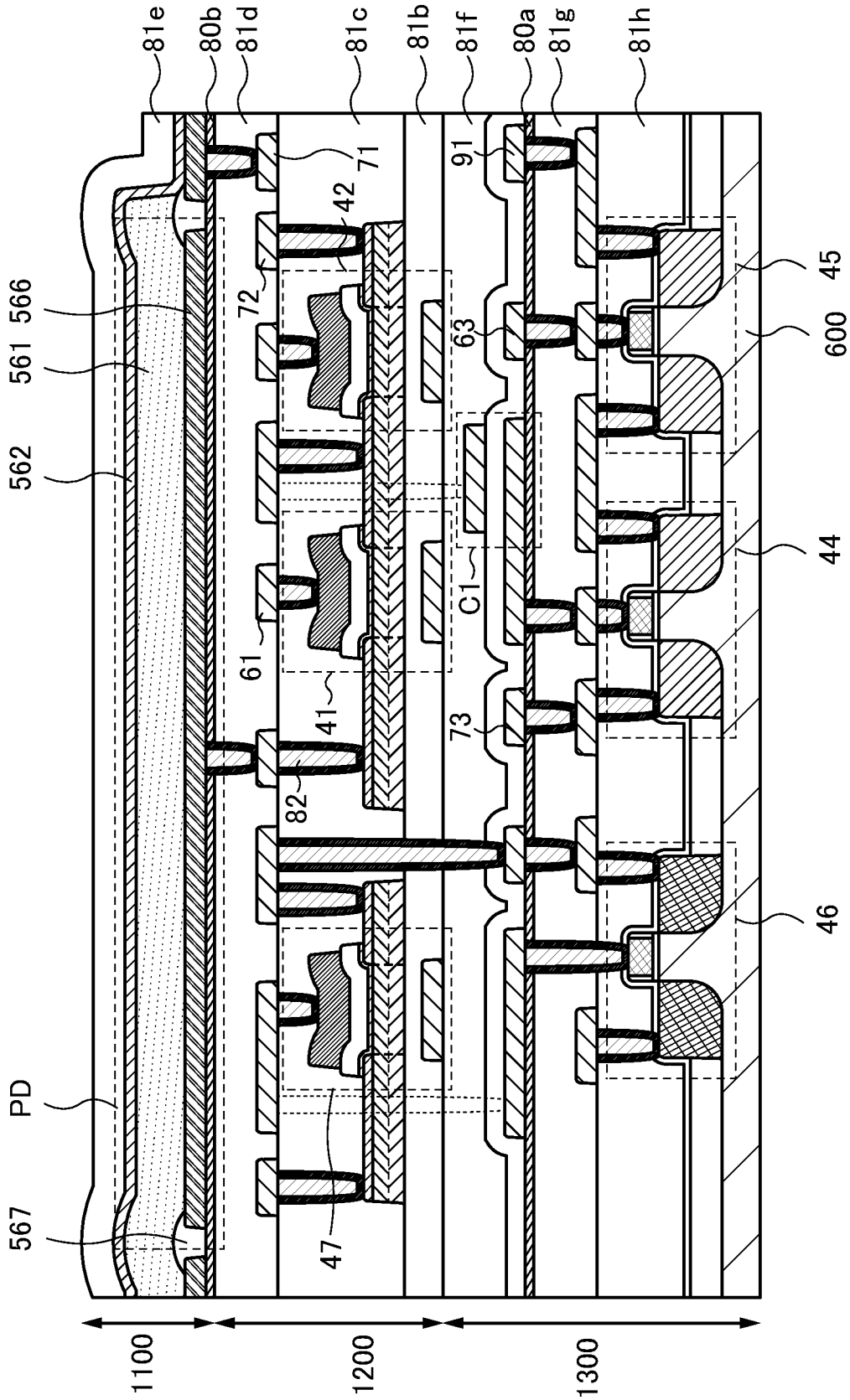
[図21]


620
630
640
650
81j
PD
1100
402b
403b
81k
402a
403a
81i
80b
402
61
72
403
81d
82
41
71
42
1200
81c
81b
73
C1
84
63
91
81f
83
80a
85
81g
1300
81h
43
600
44

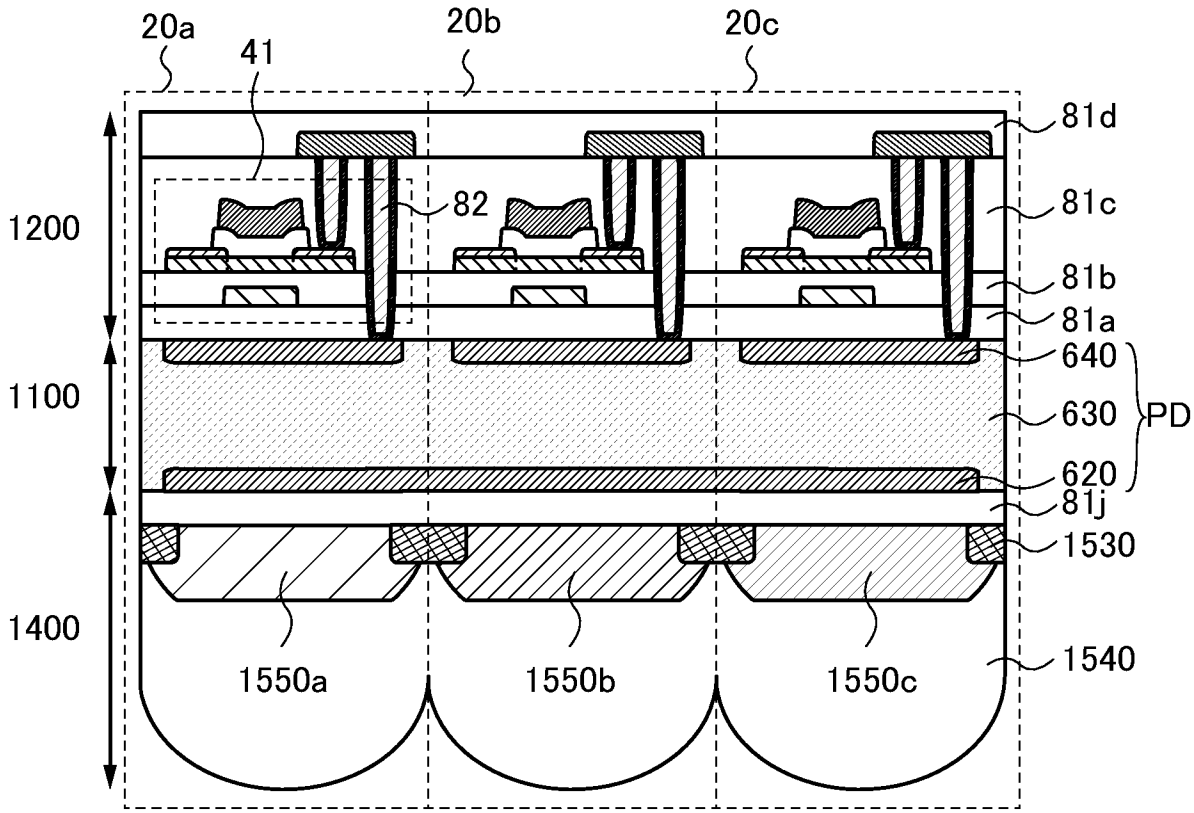
[図22]


81e
80b
81d
81c
81b
81f
80a
81g
81h
71
91
42
72
63
44
600
566
561
562
43
C1
61
41
73
82
47
PD
567
46
1100
1200
1300

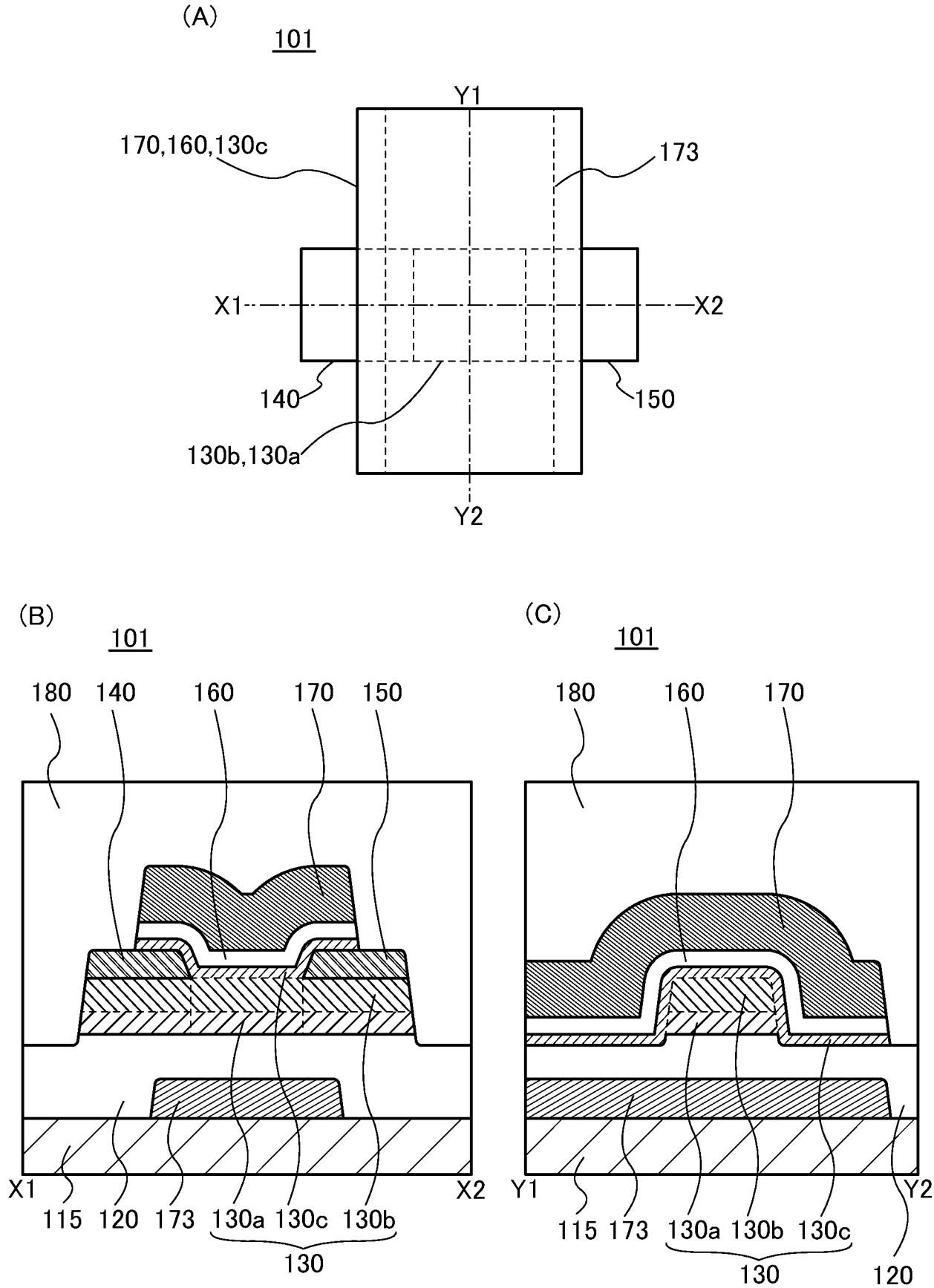
[図23]


81e
80b
81d
81c
81b
81f
80a
81g
81h
71
91
42
72
63
45
600
561
566
562
44
C1
61
41
73
82
46
PD
567
47
1100
1200
1300

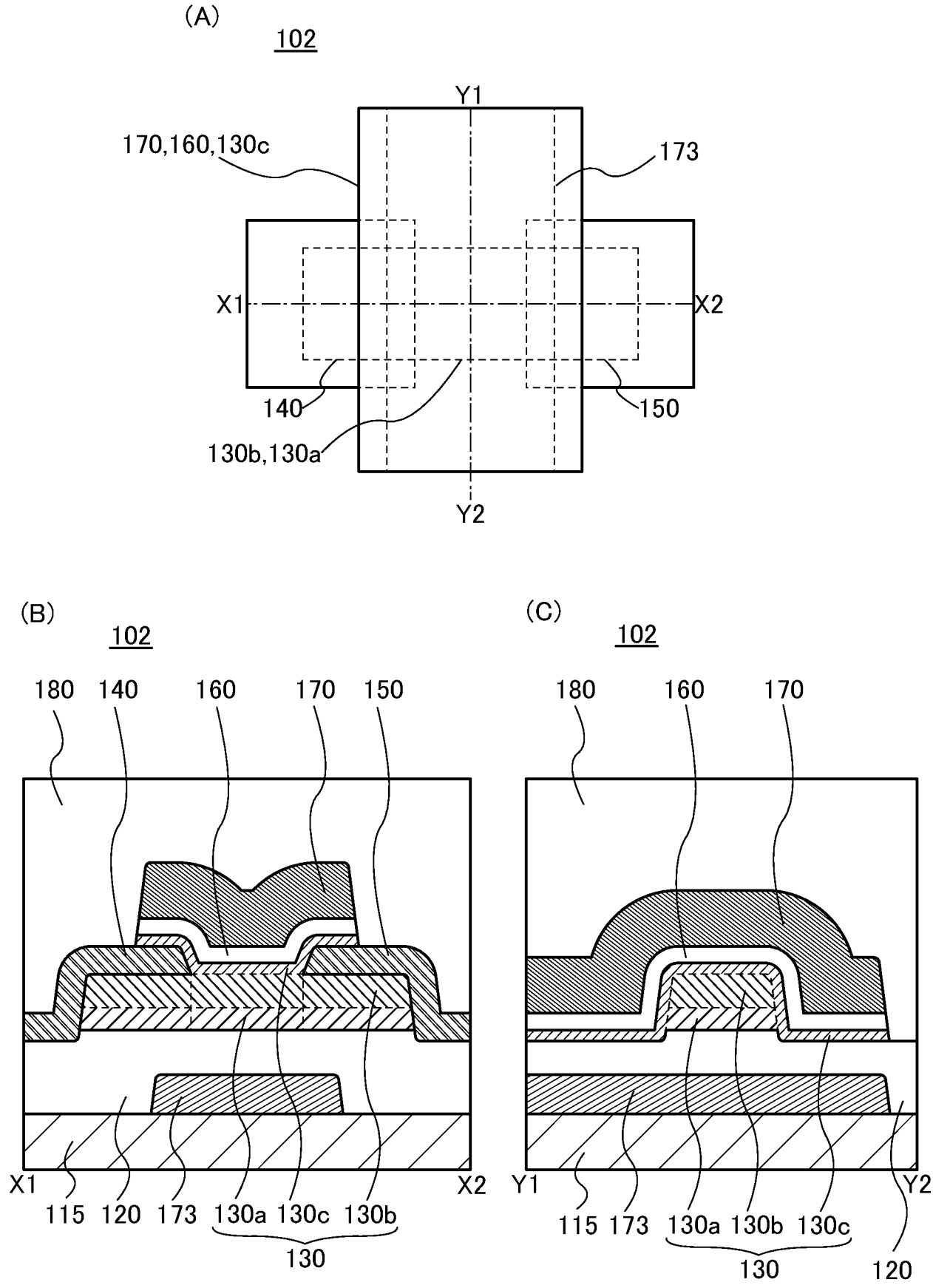
[図24]


20a
41
20b
20c
81d
82
81c
1200
81b
81a
640
1100
630
PD
620
81j
1530
1400
1550a
1550b
1550c
1540

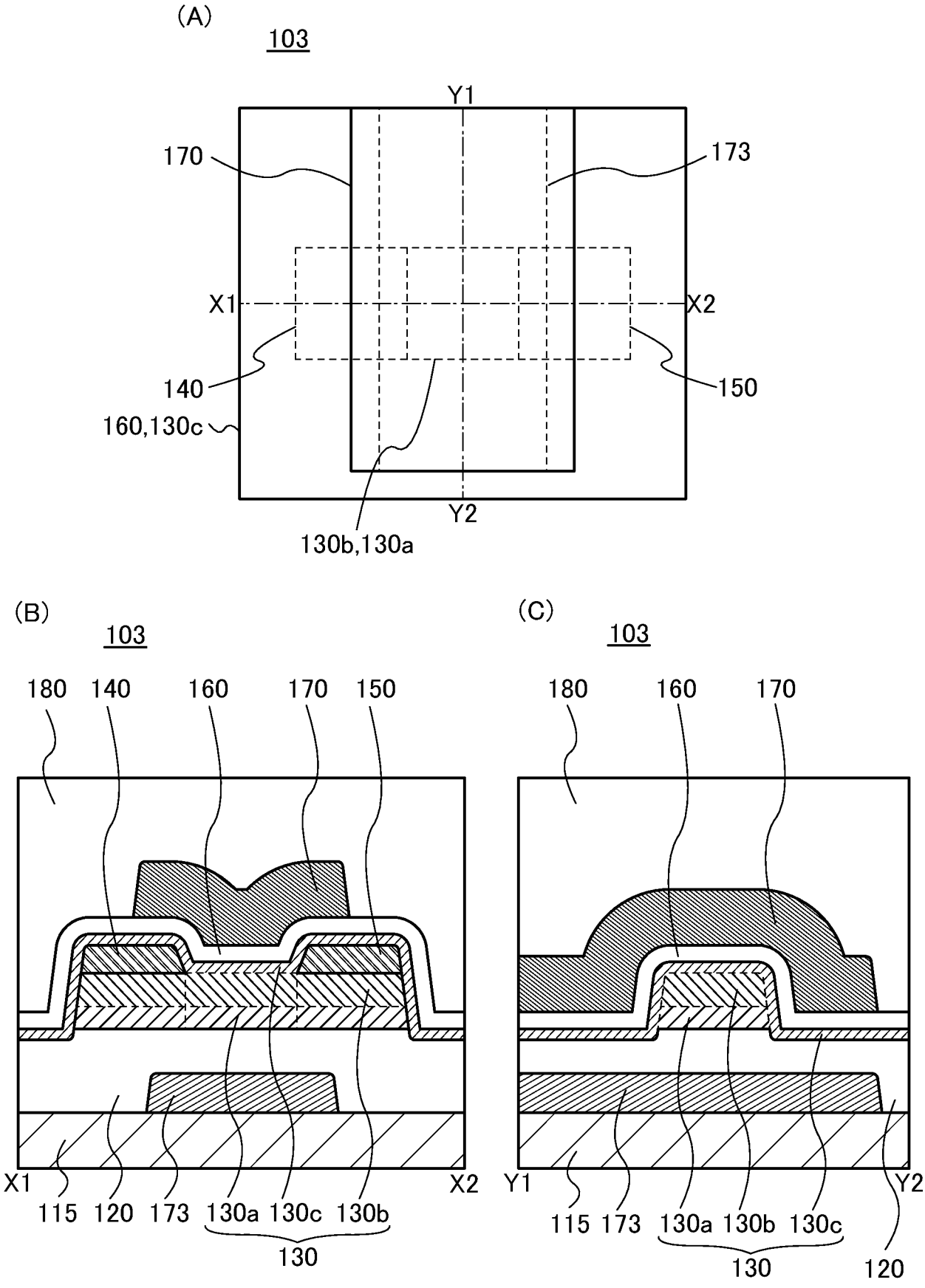
[図25]


(A)
101
Y1
170,160,130c
173
X1
X2
140
150
130b,130a
Y2
(B)
101
180
140
160
170
150
X1
X2
115
120
173
130a
130c
130b
130
(C)
101
180
160
170
Y1
Y2
115
173
130a
130b
130c
130
120

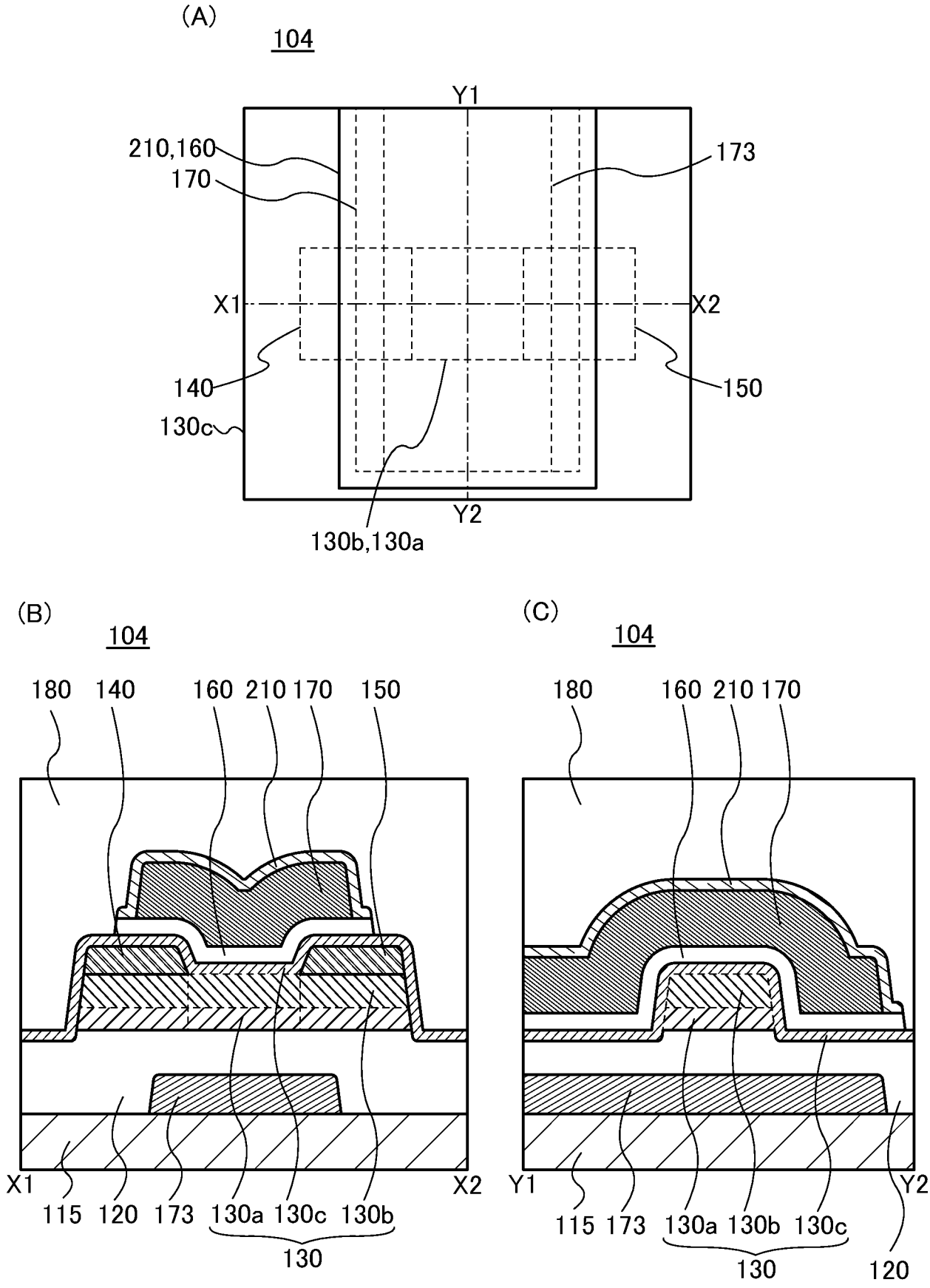
[図26]


(A)
102
Y1
170,160,130c
173
X1
X2
140
150
130b,130a
Y2
(B)
102
180
140
160
170
150
X1
X2
115
120
173
130a
130c
130b
130
(C)
102
180
160
170
Y1
Y2
115
173
130a
130b
130c
130
120

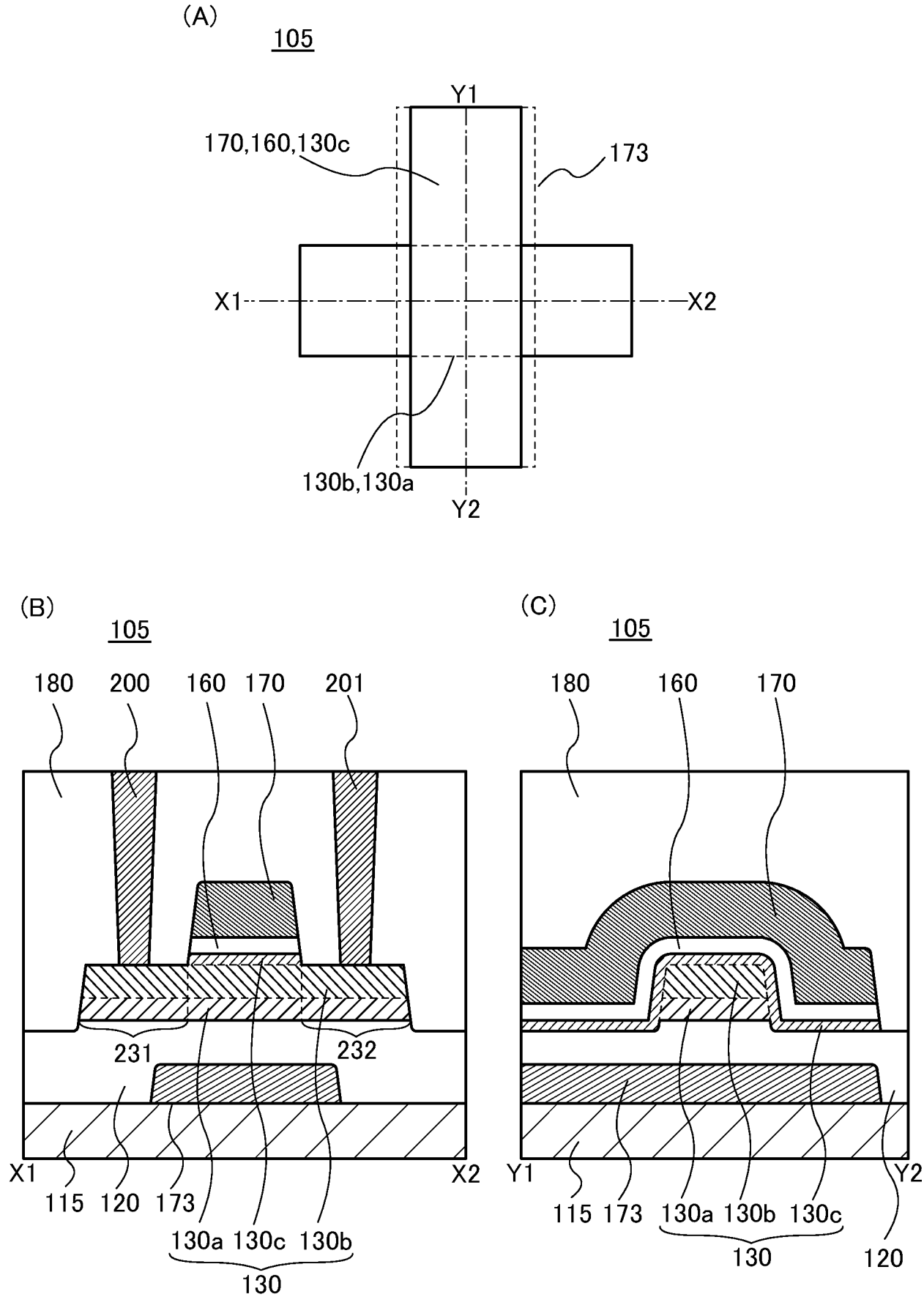
[図27]


(A)
103
Y1
170
173
X1
X2
140
150
160,130c
Y2
130b,130a
(B)
103
180
140
160
170
150
X1
X2
115
120
173
130a
130c
130b
130
(C)
103
180
160
170
Y1
Y2
115
173
130a
130b
130c
130
120

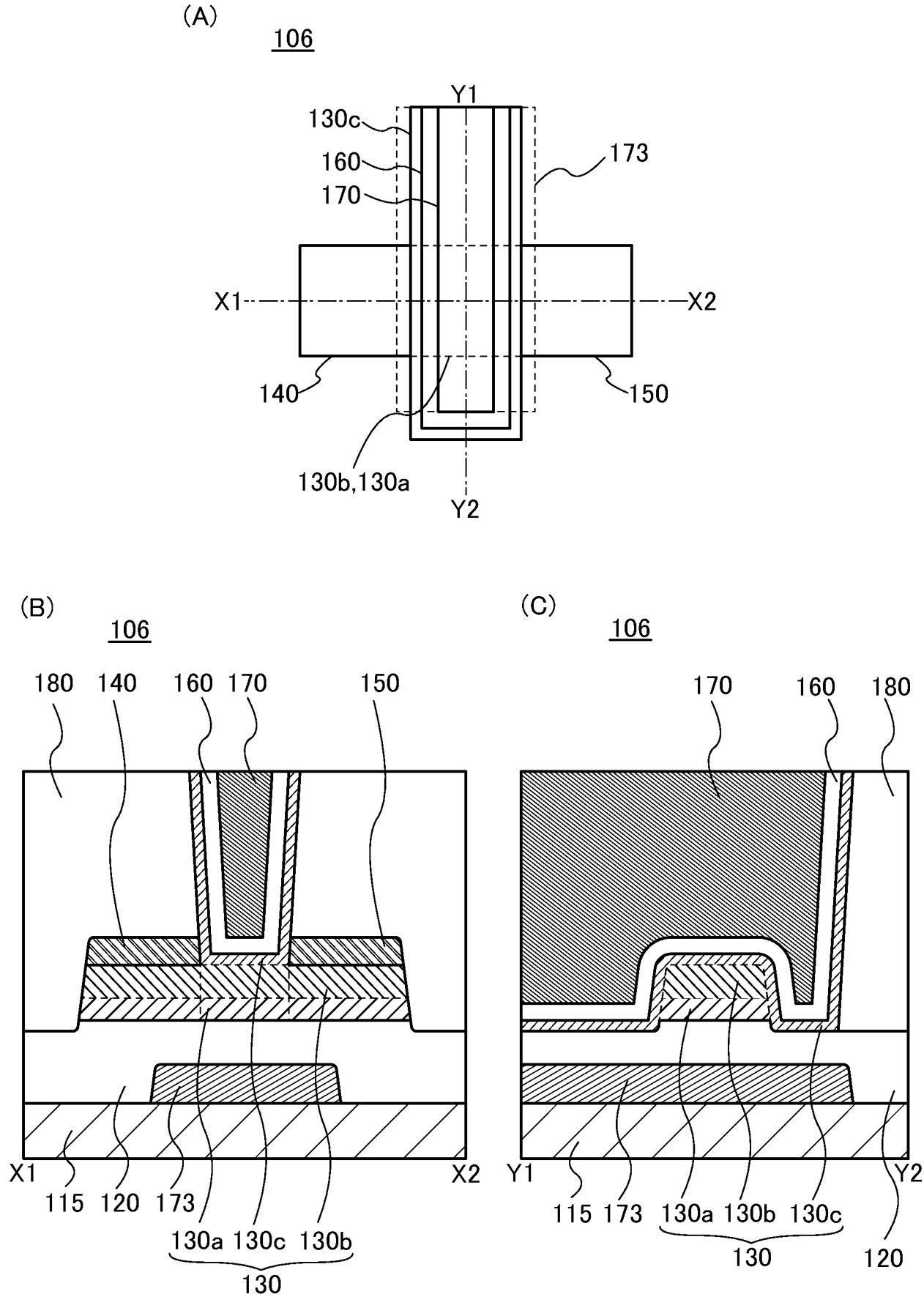
[図28]


(A)
104
Y1
210,160
170
173
X1
X2
140
150
130c
Y2
130b,130a
(B)
104
180
140
160
210
170
150
X1
X2
115
120
173
130a
130c
130b
130
(C)
104
180
160
210
170
Y1
Y2
115
173
130a
130b
130c
130
120

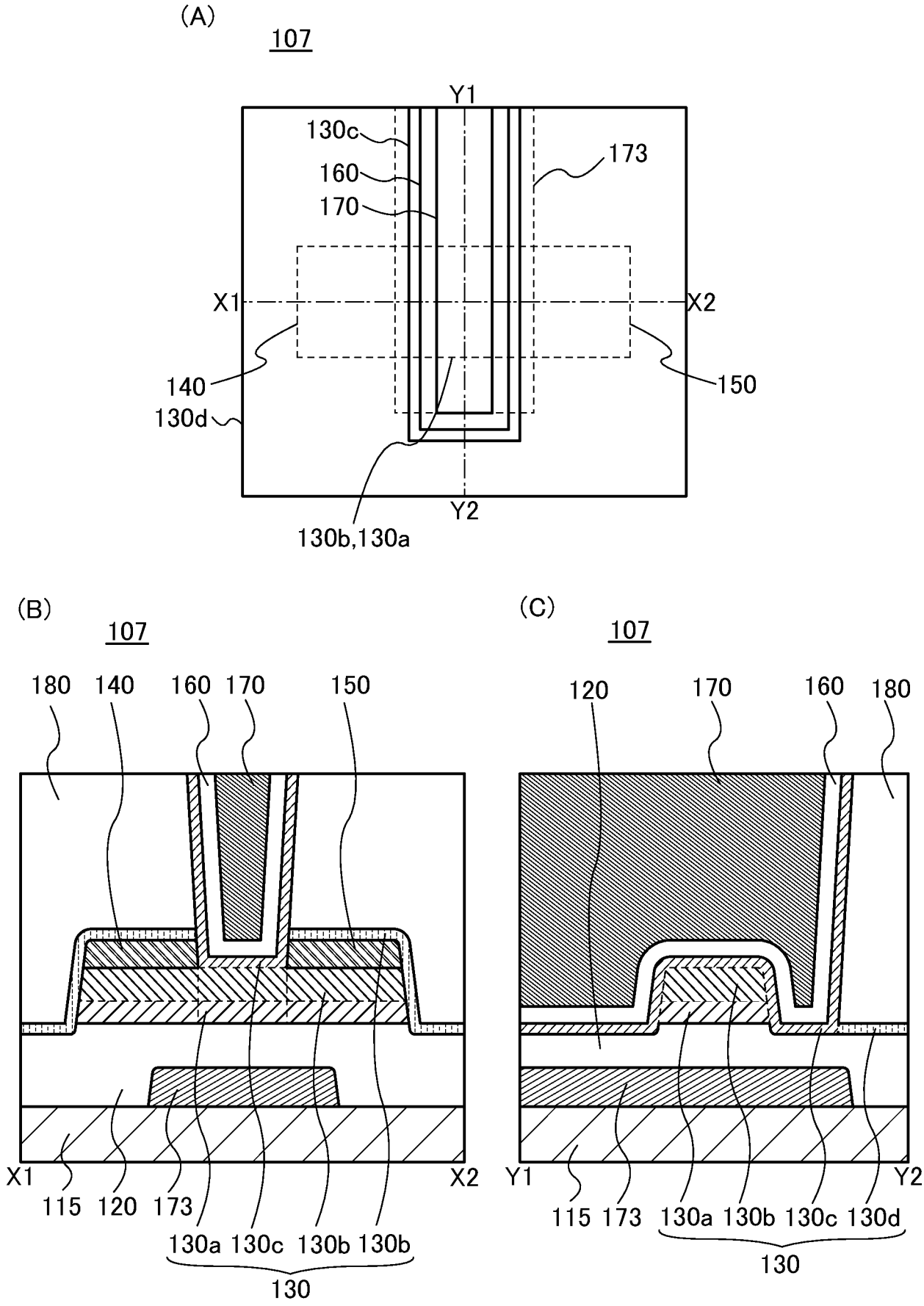
[図29]


(A)
105
Y1
170,160,130c
173
X1
X2
130b,130a
Y2
(B)
105
180
200
160
170
201
231
232
X1
X2
115
120
173
130a
130c
130b
130
(C)
105
180
160
170
Y1
Y2
115
173
130a
130b
130c
130
120

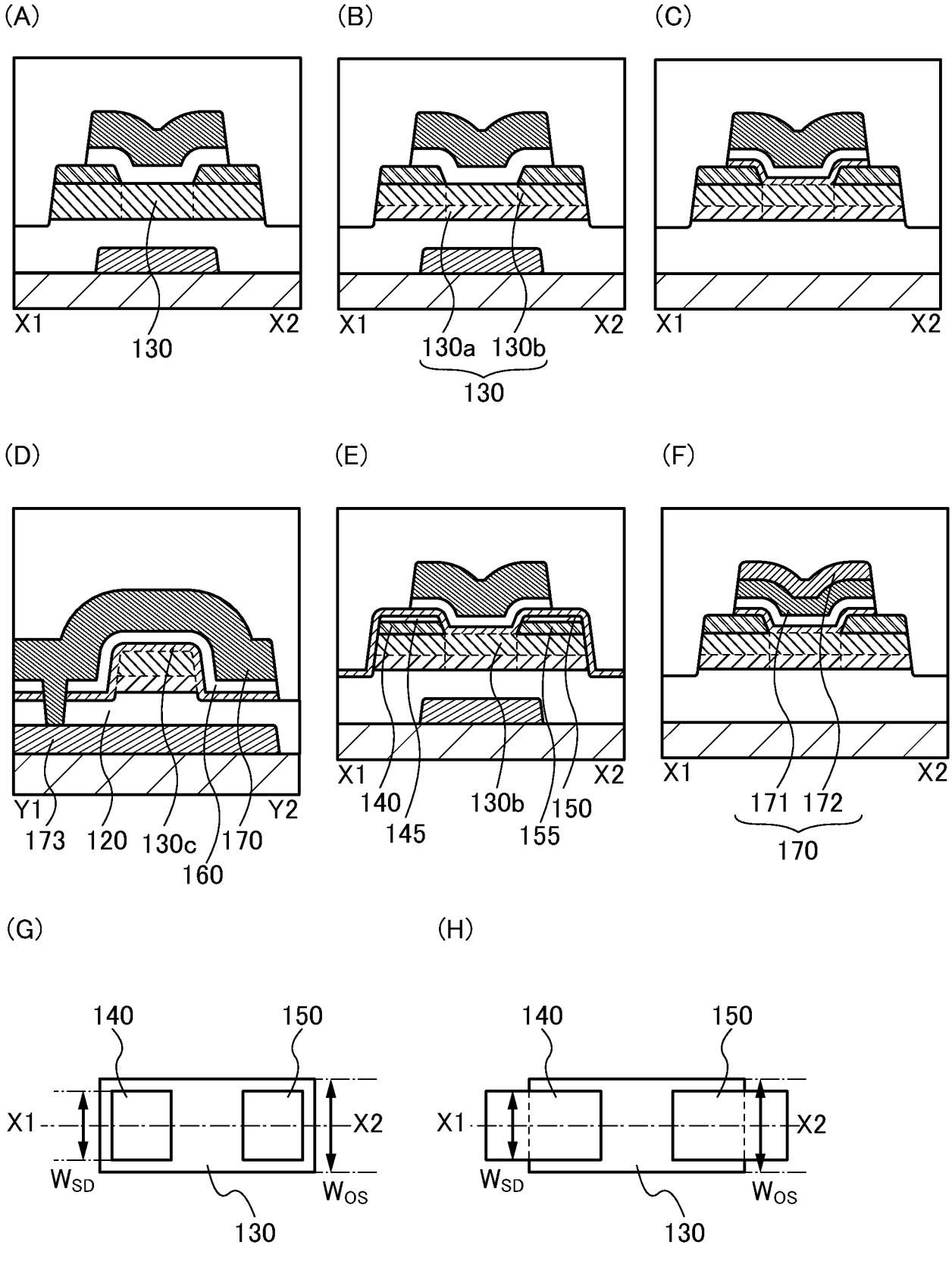
[図30]


(A)
106
Y1
130c
160
170
173
X1
X2
140
150
130b,130a
Y2
(B)
106
180
140
160
170
150
X1
X2
115
120
173
130a
130c
130b
130
(C)
106
170
160
180
Y1
Y2
115
173
130a
130b
130c
130
120

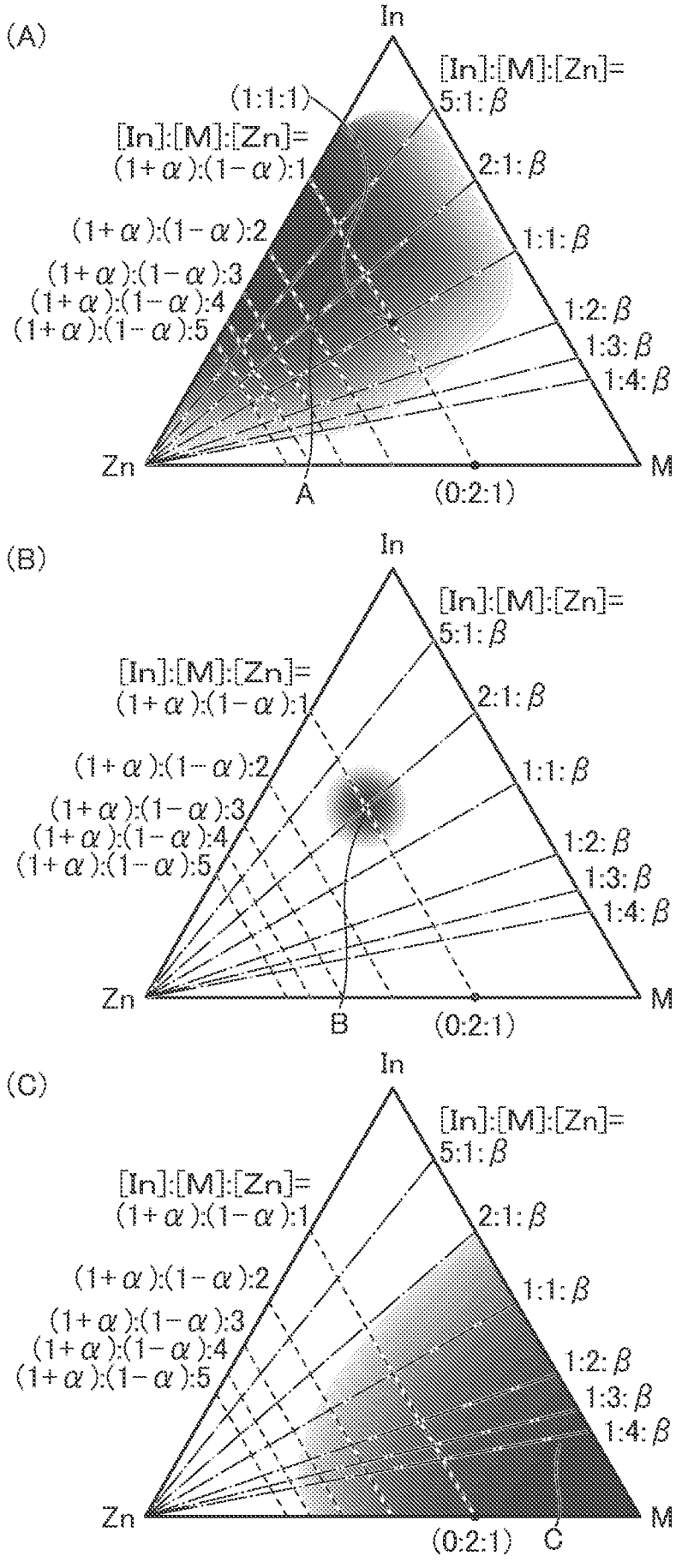
[図31]


(A)
107
Y1
130c
160
170
173
X1
X2
140
150
130d
Y2
130b,130a
(B)
107
180
140
160
170
150
X1
X2
115
120
173
130a
130c
130b
130b
130
(C)
107
120
170
160
180
Y1
Y2
115
173
130a
130b
130c
130d
130

[図32]

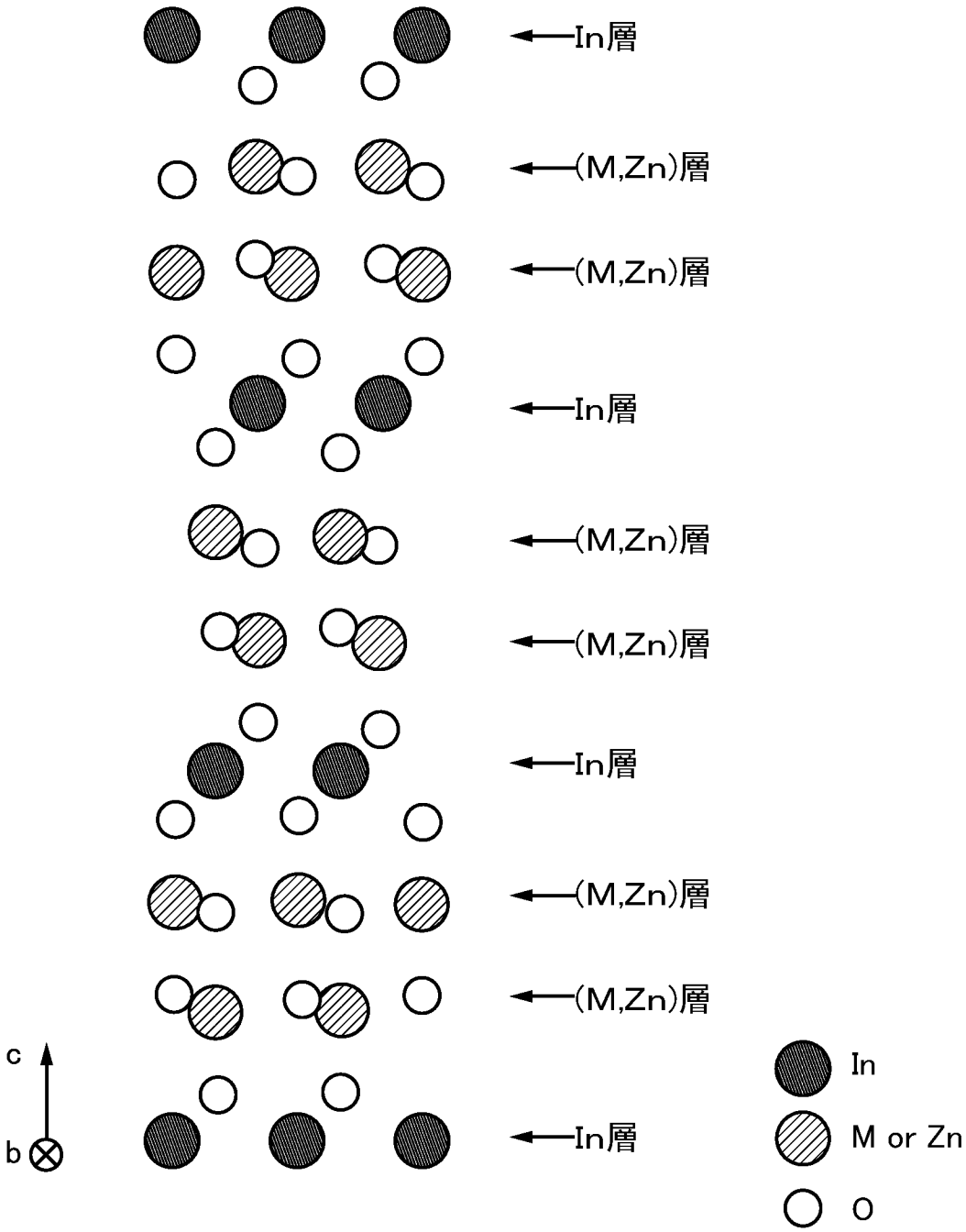

(A)
X1
130
X2
(B)
X1
130a
130b
130
X2
(C)
X1
X2
(D)
Y1
173
120
130c
160
170
Y2
(E)
X1
140
145
130b
155
150
X2
(F)
X1
171
172
170
X2
(G)
140
150
X1
X2
W_{SD}
W_{OS}
130
(H)
140
150
X1
X2
W_{SD}
W_{OS}
130

[図33]


(A)
In
[In]:[M]:[Zn]=
5:1:β
(1:1:1)
[In]:[M]:[Zn]=
(1+α):(1−α):1
2:1:β
(1+α):(1−α):2
1:1:β
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
1:2:β
1:3:β
1:4:β
Zn
M
A
(0:2:1)
(B)
In
[In]:[M]:[Zn]=
5:1:β
[In]:[M]:[Zn]=
(1+α):(1−α):1
2:1:β
(1+α):(1−α):2
1:1:β
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
1:2:β
1:3:β
1:4:β
Zn
M
B
(0:2:1)
(C)
In
[In]:[M]:[Zn]=
5:1:β
[In]:[M]:[Zn]=
(1+α):(1−α):1
2:1:β
(1+α):(1−α):2
1:1:β
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
1:2:β
1:3:β
1:4:β
Zn
M
(0:2:1)
C

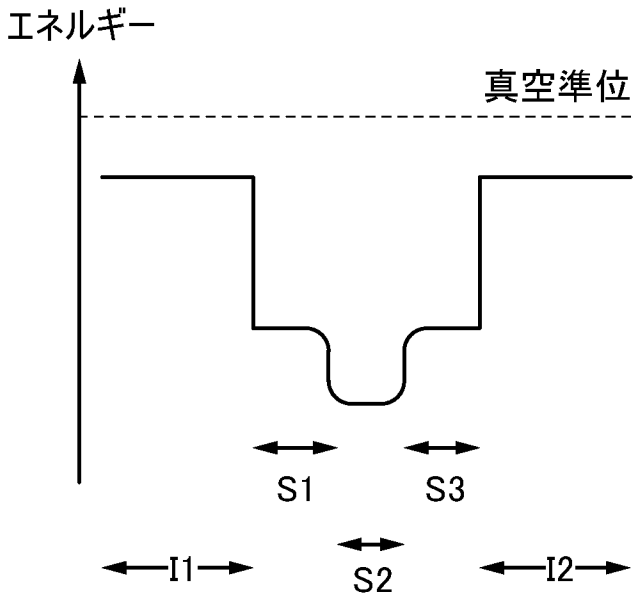
[図34]

$InMZnO_4$の結晶構造

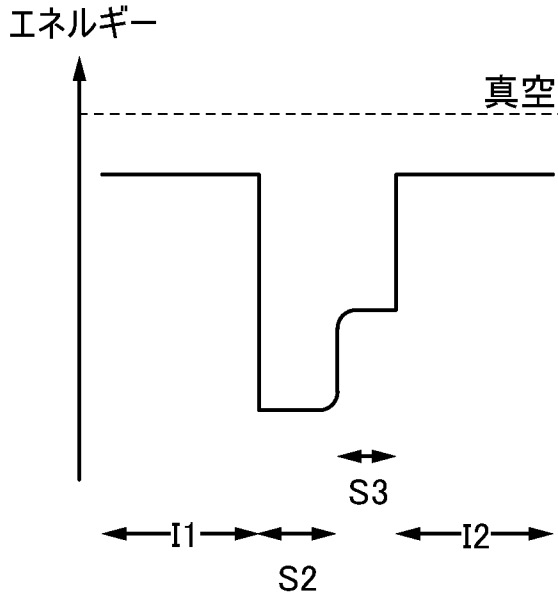


[図35]

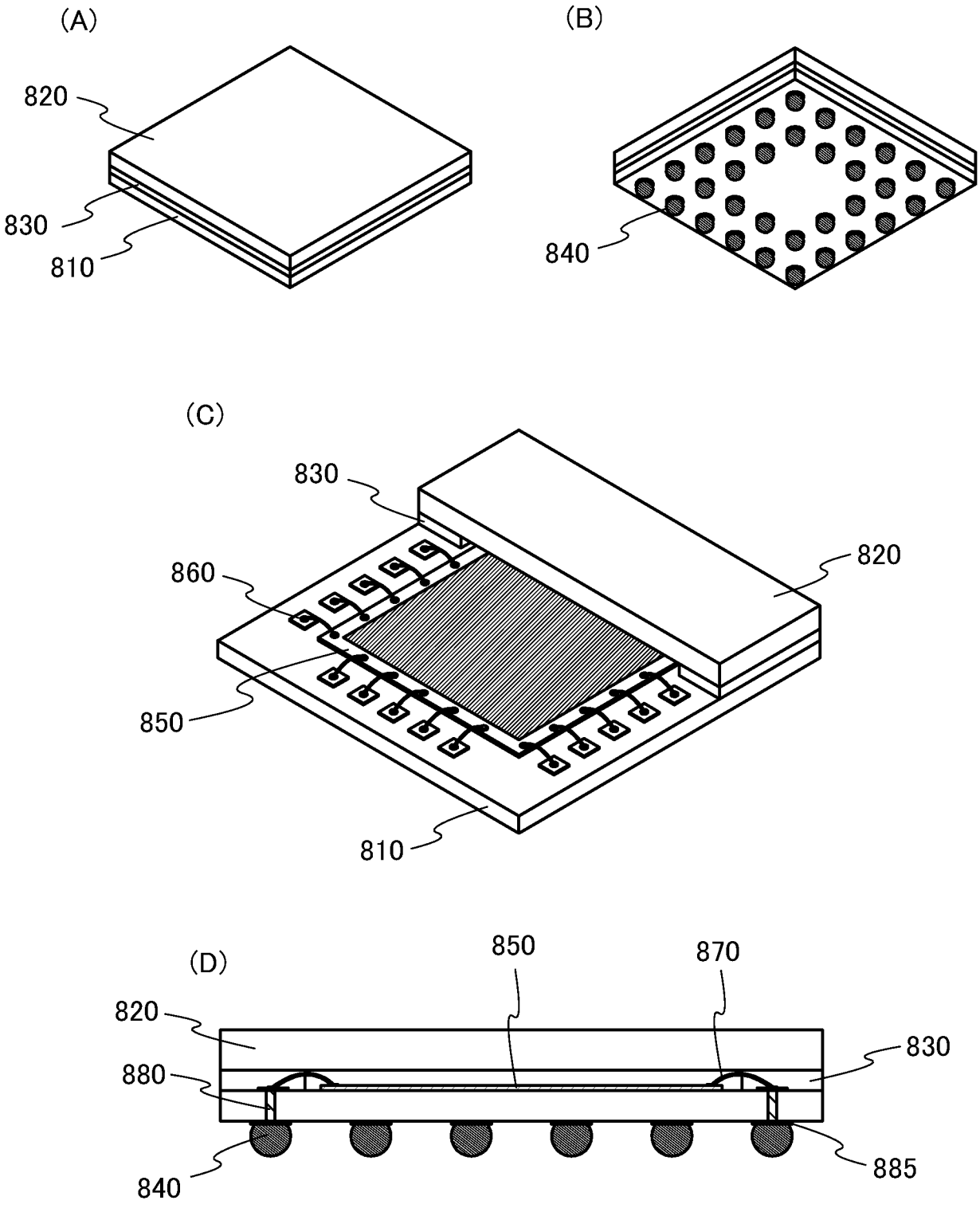
(A)



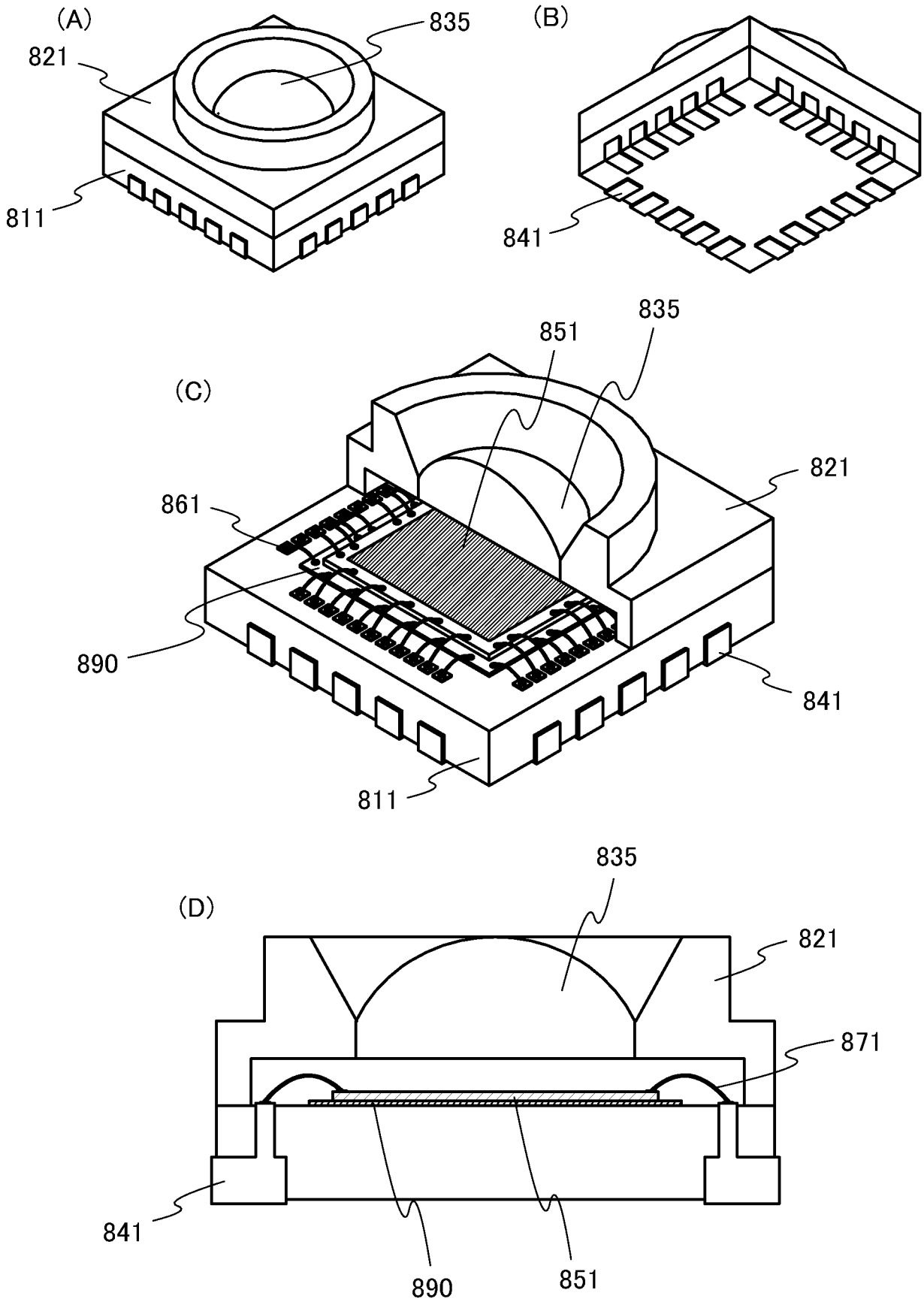
(B)



[図36]

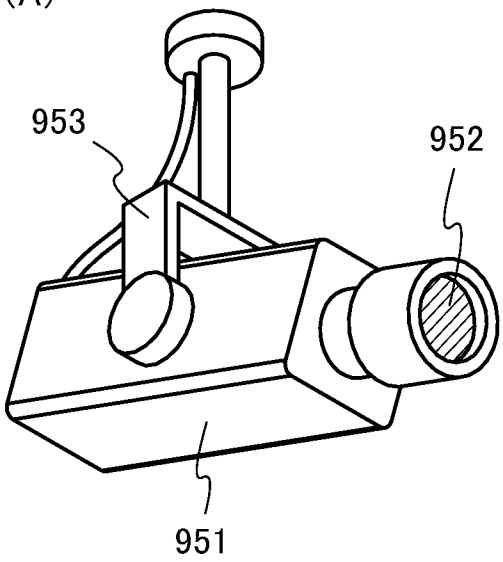

(A)
820
830
810
(B)
840
(C)
830
860
820
850
810
(D)
850
870
820
880
830
840
885

[図37]

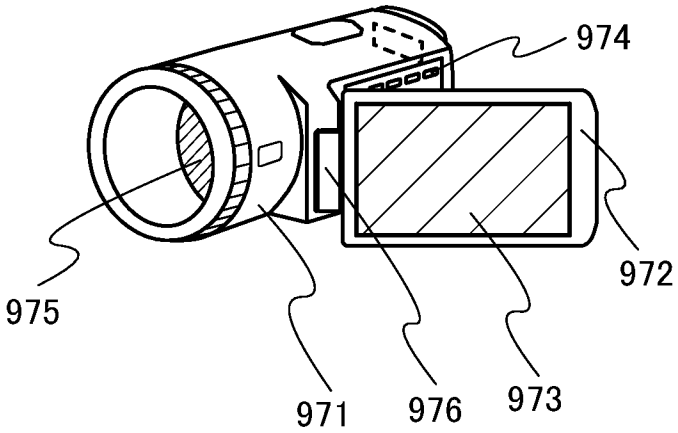

(A)
821
835
811
(B)
841
(C)
851
835
821
861
890
841
811
(D)
835
821
871
841
890
851

[図38]

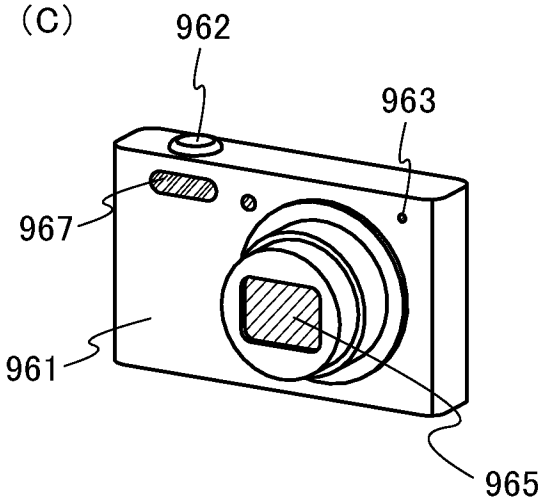
(A)


953
952
951

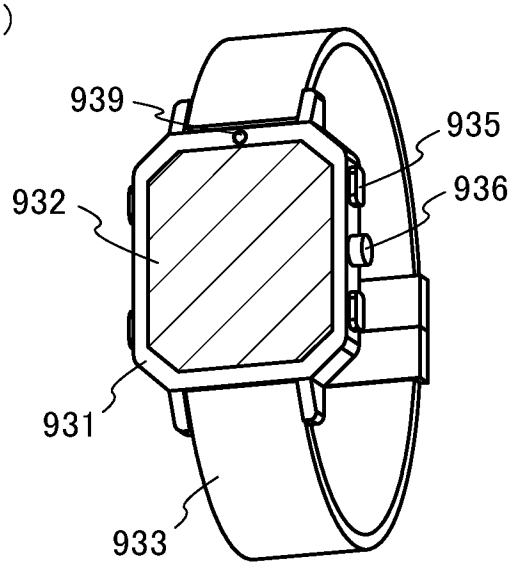
(B)


974
975
972
971
976
973

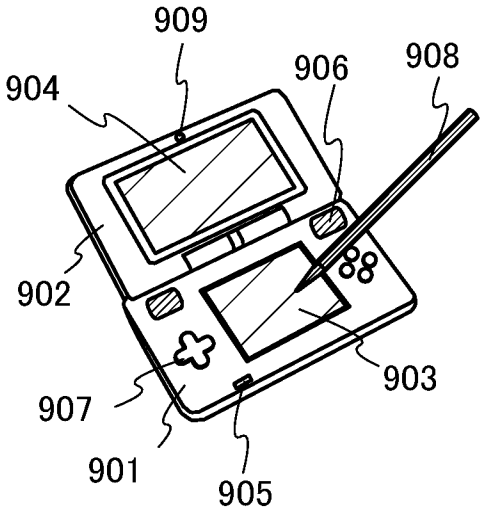
(C)


962
963
967
961
965

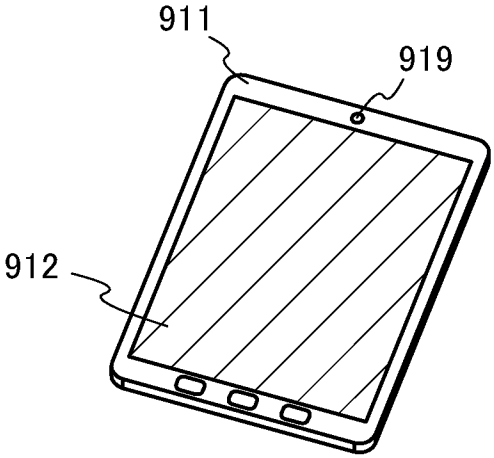
(D)


939
935
932
936
931
933

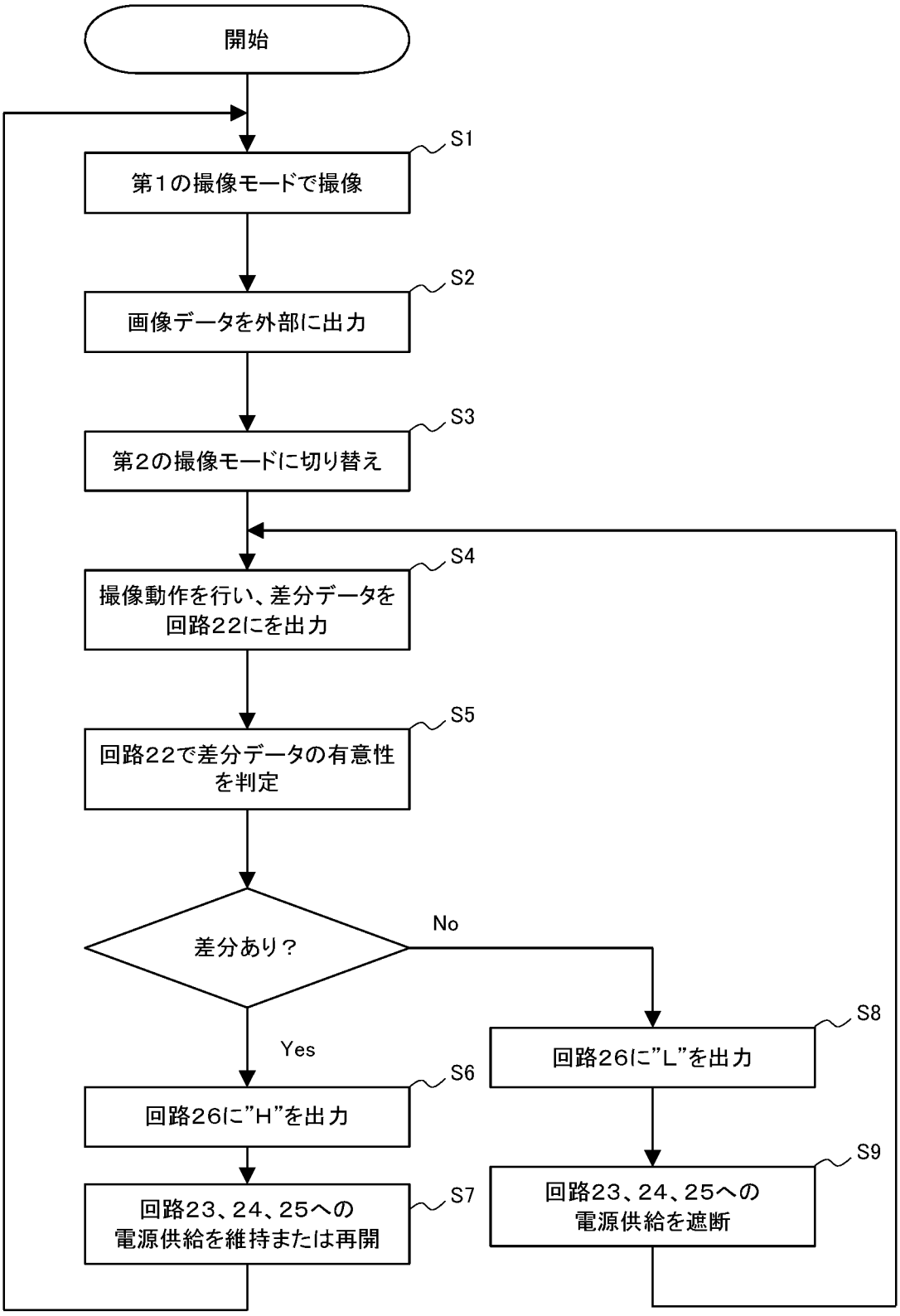
(E)


909
904
906
908
902
903
907
901
905

(F)


911
919
912

[図39]


開始
S1
第1の撮像モードで撮像
S2
画像データを外部に出力
S3
第2の撮像モードに切り替え
S4
撮像動作を行い、差分データを
回路22にを出力
S5
回路22で差分データの有意性
を判定
差分あり？
No
Yes
S6
回路26に"H"を出力
S7
回路23、24、25への
電源供給を維持または再開
S8
回路26に"L"を出力
S9
回路23、24、25への
電源供給を遮断

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2017/051375

A. CLASSIFICATION OF SUBJECT MATTER
H04N5/374(2011.01)i, *H01L27/146*(2006.01)i, *H01L29/786*(2006.01)i, *H04N5/378*(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N5/374, H01L27/146, H01L29/786, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-116762 A (Koichi SEKINE), 26 June 2014 (26.06.2014), paragraph [0090]; fig. 16, 17 & WO 2014/087840 A1 paragraph [0090]; fig. 16, 17	1-7
A	JP 2016-27694 A (Semiconductor Energy Laboratory Co., Ltd.), 18 February 2016 (18.02.2016), entire text; all drawings & US 2015/0332568 A1	1-7
A	JP 2013-211840 A (Semiconductor Energy Laboratory Co., Ltd.), 10 October 2013 (10.10.2013), entire text; all drawings & US 2013/0222584 A1	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 June 2017 (05.06.17)	27 June 2017 (27.06.17)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

国際調査報告

国際出願番号　ＰＣＴ／ＩＢ２０１７／０５１３７５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/374(2011.01)i, H01L27/146(2006.01)i, H01L29/786(2006.01)i, H04N5/378(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/374, H01L27/146, H01L29/786, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2014-116762 A (関根　弘一) 2014.06.26, 段落 [0090], 第16,17図 & WO 2014/087840 A1, 段落 [0090], 第16,17図	１－７
A	JP 2016-27694 A (株式会社半導体エネルギー研究所) 2016.02.18, 全文, 全図 & US 2015/0332568 A1	１－７
A	JP 2013-211840 A (株式会社半導体エネルギー研究所) 2013.10.10, 全文, 全図 & US 2013/0222584 A1	１－７

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０５．０６．２０１７	２７．０６．２０１７

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	５Ｖ	９１８５
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	鈴木　明 電話番号　０３－３５８１－１１０１　内線　３５７１		