

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-181516

(P2010-181516A)

(43) 公開日 平成22年8月19日(2010.8.19)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H093
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 633B	2H193
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 631T	5C006
	G09G 3/20 622S	5C080
	G09G 3/20 622D	

審査請求 有 請求項の数 15 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2009-23268 (P2009-23268)  
 (22) 出願日 平成21年2月4日(2009.2.4)

(71) 出願人 00002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100090479  
 弁理士 井上 一  
 (74) 代理人 100104710  
 弁理士 竹腰 昇  
 (74) 代理人 100124682  
 弁理士 黒田 泰  
 (72) 発明者 森田 晶  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
 Fターム(参考) 2H093 NA16 NA43 NA53 NC22 NC24  
 NC26 NC28 NC34 NC50 ND05  
 2H193 ZA04 ZD23 ZD34  
 最終頁に続く

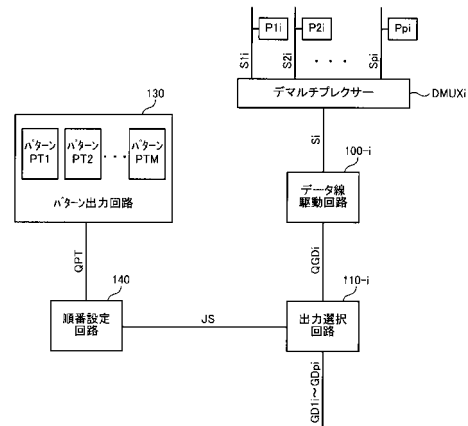
(54) 【発明の名称】 集積回路装置、電気光学装置及び電子機器

(57) 【要約】

【課題】表示ムラを防止できる集積回路装置、電気光学装置及び電子機器等を提供すること。

【解決手段】集積回路装置は、データ線駆動回路100-iと、パターン出力回路130と、順番設定回路140と、を含み、マルチプレクスされたデータ信号がデマルチプレクスされることで得られた複数のデータ信号が1水平走査期間において画素P1i~Ppiに供給され、パターン出力回路130が、1または複数のフレーム毎に、画素P1i~Ppiの駆動順番のローテーションパターンであるローテーションパターンPT1~PTMのいずれかを出力ローテーションパターンQPTとして出力し、順番設定回路140が、出力ローテーションパターンQPTに基づいて、画素P1i~Ppiの駆動順番を設定する。

【選択図】 図7



**【特許請求の範囲】****【請求項 1】**

複数のデータ信号供給線の各データ信号供給線に対応して設けられ、前記複数のデータ信号供給線のうちの対応するデータ信号供給線にマルチプレクスされたデータ信号を供給するデータ線駆動回路と、

パターン出力回路と、

順番設定回路と、

を含み、

前記マルチプレクスされたデータ信号がデマルチプレクサーによりデマルチプレクスされることで得られたデマルチプレクス後の複数のデータ信号が、1水平走査期間において複数の画素に供給され、

前記パターン出力回路が、

1または複数のフレーム毎に、前記複数の画素の第1の画素～第 $p$  ( $p$ は2以上の自然数)の画素の駆動順番のローテーションパターンである第1のローテーションパターン～第 $M$  ( $M$ は2以上の自然数)のローテーションパターンのいずれかを出力ローテーションパターンとして出力し、

前記順番設定回路が、

前記出力ローテーションパターンに基づいて、前記第1の画素～前記第 $p$ の画素の駆動順番を設定することを特徴とする集積回路装置。

10

**【請求項 2】**

20

請求項 1 において、

前記デマルチプレクサーに含まれる複数のデマルチプレクス用スイッチング素子をオン・オフ制御するためのデマルチプレクス用スイッチ信号を生成するスイッチ信号生成回路を有することを特徴とする集積回路装置。

**【請求項 3】**

請求項 1 又は 2 において、

前記データ線駆動回路に対応して設けられ、前記順番設定回路からの画素選択信号に基づいて、前記第1の画素～前記第 $p$ の画素に対応する第1の画像データ～第 $p$ の画像データのいずれかを選択して出力する出力選択回路を含むことを特徴とする集積回路装置。

30

**【請求項 4】**

請求項 1 乃至 3 において、

前記パターン出力回路が、

前記第1のローテーションパターン～前記第 $M$ のローテーションパターンを記憶する第1のパターンレジスター～第 $M$ のパターンレジスターと、

1または複数のフレーム毎に、前記第1のパターンレジスター～前記第 $M$ のパターンレジスターに記憶された前記第1のローテーションパターン～前記第 $M$ のローテーションパターンのいずれかを選択して出力するパターン選択回路と、

を含むことを特徴とする集積回路装置。

**【請求項 5】**

請求項 1 乃至 4 のいずれかにおいて、

40

フレーム周波数が120Hzである倍速駆動において、 $M = 3$ であり、前記第1のローテーションパターン～前記第 $M$ のローテーションパターンが40Hzで巡回されて前記出力ローテーションパターンとして出力されることを特徴とする集積回路装置。

**【請求項 6】**

請求項 1 乃至 4 のいずれかにおいて、

フレーム周波数が180Hzである3倍速駆動において、 $M = 5$ であり、前記第1のローテーションパターン～前記第 $M$ のローテーションパターンが36Hzで巡回されて前記出力ローテーションパターンとして出力されることを特徴とする集積回路装置。

**【請求項 7】**

請求項 1 乃至 6 のいずれかにおいて、

50

前記順番設定回路が、

前記出力ローテーションパターンを 1 または複数の水平走査期間毎に異なるローテーションパターンに変換する処理を行って、前記第 1 の画素～前記第 p の画素の駆動順番を設定することを特徴とする集積回路装置。

【請求項 8】

請求項 7 において、

前記順番設定回路が、

前記出力ローテーションパターンを 1 または複数のフレーム毎に異なるローテーションパターンに変換する処理を行って、前記第 1 の画素～前記第 p の画素の駆動順番を設定することを特徴とする集積回路装置。

10

【請求項 9】

請求項 8 において、

前記順番設定回路が、

1 または複数の水平走査期間毎、及び、1 または複数のフレーム毎に変化する変換信号を出力する変換信号生成回路と、

前記変換信号に基づいて、前記出力ローテーションパターンを異なるローテーションパターンに変換する処理を行うローテーション変換回路と、

を含むことを特徴とする集積回路装置。

【請求項 10】

請求項 9 において、

前記変換信号生成回路が、

フレーム数をカウントする垂直同期カウンタと、

水平走査期間数をカウントする水平同期カウンタと、

前記デマルチプレクスにおける画素選択タイミング信号を発生する選択タイミング発生回路と、

前記垂直同期カウンタの出力値と、前記水平同期カウンタの出力値と、前記選択タイミング発生回路の出力値とを加算処理する加算回路と、

を含むことを特徴とする集積回路装置。

20

【請求項 11】

請求項 10 において、

前記選択タイミング発生回路が、

所定のカウンタ値毎に巡回するカウンタ値を前記画素選択タイミング信号として発生することを特徴とする集積回路装置。

30

【請求項 12】

請求項 9 乃至 11 のいずれかにおいて、

前記第 1 のローテーションパターン～前記第 M のローテーションパターンの各ローテーションパターンが、

第 1 の画素選択データ～第 p の画素選択データにより構成され、

前記変換信号生成回路が、

前記変換信号として画素選択データ指示信号を出力し、

前記ローテーション変換回路が、

前記出力ローテーションパターンの第 1 の画素選択データ～第 p の画素選択データのうちの前記画素選択データ指示信号によって指示された画素選択データを画素選択信号として出力し、前記第 1 の画素～前記第 p の画素の駆動順番を設定することを特徴とする集積回路装置。

40

【請求項 13】

請求項 1 乃至 12 のいずれかにおいて、

前記デマルチプレクス後の前記複数のデータ信号において前記第 1 の画素～前記第 p の画素の駆動順番に依存して生じるオフセットである順番オフセットに対応する第 1 の順番オフセット用設定値～第 p の順番オフセット用設定値を記憶する順番オフセット用レジス

50

ターと、

前記データ線駆動回路に対応する順番オフセット用加算回路と、  
を含み、

前記データ線駆動回路が、前記第1の画素～前記第pの画素のうちの第q（qはp以下の自然数）の画素を第r（rはp以下の自然数）番目に駆動するとき、

前記順番オフセット用加算回路が、

前記第1の画素～前記第pの画素に対応する第1の画像データ～第pの画像データのうちの第qの画像データに対して、前記第1の順番オフセット用設定値～前記第pの順番オフセット用設定値のうちの第rの順番オフセット用設定値に基づく順番オフセット補正値を加算する処理を行うことを特徴とする集積回路装置。

10

【請求項14】

請求項1乃至13のいずれかに記載の集積回路装置を含むことを特徴とする電気光学装置。

【請求項15】

請求項14に記載の電気光学装置を含むことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路装置、電気光学装置及び電子機器等に関する。

【背景技術】

20

【0002】

近年ではハイビジョン映像等の高精細な映像技術が普及しており、液晶プロジェクター等の表示機器において高精細化・多階調化が進んでいる。高精細化・多階調化が進むと、多階調であるほど1階調当たりの階調電圧が小さくなるため、データ電圧にわずかな誤差が生じるだけで表示ムラが生じるという課題がある。

【0003】

ここで、本出願人は、各データ線駆動回路が1水平走査期間において複数の画素に対してデータ電圧を書き込むマルチプレクス駆動方式のドライバーを開発している。しかしながら、この方式のドライバーでは、マルチプレクス駆動される複数のデータ電圧にオフセットが生じるという課題がある。そして、このオフセットによる誤差により、表示画像に表示ムラ（スジ）が生じるという課題がある。

30

【0004】

なお特許文献1には、マルチプレクス駆動される複数のデータ線の駆動順番を水平走査期間毎に切り替えることで、データ電圧の誤差を平均化する手法が開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2004-45967号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0006】

本発明の幾つかの態様によれば、表示ムラを防止できる集積回路装置、電気光学装置及び電子機器等を提供できる。

【課題を解決するための手段】

【0007】

本発明の一態様は、複数のデータ信号供給線の各データ信号供給線に対応して設けられ、前記複数のデータ信号供給線のうちの対応するデータ信号供給線にマルチプレクス（時分割多重化）されたデータ信号を供給するデータ線駆動回路と、パターン出力回路と、順番設定回路と、を含み、前記マルチプレクスされたデータ信号がデマルチプレクサーによりデマルチプレクスされることで得られたデマルチプレクス後の複数のデータ信号が、1

50

水平走査期間において複数の画素に供給され、前記パターン出力回路が、1または複数のフレーム毎に、前記複数の画素の第1の画素～第 $p$  ( $p$ は2以上の自然数)の画素の駆動順番のローテーションパターンである第1のローテーションパターン～第 $M$  ( $M$ は2以上の自然数)のローテーションパターンのいずれかを出力ローテーションパターンとして出力し、前記順番設定回路が、前記出力ローテーションパターンに基づいて、前記第1の画素～前記第 $p$ の画素の駆動順番を設定する集積回路装置に関係する。

【0008】

本発明の一態様によれば、パターン出力回路が、1または複数のフレーム毎に、第1～第 $M$ のローテーションパターンのいずれかを出力ローテーションパターンとして出力し、順番設定回路が、その出力ローテーションパターンに基づいて第1～第 $p$ の画素の駆動順番を設定し、各データ線駆動回路が、その駆動順番に従って、1水平走査期間において第1～第 $p$ の画素に対してデータ信号を書き込むマルチプレクス駆動を行う。

10

【0009】

このように、本発明の一態様によれば、順番設定回路が出力ローテーションパターンに基づいて第1～第 $p$ の画素の駆動順番を設定することで、第1～第 $p$ の画素の駆動順番をローテーションできる。これにより、データ信号(データ電圧、またはデータ電流)において画素の駆動順番に起因して生じるオフセットである順番オフセットを平均化し、表示ムラを防止できる。

【0010】

ここで、ローテーションパターンが1パターンの場合には、マルチプレクス駆動される画素数が増加するほどローテーションによる平均化の周波数が低くなり、表示ムラが生じやすくなってしまう。

20

【0011】

この点、本発明の一態様によれば、パターン出力回路が、1または複数のフレーム毎に、第1～第 $M$ のローテーションパターンのいずれかを出力ローテーションパターンとして出力する。これにより、複数のローテーションパターンを1または複数のフレーム毎に切り替えて、ローテーションによる平均化を高周波数化できる。このようにして、マルチプレクス駆動される画素数が増加したときでも、表示ムラを防止できる。

【0012】

また、本発明の一態様では、前記デマルチプレクサーに含まれる複数のデマルチプレクス用スイッチング素子をオン・オフ制御するためのデマルチプレクス用スイッチ信号を生成するスイッチ信号生成回路を有してもよい。

30

【0013】

このようにすれば、デマルチプレクサーに含まれる複数のデマルチプレクス用スイッチング素子をオン・オフ制御できる。これにより、マルチプレクスされたデータ信号をデマルチプレクサーによりデマルチプレクスすることができる。

【0014】

例えば、デマルチプレクサーは電気光学パネルに含まれてもよく、デマルチプレクス用スイッチ信号が電気光学パネル内のデマルチプレクサーに供給されることで、データ信号のデマルチプレクスが実現されてもよい。あるいは、デマルチプレクサーは本発明の集積回路装置に含まれてもよく、デマルチプレクス用スイッチ信号が集積回路装置内のマルチプレクサーに供給されることで、データ信号のデマルチプレクスが実現されてもよい。

40

【0015】

また、本発明の一態様では、前記データ線駆動回路に対応して設けられ、前記順番設定回路からの画素選択信号に基づいて、前記第1の画素～前記第 $p$ の画素に対応する第1の画像データ～第 $p$ の画像データのいずれかを選択して出力する出力選択回路を含んでもよい。

【0016】

例えば、本発明の一態様では、前記出力選択回路が、前記第1～第 $p$ の画素のうちの第 $q$ の画素( $q$ は $p$ 以下の自然数)の選択を指示する前記画素選択信号を受けたとき、前記

50

第 1 ~ 第 p の画像データのうちの第 q の画像データを選択し、選択された前記第 q の画像データを選択画像データとして出力してもよい。

【0017】

このようにすれば、各データ線駆動回路が、順番設定回路からの駆動順番に従って、1 水平走査期間において第 1 ~ 第 p の画素に対してデータ信号を書き込むマルチプレクス駆動を行うことができる。

【0018】

また、本発明の一態様では、前記パターン出力回路が、前記第 1 のローテーションパターン ~ 前記第 M のローテーションパターンを記憶する第 1 のパターンレジスター ~ 第 M のパターンレジスターと、1 または複数のフレーム毎に、前記第 1 のパターンレジスター ~ 前記第 M のパターンレジスターに記憶された前記第 1 のローテーションパターン ~ 前記第 M のローテーションパターンのいずれかを選択して出力するパターン選択回路と、を含んでもよい。

10

【0019】

このようにすれば、パターン出力回路が第 1 ~ 第 M のパターンレジスターを含むことで、第 1 ~ 第 M のローテーションパターンを記憶できる。そして、パターン選択回路が、記憶された第 1 ~ 第 M のローテーションパターンのいずれかを選択して出力することで、1 または複数のフレーム毎に、第 1 ~ 第 M のローテーションパターンのいずれかを出力ローテーションパターンとして出力できる。

【0020】

また、本発明の一態様では、フレーム周波数が 120 Hz である倍速駆動において、 $M = 3$  であり、前記第 1 のローテーションパターン ~ 前記第 M のローテーションパターンが 40 Hz で巡回されて前記出力ローテーションパターンとして出力されてもよい。

20

【0021】

また、本発明の一態様では、フレーム周波数が 180 Hz である 3 倍速駆動において、 $M = 5$  であり、前記第 1 のローテーションパターン ~ 前記第 M のローテーションパターンが 36 Hz で巡回されて前記出力ローテーションパターンとして出力されてもよい。

【0022】

これらの発明の一態様によれば、倍速駆動において  $M = 3$  であることで、第 1 ~ 第 3 のローテーションパターンが 40 Hz で巡回され、あるいは 3 倍速駆動において  $M = 5$  であることで第 1 ~ 第 5 のローテーションパターンが 36 Hz で巡回される。これにより、視覚的に認識されにくい周波数でローテーションによる平均化を行うことができる。

30

【0023】

また、本発明の一態様では、前記順番設定回路が、前記出力ローテーションパターンを 1 または複数の水平走査期間毎に異なるローテーションパターンに変換する処理を行って、前記第 1 の画素 ~ 前記第 p の画素の駆動順番を設定してもよい。

【0024】

このようにすれば、出力ローテーションパターンが 1 または複数の水平走査期間毎に異なるローテーションパターンに変換処理されることで、フレーム内で順番オフセットを平均化できる。

40

【0025】

また、本発明の一態様では、前記順番設定回路が、前記出力ローテーションパターンを 1 または複数のフレーム毎に異なるローテーションパターンに変換する処理を行って、前記第 1 の画素 ~ 前記第 p の画素の駆動順番を設定してもよい。

【0026】

このようにすれば、出力ローテーションパターンが 1 または複数のフレーム毎に異なるローテーションパターンに変換処理されることで、複数のフレームで順番オフセットを平均化できる。

【0027】

また、本発明の一態様では、前記順番設定回路が、1 または複数の水平走査期間毎、及

50

び、1または複数のフレーム毎に変化する変換信号を出力する変換信号生成回路と、前記変換信号に基づいて、前記出力ローテーションパターンを異なるローテーションパターンに変換する処理を行うローテーション変換回路と、を含んでもよい。

【0028】

このようにすれば、出力ローテーションパターンを1または複数の水平走査期間毎に異なるローテーションパターンに変換する処理を実現できる。また、出力ローテーションパターンQPTを1または複数の垂直走査期間毎に異なるローテーションパターンに変換する処理を実現できる。

【0029】

また、本発明の一態様では、前記変換信号生成回路が、フレーム数をカウントする垂直同期カウンターと、水平走査期間数をカウントする水平同期カウンターと、前記デマルチプレクスにおける画素選択タイミング信号を発生する選択タイミング発生回路と、前記垂直同期信号カウンターの出力値と、前記水平同期信号カウンターの出力値と、前記選択タイミング発生回路の出力値とを加算処理する加算回路と、を含んでもよい。

10

【0030】

本発明の一態様によれば、垂直同期カウンターがフレーム数をカウントすることで、垂直同期カウンターの出力値が1または複数のフレーム毎に変化する。また、水平同期カウンターが水平走査期間数をカウントすることで、水平同期カウンターの出力値が、1または複数の水平走査期間毎に変化する。そして、加算回路が、これらのカウンターの出力値を加算処理することで、1または複数の水平走査期間毎に変化し、1または複数のフレーム毎に変化する変換信号を出力できる。

20

【0031】

また、本発明の一態様では、前記選択タイミング発生回路が、所定のカウント値毎に巡回するカウント値を前記画素選択タイミング信号として発生してもよい。

【0032】

このようにすれば、選択タイミング発生回路が、画素選択タイミング信号を発生できる。これにより、順番設定回路が、画素選択タイミング信号に従って画素選択信号を順次出力できる。

【0033】

また、本発明の一態様では、前記第1のローテーションパターン～前記第Mのローテーションパターンの各ローテーションパターンが、第1の画素選択データ～第pの画素選択データにより構成され、前記変換信号生成回路が、前記変換信号として画素選択データ指示信号を出力し、前記ローテーション変換回路が、前記出力ローテーションパターンの第1の画素選択データ～第pの画素選択データのうちの前記画素選択データ指示信号によって指示された画素選択データを画素選択信号として出力し、前記第1の画素～前記第pの画素の駆動順番を設定してもよい。

30

【0034】

このようにすれば、変換信号に基づいて、出力ローテーションパターンの第1～第pの画素選択データのいずれかの画素選択データを画素選択信号として出力できる。これにより、出力ローテーションパターンを異なるローテーションパターンに変換する処理を実現できる。

40

【0035】

また、本発明の一態様では、前記デマルチプレクス後の前記複数のデータ信号において前記第1の画素～前記第pの画素の駆動順番に依存して生じるオフセットである順番オフセットに対応する第1の順番オフセット用設定値～第pの順番オフセット用設定値を記憶する順番オフセット用レジスタと、前記各データ線駆動回路に対応する順番オフセット用加算回路と、を含み、前記各データ線駆動回路が、前記第1の画素～前記第pの画素のうちの第q（qはp以下の自然数）の画素を第r（rはp以下の自然数）番目に駆動するときに、前記順番オフセット用加算回路が、前記第1の画素～前記第pの画素に対応する第1の画像データ～第pの画像データのうちの第qの画像データに対して、前記第1の順

50

番オフセット用設定値～前記第 p の順番オフセット用設定値のうちの第 r の順番オフセット用設定値に基づく順番オフセット補正値を加算する処理を行ってもよい。

【0036】

本発明の一態様によれば、順番オフセット用レジスタが、第 1 番目～第 p 番目の駆動順番に対応付けられた第 1～第 p の順番オフセット用設定値を記憶する。これにより、第 r の順番オフセット用設定値に基づいて第 r 番目の駆動順番に対応する順番オフセット補正値を求めることができる。

【0037】

また、本発明の一態様によれば、データ線駆動回路が第 q の画素を第 r 番目の駆動順番に駆動するとき、順番オフセット用加算回路が、第 r 番目の駆動順番に対応する順番オフセット補正値を第 q の画像データに対して加算処理する。これにより、第 r 番目の駆動順番に駆動される第 q の画素において、第 r 番目の駆動順番に対応する順番オフセットを補正できる。このようにして、データ信号の順番オフセットによる表示ムラを防止できる。

10

【0038】

このように、本発明の一態様によれば、順番オフセットを補正することで順番オフセット自体を抑制できる。これにより、ローテーションによる順番オフセットの平均化を、より効果的なものとすることができる。

【0039】

また、本発明の他の態様は、上記のいずれかに記載の集積回路装置を含む電気光学装置に関する。

20

【0040】

また、本発明の他の態様は、上記に記載の電気光学装置を含む電子機器に関する。

【図面の簡単な説明】

【0041】

【図 1】電気光学装置の構成例。

【図 2】データドライバーの構成例。

【図 3】マルチプレクス駆動の動作説明図。

【図 4】マルチプレクス駆動の動作説明図。

【図 5】順番オフセットの説明図。

30

【図 6】順番オフセットの説明図。

【図 7】本実施形態の第 1 の構成例。

【図 8】パターン出力回路、順番設定回路の詳細な構成例。

【図 9】第 1 の構成例の動作説明図。

【図 10】図 10 (A)、図 10 (B) は、第 1 の構成例の動作説明図。

【図 11】本実施形態の比較例。

【図 12】本実施形態の第 2 の構成例。

【図 13】第 2 の構成例の動作説明図。

【図 14】データドライバーの変形例。

【図 15】電子機器の構成例。

40

【発明を実施するための形態】

【0042】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0043】

1. マルチプレクス駆動

1.1. 液晶表示装置の構成例

図 1～図 4 を用いて、本実施形態が行うマルチプレクス駆動（線順次駆動）について説明する。

50



## 【 0 0 4 4 】

なお以下では、液晶プロジェクター等に用いられる単色表示の液晶パネルがドライバー（集積回路装置）により駆動される場合を例に説明する。但し本発明では、RGB表示等の複数色表示の液晶パネルがドライバーにより駆動されてもよい。また本発明では、液晶パネル以外の電気光学パネルがドライバーにより駆動されてもよく、例えば有機EL（Electro-Luminescence）パネル・無機ELパネル等のELパネルがドライバーにより駆動されてもよい。

## 【 0 0 4 5 】

また以下では、後述するデータ信号供給線に、データ信号としてデータ電圧が供給される場合を例に説明する。但し本発明では、データ信号供給線にデータ信号としてデータ電流が供給されてもよい。

10

## 【 0 0 4 6 】

図1に液晶表示装置（LCD：Liquid Crystal Display、広義には電気光学装置）の構成例を示す。図1に示す構成例は、液晶パネル12（広義には、電気光学パネル）、ドライバー60（集積回路装置）、表示コントローラ40、電源回路50を含む。なお、本発明の液晶表示装置は、図1の構成に限定されず、その構成要素の一部（例えば表示コントローラ等）を省略したり他の構成要素を追加したりする等の種々の変形実施が可能である。例えば、図1には、後述するデマルチプレクサーが液晶パネルに含まれるものとして図示するが、本発明では、デマルチプレクサーが後述するデータドライバー20に含まれてもよい。

20

## 【 0 0 4 7 】

液晶パネル12は、例えばアクティブマトリクス型の液晶パネルで構成できる。このとき、液晶パネル12の液晶基板（例えば、ガラス基板）には、図1のY方向に複数配列され、それぞれX方向に伸びる走査線G1～Gm（mは2以上の自然数）が配置される。また、液晶基板には、X方向に複数配列され、それぞれY方向に伸びるデータ線S11～S81、S12～S82、・・・、S1n～S8n（nは2以上の自然数）が配置される。さらに、液晶基板には、データ信号供給線S1～Sn（データ電圧供給線、またはデータ電流供給線）が設けられ、各データ信号供給線に対応してデマルチプレクサーDMUX1～DMUXnが設けられる。

## 【 0 0 4 8 】

また液晶基板には、走査線G1～Gm（ゲート線）とデータ線S11～S81、S12～S82、・・・、S1n～S8n（ソース線）との交差点に対応する位置に、薄膜トランジスタが設けられる。例えば、走査線Gj（jはm以下の自然数）とデータ線S1i（iはn以下の自然数）との交差点に対応する位置に、薄膜トランジスタTji-1が設けられる。

30

## 【 0 0 4 9 】

そして、例えば薄膜トランジスタTji-1のゲート電極は走査線Gjに接続され、ソース電極はデータ線S1iに接続され、ドレイン電極は画素電極PEji-1に接続される。この画素電極PEji-1と対向電極CE（共通電極、コモン電極）との間には、液晶容量CLji-1（液晶素子、広義には電気光学素子）が形成される。

40

## 【 0 0 5 0 】

デマルチプレクサーDMUX1～DMUXnは、データ信号供給線（ソース電圧供給線）に供給された時分割のデータ電圧（またはデータ電流、広義にはデータ信号）をデータ線に分割（分離、デマルチプレクス）して供給する。具体的には、デマルチプレクサーDMUXiは、各データ線に対応するスイッチ素子（複数のデマルチプレクス用スイッチング素子）を含む。そして、データドライバー20からのデマルチプレクス用スイッチ信号SEL1～SEL8（マルチプレクス制御信号）によってスイッチ素子がオン・オフ制御され、データ信号供給線Siに供給されたデータ電圧（ソース電圧）がデータ線S1i～S8iに分割して供給される。

## 【 0 0 5 1 】

50

なお、図1においては、説明を簡単にするために、データ信号供給線 $S_i$ に対応するデマルチプレクサー $DMUX_i$ 及びデータ線 $S_{1i} \sim S_{8i}$ のみを図示した。また、データ線 $S_{1i} \sim S_{8i}$ と走査線 $G_j$ との交差点に対応する位置に設けられた薄膜トランジスタのみを図示した。但し、他のデータ信号供給線に対応するデマルチプレクサー及びデータ線、他のデータ線と走査線との交点に対応する位置に設けられた薄膜トランジスタについても同様である。

【0052】

データドライバー20は、画像データ(階調データ)に基づいて時分割のデータ電圧をデータ信号供給線 $S_1 \sim S_n$ に出力し、データ信号供給線 $S_1 \sim S_n$ を駆動する。一方、走査ドライバー38は、液晶パネル12の走査線 $G_1 \sim G_m$ を走査(順次駆動)する。

10

【0053】

表示コントローラ40は、データドライバー20、走査ドライバー38及び電源回路50を制御する。例えば、表示コントローラ40は、データドライバー20及び走査ドライバー38に対して、動作モードの設定や内部で生成した垂直同期信号・水平同期信号の供給を行う。表示コントローラ40は、例えば図示しないホストコントローラ(例えば、CPU: Central Processing Unit)により設定された内容に従って、これらの制御を行う。

【0054】

電源回路50は、外部から供給される基準電圧(電源電圧)に基づいて、液晶パネル12の駆動に必要な各種の電圧レベル(例えば、階調電圧生成用の基準電圧)や、対向電極CEの対向電極電圧 $V_{COM}$ の電圧レベルを生成する。

20

【0055】

なお図1では、単色表示の液晶パネルにおいて、1本のデータ信号供給線から8本のデータ線にデータ電圧が供給される場合を例に説明した。但し本発明では、1本のデータ信号供給線から他の本数のデータ線にデータ電圧が供給されてもよい。例えば、本発明では、RGB表示の液晶パネルにおいて、1本のデータ信号供給線から $R_1 \cdot G_1 \cdot B_1 \cdot R_2 \cdot G_2 \cdot B_2$ に対応する6本のデータ線にデータ電圧が供給されてもよい。

【0056】

1.2. データドライバー

図2に、図1のデータドライバー20の構成例を示す。データドライバー20は、シフトレジスタ22、ラインラッチ24、26、多重化回路28、基準電圧発生回路30(階調電圧発生回路)、DAC32(Digital-to-Analog Converter、広義にはデータ電圧生成回路)、データ線駆動回路34、マルチプレクス駆動制御部36を含む。

30

【0057】

シフトレジスタ22は、各データ線に対応して設けられ、順次接続された複数のフリップフロップを含む。このシフトレジスタ22は、クロック信号CLKに同期して動作し、先頭のフリップフロップがイネーブル入出力信号EIOを保持すると、順次隣接するフリップフロップにイネーブル入出力信号EIOをシフトする。

【0058】

ラインラッチ24には、画像データDIO(階調データ)が入力される。ラインラッチ24は、この画像データDIOを、シフトレジスタ22からの順次シフトされたイネーブル入出力信号EIOに同期してラッチする。

40

【0059】

ラインラッチ26は、水平同期信号LPに同期して、ラインラッチ24でラッチされた1水平走査単位の画像データをラッチする。

【0060】

なお、クロック信号CLK、イネーブル入出力信号EIO、画像データDIO、水平同期信号LPは、例えば表示コントローラ40から入力される。

【0061】

多重化回路28は、ラインラッチ26からの各データ線に対応する画像データを受けて

50

、8本分のデータ線に対応する画像データを時分割多重し、各データ信号供給線に対応する時分割多重された画像データを出力する。多重化回路28は、マルチプレクス駆動制御部36からのマルチプレクス制御信号SEL1～SEL8に基づいて、画像データを多重化する。

【0062】

マルチプレクス駆動制御部36は、データ電圧の時分割タイミングを規定するマルチプレクス制御信号SEL1～SEL8を生成する。具体的には、マルチプレクス駆動制御部36はスイッチ信号生成回路37を含み、スイッチ信号生成回路37がマルチプレクス制御信号SEL1～SEL8を生成する。そして、マルチプレクス駆動制御部36は、デマルチプレクス用スイッチ信号としてマルチプレクス制御信号SEL1～SEL8をデマルチプレクサーDMUX1～DMUXnに供給する。

10

【0063】

基準電圧発生回路30は、複数の基準電圧(階調電圧)を生成し、DAC32に供給する。基準電圧発生回路30は、例えば電源回路50から供給される電圧レベルに基づいて、複数の基準電圧を生成する。

【0064】

DAC32は、デジタルの画像データに基づいて、各データ線に供給すべきアナログの階調電圧を生成する。具体的には、DAC32は、多重化回路28からの時分割多重された画像データと、基準電圧発生回路30からの複数の基準電圧を受けて、時分割多重された画像データに対応する時分割多重された階調電圧を生成する。

20

【0065】

データ線駆動回路34は、DAC32からの階調電圧をバッファリング(広義にはインピーダンス変換)してデータ信号供給線S1～Snにデータ電圧を出力し、データ線S11～S81、S12～S82、・・・、S1n～S8nを駆動する。例えば、データ線駆動回路34は、各データ信号供給線に設けられたボルテージフォロワー接続の演算増幅器により、階調電圧をバッファリングする。

【0066】

1.3.マルチプレクス駆動の動作説明

図3、図4に、マルチプレクス駆動回路36の動作説明図を示す。なお図3、図4では、デマルチプレクサーDMUXiの動作例について説明するが、他のデマルチプレクサーの動作についても同様である。

30

【0067】

図3に、多重化回路28の動作説明図を示す。ここで図3に示すように、データ線Si～S8i用の画像データとして、画像データGD1～GD8がラインラッチ26にラッチされるとする。

【0068】

そうすると、多重化回路28は、図3のA1に示すようにマルチプレクス制御信号SEL1がアクティブとなったときに、A2に示す画像データGD1を、A3に示すように選択して出力する。そして、マルチプレクス制御信号SEL2がアクティブとなったときに、画像データGD2を選択して出力し、マルチプレクス制御信号SEL8がアクティブとなったときに、画像データGD8を選択して出力する。

40

【0069】

このようにして、多重化回路28は、1水平走査期間内に1度ずつアクティブとなるマルチプレクス制御信号SEL1～SEL8に基づいて、画像データGD1～GD8が時分割多重化された多重化データを生成する。

【0070】

DAC32は、時分割多重化された画像データGD1～GD8を受けて、各画像データに対応する階調電圧を、基準電圧(階調電圧)の中から選択して出力する。そして、DAC32は、時分割多重化された画像データを出力する。

【0071】

50

図4に、デマルチプレクサーDMUX<sub>i</sub>の動作説明図を示す。図4に示すように、データ線駆動回路34は、DACからの多重化された階調電圧を受けて、多重化されたデータ電圧V<sub>1</sub>～V<sub>8</sub>を1水平走査期間内に出力する。

【0072】

そして、デマルチプレクサーDMUX<sub>i</sub>は、図4のB<sub>1</sub>に示すようにマルチプレクス制御信号SEL<sub>1</sub>がアクティブのときは、B<sub>2</sub>に示すデータ電圧V<sub>1</sub>を、B<sub>3</sub>に示すようにデータ線S<sub>1i</sub>に出力する。同様に、デマルチプレクサーDMUX<sub>i</sub>は、マルチプレクス制御信号SEL<sub>2</sub>がアクティブのときは、データ電圧V<sub>2</sub>をデータ線S<sub>2i</sub>に出力し、マルチプレクス制御信号SEL<sub>8</sub>がアクティブのときは、データ電圧V<sub>8</sub>をデータ線S<sub>8i</sub>に出力する。

10

【0073】

このようにして、デマルチプレクサーDMUX<sub>i</sub>は、データ信号供給線S<sub>i</sub>に供給される多重化されたデータ電圧V<sub>1</sub>～V<sub>8</sub>を分離して、データ線S<sub>1i</sub>～S<sub>8i</sub>に出力する。

【0074】

2. ローテーション

2.1. 順番オフセット

図5、図6を用いて、マルチプレクス駆動における順番オフセットについて説明する。図5に液晶パネル(電気光学パネル)の配置構成例を模式的に示す。図5には、3つの画素毎にマルチプレクス駆動される場合を例に図示し、データ線S<sub>1i</sub>～S<sub>3i</sub>及びデータ信号供給線S<sub>i</sub>を例として配置構成例を図示する。

20

【0075】

図5に示すように、液晶パネルには、データ線S<sub>1i</sub>～S<sub>3i</sub>が配置される。このデータ線S<sub>1i</sub>～S<sub>3i</sub>には、マルチプレクス駆動される複数の画素が設けられる。例えば、データ線S<sub>1i</sub>には画素P<sub>1i-1</sub>、P<sub>1i-2</sub>が設けられ、データ線S<sub>2i</sub>には画素P<sub>2i-1</sub>、P<sub>2i-2</sub>が設けられ、データ線S<sub>3i</sub>には画素P<sub>3i-1</sub>、P<sub>3i-2</sub>が設けられる。マルチプレクス駆動では、1水平走査期間において例えば画素P<sub>1i-1</sub>、P<sub>2i-1</sub>、P<sub>3i-1</sub>が時分割に駆動される。

【0076】

また、液晶パネルには、データ信号供給線S<sub>i</sub>が配置される。そして、データ信号供給線S<sub>i</sub>とデータ線S<sub>1i</sub>～S<sub>3i</sub>の間には、デマルチプレクサーDMUX<sub>i</sub>のスイッチ素子(デマルチプレクス用スイッチング素子)として、それぞれトランジスタT<sub>1i</sub>～T<sub>3i</sub>(例えば、N型トランジスタ)が設けられる。トランジスタT<sub>1i</sub>～T<sub>3i</sub>のゲート電極には、信号線NS<sub>1</sub>～NS<sub>3</sub>を介してそれぞれマルチプレクス制御信号SEL<sub>1</sub>～SEL<sub>3</sub>が入力される。

30

【0077】

ここで、トランジスタT<sub>1i</sub>～T<sub>3i</sub>がオンしてデータ線S<sub>1i</sub>～S<sub>3i</sub>が駆動された後、トランジスタT<sub>1i</sub>～T<sub>3i</sub>がオフすると、トランジスタT<sub>1i</sub>～T<sub>3i</sub>を介してデータ線S<sub>1i</sub>～S<sub>3i</sub>とデータ信号供給線S<sub>i</sub>の間にリーク電流I<sub>leak1</sub>～I<sub>leak3</sub>が流れる。例えば、このリーク電流I<sub>leak1</sub>～I<sub>leak3</sub>は、トランジスタT<sub>1i</sub>～T<sub>3i</sub>がバックライトの光に照らされることによって生じる。

40

【0078】

そうすると、図6のE<sub>1</sub>に示すように、マルチプレクス制御信号SEL<sub>1</sub>が非アクティブとなってトランジスタT<sub>1i</sub>がオフすると、E<sub>2</sub>に示すように、データ線S<sub>1i</sub>の電圧がリーク電流I<sub>leak1</sub>により変化する。そして、E<sub>3</sub>に示すように、データ線S<sub>1i</sub>のデータ電圧は、最終的に電圧変化量V<sub>JA1</sub>を含むV<sub>1</sub>+V<sub>JA1</sub>となる。同様に、データ線S<sub>2i</sub>、S<sub>3i</sub>のデータ電圧は、最終的にV<sub>2</sub>+V<sub>JA2</sub>、V<sub>3</sub>+V<sub>JA3</sub>となる。

【0079】

このとき、電圧変化量V<sub>JA1</sub>～V<sub>JA3</sub>は、リーク電流I<sub>leak1</sub>～I<sub>leak3</sub>が流れる時間の長短に影響され、流れる時間が長いほど大きな電圧変化量となる。そ

50

のため、電圧変化量  $V_{JA1} \sim V_{JA3}$  は、画素の駆動順番（駆動タイミング）によって異なる電圧変化量となる。

【0080】

このように、マルチプレクス駆動において、データ線  $S_{1i} \sim S_{3i}$  の画素に書き込まれるデータ電圧に、画素の駆動順番によって異なる順番オフセット  $V_{JA1} \sim V_{JA3}$ （誤差、偏差、バラツキ）が生じるという課題がある。

【0081】

また、リーク電流  $I_{leak1} \sim I_{leak3}$  は、画素に書き込まれるデータ電圧やデータ信号供給線  $S_i$  の電圧に影響され、その大きさが変化する。そのため、順番オフセット  $V_{JA1} \sim V_{JA3}$  が、画像データの階調に対して傾きのある特性のオフセットとなるという課題もある。

10

【0082】

ここで本実施形態では、各水平走査期間において、画素にプリチャージ電圧  $V_{pre}$  を印加した後に、マルチプレクス駆動を行って画素にデータ電圧を書き込むこともできる。このプリチャージ電圧  $V_{pre}$  は、画素の電圧を初期化したり、データ電圧の書き込み時間を短縮したりするために印加する電圧である。

【0083】

このプリチャージ電圧  $V_{pre}$  の印加後、画素が駆動されるまでの期間において、データ線  $S_{1i} \sim S_{3i}$  はハイインピーダンス状態に設定される。そのため、プリチャージ電圧  $V_{pre}$  は、画素の液晶容量とデータ線  $S_{1i} \sim S_{3i}$  の寄生容量とによって保持されることとなる。

20

【0084】

このとき、画素の液晶容量は、その液晶の配向がプリチャージ電圧  $V_{pre}$  に反応して変化するとともに、容量値が変化する。そうすると、データ線  $S_{1i} \sim S_{3i}$  がハイインピーダンス状態であることから、画素の液晶容量の変化にともなってデータ線  $S_{1i} \sim S_{3i}$  の電圧が変化する。例えば、図6のE4に示すように、データ線  $S_{1i}$  のデータ電圧は、画素が駆動されるまでの期間に電圧変化量  $V_{JB1}$  だけ変化し、 $V_{pre} + V_{JB1}$  となる。同様に、データ線  $S_{2i}$ 、 $S_{3i}$  のデータ電圧は、 $V_{pre} + V_{JB2}$ 、 $V_{pre} + V_{JB3}$  となる。

【0085】

30

このように、電圧変化量  $V_{JB1} \sim V_{JB3}$  によって画素の駆動開始時の電圧が異なると、画素に書き込まれるデータ電圧の到達点も変化する。例えば、E5に示すように、データ線  $S_{1i}$  の画素に書き込まれるデータ電圧は、電圧変化量  $V_{JB1}$  によって電圧変化量  $V_{JC1}$  だけ変化し、 $V_1 + V_{JC1}$  となる。同様に、データ線  $S_{2i}$ 、 $S_{3i}$  の画素に書き込まれるデータ電圧は、 $V_2 + V_{JC2}$ 、 $V_3 + V_{JC3}$  となる。

【0086】

電圧変化量  $V_{JB1} \sim V_{JB3}$  は、プリチャージ電圧  $V_{pre}$  の印加後、画素が駆動されるまでの期間の長短によって異なる電圧変化量となるため、画素の駆動順番によって異なる電圧変化量となる。そのため、電圧変化量  $V_{JC1} \sim V_{JC3}$  も、画素の駆動順番によって異なる電圧変化量となる。

40

【0087】

このように、マルチプレクス駆動において、データ線  $S_{1i} \sim S_{3i}$  の画素に書き込まれるデータ電圧に、画素の駆動順番によって異なる順番オフセット  $V_{JC1} \sim V_{JC3}$  が生じるという課題もある。

【0088】

そして、これらの順番オフセット  $V_{JA1} \sim V_{JA3}$ 、 $V_{JC1} \sim V_{JC3}$  によって画素の輝度値に誤差が生じ、表示画像にスジ（表示ムラ、輝度ムラ、色ムラ）が発生するという課題がある。

【0089】

2.2. 構成例

50

上記課題を解決するために、本実施形態の第1の構成例の集積回路装置は、第1～第n（nは2以上の自然数）のデータ線駆動回路100-1～100-n（複数のデータ線駆動回路）、第1～第nの出力選択回路110-1～110-n（複数の出力選択回路）、パターン出力回路130、順番設定回路140を含む。

【0090】

図7には、この構成例のデータ線駆動回路100-1～100-n、出力選択回路110-1～110-nのうちの、第iのデータ線駆動回路100-i、第iの出力選択回路110-iを図示している。そして、以下ではこれらの図示した構成要素を例に説明するものとする。但し、他のデータ線駆動回路、出力選択回路についても同様である。

【0091】

第1の構成例は、複数のローテーションパターン（分散パターン）に基づいて画素の駆動順番を設定し、その設定した駆動順番に従ってマルチプレクス駆動（線順次駆動）を行うことで、順番オフセットを平均化（分散）する回路である。

【0092】

具体的には、データ線駆動回路200-iは、出力選択回路110-iからの選択画像データQGD<sub>i</sub>を受けて、データ信号供給線S<sub>i</sub>（データ電圧供給線、またはデータ電流供給線）を駆動する。より具体的には、データ線駆動回路200-iは、第1～第pの画素P<sub>1i</sub>～P<sub>pi</sub>（複数の画素）に対応する第1～第pのデータ線S<sub>1i</sub>～S<sub>pi</sub>（複数のデータ線）を1水平走査期間において時分割に駆動し、画素P<sub>1i</sub>～P<sub>pi</sub>にデータ電圧（またはデータ電流、広義にはデータ信号）を書き込む。

【0093】

出力選択回路110-iは、画素選択信号JSと画像データGD<sub>1i</sub>～GD<sub>pi</sub>とを受けて、選択画像データQGD<sub>i</sub>を出力する。具体的には、出力選択回路220-iは、第qの画素P<sub>qi</sub>（qはp以下の自然数）の選択を指示する画素選択信号JSを受けたとき、画像データGD<sub>qi</sub>を選択し、その画像データGD<sub>qi</sub>を選択画像データQGD<sub>i</sub>として出力する。

【0094】

順番設定回路250は、パターン出力回路130からの出力ローテーションパターンQPTに基づいて、画素P<sub>1i</sub>～P<sub>pi</sub>の駆動順番を設定する。そして、順番設定回路250は、画素P<sub>1i</sub>～P<sub>pi</sub>のうちのいずれかの画素を選択するかを指示する画素選択信号JSを出力する。

【0095】

パターン出力回路130は、第1～第M（Mは2以上の自然数）のローテーションパターンPT<sub>1</sub>～PT<sub>M</sub>（パターンデータ）のいずれかを出力ローテーションパターンQPT（出力パターンデータ）として出力する。例えば、パターン出力回路130は、ロジック回路によりローテーションパターンPT<sub>1</sub>～PT<sub>M</sub>を生成してもよく、あるいは、レジスタによりローテーションパターンPT<sub>1</sub>～PT<sub>M</sub>を記憶してもよい。

【0096】

なお本発明の集積回路装置は、図7の構成に限定されず、その構成要素の一部（例えば出力選択回路等）を省略したり他の構成要素を追加したりする等の種々の変形実施が可能である。

【0097】

### 2.3. パターン出力回路、順番設定回路

図8に、パターン出力回路、順番設定回路の詳細な構成例を示す。図8に示すパターン出力回路130は、パターン選択回路300、第1～第Mのパターンレジスタ300-1～300-M、パターン選択用カウンタ320を含む。

【0098】

パターンレジスタ310-1～310-Mは、ローテーションパターンPT<sub>1</sub>～PT<sub>M</sub>を記憶する。例えば、パターンレジスタ310-1～310-Mは、フリップフロップにより構成されてもよく、RAM（Random Access Memory）・フラッシュメモリー等の

10

20

30

40

50

メモリーにより構成されてもよい。

【0099】

パターン選択用カウンタ320は、ローテーションパターンPT1～PTMのうちのいずれかのローテーションパターンを選択するかを指示するパターン指示信号PCを出力する。具体的には、パターン選択用カウンタ320は、垂直同期信号VSYNCに基づいてフレーム（垂直走査期間）数をカウントし、カウント値をパターン指示信号PCとして出力する。例えば、パターン選択用カウンタ320は、1フレーム毎にカウント値を更新（例えば、カウントアップ、カウントダウン）してもよく、複数のフレーム毎にカウント値を更新してもよい。

【0100】

パターン選択回路300は、パターン選択用カウンタ320からのパターン指示信号PCに基づいて、ローテーションパターンPT1～PTMのうちのいずれかを選択し、選択したローテーションパターンを出力ローテーションパターンQPTとして出力する。具体的には、パターン選択回路300は、第kのローテーションパターンPTk（kはM以下の自然数）を指示するパターン指示信号PCを受けたとき、第kのローテーションパターンPTkを出力ローテーションパターンQPTとして出力する。

【0101】

また、図8に示す順番設定回路140は、変換信号生成回路330、ローテーション変換回路380を含む。

【0102】

変換信号生成回路330は、1または複数の水平走査期間毎に変化し、1または複数のフレーム毎に変化する変換信号QCを出力する。また、変換信号生成回路330は、マルチプレクス駆動の画素選択タイミング毎に変化する変換信号QCを出力する。具体的には、変換信号生成回路330は、垂直同期カウンタ340、水平同期カウンタ350、選択タイミング発生回路360を含む。

【0103】

垂直同期カウンタ340は、垂直同期信号VSYNCを受けてフレーム数をカウントし、カウント値を出力値VCとして出力する。例えば、垂直同期カウンタ340は、出力値VCを1フレーム毎に更新（例えば、カウントアップ、カウントダウン）してもよく、出力値VCを複数フレーム毎に更新してもよい。

【0104】

水平同期カウンタ350は、水平同期信号HSYNCを受けて水平走査期間数をカウントし、カウント値を出力値HCとして出力する。例えば、水平同期カウンタ350は、出力値HCを1水平走査期間毎に更新（例えば、カウントアップ、カウントダウン）してもよく、出力値HCを複数フレーム毎に更新してもよい。

【0105】

選択タイミング発生回路360は、マルチプレクス駆動の画素選択タイミング信号を発生する。具体的には、選択タイミング発生回路360は、何番目の駆動順番の画素を駆動するかを指示する出力値SCを出力することで、画素選択タイミングを設定する。例えば、選択タイミング発生回路360は、カウンタにより構成される。そして、選択タイミング発生回路360は、ドットクロックDCLKを受けて、所定のカウント値毎に巡回するカウント値を生成し、そのカウント値を出力値SCとして出力する。例えば、選択タイミング発生回路360は、所定のカウント値0～p-1毎に巡回するカウント値を生成してもよく、所定のカウント値p-1～0毎に巡回するカウント値を生成してもよい。

【0106】

加算回路370は、垂直同期カウンタ340の出力値VCと、水平同期カウンタ350の出力値HCと、選択タイミング発生回路360の出力値SCとを加算処理し、加算処理した値を変換信号QCとして出力する。

【0107】

ローテーション変換回路380は、パターン出力回路130からの出力ローテーション

10

20

30

40

50

パターン Q P T を、出力ローテーションパターン Q P T とは異なるローテーションパターンに変換する処理を行う。ローテーション変換回路 380 は、変換信号生成回路 330 からの変換信号 Q C に基づいて、その変換処理を行い、変換処理後のデータを画素選択信号 J S として出力する。

【0108】

ここで、ローテーションパターン P T 1 ~ P T M は、各ローテーションパターンが第 1 ~ 第 p の画素選択データ (複数の画素選択データ) により構成される。そして、その各画素選択データは、画素 P 1 i ~ P p i のうちのいずれかの画素を選択するかを指示するデータである。

【0109】

このとき、変換信号生成回路 330 は、変換信号 Q C として画素選択データ指示信号を出力する。この画素選択データ指示信号は、出力ローテーションパターン Q P T の第 1 ~ 第 p の画素選択データのうちのいずれかの画素選択データを出力するかを指示する信号である。

【0110】

そして、ローテーション変換回路 380 は、出力ローテーションパターン Q P T の第 1 ~ 第 p の画素選択データから、画素選択データ指示信号によって指示された画素選択データを選択する。そして、ローテーション変換回路 380 は、選択した画素選択データを画素選択信号 J S として出力する。

【0111】

このようにして、ローテーション変換回路 380 は、パターン出力回路 130 からの出力ローテーションパターン Q P T を変換処理する。

【0112】

なお、本発明のパターン出力回路、順番設定回路は、図 8 の構成に限定されず、その構成要素の一部を省略したり他の構成要素を追加したりする等の種々の変形実施が可能である。

【0113】

2.4. 動作例

図 9、図 10 (A)、図 10 (B) を用いて本実施形態の動作例について説明する。図 9、図 10 (A)、図 10 (B) では、説明を簡単にするために、第 1 ~ 第 8 の画素 P 1 i ~ P 8 i (p = 8) がマルチプレクス駆動される場合を例に説明する。

【0114】

図 9 に、第 1 のフレームにおいて出力値 V C = 0 が出力される場合の動作例を示す。図 9 に示すように、出力値 H C として、水平走査期間毎にカウントアップするカウント値が出力される。また、出力値 S C として、所定のカウント値 0 ~ 7 で水平走査期間毎に巡回するカウント値が出力される。

【0115】

例えば、C 1 に示すように、第 1 の水平走査期間において出力値 H C = 0 が出力される。このとき、C 2 に示すように、出力値 S C = 0 が出力されると、C 3 に示すように、出力値 V C、H C、S C が加算処理されて画素選択データ指示信号 (変換信号) Q C = V C + H C + S C = 0 + 0 + 0 = 0 が出力される。

【0116】

ここで、C 4 に示すように、第 1 のフレームにおいてパターン指示信号 P C = 0 が出力される。C 5 に示すように、このパターン指示信号 P C = 0 に基づいて、出力ローテーションパターン Q P T = P T 1 が出力される。ローテーションパターン P T 1 は、第 1 ~ 第 8 の画素選択データ (1, 5, 3, 7, 2, 6, 4, 8) から構成される。

【0117】

そして、上述の画素選択データ指示信号 Q C = 0 に基づいて、C 6 に示す第 1 の画素選択データが選択される。C 7 に示すように、この第 1 の画素選択データが画素選択信号 J S = 1 として出力される。このようにして、出力値 S C = 0, 1, 2, ... が出力され

10

20

30

40

50



るに従って、画素選択データ指示信号  $QC = 0, 1, 2, \dots$  が出力され、画素選択信号  $JS = 1, 5, 3, \dots$  が出力される。

【0118】

同様に、C8に示すように、第2の水平走査期間において出力値  $HC = 1$  が出力される。このとき、出力値  $SC = 0$  が出力されると、画素選択データ指示信号  $QC = 0 + 1 + 0 = 1$  が出力される。そして、画素選択データ指示信号  $QC = 1$  に基づいて、C9に示す第2の画素選択データが選択され、画素選択信号  $JS = 5$  として出力される。このようにして、出力値  $SC = 0, 1, 2, \dots$  が出力されるに従って、画素選択データ指示信号  $QC = 1, 2, 3, \dots$  が出力され、画素選択信号  $JS = 5, 3, 7, \dots$  が出力される。

10

【0119】

このように、水平走査期間毎に出力値  $HC$  が更新されることで、ローテーションパターン  $PT1$  が8水平走査期間で巡回される。そして、巡回されたローテーションパターン  $PT1$  が画素選択信号  $JS$  として出力される。このようにして、出力ローテーションパターン  $QPT$  が、水平走査期間毎に異なるローテーションパターンに変換処理される。

【0120】

なお、C10に示すように、例えば画素  $P1i$  の選択を指示する画素選択信号  $JS = 1$  が出力されたとき、C11に示すように、画像データ  $GD1i$  が選択され、選択画像データ  $QGD_i = GD1i$  が出力される。そして、C12に示すように、選択画像データ  $QGD_i = GD1i$  に対応するデータ電圧が、画素  $P1i$  に書き込まれる。

20

【0121】

このようにして、第  $q$  の画素  $Pqi$  の選択を指示する画素選択信号  $JS$  に基づいて、画像データ  $GDqi$  が選択され、その画像データ  $GDqi$  が選択画像データ  $QGD_i$  として出力される。

【0122】

図10(A)、図10(B)に、 $VC = 0 \sim 5$  の場合の動作例を示す。図10(A)、図10(B)では、説明を簡単にするために、第1～第3のローテーションパターン  $PT1 \sim PT3$  ( $M = 3$ ) が出力される場合を例に説明する。

【0123】

図10(A)に示すように、第1～第3のフレームにおいて、フレーム毎に出力値  $VC$  がカウントアップされ、出力値  $VC = 0 \sim 2$  が出力される。また、第1～第3のフレームにおいて、フレーム毎にパターン指示信号  $PC$  がカウントアップされ、パターン指示信号  $PC = 0 \sim 2$  が出力される。そして、出力値  $PC = 0 \sim 2$  に基づいて、ローテーションパターン  $PT1 \sim PT3$  が出力ローテーションパターン  $QPT$  として出力される。

30

【0124】

このようにして、ローテーションパターン  $PT1 \sim PT3$  のいずれかがフレーム毎に選択され、選択されたローテーションパターンが出力ローテーションパターン  $QPT$  として出力される。

【0125】

同様に、図10(B)に示すように、第4～第6のフレームにおいて、出力値  $VC = 3 \sim 5$  が出力され、パターン指示信号  $PC = 0 \sim 2$  が出力される。そして、出力値  $PC = 0 \sim 2$  に基づいて、ローテーションパターン  $PT1 \sim PT3$  が出力ローテーションパターン  $QPT$  として出力される。このように、パターン指示信号  $PC$  が3フレーム毎に巡回することで、ローテーションパターン  $PT1 \sim PT3$  が3フレーム毎に繰り返し出力される。

40

【0126】

ここで、図10(A)のD1に示すように、第1のフレームにおいて出力値  $VC = 0$  が出力される。図9で説明したように、出力値  $HC = 0$  のとき、出力値  $SC = 0, 1, 2, \dots$  が出力されるに従って、画素選択データ指示信号  $QC = 0, 1, 2, \dots$  が出力される。そして、D2に示すように、画素選択信号  $JS = 1, 5, 3, \dots$  が出力される。

50

## 【 0 1 2 7 】

一方、図 10 ( B ) の D 3 に示すように、第 4 のフレームにおいて出力値  $V C = 3$  が出力される。また、D 4 に示すように、第 4 のフレームにおいてパターン指示信号  $P C = 0$  が出力され、D 5 に示すように、出力ローテーションパターン  $Q P T = P T 1$  が出力される。出力値  $V C = 3$  であることから、出力値  $H C = 0$  において出力値  $S C = 0, 1, 2, \dots$  が出力されるに従って、画素選択データ指示信号  $Q C = 3, 4, 5, \dots$  が出力される。そして、D 6 に示すように、画素選択信号  $J S = 7, 2, 6, \dots$  が出力される。

## 【 0 1 2 8 】

このように、フレーム毎に出力値  $V C$  が更新されることで、3 フレーム毎に出力されるローテーションパターン  $P T 1$  が巡回される。そして、巡回されたローテーションパターン  $P T 1$  が画素選択信号  $J S$  として出力される。このようにして、出力ローテーションパターン  $Q P T = P T 1$  が、3 フレーム ( 複数のフレーム ) 毎に異なるローテーションパターンに変換処理される。

10

## 【 0 1 2 9 】

なお、図 9、図 10 ( A )、図 10 ( B ) では、出力ローテーションパターン  $Q P T$  が 1 水平走査期間毎に異なるローテーションパターンに変換処理される動作例について説明した。但し、本発明では、出力ローテーションパターン  $Q P T$  が複数の水平走査期間毎に異なるローテーションパターンに変換処理されてもよい。例えば、上述の図 9 において、複数の水平走査期間毎に出力値  $H C$  がカウントアップすることで、出力ローテーションパターン  $Q P T$  が複数の水平走査期間毎に異なるローテーションパターンに変換処理されてもよい。

20

## 【 0 1 3 0 】

また、図 9、図 10 ( A )、図 10 ( B ) では、出力ローテーションパターン  $Q P T$  が 3 フレーム ( 複数のフレーム ) 毎に異なるローテーションパターンに変換処理される動作例について説明した。但し、本発明では、出力ローテーションパターン  $Q P T$  が 1 フレーム毎に異なるローテーションパターンに変換処理されてもよい。例えば、上述の図 10 ( A ) において、パターン指示信号  $P C$  が 2 フレーム毎にカウントアップされ、第 1、第 2 のフレームにおいて出力ローテーションパターン  $Q P T = P T 1$  が出力されてもよい。このとき、出力値  $V C = 0, 1$  とカウントアップされることで、出力ローテーションパターン  $Q P T = P T 1$  が 1 フレーム毎に異なるローテーションパターンに変換処理されてもよい。

30

## 【 0 1 3 1 】

## 2. 5. ローテーションによる順番オフセットの平均化

ここで、マルチプレクス駆動において、画素のデータ電圧に画素の駆動順番によって異なる順番オフセット ( 例えば、図 6 で説明した  $V J A 1 \sim V J A 3$ 、 $V J C 1 \sim V J C 3$  ) が生じるという課題がある。そして、この順番オフセットによって表示ムラが発生するという課題がある。

## 【 0 1 3 2 】

この点、本実施形態によれば、パターン出力回路 1 3 0 が、1 または複数のフレーム毎に、ローテーションパターン  $P T 1 \sim P T M$  のいずれかを出力ローテーションパターン  $Q P T$  として出力し、順番設定回路 1 4 0 が、出力ローテーションパターン  $Q P T$  に基づいて画素  $P 1 i \sim P p i$  の駆動順番を設定し、データ線駆動回路 1 0 0 -  $i$  が、その駆動順番に従って、1 水平走査期間において画素  $P 1 i \sim P p i$  に対してデータ電圧を書き込むマルチプレクス駆動を行う。

40

## 【 0 1 3 3 】

本実施形態によれば、順番設定回路 1 4 0 が、出力ローテーションパターン  $Q P T$  に基づいて画素  $P 1 i \sim P p i$  の駆動順番を設定する。これにより、画素  $P 1 i \sim P p i$  の駆動順番をローテーション ( 分散 ) できる。そして、画素  $P 1 i \sim P p i$  の駆動順番をローテーションすることで、順番オフセットを平均化 ( 空間的に平均化、時間的に平均化 ) し

50

、表示ムラを防止できる。

【0134】

ここで、マルチプレクス駆動において、マルチプレクス駆動される画素数が増加するほどローテーションによる平均化の周波数が低くなり、表示ムラが生じやすくなるという課題もある。

【0135】

この点について、図11を用いて具体的に説明する。図11には、本実施形態の比較例として、ローテーションパターンが1パターンの例を示す。

【0136】

図11のG1に示すように、第1のフレームの第1の水平走査期間において、出力値  $SC = 0$  のとき、画素選択信号  $JS$  として第1の画素選択データが出力される。そして、出力値  $SC = 0, 1, 2, \dots$  が出力されるに従って、画素選択信号  $JS = 1, 5, 3, \dots$  が順次出力される。同様にG2に示すように、第2のフレームの第1の水平走査期間において、第2の画素選択データを先頭に、画素選択信号  $JS = 5, 3, 7, \dots$  が順次出力される。

10

【0137】

このようにして、第1～第8のフレームでローテーションパターンが1巡し、以降のフレームで同様の巡回が繰り返される。すなわち、1周期が8フレームのローテーションが行われる。

【0138】

例えば、画像データのフレーム周波数(フレームレート)  $60\text{Hz}$  の倍の周波数  $120\text{Hz}$  で駆動する倍速駆動において、比較例のローテーションの周波数は、 $120\text{Hz} / 8 = 15\text{Hz}$  となる。このローテーションの周波数は、マルチプレクス駆動される画素数が増加するほど低周波数となる。

20

【0139】

このように、ローテーションパターンが1パターンの場合には、マルチプレクス駆動される画素数が増加するほど平均化の周波数が低周波数となる。そのため、ローテーションパターンが視覚的に認識されやすくなり、表示ムラが生じやすくなるという課題がある。

【0140】

この点、本実施形態によれば、パターン出力回路130が、1または複数のフレーム毎に、ローテーションパターン  $PT1 \sim PTM$  のいずれかを出力ローテーションパターン  $QPT$  として出力する。これにより、複数のローテーションパターンを1または複数のフレーム毎に切り替えて、平均化の周波数を高周波数化できる。このようにして、マルチプレクス駆動される画素数が増加したときでも、表示ムラを防止できる。

30

【0141】

例えば、本実施形態では、フレーム周波数が  $60\text{Hz}$  より大きいときに、 $M = 3$  または  $M = 5$  であってもよい。

【0142】

このようにすれば、3パターンまたは5パターンのローテーションパターンを切り替えることで、平均化の周波数を高周波数化できる。例えば、倍速駆動において3パターンのローテーションパターンを切り替えるとする、平均化の周波数は  $120\text{Hz} / 3 = 40\text{Hz}$  となる。あるいは、3倍速駆動において5パターンのローテーションパターンを切り替えるとする、平均化の周波数は  $180\text{Hz} / 5 = 36\text{Hz}$  となる。これらの周波数は、比較例で説明した周波数  $15\text{Hz}$  に比べて高いため、ローテーションパターンが視覚的に認識され難くなる。このようにして、表示ムラを防止することができる。

40

【0143】

ここで、本実施形態では、パターン出力回路130が、パターンレジスタ  $310 - 1 \sim 310 - M$  とパターン選択回路300とを含んでもよい。そして、パターンレジスタ  $310 - 1 \sim 310 - M$  が、ローテーションパターン  $PT1 \sim PTM$  を記憶し、パターン選択回路300が、そのローテーションパターン  $PT1 \sim PTM$  のいずれかを選択して出

50

力してもよい。

【0144】

このようにすれば、パターン出力回路130がパターンレジスタ310-1~310-Mを含むことで、ローテーションパターンPT1~PTMを記憶できる。そして、パターン出力回路130がパターン選択回路300を含むことで、1または複数のフレーム毎に、ローテーションパターンPT1~PTMのいずれかを出力ローテーションパターンQP Tとして出力できる。

【0145】

また、本実施形態では、順番設定回路140が、出力ローテーションパターンQP Tを1または複数の水平走査期間毎に異なるローテーションパターンに変換する処理を行って、画素P1i~Ppiの駆動順番を設定してもよい。例えば、図9等で説明したように、p水平走査期間で出力ローテーションパターンQP Tを巡回させる変換処理を行ってもよい。

10

【0146】

このようにすれば、出力ローテーションパターンQP Tが1または複数の水平走査期間毎に異なるローテーションパターンに変換処理されることで、フレーム内で順番オフセットを平均化できる。

【0147】

さらに、本実施形態では、順番設定回路140が、出力ローテーションパターンQP Tを1または複数のフレーム毎に異なるローテーションパターンに変換する処理を行って、画素P1i~Ppiの駆動順番を設定してもよい。例えば、図10(A)、図10(B)等で説明したように、出力ローテーションパターンQP T=PT1を3フレーム毎に異なるローテーションパターンに変換する処理を行ってもよい。

20

【0148】

このようにすれば、出力ローテーションパターンQP Tが1または複数の垂直走査期間毎に異なるローテーションパターンに変換処理されることで、複数のフレームで順番オフセットを平均化できる。

【0149】

図10で説明したように、本実施形態では、順番設定回路140が変換信号生成回路330とローテーション変換回路380とを含んでもよい。そして、変換信号生成回路330が、1または複数の水平走査期間毎に変化し、1または複数のフレーム毎に変化する変換信号QCを出力してもよく、ローテーション変換回路380が、その変換信号QCに基づいて、出力ローテーションパターンQP Tを異なるローテーションパターンに変換する処理を行ってもよい。

30

【0150】

このようにすれば、出力ローテーションパターンQP Tを1または複数の水平走査期間毎に異なるローテーションパターンに変換する処理を実現できる。また、出力ローテーションパターンQP Tを1または複数の垂直走査期間毎に異なるローテーションパターンに変換する処理を実現できる。

【0151】

本実施形態では、変換信号生成回路330が、垂直同期カウンタ340と、水平同期カウンタ350と、選択タイミング発生回路360と、加算回路370とを含んでもよく、加算回路370が、垂直同期カウンタ340の出力値VCと、水平同期カウンタ350の出力値HCと、選択タイミング発生回路360の出力値SCとを加算処理してもよい。

40

【0152】

このようにすれば、1または複数のフレーム毎に垂直同期カウンタ340の出力値VCが変化し、1または複数の水平走査期間毎に水平同期カウンタ350の出力値HCが変化し、加算回路370が、出力値VCと出力値HCと出力値SCとを加算処理することで、1または複数の水平走査期間毎に変化し、1または複数のフレーム毎に変

50

化する変換信号QCを出力できる。

【0153】

また、本実施形態では、選択タイミング発生回路360が、所定のカウント値毎に巡回するカウント値を画素選択タイミング信号として発生し、その画素選択タイミング信号を出力値SCとして出力してもよい。

【0154】

このようにすれば、選択タイミング発生回路360が、画素選択タイミング信号を発生できる。これにより、順番設定回路140が、画素選択タイミング信号に従って画素選択信号JSを順次出力できる。例えば、図9で説明したように、画素選択タイミング信号として出力値がSC = 0, 1, 2, ...を出力するのに従って、画素選択信号JS = 1, 5, 3, ...を順次出力できる。

10

【0155】

ここで、本実施形態では、ローテーションパターンPT1 ~ PTMの各ローテーションパターンが、第1 ~ 第pの画素選択データにより構成されてもよい。そして、変換信号生成回路330が、変換信号QCとして画素選択データ指示信号を出力し、ローテーション変換回路380が、出力ローテーションパターンQPTの第1 ~ 第pの画素選択データのうちの画素選択データ指示信号によって指示された画素選択データを画素選択信号JSとして出力してもよい。例えば、図9で説明したように、第1の画素選択データを指示する画素選択データ指示信号QC = 0に基づいて、出力ローテーションパターンQPTの第1の画素選択データ1を画素選択信号JS = 1として出力してもよい。

20

【0156】

このようにすれば、変換信号QCに基づいて、出力ローテーションパターンQPTの第1 ~ 第pの画素選択データのいずれかの画素選択データを画素選択信号JSとして出力できる。これにより、出力ローテーションパターンQPTを異なるローテーションパターンに変換する処理を実現できる。

【0157】

3. 順番オフセット補正

3.1. 構成例

本実施形態の第2の構成例の集積回路装置は、第1 ~ 第n (nは2以上の自然数)のデータ線駆動回路200-1 ~ 200-n (複数のデータ線駆動回路)、第1 ~ 第nの順番オフセット用加算回路260-1 ~ 260-n (複数の順番オフセット用加算回路)、第1 ~ 第nの出力選択回路220-1 ~ 220-n (複数の出力選択回路)、順番オフセット用レジスタ270、選択回路280、順番設定回路250を含む。

30

【0158】

図12には、この第2の構成例のデータ線駆動回路200-1 ~ 200-n、順番オフセット用加算回路260-1 ~ 260-n、出力選択回路220-1 ~ 220-nのうちの、第iのデータ線駆動回路200-i (iはn以下の自然数)、第iの順番オフセット用加算回路260-i、第iの出力選択回路220-iを図示している。そして、以下ではこれらの図示した構成要素を例に説明するものとする。なお以下では、図7等で説明したデータ線駆動回路等の各構成要素には、同じ符号を付して、適宜説明を省略する。

40

【0159】

第2の構成例は、データ線駆動回路が1水平走査期間において第1 ~ 第pの画素P1i ~ Ppi (複数の画素)にデータ電圧 (またはデータ電流、広義にはデータ信号)を書き込むマルチプレクス駆動を行い、画像データに対して順番オフセット補正值を加算処理して、データ電圧の順番オフセットを補正する回路である。

【0160】

具体的には、順番設定回路140は、パターン出力回路130からの出力ローテーションパターンQPTを受けて、順番指示信号MOUNTと画素選択信号JSとを出力する。この順番指示信号MOUNTは、第1番目 ~ 第p番目の駆動順番のうちの第何番目の駆動順番であるかを指示する信号である。例えば、順番設定回路140は、図8で説明した

50

選択タイミング発生回路 360 の出力値 SC を、順番指示信号 M C O U N として出力する。

【0161】

出力選択回路 220 - i は、第 r 番目 ( r は p 以下の自然数 ) の駆動順番において第 q の画素 P q i ( q は p 以下の自然数 ) の選択を指示する画素選択信号 JS を受けたとき、画像データ G D q i を選択し、その画像データ G D q i を選択画像データ Q G D i として出力する。

【0162】

順番オフセット用レジスタ 270 は、順番オフセット用設定値 O J 1 ~ O J p を記憶する。例えば、順番オフセット用レジスタ 270 は、順番オフセット用設定値 O J 1 ~ O J p として、後述する第 1 ~ 第 p の順番オフセット用定数値 O J L 1 ~ O J L p と第 1 ~ 第 p の順番オフセット用係数値 O J M 1 ~ O J M p とを記憶する。順番オフセット用レジスタ 270 には、例えば図示しないホストコントローラ ( C P U ) から順番オフセット用設定値 O J 1 ~ O J p が設定される。

10

【0163】

選択回路 280 は、順番指示信号 M C O U N T と順番オフセット用設定値 O J 1 ~ O J p とを受けて、選択オフセット設定値 Q O J を出力する。具体的には、選択回路 280 は、第 r 番目の駆動順番を指示する順番指示信号 M C O U N T を受けたとき、順番オフセット用設定値 O j r を選択し、その順番オフセット用設定値 O J r を選択オフセット設定値 Q O J として出力する。

20

【0164】

順番オフセット用加算回路 260 - i は、選択オフセット設定値 Q O J と選択画像データ Q G D i とを受けて、順番オフセット補正值 O J i を求める。そして、選択画像データ Q G D i と順番オフセット補正值 O J i とを加算処理し、加算処理後の画像データを加算画像データ A D J i として出力する。例えば、データ線駆動回路 200 - i が、1 水平走査期間において第 r 番目に画素 P q i を駆動するときを考える。このとき、順番オフセット用加算回路 260 - i には、選択オフセット設定値 Q O J として、例えば順番オフセット用定数値 O J L r と順番オフセット用係数値 O J M r が入力される。そして、順番オフセット用加算回路 260 - i は、順番オフセット補正值 O J i = O J L r + O J M r × G D q i を求め、加算画像データ A D G i = G D q i + O J i を出力する。

30

【0165】

ここで、選択画像データ Q G D i と順番オフセット補正值 O J i との加算処理は、選択画像データ Q G D i と順番オフセット補正值 O J i との単純な加算処理に限定されず、さらに他のデータとの加算処理が行われてもよく、他のデータとの乗算処理が行われてもよい。

【0166】

なお本発明の集積回路装置は、図 12 の構成に限定されず、その構成要素の一部 (例えば、選択回路 280 等) を省略したり、他の構成要素を追加したりする等の種々の変形実施が可能である。

【0167】

3.2. 順番オフセット補正の動作

図 13 を用いて、第 2 の構成例の動作例を具体的に説明する。図 13 では、データ線駆動回路 200 - i により、1 水平走査期間において画素 P 1 i ~ P 8 i ( p = 8 ) にデータ電圧が書き込まれる場合を例に説明する。

40

【0168】

この場合、画素 P 1 i ~ P 8 i の駆動順番として、1 水平走査期間における第 1 番目 ~ 第 8 番目の駆動順番が設定される。例えば、図 13 の F 1 に示す画素 P 5 i (画素 P q i、q = 5) の駆動順番として、F 2 に示す第 2 番目 (第 r 番目) の駆動順番が設定される。

【0169】

50

このとき、F 3 に示すように、画素  $P 5 i$  の選択を指示する画素選択信号  $J S$  が出力される。そして、F 4 に示すように、この画素選択信号  $J S$  に基づいて画像データ  $G D 5 i$  ( $G D q i$ ) が選択され、選択画像データ  $Q G D i = G D 5 i$  が出力される。

【0170】

一方、F 5 に示すように、第 2 番目 (第  $r$  番目) の駆動順番を指示する順番指示信号  $M C O U N T$  が出力される。そして、F 6 に示すように、この順番指示信号  $M C O U N T$  に基づいて順番オフセット用設定値  $O J 2$  ( $O J r$ ) が選択され、選択オフセット設定値  $Q O J = O J 2$  が出力される。

【0171】

そして、選択オフセット設定値  $O J 2$  と選択画像データ  $G D 5 i$  とに基づいて、加算画像データ  $A D G i$  が出力される。この加算画像データ  $A D G i$  に基づいて、F 7 に示すように、データ線  $S 5 i$  ( $S q i$ ) が駆動される。

10

【0172】

ところで、マルチプレクス駆動では、画素  $P 1 i \sim P p i$  に書き込まれるデータ電圧に、画素  $P 1 i \sim P p i$  の駆動順番によって異なる順番オフセットが生じるという課題がある (例えば図 6 の  $V J A 1 \sim V J A 3$ 、 $V J C 1 \sim V J C 3$ )。そして、この順番オフセットによって表示ムラが発生するという課題がある。

【0173】

この点、本実施形態によれば、順番オフセット用レジスタ 270 が、第 1 番目 ~ 第  $p$  番目の駆動順番に対応付けられた順番オフセット用設定値  $O J 1 \sim O J p$  を記憶し、順番設定回路 140 が、画素  $P 1 i \sim P p i$  の駆動順番を設定する。そして、データ線駆動回路 100 -  $i$  が、その駆動順番に従って、画素  $P q i$  を第  $r$  番目の駆動順番に駆動するときに、順番オフセット用加算回路 260 -  $i$  が、順番オフセット用設定値  $O J r$  に基づいて第  $r$  番目の駆動順番に対応する順番オフセット補正值  $O J i$  を求め、その順番オフセット補正值  $O J i$  を画像データ  $G D q i$  に対して加算処理し、加算処理後の画像データ  $A D G i$  をデータ線駆動回路 100 -  $i$  に出力する。

20

【0174】

本実施形態によれば、順番オフセット用レジスタ 270 が、第 1 番目 ~ 第  $p$  番目の駆動順番に対応付けられた順番オフセット用設定値  $O J 1 \sim O J p$  を記憶し、順番設定回路 140 が、画素  $P 1 i \sim P p i$  の駆動順番を設定する。これにより、画素  $P 1 i \sim P p i$  の駆動順番を設定し、順番オフセット用設定値  $O J r$  に基づいて第  $r$  番目の駆動順番に対応する順番オフセット補正值  $O J i$  を求めることができる。

30

【0175】

また、本実施形態によれば、データ線駆動回路 100 -  $i$  が画素  $P q i$  を第  $r$  番目の駆動順番に駆動するときに、順番オフセット用加算回路 260 -  $i$  が、第  $r$  番目の駆動順番に対応する順番オフセット補正值  $O J i$  を画像データ  $G D q i$  に対して加算処理する。これにより、画素  $P 1 i \sim P p i$  に書き込まれるデータ電圧の順番オフセットを補正できる。そのため、順番オフセットによる表示ムラの発生を防止できる。

【0176】

このように、本実施形態によれば、画像データを補正して順番オフセット自体を抑制することで、画素の駆動順番をローテーションすることによる順番オフセットの平均化を、より効果的なものとすることができる。

40

【0177】

ここで、本実施形態では、順番オフセット用レジスタ 270 が、順番オフセット用設定値  $O J 1 \sim O J p$  として順番オフセット用定数値  $O J L 1 \sim O J L p$  を記憶し、順番オフセット用加算回路 260 -  $i$  が、画像データ  $G D q i$  に対して、順番オフセット用定数値  $O J L r$  を順番オフセット補正值  $O J i$  として加算処理してもよい。

【0178】

このようにすれば、画像データ  $G D q i$  に対して順番オフセット用定数値  $O J L r$  を加算処理することで、画像データの階調に対して定数値である特性の順番オフセットを補正

50

できる。

【0179】

また、本実施形態では、順番オフセット用レジスタ270が、順番オフセット用設定値 $OJ1 \sim OJp$ として順番オフセット用係数値 $OJM1 \sim OJMp$ を記憶し、順番オフセット用加算回路260-iが、画像データ $GDqi$ に対して、順番オフセット用係数値 $OGMr$ を画像データ $GDqi$ に乗算処理した値を順番オフセット補正值 $OJi$ として加算処理してもよい。

【0180】

このようにすれば、画像データ $GDqi$ に対して、順番オフセット用係数値 $OGMr$ を画像データ $GDqi$ に乗算処理した値を加算処理することで、画像データの階調に対して傾きのある特性の順番オフセットを補正できる。

10

【0181】

4. データドライバー

図14に、データドライバーの変形例を示す。図14のデータドライバーは、例えば上述の図1のデータドライバー20に適用できる。

【0182】

図14に示すデータドライバーの変形例は、シフトレジスタ22、ラインラッチ24、26、多重化回路80、オフセット調整部84、基準電圧発生回路30、DAC32、データ線駆動回路34、マルチプレクス駆動制御部82を含む。なお以下では、図2等で説明したデータ線駆動回路等の各構成要素には、同じ符号を付して、適宜説明を省略する。

20

【0183】

マルチプレクス駆動制御部82は、図7等で説明したパターン出力回路、順番設定回路を含むことができる。そして、マルチプレクス駆動制御部82は、パターン出力回路と順番設定回路によって設定された駆動順番に基づいて、マルチプレクス制御信号 $SEL1 \sim SEL8$  ( $SEL1 \sim SELp$ )を生成する。

【0184】

多重化回路80は、図7等で説明した出力選択回路を、各データ信号供給線に対応して含むことができる。そして、出力選択回路は、マルチプレクス駆動制御部82からのマルチプレクス制御信号 $SEL1 \sim SEL8$ に基づいて、画像データを選択して出力する。

30

【0185】

オフセット調整部84は、順番オフセットの補正処理を行う。オフセット調整部84は、図12等で説明した順番オフセット用レジスタ、順番オフセット用加算回路を含むことができる。

【0186】

5. 電子機器

図15に本実施形態の集積回路装置が適用されたプロジェクター（電子機器）の構成例を示す。

【0187】

プロジェクター700（投写型表示装置）は、表示情報出力源710、表示情報処理回路720、ドライバー60（表示ドライバー）、液晶パネル12（広義には電気光学パネル）、クロック発生回路750及び電源回路760を含む。

40

【0188】

表示情報出力源710は、ROM（Read Only Memory）及びRAM（Random Access Memory）、光ディスク装置等のメモリー、画像信号を同調して出力する同調回路等を含み、クロック発生回路750からのクロック信号に基づいて、所定フォーマットの画像信号等の表示情報を表示情報処理回路720に出力する。

【0189】

表示情報処理回路720は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、或いはクランプ回路等を含むことができる。

50



## 【 0 1 9 0 】

ドライバー 60 は、走査ドライバー（ゲートドライバー）及びデータドライバー（ソースドライバー）を含み、液晶パネル 12（電気光学パネル）を駆動する。電源回路 760 は、上述の各回路に電力を供給する。

## 【 0 1 9 1 】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義又は同義な異なる用語（電気光学装置、電気光学パネル、集積回路装置、データ電圧、データ線、走査線等）と共に記載された用語（液晶表示装置、液晶パネル、ドライバー、ソース電圧、ソース線、ゲート線等）は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また集積回路装置、電気光学装置、電子機器等の構成、動作も本実施形態で説明したものに限定に限定されず、種々の変形実施が可能である。

10

## 【符号の説明】

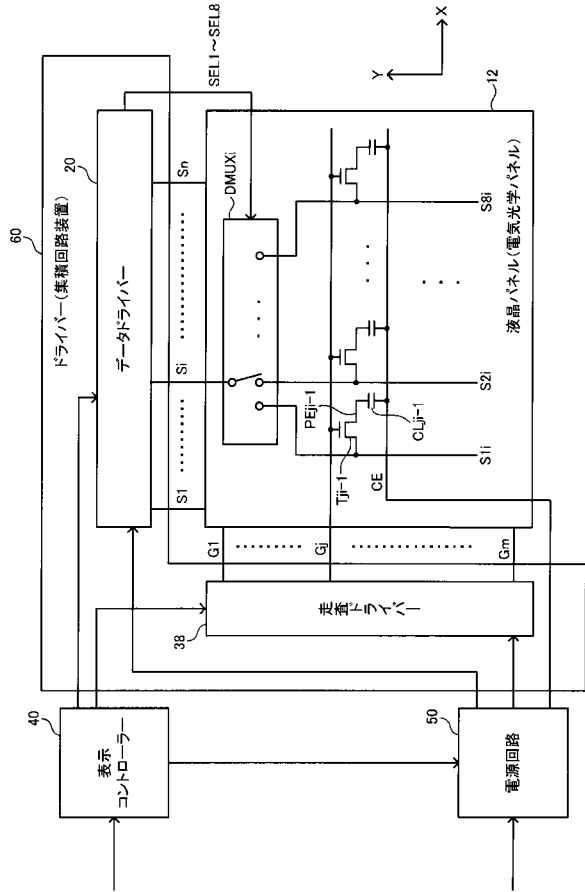
## 【 0 1 9 2 】

12 電気光学パネル、20 データドライバー、22 シフトレジスター、  
 24 ラインラッチ、30 基準電圧発生回路、32 DAC、  
 34 データ線駆動回路、38 走査ドライバー、40 表示コントローラー、  
 50 電源回路、60 集積回路装置、80 多重化回路、  
 82 マルチプレクス駆動制御部、84 オフセット調整部、  
 100 - i データ線駆動回路、110 - i 出力選択回路、  
 130 パターン出力回路、140 順番設定回路、  
 260 - i 順番オフセット用加算回路、270 順番オフセット用レジスター、  
 280 選択回路、300 パターン選択回路、310 - 1 パターンレジスター、  
 320 パターン選択用カウンター、330 変換信号生成回路、  
 340 垂直同期カウンター、350 水平同期カウンター、  
 360 選択タイミング発生回路、370 加算回路、  
 380 ローターション変換回路、  
 S1 データ信号供給線、S1i データ線、SEL1 マルチプレクス制御信号、  
 P1i 画素、GD1i 画像データ、QPT 出力ローテーションパターン、  
 JS 画素選択信号、QGD1i 選択画像データ、PT1 ローターションパターン、  
 VSYNC 垂直同期信号、HSYNC 水平同期信号、  
 OJ1 順番オフセット用設定値

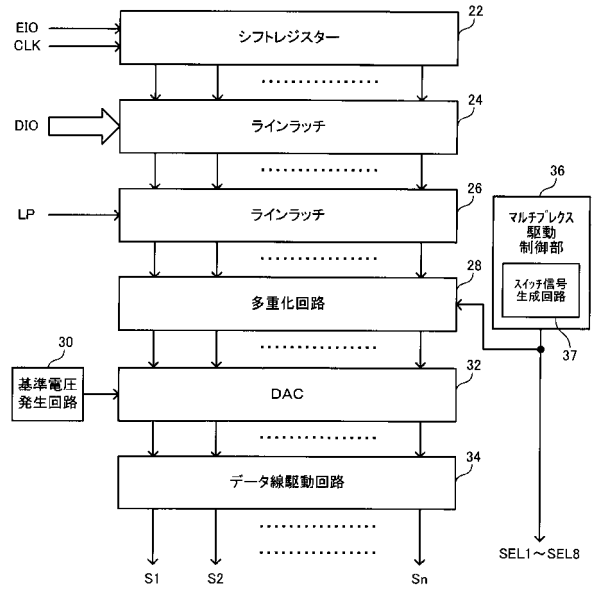
20

30

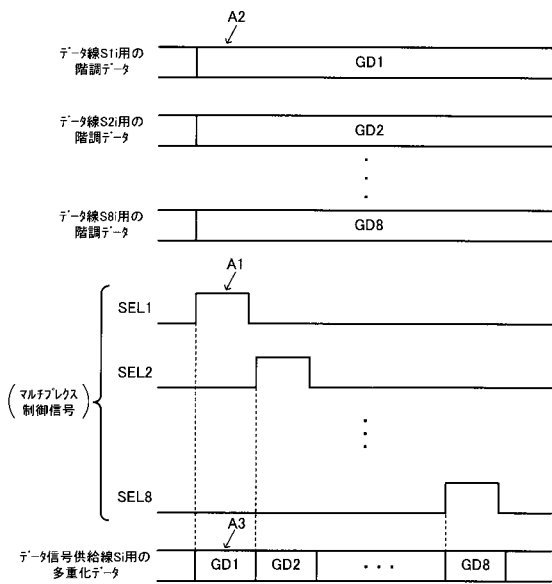
【図1】



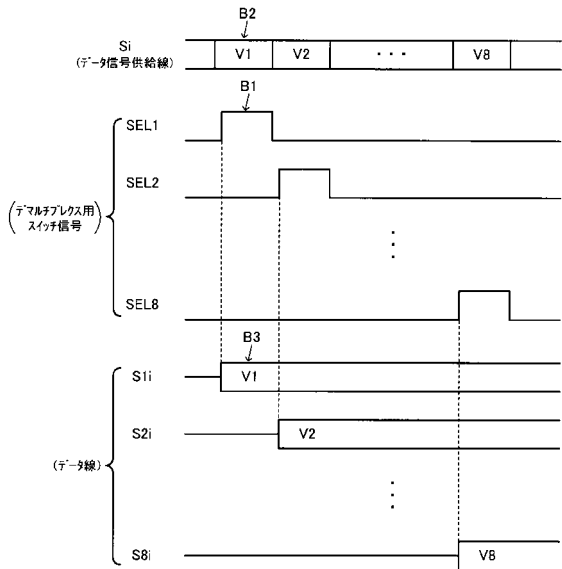
【図2】



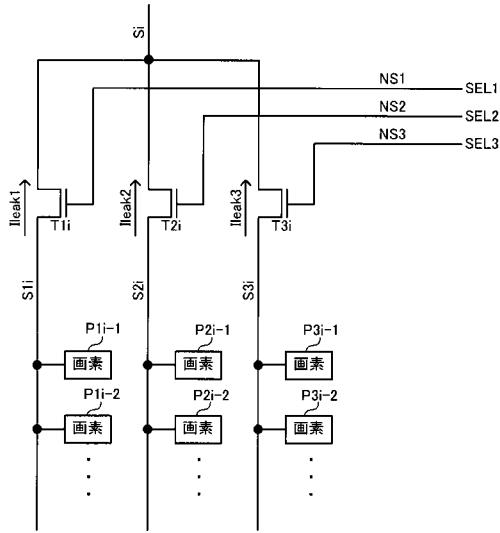
【図3】



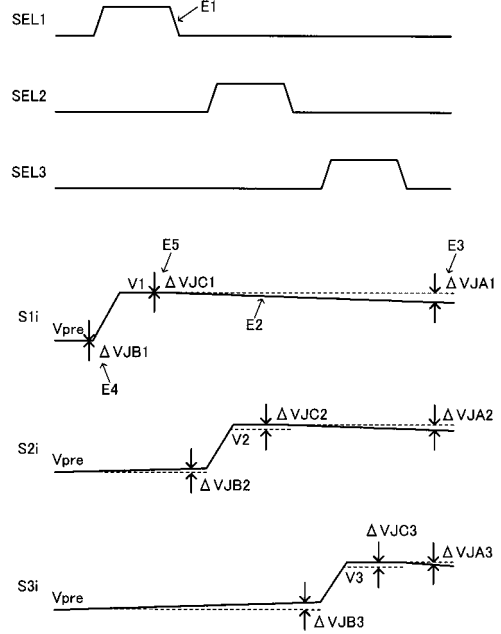
【図4】



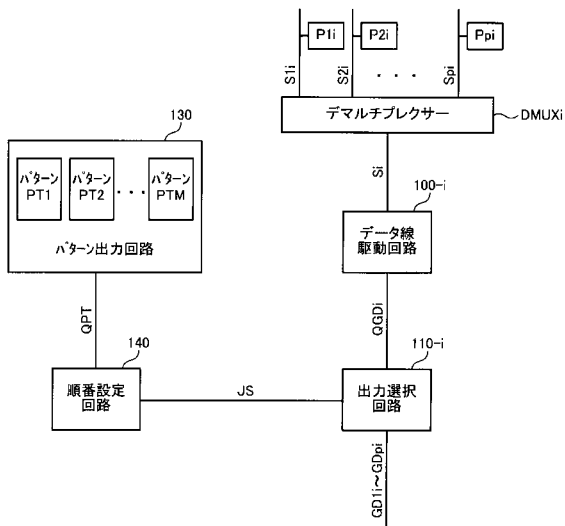
【図5】



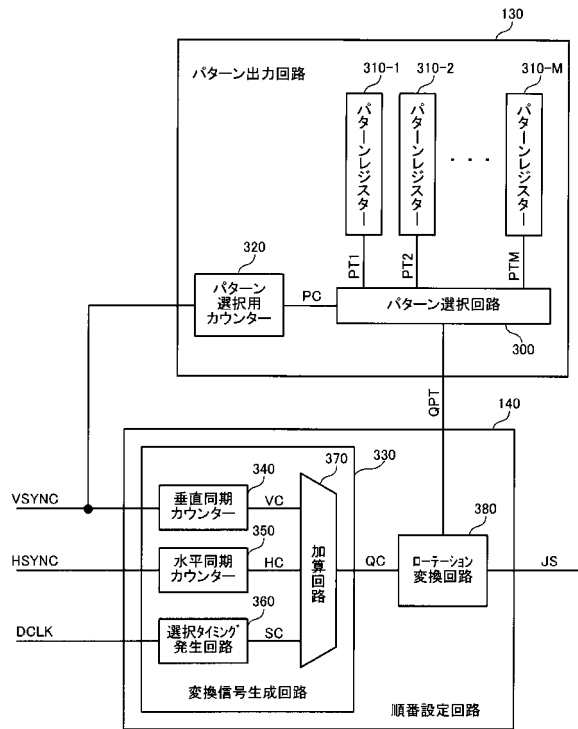
【図6】



【図7】



【図8】



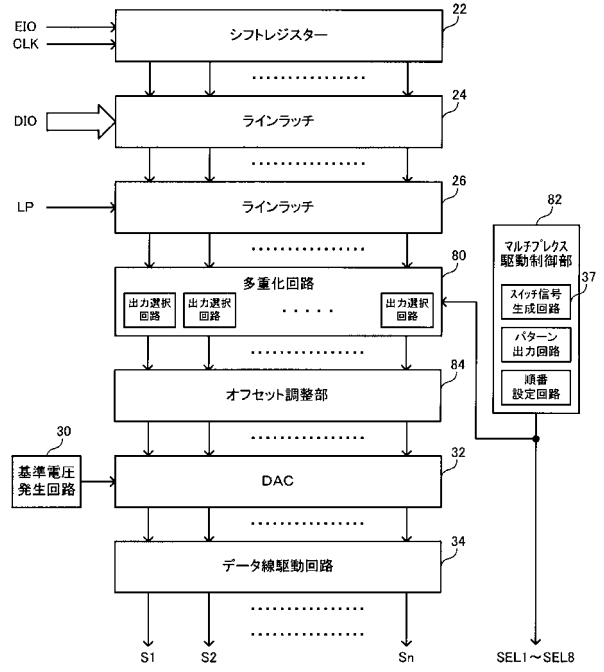


【図 13】

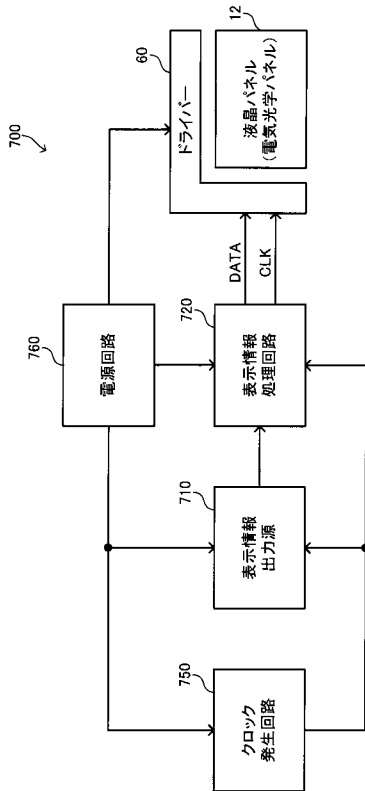
駆動順番 画素	1	2	3	4	5	6	7	8
JS	P1i	P2i	P3i	P7i	P2i	P6i	P4i	P8i
GGD:	1	5	3	7	2	6	4	8
MCCOUNT	1	2	3	4	5	6	7	8
GOJ	OJ1	OJ2	OJ3	OJ4	OJ5	OJ6	OJ7	OJ8
データ線	S1i	S2i	S3i	S7i	S2i	S6i	S4i	S8i

F1 → P1i, P2i, P3i, P7i, P2i, P6i, P4i, P8i  
 F2 → P5i, P5i, P5i, P5i, P5i, P5i, P5i, P5i  
 F3 → GD1i, GD1i, GD3i, GD7i, GD2i, GD6i, GD4i, GD8i  
 F4 → GD5i, GD5i, GD5i, GD5i, GD5i, GD5i, GD5i, GD5i  
 F5 → OJ1, OJ2, OJ3, OJ4, OJ5, OJ6, OJ7, OJ8  
 F6 → S1i, S2i, S3i, S7i, S2i, S6i, S4i, S8i  
 F7 → S5i, S5i, S5i, S5i, S5i, S5i, S5i, S5i

【図 14】



【図 15】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 2 P  
G 0 9 G 3/20 6 2 3 D  
G 0 9 G 3/20 6 2 3 V  
G 0 9 G 3/20 6 4 2 A  
G 0 9 G 3/20 6 4 2 C  
G 0 2 F 1/133 5 0 5

Fターム(参考) 5C006 AA12 AA16 AA22 AF42 AF44 BF03 BF04 BF24 EC11 FA22  
FA23 FA25 FA26 FA36  
5C080 AA10 BB05 DD05 DD08 JJ02 JJ03 JJ04