



(12) 发明专利申请

(10) 申请公布号 CN 117413358 A

(43) 申请公布日 2024. 01. 16

(21) 申请号 202280038808.1

(74) 专利代理机构 北京市金杜律师事务所
11256

(22) 申请日 2022.05.23

专利代理师 姚宗妮

(30) 优先权数据

17/357,811 2021.06.24 US

(51) Int.Cl.

H01L 23/538 (2006.01)

(85) PCT国际申请进入国家阶段日

2023.11.29

(86) PCT国际申请的申请数据

PCT/US2022/030533 2022.05.23

(87) PCT国际申请的公布数据

W02022/271376 EN 2022.12.29

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 B·查瓦 A·罗伊 S·S·宋

金钟海

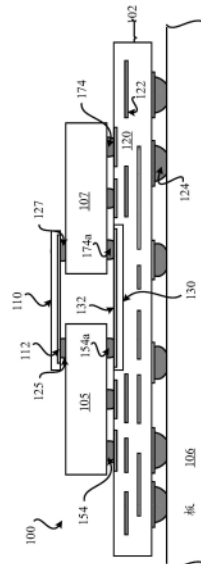
权利要求书3页 说明书15页 附图17页

(54) 发明名称

包括集成器件和耦合集成器件的顶侧的桥的封装

(57) 摘要

本发明公开了一种封装,包括基板、耦合到该基板的第一集成器件、耦合到该基板的第二集成器件、第一桥以及第二桥。该第一桥耦合到该第一集成器件和该第二集成器件。该第一桥被配置成在该第一集成器件与该第二集成器件之间提供至少一条第一电路径。该第一桥耦合到该第一集成器件的顶部部分和该第二集成器件的顶部部分。该第二桥耦合到该第一集成器件和该第二集成器件。该第二桥被配置成在该第一集成器件与该第二集成器件之间提供至少一条第二电路径。



1. 一种封装,包括:
基板;
耦合到所述基板的第一集成器件;
耦合到所述基板的第二集成器件;
耦合到所述第一集成器件和所述第二集成器件的第一桥,
其中所述第一桥被配置成在所述第一集成器件与所述第二集成器件之间提供至少一条第一电路路径,并且
其中所述第一桥耦合到所述第一集成器件的顶部部分和所述第二集成器件的顶部部分;和
耦合到所述第一集成器件和所述第二集成器件的第二桥,其中所述第二桥被配置成在所述第一集成器件与所述第二集成器件之间提供至少一条第二电路路径。
2. 根据权利要求1所述的封装,其中所述至少一条第一电路路径包括所述第一集成器件的背侧和所述第二集成器件的背侧。
3. 根据权利要求1所述的封装,其中所述第一集成器件包括:
第一管芯;和
耦合到所述第一管芯的第二管芯。
4. 根据权利要求3所述的封装,其中所述第二集成器件包括:
第三管芯;和
耦合到所述第三管芯的第四管芯。
5. 根据权利要求4所述的封装,
其中所述第一管芯位于所述第二管芯之上,
其中所述第二管芯耦合到所述基板,
其中所述第三管芯位于所述第四管芯之上,并且
其中所述第四管芯耦合到所述基板。
6. 根据权利要求4所述的封装,其中所述第一管芯被配置成通过所述第一桥电耦合到所述第三管芯。
7. 根据权利要求4所述的封装,
其中所述第一集成器件包括第一包封层,并且
其中所述第二集成器件包括第二包封层。
8. 根据权利要求3所述的封装,其中所述第一管芯的前侧面向所述第二管芯的前侧。
9. 根据权利要求3所述的封装,其中所述第一管芯的前侧面向所述第二管芯的背侧。
10. 根据权利要求3所述的封装,其中所述第一管芯的背侧面向所述第二管芯的前侧。
11. 根据权利要求1所述的封装,其中所述第一桥包括桥管芯,所述桥管芯包括:
管芯基板;和
至少一个桥互连。
12. 根据权利要求1所述的封装,其中所述第一桥包括桥结构,所述桥结构包括:
至少一个介电层;和
至少一个桥互连。
13. 根据权利要求1所述的封装,其中所述第一桥被配置成为所述第一集成器件与所述

第二集成器件之间的输入/输出 (I/O) 信号提供至少一条第一电路路径。

14. 根据权利要求1所述的封装,其中所述第二桥被配置成为所述第一集成器件与所述第二集成器件之间的输入/输出 (I/O) 信号提供至少一条第二电路路径。

15. 根据权利要求1所述的封装,

其中所述第一集成器件包括:

第一管芯;和

耦合到所述第一管芯的第二管芯,

其中所述第二集成器件包括:

第三管芯;和

耦合到所述第三管芯的第四管芯,并且

其中所述第一桥被配置成为所述第一管芯与所述第三管芯之间的输入/输出 (I/O) 信号提供至少一条第一电路路径,并且

其中所述第二桥被配置成为所述第二管芯与所述第四管芯之间的输入/输出 (I/O) 信号提供至少一条第二电路路径。

16. 根据权利要求1所述的封装,其中所述第二桥至少部分地位于所述基板中。

17. 一种装置,包括:

基板;

耦合到所述基板的第一集成器件;

耦合到所述基板的第二集成器件;

耦合到所述第一集成器件和所述第二集成器件的用于第一桥互连的部件,

其中所述用于第一桥互连的部件被配置成在所述第一集成器件与所述第二集成器件之间提供至少一条第一电路路径,并且

其中所述用于第一桥互连的部件耦合到所述第一集成器件的顶部部分和所述第二集成器件的顶部部分;和

耦合到所述第一集成器件和所述第二集成器件的用于第二桥互连的部件,其中所述用于第二桥互连的部件被配置成在所述第一集成器件与所述第二集成器件之间提供至少一条第二电路路径。

18. 根据权利要求17所述的装置,其中所述第一集成器件包括:

第一管芯;和

耦合到所述第一管芯的第二管芯。

19. 根据权利要求18所述的装置,其中所述第二集成器件包括:

第三管芯;和

耦合到所述第三管芯的第四管芯。

20. 根据权利要求18所述的装置,其中所述第一管芯的前侧面向所述第二管芯的前侧。

21. 根据权利要求18所述的装置,其中所述第一管芯的前侧面向所述第二管芯的背侧。

22. 根据权利要求18所述的装置,其中所述第一管芯的背侧面向所述第二管芯的前侧。

23. 根据权利要求17所述的装置,其中所述用于第一桥互连的部件包括桥管芯,所述桥管芯包括:

管芯基板;和

至少一个桥互连。

24. 根据权利要求17所述的装置,其中所述用于第一桥互连的部件包括桥结构,所述桥结构包括:

至少一个介电层;和

至少一个桥互连。

25. 根据权利要求17所述的装置,其中所述装置包括电子设备,所述电子设备选自包括以下各项的组:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、计算机、可穿戴设备、膝上型计算机、服务器、物联网(IoT)设备、以及机动车辆中的设备。

26. 一种用于制造封装的方法,包括:

提供基板;

将第一集成器件耦合到所述基板;

将第二集成器件耦合到所述基板;

将第一桥耦合到所述第一集成器件和所述第二集成器件,

其中所述第一桥被配置成在所述第一集成器件与所述第二集成器件之间提供至少一条第一电路路径,并且

其中所述第一桥耦合到所述第一集成器件的顶部部分和所述第二集成器件的顶部部分;以及

将第二桥耦合到所述第一集成器件和所述第二集成器件,其中所述第二桥被配置成在所述第一集成器件与所述第二集成器件之间提供至少一条第二电路路径。

27. 根据权利要求26所述的方法,其中将所述第二桥耦合到所述第一集成器件和所述第二集成器件是在所述第一集成器件和所述第二集成器件耦合到所述基板时执行的。

28. 根据权利要求26所述的方法,其中所述至少一条第一电路路径包括所述第一集成器件的背侧和所述第二集成器件的背侧。

29. 根据权利要求26所述的方法,其中所述第一集成器件包括:

第一管芯;

耦合到所述第一管芯的第二管芯;

第三管芯;和

耦合到所述第三管芯的第四管芯。

30. 根据权利要求29所述的方法,其中所述第一管芯被配置成通过所述第一桥电耦合到所述第三管芯。

包括集成器件和耦合集成器件的顶侧的桥的封装

[0001] 相关申请的交叉引用

[0002] 本申请要求于2021年6月24日在美国专利局提交的非临时申请序列号17/357,811的优先权和权益,该申请的全部内容以引用方式如同整体在下文全面阐述那样并且出于所有适用目的并入本文。

技术领域

[0003] 各种特征涉及包括集成器件的封装。

背景技术

[0004] 封装可包括基板和若干集成器件。集成器件可以通过基板彼此通信。即,电输入和输出信号可通过基板在集成器件之间行进。封装的性能可以与这些电信号在集成器件之间行进的速度和/或集成器件之间信号的完整性有关。一直存在提供性能更好的封装的需求。

发明内容

[0005] 各种特征涉及包括集成器件的封装。

[0006] 一个示例提供了一种封装,包括基板、耦合到该基板的第一集成器件、耦合到该基板的第二集成器件、第一桥以及第二桥。该第一桥耦合到该第一集成器件和该第二集成器件。该第一桥被配置成在该第一集成器件与该第二集成器件之间提供至少一条第一电路路径。该第一桥耦合到该第一集成器件的顶部部分和该第二集成器件的顶部部分。该第二桥耦合到该第一集成器件和该第二集成器件。该第二桥被配置成在该第一集成器件与该第二集成器件之间提供至少一条第二电路路径。

[0007] 另一示例提供了一种装置,包括基板、耦合到该基板的第一集成器件、耦合到该基板的第二集成器件、第一桥互连装置、以及第二桥互连装置。该第一桥互连装置耦合到该第一集成器件和该第二集成器件。该第一桥互连装置被配置成在该第一集成器件与该第二集成器件之间提供至少一条第一电路路径。该第一桥互连装置耦合到该第一集成器件的顶部部分和该第二集成器件的顶部部分。该第二桥互连装置耦合到该第一集成器件和该第二集成器件。该第二桥互连装置被配置成在该第一集成器件与该第二集成器件之间提供至少一条第二电路路径。

[0008] 另一示例提供了一种用于制造封装的方法。该方法提供基板。该方法将第一集成器件耦合到该基板。该方法将第二集成器件耦合到该基板。该方法将第一桥耦合到该第一集成器件和该第二集成器件。该第一桥被配置成在该第一集成器件与该第二集成器件之间提供至少一条第一电路路径。该第一桥耦合到该第一集成器件的顶部部分和该第二集成器件的顶部部分。该方法将第一桥耦合到该第一集成器件和该第二集成器件。该第二桥被配置成在该第一集成器件与该第二集成器件之间提供至少一条第二电路路径。

附图说明

- [0009] 在结合附图理解下面阐述的详细描述时,各种特征、本质和优点会变得明显,在附图中,相像的附图标记贯穿始终作相应标识。
- [0010] 图1示出了包括耦合到集成器件的桥的封装的剖面轮廓视图。
- [0011] 图2示出了包括耦合到集成器件的桥的另一封装的剖面轮廓视图。
- [0012] 图3示出了包括耦合到集成器件的桥的另一封装的剖面轮廓视图。
- [0013] 图4示出了包括耦合到堆叠式管芯的桥的另一封装的剖面轮廓视图。
- [0014] 图5示出了桥管芯的剖面轮廓视图。
- [0015] 图6示出了桥结构的剖面轮廓视图。
- [0016] 图7示出了使用非桥接连接的集成器件之间的信号的信号完整性的示例性曲线图。
- [0017] 图8示出了使用桥接连接的集成器件之间的信号的信号完整性的示例性曲线图。
- [0018] 图9A至图9C示出了用于制造包括耦合到集成器件的桥的封装的示例性工序。
- [0019] 图10示出了用于制造包括耦合到集成器件的桥的封装的方法的示例性流程图。
- [0020] 图11A至图11C示出了用于制造基板的示例性工序。
- [0021] 图12示出了用于制造基板的方法的示例性流程图。
- [0022] 图13示出了可以集成本文中所描述的管芯、电子电路、集成器件、集成无源器件(IPD)、无源组件、封装、和/或器件封装的各种电子设备。

具体实施方式

[0023] 在以下描述中,给出了具体细节以提供对本公开的各个方面的透彻理解。然而,本领域普通技术人员将理解,没有这些具体细节也可以实践这些方面。例如,电路可能用框图示出以避免使这些方面湮没在不必要的细节中。在其他实例中,公知的电路、结构和技术可能不被详细示出以免湮没本公开的这些方面。

[0024] 本公开描述了一种封装,包括基板、耦合到该基板的第一集成器件、耦合到该基板的第二集成器件、第一桥以及第二桥。该第一桥耦合到该第一集成器件和该第二集成器件。该第一桥被配置成在该第一集成器件与该第二集成器件之间提供至少一条第一电路路径。该第一桥耦合到该第一集成器件的顶部部分和该第二集成器件的顶部部分。该第二桥耦合到该第一集成器件和该第二集成器件。该第二桥被配置成在该第一集成器件与该第二集成器件之间提供至少一条第二电路路径。该第二桥可至少部分地位于基板中。该第二桥可位于该基板上方。该第一集成器件可以包括一个或多个管芯。该第二集成器件可以包括一个或多个管芯。该封装可以为集成器件之间的输入/输出信号提供更好的信号完整性,从而得到性能更好的封装。

[0025] 包括耦合到集成器件的桥的示例性封装

[0026] 图1示出了封装100的剖面轮廓视图,该封装包括基板102、集成器件105(例如,第一集成器件)、集成器件107(例如,第二集成器件)、桥110、以及桥130。封装100通过多个焊料互连124耦合至板106。板106可包括印刷电路板(PCB)。

[0027] 基板102包括至少一个介电层120和多个互连122。不同的基板可具有不同数目的金属层。不同具体实施可将不同的基板用于基板102。基板102可包括嵌入式迹线基板

(ETS)、层压基板、无芯基板和/或有芯基板。基板202可以使用不同的工艺来制造,包括ETS工艺、半加成工艺(SAP)、和/或改良型半加成工艺(mSAP)。

[0028] 桥130可至少部分地位于基板102中。在一些具体实施中,桥130可位于基板102的腔中。桥130可被嵌入基板102中。桥130可以是第二桥。桥130可包括至少一个桥互连132。如下文将进一步描述的,桥130可包括桥管芯和/或桥结构。桥130可以是第二桥互连装置。在一些具体实施中,桥130可位于基板102上方。在一些具体实施中,桥130不位于基板102中。

[0029] 集成器件105通过多个焊料互连154耦合到基板102。集成器件105还通过来自多个焊料互连154中的至少一个焊料互连154a耦合到桥130。集成器件107通过多个焊料互连174耦合到基板102。集成器件107还通过来自多个焊料互连174中的至少一个焊料互连174a耦合到桥130。桥130可以被配置为在集成器件105与集成器件107之间提供至少一条第二电路路径。例如,集成器件105与集成器件107之间的该至少一条第二电路路径可包括至少一个焊料互连154a、至少一个桥互连132和/或至少一个焊料互连174a。

[0030] 桥110可通过至少一个焊料互连125耦合到集成器件105的顶部部分。桥110可通过至少一个焊料互连127耦合到集成器件107的顶部部分。桥110可以是第一桥。桥110可包括至少一个桥互连112。如下文将进一步描述的,桥110可包括桥管芯和/或桥结构。桥110可以是第一桥互连装置。桥110可以被配置为在集成器件105与集成器件107之间提供至少一条第一电路路径。例如,集成器件105与集成器件107之间的该至少一条第一电路路径可包括至少一个焊料互连125、至少一个桥互连112和/或至少一个焊料互连127。在一些具体实施中,集成器件105与集成器件107之间的一个或多个输入/输出(I/O)信号可被配置成行进穿过桥110(例如,被配置成行进穿过至少一个焊料互连125、至少一个桥互连112、以及至少一个焊料互连127)。在一些具体实施中,行进穿过桥110的输入/输出信号可具有更好的信号完整性,这是因为这些路径位于远离被配置作为其它电流(例如,功率)的电路路径的互连的位置。在一些具体实施中,桥110在集成器件105与集成器件107之间提供较短的电路路径,因此提供改善的封装性能。在一些具体实施中,桥110释放到基板的焊料互连以用于供电和/或接地,从而得到改善的配电网(PDN)性能。在一些具体实施中,集成器件105与集成器件107之间的信号可被配置成行进穿过集成器件105的背侧和/或集成器件107的背侧。在一些具体实施中,集成器件105的顶部部分可包括集成器件105的背侧。在一些具体实施中,集成器件107的顶部部分可包括集成器件107的背侧。集成器件的背侧可以是集成器件的包括基板(例如,硅)的一侧。集成器件的前侧可以是与集成器件的背侧相对的一侧。

[0031] 图2示出了封装200的剖面轮廓视图,该封装包括基板102、集成器件105(例如,第一集成器件)、集成器件107(例如,第二集成器件)、桥110、以及桥130。封装200类似于封装100。然而,桥110和桥130可通过多个焊柱互连耦合到集成器件105和集成器件107。

[0032] 集成器件105通过多个焊柱互连254和多个焊料互连154耦合到基板102。集成器件105通过至少一个焊柱互连254a和至少一个焊料互连154a耦合到桥130。集成器件107通过多个焊柱互连274和多个焊料互连174耦合到基板102。集成器件107通过至少一个焊柱互连274a和至少一个焊料互连174a耦合到桥130。集成器件105与集成器件107之间的至少一条第二电路路径可包括至少一个焊柱互连254a、至少一个焊料互连154a、(桥130的)至少一个桥互连132、至少一个焊柱互连274a和/或至少一个焊料互连174a。

[0033] 桥110通过至少一个焊柱互连225和至少一个焊料互连125耦合到集成器件105的

顶部部分。桥110通过至少一个焊柱互连227和至少一个焊料互连127耦合到集成器件107的顶部部分。集成器件105与集成器件107之间的至少一条第一电路路径可包括至少一个焊料互连125、一个焊柱互连225、(桥110的)至少一个桥互连112、至少一个焊柱互连227和/或至少一个焊料互连127。

[0034] 如下文将进一步描述的,集成器件105可包括一个或多个集成器件(例如,管芯)。类似地,集成器件107可包括一个或多个集成器件(例如,管芯)。

[0035] 图3示出了封装300的剖面轮廓视图,该封装包括基板102、集成器件305(例如,第一集成器件)、集成器件307(例如,第二集成器件)、桥110、以及桥130。

[0036] 集成器件305可以是包括第一管芯351、第二管芯353和包封层356的封装。第一管芯351和/或第二管芯353可以是集成器件的示例。集成器件353可通过多个焊料互连354耦合到第一管芯351。第一管芯351可位于第二管芯353之上(例如,上方)。包封层356可位于第一管芯351与第二管芯353之间。在一些具体实施中,包封层356可至少部分包封第一管芯351和/或第二管芯353。集成器件305通过多个焊料互连154耦合到基板102和桥130。

[0037] 如下文将进一步描述的,第一管芯351和第二管芯353可以在集成器件305中在不同方向对准和定位。第一管芯351可包括前侧和背侧。第二管芯353也可包括前侧和背侧。在一些具体实施中,第一管芯351的前侧可面向第二管芯353的前侧。在一些具体实施中,第二管芯353的前侧可面向第一管芯351的背侧。在一些具体实施中,第二管芯353的背侧可面向第一管芯351的前侧。管芯的背侧可以是管芯的包括管芯基板(例如,硅)的一侧。管芯的前侧可以是与管芯的背侧相对的一侧。

[0038] 集成器件307可以是包括第三管芯371、第四管芯373和包封层376的封装。第三管芯371和/或第四管芯373可以是集成器件的示例。第四管芯373可通过多个焊料互连374耦合到第三管芯371。第三管芯371可位于第四管芯373之上(例如,上方)。包封层376可位于第三管芯371与第四管芯373之间。在一些具体实施中,包封层376可至少部分包封第三管芯371和/或第四管芯373。集成器件307通过多个焊料互连174耦合到基板102和桥130。包封层(例如,356、376)可以包括模塑件、树脂和/或环氧树脂。包封层(例如,356、376)可以是包封装置。

[0039] 如下文将进一步描述的,第三管芯371和第四管芯373可以在集成器件307中在不同方向对准和定位。第三管芯371可包括前侧和背侧。第四管芯373也可包括前侧和背侧。在一些具体实施中,第三管芯371的前侧可面向第四管芯373的前侧。在一些具体实施中,第四管芯373的前侧可面向第三管芯371的背侧。在一些具体实施中,第四管芯373的背侧可面向第三管芯371的前侧。

[0040] 不同具体实施可以不同方式将管芯定位在封装300中。在一些具体实施中,第一管芯351的背侧和/或第三管芯371的背侧可面向桥110。在一些具体实施中,第一管芯351的前侧和/或第三管芯371的前侧可面向桥110。在一些具体实施中,第二管芯353的背侧和/或第四管芯373的背侧可面向桥130和/或基板102。在一些具体实施中,第二管芯353的前侧和/或第四管芯373的前侧可面向桥130和/或基板102。

[0041] 桥110通过至少一个焊料互连125耦合到第一管芯351。桥110通过至少一个焊料互连127耦合到第三管芯371。第一管芯351可被配置成通过桥110电耦合至第三管芯371。第一管芯351与第三管芯371之间的至少一条第一电路路径(例如,用于输入/输出信号)可包括至

少一个焊料互连125、至少一个桥互连112和/或至少一个焊料互连127。桥110无需行进穿过第二管芯353、基板102、桥130和/或第四管芯373,从而提供第一管芯351与第三管芯371之间更短的电电路径。

[0042] 桥130通过至少一个焊料互连154a耦合到第二管芯353。桥130通过至少一个焊料互连174a耦合到第四管芯373。第二管芯353可被配置成通过桥130电耦合至第四管芯373。第二管芯353与第四管芯373之间的至少一条第二电路径(例如,用于输入/输出信号)可包括至少一个焊料互连154a、至少一个桥互连132、和/或至少一个焊料互连174a。

[0043] 在一些具体实施中,可通过基板102(例如,多个互连122)和至少一个焊料互连154来提供到集成器件305的功率(包括到第一管芯351和/或第二管芯353的功率)。在一些具体实施中,可通过基板102(例如,多个互连122)、至少一个焊料互连154、第二管芯353和至少一个焊料互连354来提供到第一管芯351的功率。在一些具体实施中,可通过基板102(例如,多个互连122)和至少一个焊料互连174来提供到集成器件307的功率(包括到第三管芯371和/或第四管芯373的功率)。在一些具体实施中,可通过基板102(例如,多个互连122)、至少一个焊料互连174、第四管芯373和至少一个焊料互连374来提供到第三管芯371的功率。注意,集成器件305可包括多于两个堆叠式管芯。类似地,集成器件307可包括多于两个堆叠式管芯。

[0044] 图4示出了封装300的具体实施的剖面轮廓视图。如图4中所示,第一管芯351耦合到第二管芯353以使得第一管芯351的前侧面向第二管芯353的前侧。管芯的背侧可以是包括管芯基板(例如,硅)的一侧。管芯的前侧可以是与管芯的背侧相对的一侧。第一管芯351包括多个穿基板过孔(TSV)451。多个TSV 451可位于第一管芯351的背侧中。第二管芯353包括多个穿基板过孔(TSV)453。多个TSV 453可位于第二管芯353的背侧中。

[0045] 类似地,第三管芯371耦合到第四管芯373以使得第三管芯371的前侧面向第四管芯373的前侧。第三管芯371包括多个穿基板过孔(TSV)471。多个TSV 471可位于第三管芯371的背侧中。第四管芯373包括多个穿基板过孔(TSV)473。多个TSV 473可位于第四管芯373的背侧中。

[0046] 在一些具体实施中,第一管芯351的背侧和第三管芯371的背侧可面向桥110。在一些具体实施中,第一管芯351的前侧和第三管芯371的前侧可面向基板102和/或桥130。在一些具体实施中,至少一个电流(例如,输入/输出信号)可在第一管芯351与第三管芯371之间行进穿过多个TSV 451、至少一个焊料互连125、至少一个桥互连112、至少一个焊料互连127以及多个TSV 471。

[0047] 在一些具体实施中,至少一个电流(例如,输入/输出信号)可在第二管芯353与第四管芯373之间行进穿过多个TSV 453、至少一个焊料互连154a、至少一个桥互连132、至少一个焊料互连174a、以及多个TSV 473。

[0048] 在一些具体实施中,第一管芯351和第二管芯353可各自被配置成电耦合到基板102。在一些具体实施中,第一管芯351与基板102之间的至少一个电流(例如,功率)可行进穿过多个焊料互连154、多个TSV 453、第二管芯353以及多个焊料互连354。在一些具体实施中,第二管芯353与基板102之间的至少一个电流(例如,功率)可行进穿过多个焊料互连154和多个TSV 453。

[0049] 在一些具体实施中,第三管芯371和第四管芯373可各自被配置成电耦合到基板

102。在一些具体实施中,第三管芯371与基板102之间的至少一个电流(例如,功率)可行进穿过多个焊料互连174、多个TSV 473、第四管芯373和多个焊料互连354。在一些具体实施中,第四管芯373与基板102之间的至少一个电流(例如,功率)可行进穿过多个焊料互连174和多个TSV 473。

[0050] 图4示出了可如何实施堆叠式管芯的一个示例。然而,如上所述,管芯可以被布置在不同方向上并且可以包括不同数量的管芯。本公开示出并描述了至少部分地位于(例如,嵌入)基板102中的桥130。然而,在一些具体实施中,桥130可位于基板102上方。例如,桥130可位于集成器件与基板102之间。因此,在一些具体实施中,桥130不位于基板102中。

[0051] 图3和图4示出了其中第一集成器件(例如,305)包括两个管芯并且第二集成器件(307)包括两个管芯的封装的示例。然而,封装可以包括集成器件的其他配置和组合。例如,第一集成器件可包括一个管芯并且第二集成器件可包括两个管芯。在另一示例中,第一集成器件可包括两个管芯并且第二集成器件可包括三个或三个以上的管芯。在一些具体实施中,封装可包括第一集成器件、第二集成器件、第三集成器件以及第四集成器件,这些集成器件全部耦合到基板上。桥可被耦合到第一集成器件和第二集成器件的顶部部分。另一个桥可被耦合到第三集成器件和第四集成器件的顶部部分。集成器件的顶部部分可包括集成器件的背离基板的一侧。

[0052] 集成器件(例如,105、107、305、307)可包括管芯(例如,半导体裸管芯)。集成器件可包括芯片、小芯片、射频(RF)器件、无源器件、滤波器、电容器、电感器、天线、发射机、接收机、基于GaAs的集成器件、面声波(SAW)滤波器、体声波(BAW)滤波器、发光二极管(LED)集成器件、基于硅(Si)的集成器件、基于碳化硅(SiC)的集成器件、处理器、存储器、电源管理集成器件和/或它们的组合。集成器件(例如,105、107、305、307)可以包括至少一个电子电路(例如,第一电子电路、第二电子电路等)。

[0053] 图5示出了桥500的视图。桥500可以是桥管芯。桥500可以是无源桥管芯。桥500可表示本公开中的桥110和/或桥130。桥500可以是桥互连装置。桥500包括管芯基板510(例如,桥管芯基板)、至少一个桥互连512、钝化层520、多个凸块下互连514和多个焊料互连530。管芯基板510可包括硅(Si)。该至少一个桥互连512可被耦合至多个凸块下互连514。在一些具体实施中,该至少一个桥互连512可包括数行的桥互连。多个焊料互连530可被耦合至多个凸块下互连514。应注意,可将多个凸块下互连514视为桥500的桥互连的一部分。由此,桥互连还可以指桥的至少一个凸块下互连。桥500被配置成允许一个或多个电流(例如,输入/输出信号)行进穿过凸块下互连514a、至少一个桥互连512以及凸块下互连514b。

[0054] 图6示出了桥600的视图。桥600可以是桥结构和/或桥基板。桥600可表示本公开中的桥110和/或桥130。桥600可以是桥互连装置。桥600包括至少一个介电层610、至少一个桥互连612和多个焊料互连530。至少一个桥互连612包括桥互连612a(例如,桥过孔、桥焊盘)、桥互连612c(例如,桥迹线)和桥互连612b(例如,桥过孔、桥焊盘)。桥600被配置成允许一个或多个电流(例如,输入/输出信号)行进穿过桥互连612a、桥互连612c和桥互连612b。在一些具体实施中,存在若干行的桥互连612a、桥互连612c和桥互连612b。

[0055] 图7和图8示出了两个集成器件之间的示例性信号完整性的图形。图7示出了两个集成器件之间的信号完整性的示例性图形700,其中信号行进穿过非桥接连接。图8示出了两个集成器件之间的信号完整性的示例性图形800,其中信号行进穿过耦合至集成器件顶

部部分的桥。图形700示出了眼图开口710。图形800示出了眼图开口810。眼图开口810大于眼图开口710,这可指示:相对于无法行进穿过桥的信号,行进穿过桥的信号可具有更好的信号完整性,包括具有更少串扰的信号、改善的差分插入损耗、改善的对内偏斜和/或改善的模式转换。信号完整性的这些改善可以是因为集成器件之间的路由距离更短和/或集成器件的供电和接地凸块的更多可用性。即,集成器件与基板之间的通常将用于信号路由的凸块和/或焊料互连可替代地用于供电和接地,这可最终帮助改善集成器件和封装的配电网(PDN)性能。

[0056] 已经描述了各种封装,现在将在下文描述用于制造封装的工序。

[0057] 用于制造包括耦合到集成器件的桥的封装的示例性工序

[0058] 图9A-图9C示出了用于提供或制造包括耦合到集成器件的桥的封装的示例性工序。在一些具体实施中,图9A-图9C的工序可被用于提供或制造图3的封装300、或本公开中所描述的任何封装。

[0059] 应当注意,图9A-图9C的工序可以组合一个或多个阶段以简化和/或阐明用于提供或制造封装的工序。在一些具体实施中,各工艺的次序可被改变或修改。在一些具体实施中,这些工艺中的一者或多者可被替代或替换,而不会背离本公开的精神。不同具体实施可以不同方式制造封装。

[0060] 如图9A中所示,阶段1示出了在提供基板102之后的状态。基板102可由供应商制造或提供。基板102包括至少一个介电层120和多个互连122。基板102可包括不同数目的金属层。基板102可包括层压基板、有芯基板和/或无芯基板(例如,ETS)。下文在至少图11A至图11C中进一步描述制造基板的示例。

[0061] 阶段2示出了在基板102中形成腔930之后的状态。不同具体实施可以不同方式形成腔930。在一些具体实施中,可使用激光工艺(例如,激光消融)来形成腔930。不同的具体实施可具有含不同大小、形状和深度的腔。应注意,当在图9A的阶段1提供基板102时,腔930可能已经形成在基板102中。

[0062] 如图9B中所示,阶段3示出了在将桥130至少部分地置于基板102的腔930中之后的状态。在一些具体实施中,可使用粘合剂(未示出)来将桥130放置并耦合到基板102上。桥130包括至少一个桥互连132。桥130可包括桥500或桥600。注意,可在工艺的不同阶段期间提供桥130。在一些具体实施中,桥130可在桥130耦合到基板102之前耦合到集成器件。在一些具体实施中,桥130可在集成器件已被耦合到基板102之后耦合到集成器件。

[0063] 阶段4示出了在将集成器件305和集成器件307耦合到基板102之后的状态。集成器件305通过多个焊料互连154耦合到基板102。集成器件305还通过多个焊料互连154耦合到桥130。集成器件307通过多个焊料互连174耦合到基板102。集成器件307还通过多个焊料互连174耦合到桥130。如阶段4中所示,集成器件305包括第一管芯351和第二管芯353。类似地,集成器件307包括第三管芯371和第四管芯373。可使用焊料回流工艺来将集成器件305和集成器件307耦合到基板102和桥130。注意,在一些具体实施中,多个焊柱互连(如图2中所描述的)可被用于将集成器件305和集成器件307耦合到基板102和桥130。因此,在一些具体实施中,将集成器件305和集成器件307耦合到基板102还可包括将集成器件305和集成器件307耦合到桥130。然而,在一些具体实施中,集成器件305和集成器件307可以在不同的工序期间耦合到桥130。例如,桥130可耦合到集成器件305和集成器件307,并且随后耦合的集

成器件305、集成器件307、桥130可耦合到基板102。在另一示例中,在集成器件305和集成器件307已被耦合到基板102之后,桥130可被耦合到集成器件305和集成器件307。例如,在基板102中可以存在延伸穿过基板102的腔。集成器件305和集成器件307可被耦合到基板102,并且桥130可以通过延伸穿过基板102的腔而耦合到集成器件305和集成器件307。

[0064] 如图9C中所示,阶段5示出了在将桥110耦合到集成器件305的顶部部分和集成器件307的顶部部分之后的状态。桥110可通过至少一个焊料互连125耦合到集成器件305。桥110可通过至少一个焊料互连127耦合到集成器件307。可使用焊料回流工艺来将桥110耦合到集成器件305和集成器件307。注意,在一些具体实施中,多个焊柱互连(如图2中所描述的)可被用于将桥110耦合到集成器件305和集成器件307。

[0065] 阶段6示出了多个焊料互连124被耦合到基板102的底表面的状态。可以使用焊料回流工艺来将多个焊料互连124耦合至基板102。多个焊料互连124可以耦合到来自多个互连122中的焊盘互连。阶段6可示出封装300。

[0066] 用于制造包括耦合至集成器件的桥的封装的方法的示例性流程图

[0067] 在一些具体实施中,制造封装包括若干工艺。图10示出了用于提供或制造包括耦合到集成器件的桥的封装的方法1000的示例性流程图。在一些具体实施中,图10的方法1000可被用来提供或制造图3的封装300。然而,图10的方法1000可被用来制造本公开中的任何封装。

[0068] 应当注意,图10的方法可以组合一个或多个工艺以便简化和/或阐明用于提供或制造封装的方法。在一些具体实施中,各工艺的次序可被改变或修改。

[0069] 该方法(在1005处)提供基板(例如,102)。基板102可以包括至少一个介电层120和多个互连122。基板102可包括不同数目的金属层。基板102可包括层压基板、有芯基板和/或无芯基板(例如,ETS)。基板可以由供应商提供或被制造。下文在至少图11A至图11C中进一步描述制造基板的示例。图9A的阶段1示出并描述了提供基板的示例。

[0070] 该方法(在1010处)在该基板(例如,102)中形成腔(例如,930)。不同具体实施可以不同方式形成腔930。在一些具体实施中,可使用激光工艺(例如,激光消融)来形成腔930。不同的具体实施可具有含不同大小、形状和深度的腔。在一些具体实施中,腔930可完全延伸穿过基板102。应注意,当(在1005处)提供基板102时,腔930可能已经形成在基板102中。图9A的阶段2示出并描述了在基板中形成的腔的示例。

[0071] 该方法(在1015处)将桥(例如,130)放置并耦合在基板102的腔930中。桥130可至少部分地放置于腔930中。在一些具体实施中,可使用粘合剂(未示出)来将桥130放置并耦合到基板102的腔930。桥130包括至少一个桥互连132。桥130可包括桥500或桥600。注意,桥130可以不同方式耦合到基板102。在一些具体实施中,桥130可以在耦合到基板102之前或在被定位到基板102之上前耦合到集成器件。图9B的阶段3示出并描述了至少部分地放置于基板的腔中的桥的示例。

[0072] 该方法(在1020)将多个集成器件(例如,105、107、305、307)耦合到基板102和桥130。多个集成器件可通过多个焊料互连(例如,154、174)和/或多个焊柱互连(例如,254、274)耦合到基板102和桥130。可使用焊料回流工艺来将集成器件(例如,105、107、305、307)耦合到基板102和桥130。在一些具体实施中,桥130可在集成器件耦合到基板102之前耦合到集成器件。应注意,在一些具体实施中,多个焊柱互连(如图2中所描述的)可被用于将集

成器件耦合到基板102和桥130。图9B的阶段4示出并描述了将集成器件耦合到基板和桥的示例。

[0073] 该方法(在1025处)将桥(例如,110)耦合到多个集成器件的顶部部分。例如,桥110可被耦合到集成器件305的顶部部分和集成器件307的顶部部分。桥110可通过至少一个焊料互连125耦合到集成器件305。桥110可通过至少一个焊料互连127耦合到集成器件307。可使用焊料回流工艺来将桥110耦合到集成器件305和集成器件307。注意,在一些具体实施中,多个焊柱互连(如图2中所描述的)可被用于将桥110耦合到集成器件305和集成器件307。图9C的阶段5示出并描述了将桥耦合到集成器件的示例。

[0074] 该方法(在1030处)将多个焊料互连(例如,124)耦合到基板(例如,102)的底表面。可以使用焊料回流工艺来将多个焊料互连124耦合至基板102。多个焊料互连124可被耦合到来自基板102的多个互连122的焊盘互连。图9C的阶段6示出并描述了耦合到基板的焊料互连的示例。

[0075] 用于制造基板的示例性工序

[0076] 在一些具体实施中,制造基板包括若干工艺。图11A至图11C示出了用于提供或制造基板的示例性工序。在一些具体实施中,图11A至图11C的工序可被用来提供或制造图2的基板202和/或基板204。然而,图11A至图11C的工艺可被用来制造本公开中所描述的任何基板。在一些具体实施中,图11A至图11C的工艺的至少一些方面可被用于制造桥600。

[0077] 应当注意,图11A至图11C的工序可以组合一个或多个阶段以简化和/或阐明用于提供或制造基板的工序。在一些具体实施中,各工艺的次序可被改变或修改。在一些具体实施中,一个或多个工艺可被替代或置换,而不会脱离本公开的范围。

[0078] 如图11A中示出的,阶段1示出了在提供载体1100并且在该载体1100之上形成金属层之后的状态。金属层可被图案化以形成互连1102。可以使用镀敷工艺和蚀刻工艺来形成金属层和互连。在一些具体实施中,载体1100可以提供有金属层,该金属层被图案化以形成互连1102。

[0079] 阶段2示出了在载体1100和互连1102之上形成介电层1120之后的状态。沉积和/或层压工艺可被用于形成介电层1120。介电层1120可包括聚酰亚胺。然而,不同具体实施可以将不同材料用于介电层。

[0080] 阶段3示出了在介电层1120中形成多个腔1110之后的状态。可使用蚀刻工艺(例如,光刻工艺)或激光工艺来形成多个腔1110。

[0081] 阶段4示出了在介电层1120中和该介电层之上(包括在多个腔1110中和该多个腔之上)形成互连1112之后的状态。例如,可以形成过孔、焊盘和/或迹线。可使用镀敷工艺来形成互连。

[0082] 阶段5示出了在介电层1120之上形成另一介电层1122之后的状态。沉积和/或层压工艺可被用于形成介电层1122。介电层1122可以是与介电层1120相同的材料。然而,不同具体实施可以将不同材料用于介电层。

[0083] 如图11B中示出的,阶段6示出了在介电层1122中形成多个腔1130之后的状态。蚀刻工艺或激光工艺可被用来形成腔1130。

[0084] 阶段7示出了在介电层1122中和该介电层之上(包括在多个腔1130中和该多个腔之上)形成互连1114之后的状态。例如,可形成过孔、焊盘和/或迹线。可使用镀敷工艺来形

成互连。

[0085] 阶段8示出了在介电层1122之上形成另一介电层1124之后的状态。沉积和/或层压工艺可被用于形成介电层1124。介电层1124可以是与介电层1120相同的材料。然而,不同具体实施可以将不同材料用于介电层。

[0086] 阶段9示出了在介电层1124中形成多个腔1140之后的状态。蚀刻工艺或激光工艺可被用来形成腔1140。

[0087] 如图11C中所示,阶段10示出了在介电层1124中和该介电层之上(包括在多个腔1140中和该多个腔之上)形成互连1116之后的状态。例如,可形成过孔、焊盘和/或迹线。可使用镀敷工艺来形成互连。

[0088] 互连1102、1112、1114和/或1116中的一些或全部互连可以定义基板102的多个互连122。介电层1120、1122、1124可由至少一个介电层120表示。

[0089] 阶段11示出了从介电层1150解耦(例如,移除、磨掉)载体1100从而留下包括至少一个介电层120和多个互连122的基板102之后的状态。

[0090] 阶段12示出了在基板102之上形成第一阻焊层1160和第二阻焊层1162之后的状态。可使用沉积工艺来形成第一阻焊层1160和第二阻焊层1162。在一些具体实施中,在至少一个介电层1150之上可以不形成或形成一个阻焊层。

[0091] 不同具体实施可使用不同工艺来形成金属层。在一些具体实施中,化学气相沉积(CVD)工艺和/或物理气相沉积(PVD)工艺用于形成金属层。例如,溅射工艺、喷涂工艺、和/或电镀工艺可用来形成金属层。

[0092] 用于制造基板的方法的示例性流程图

[0093] 在一些具体实施中,制造基板包括若干工艺。图12示出了用于提供或制造基板的方法1200的示例性流程图。在一些具体实施中,图12的方法1200可被用来提供或制造图1-图4中的基板。例如,图12的方法1200可被用来制造基板102。

[0094] 应当注意,图12的方法可组合一个或多个工艺以便简化和/或阐明用于提供或制造基板的方法。在一些具体实施中,各工艺的次序可被改变或修改。

[0095] 该方法(在1205处)提供载体1100。不同具体实施可将不同材料用于载体。载体可包括基板、玻璃、石英和/或载体带。图11A的阶段1示出并描述了所提供的载体的示例。

[0096] 该方法(在1210处)在载体1100之上形成金属层。金属层可被图案化以形成互连。可使用镀敷工艺来形成金属层和互连。在一些具体实施中,载体可以包括金属层。在载体之上的金属层可被图案化以形成互连(例如,1102)。图11A的阶段1示出并描述了在载体之上形成金属层和互连的示例。

[0097] 该方法(在1215处)在载体1100和互连1102之上形成介电层1120。可使用沉积和/或层压工艺来形成介电层。介电层1120可包括聚酰亚胺。形成介电层还可包括在介电层1120中形成多个腔(例如,1110)。可使用蚀刻工艺(例如,光刻)或激光工艺来形成该多个腔。图11A的阶段2-3示出并描述了形成介电层并且在该介电层中形成腔的示例。

[0098] 该方法(在1220处)在该介电层之中和该介电层之上形成互连。例如,可在介电层1120之中和该介电层之上形成互连1112。可使用镀敷工艺来形成互连。形成互连可包括在介电层之上和/或介电层之中提供图案化金属层。形成互连还可包括在介电层的腔中形成互连。图11A的阶段4示出并描述了在介电层之中和该介电层之上形成互连的示例。

[0099] 该方法(在1225处)在介电层1120和这些互连之上形成介电层1122。可使用沉积和/或层压工艺来形成介电层。介电层1122可包括聚酰亚胺。形成介电层还可包括在介电层1122中形成多个腔(例如,1130)。可以使用蚀刻工艺或激光工艺来形成该多个腔。图11A至图11B的阶段5-6示出并描述了形成介电层并在该介电层中形成腔的示例。

[0100] 该方法(在1230处)在该介电层中和/或该介电层之上形成互连。例如,可以形成互连1114。可使用镀敷工艺来形成互连。形成互连可包括在介电层之上和介电层中提供图案化金属层。形成互连还可包括在介电层的腔中形成互连。图11B的阶段7示出并描述了在介电层之中和该介电层之上形成互连的示例。

[0101] 该方法可以形成附加介电层和附加互连,如在1225和1230处所描述的。图11B-图11C的阶段8-10示出并描述了在介电层之中和该介电层之上形成附加介电层和互连的示例。

[0102] 一旦形成了所有介电层和附加互连,该方法就可从介电层120解耦(例如,移除、磨掉)载体(例如,1100),从而留下基板。在一些具体实施中,该方法可在基板之上形成阻焊层(例如,1160、1162)。

[0103] 不同具体实施可使用不同工艺来形成金属层。在一些具体实施中,化学气相沉积(CVD)工艺和/或物理气相沉积(PVD)工艺用于形成金属层。例如,溅射工艺、喷涂工艺、和/或电镀工艺可用来形成金属层。

[0104] 示例性电子设备

[0105] 图13示出了可集成有前述器件、集成器件、集成电路(IC)封装、集成电路(IC)器件、半导体器件、集成电路、管芯、中介体、封装、层叠封装(PoP)、系统级封装(SiP)、或片上系统(SoC)中的任一者的各种电子设备。例如,移动电话设备1302、膝上型计算机设备1304、固定位置终端设备1306、可穿戴设备1308、或机动车辆1310可包括如本文中所描述的器件1300。器件1300可以是例如本文所描述的器件和/或集成电路(IC)封装中的任一者。图13中所示出的设备1302、1304、1306和1308、以及交通工具1310仅仅是示例性的。其他电子设备也能以器件1300为特征,此类电子设备包括但不限于包括以下各项的设备(例如,电子设备)组:移动设备、手持式个人通信系统(PCS)单元、便携式数据单元(诸如个人数字助理)、启用全球定位系统(GPS)的设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单元(诸如仪表读取装备)、通信设备、智能电话、平板计算机、计算机、可穿戴设备(例如,手表、眼镜)、物联网(IoT)设备、服务器、路由器、机动车辆中实施的电子设备、或者存储或检索数据或计算机指令的任何其他设备,或者它们的任何组合。

[0106] 图1至图6、图9A至图9C、图10、图11A至图11C和/或图12至图13中所示出的各组件、工艺、特征和/或功能中的一者或多者可以被重新安排和/或组合成单个组件、工艺、特征或功能,或者在若干组件、工艺或功能中实施。也可添加附加元件、组件、工艺、和/或功能而不会脱离本公开。还应当注意,图1-图6、图9A-图9C、图10、图11A至图11C和/或图12-图13以及其在本公开中的对应描述不限于管芯和/或IC。在一些具体实施中,图1至图6、图9A至图9C、图10、图11A至图11C和/或图12-图13以及它们的对应描述可用于制造、创建、提供、和/或生产器件和/或集成器件。在一些具体实施中,器件可包括管芯、集成器件、集成无源器件(IPD)、管芯封装、集成电路(IC)器件、器件封装、集成电路(IC)封装、晶片、半导体器件、层叠封装(PoP)器件、散热器件和/或中介体。

[0107] 注意,本公开中的附图可以表示各种部件、组件、对象、器件、封装、集成器件、集成电路、和/或晶体管的实际表示和/或概念表示。在一些实例中,附图可以不是按比例。在一些实例中,为了清楚起见,并未示出所有组件和/或部件。在一些实例中,附图中的各个部件和/或组件的定位、位置、大小、和/或形状可以是示例性的。在一些具体实施中,附图中的各个组件和/或部件可以是可任选的。

[0108] 措辞“示例性”在本文中用于意指“用作示例、实例、或说明”。在本文中被描述为“示例性”的任何具体实施或方面不必被解释为优于或胜过本公开的其他方面。同样,术语“方面”不要求本公开内容的全部方面都包括所论述的特征、优点或者操作模式。术语“耦合”在本文中用于指两个对象之间的直接或间接耦合(例如,机械耦合)。例如,如果对象A物理地接触对象B,并且对象B接触对象C,则对象A和C仍然可以被认为是相互耦合的,即使它们相互并没有直接地物理接触。将组件A耦合到组件B可以意味着组件A被耦合到组件B,和/或组件B被耦合到组件A。术语“电耦合”可以意味着两个对象直接或间接耦合在一起,使得电流(例如,信号,供电,接地)可以在两个对象之间行进。电耦合的两个对象在这两个对象之间可以有或者可以没有电流传递。术语“第一”、“第二”、“第三”和“第四”(和/或高于第四的任何事物)的使用是任意的。所描述的任何组件可以是第一组件、第二组件、第三组件或第四组件。例如,被称为第二组件的组件可以是第一组件、第二组件、第三组件或第四组件。术语“包封”意指对象可部分地包封或完全包封另一对象。术语“顶部”和“底部”是任意的。位于顶部的组件可以处在位于底部的组件之上。顶部组件可被视为底部组件,反之亦然。如本公开所描述的,位于第二组件“之上”的第一组件可意味着第一组件位于第二组件上方或下方,这取决于底部或顶部被如何任意定义。在另一示例中,第一组件可位于第二组件的第一表面之上(例如,上方),而第三组件可位于第二组件的第二表面之上(例如,下方),其中第二表面与第一表面相对。进一步注意,如在本申请中在一个组件位于另一组件之上的上下文中所使用的术语“之上”可被用来表示组件在另一组件上和/或在另一组件中(例如,在组件的表面上或被嵌入在组件中)。由此,例如,第一组件在第二组件之上可表示:(1)第一组件在第二组件之上,但是不直接接触第二组件;(2)第一组件在第二组件上(例如,在第二组件的表面上);和/或(3)第一组件在第二组件中(例如,嵌入在第二组件中)。位于第二组件“中”的第一组件可以部分地位于第二组件中或者完全位于第二组件中。如本公开中所使用的术语“约‘值X’”或“大致为值X”意味着在‘值X’的百分之10以内。例如,约1或大致为1的值将意味着在0.9-1.1范围中的值。

[0109] 在一些具体实施中,互连是器件或封装中允许或促成两个点、元件和/或组件之间的电连接的元件或组件。在一些具体实施中,互连可包括迹线、过孔、焊盘、焊柱、重分布金属层、和/或凸块下金属化(UBM)层。互连可包括一种或多种金属组分(例如,晶种层+金属层)。在一些具体实施中,互连是可被配置成为信号(例如,数据信号、接地或供电)提供电路路径的导电材料。互连可以是电路的一部分。互连可包括不止一个元件或组件。互连可以由一个或多个互连来定义。不同具体实施可使用相似或不同的工艺来形成互连。在一些具体实施中,化学气相沉积(CVD)工艺和/或物理气相沉积(PVD)工艺用于形成互连。例如,可使用溅射工艺、喷涂、和/或镀敷工艺来形成互连。

[0110] 此外,还应注意,本文中所包含的各种公开可以作为被描绘为流程图、流图、结构图或框图的过程来进行描述。尽管流程图可以将操作描述为顺序过程,但是操作中的许多

操作可以被并行或同时执行。另外,操作的次序可以被重新排列。过程在其操作完成时中止。

[0111] 以下提供了本公开的各方面的概览:

[0112] 方面1:一种封装,该封装包括:基板;耦合到该基板的第一集成器件;耦合到该基板的第二集成器件;耦合到该第一集成器件和该第二集成器件的第一桥,其中该第一桥被配置为在该第一集成器件和该第二集成器件之间提供至少一条第一电路路径,并且其中该第一桥被耦合到该第一集成器件的顶部部分和该第二集成器件的顶部部分;以及耦合到该第一集成器件和该第二集成器件的第二桥,其中该第二桥被配置成在该第一集成器件与该第二集成器件之间提供至少一条第二电路路径。

[0113] 方面2:根据方面1所述的封装,其中该至少一条第一电路路径包括该第一集成器件的背侧和该第二集成器件的背侧。

[0114] 方面3:根据方面1至2所述的封装,其中该第一集成器件包括:第一管芯;以及耦合到该第一管芯的第二管芯。

[0115] 方面4:根据方面3所述的封装,其中该第二集成器件包括:第三管芯;以及耦合到该第三管芯的第四管芯。

[0116] 方面5:根据方面4所述的封装,其中该第一管芯位于该第二管芯之上,其中该第二管芯耦合到该基板,其中该第三管芯位于该第四管芯之上,并且其中该第四管芯耦合到该基板。

[0117] 方面6:根据方面4至5所述的封装,其中该第一管芯被配置成通过该第一桥电耦合到该第三管芯。

[0118] 方面7:根据方面4至6所述的封装,其中该第一集成器件包括第一包封层,并且其中该第二集成器件包括第二包封层。

[0119] 方面8:根据方面3至7所述的封装,其中该第一管芯的前侧面向该第二管芯的前侧。

[0120] 方面9:根据方面3至7所述的封装,其中该第一管芯的前侧面向该第二管芯的背侧。

[0121] 方面10:根据方面3至7所述的封装,其中该第一管芯的背侧面向该第二管芯的前侧。

[0122] 方面11:根据方面1至10所述的封装,其中该第一桥包括桥管芯,该桥管芯包括:管芯基板;以及至少一个桥互连。

[0123] 方面12:根据方面1至10所述的封装,其中该第一桥包括桥结构,该桥结构包括:至少一个介电层;以及至少一个桥互连。

[0124] 方面13:根据方面1至12所述的封装,其中该第一桥被配置成为该第一集成器件与该第二集成器件之间的输入/输出(I/O)信号提供至少一条第一电路路径。

[0125] 方面14:根据方面1至13所述的封装,其中该第二桥被配置成为该第一集成器件与该第二集成器件之间的输入/输出(I/O)信号提供至少一条第二电路路径。

[0126] 方面15:根据方面1至2所述的封装,其中该第一集成器件包括:第一管芯;以及耦合到该第一管芯的第二管芯,其中该第二集成器件包括:第三管芯;以及耦合到该第三管芯的第四管芯,并且其中该第一桥被配置成为该第一管芯与该第三管芯之间的输入/输出(I/O)

0) 信号提供至少一条第一电路路径,并且其中该第二桥被配置成为该第二管芯与该第四管芯之间的输入/输出(I/O)信号提供至少一条第二电路路径。

[0127] 方面16:根据方面1至15所述的封装,其中该第二桥至少部分地位于该基板中。

[0128] 方面17:一种装置,包括:基板;耦合到该基板的第一集成器件;耦合到该基板的第二集成器件;耦合到该第一集成器件和该第二集成器件的用于第一桥互连的部件,其中该用于第一桥互连的部件被配置成在该第一集成器件和该第二集成器件之间提供至少一条第一电路路径,并且其中该用于第一桥互连的部件被耦合到该第一集成器件的顶部部分和该第二集成器件的顶部部分;以及耦合到该第一集成器件和该第二集成器件的用于第二桥互连的部件,其中该用于第二桥互连的部件被配置成在该第一集成器件与该第二集成器件之间提供至少一条第二电路路径。

[0129] 方面18:根据方面17所述的装置,其中该第一集成器件包括:第一管芯;以及耦合到该第一管芯的第二管芯。

[0130] 方面19:根据方面18所述的装置,其中该第二集成器件包括:第三管芯;以及耦合到该第三管芯的第四管芯。

[0131] 方面20:根据方面18至19所述的装置,其中该第一管芯的前侧面向该第二管芯的前侧。

[0132] 方面21:根据方面18至19所述的装置,其中该第一管芯的前侧面向该第二管芯的背侧。

[0133] 方面22:根据方面18至19所述的装置,其中该第一管芯的背侧面向该第二管芯的前侧。

[0134] 方面23:根据方面17至22所述的装置,其中该用于第一桥互连的部件包括桥管芯,该桥管芯包括:管芯基板;以及至少一个桥互连。

[0135] 方面24:根据方面17至22所述的装置,其中该用于第一桥互连的部件包括桥结构,该桥结构包括:至少一个介电层;以及至少一个桥互连。

[0136] 方面25:根据方面17至24的装置,其中该装置包括电子设备,该电子设备选自包括以下各项的组:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、计算机、可穿戴设备、膝上型计算机、服务器、物联网(IoT)设备、以及机动车辆工具中的设备。

[0137] 方面26:一种用于制造封装的方法,该方法包括:提供基板;将第一集成器件耦合到该基板;将第二集成器件耦合到该基板;将第一桥耦合到第一集成器件和第二集成器件,其中第一桥被配置成在第一集成器件与第二集成器件之间提供至少一条第一电路路径,并且其中第一桥耦合到第一集成器件的顶部部分和第二集成器件的顶部部分;以及将第二桥耦合到该第一集成器件和该第二集成器件,其中该第二桥被配置成在该第一集成器件与该第二集成器件之间提供至少一条第二电路路径。

[0138] 方面27:根据方面26所述的方法,其中将该第二桥耦合到该第一集成器件和该第二集成器件是在该第一集成器件和该第二集成器件耦合到该基板时执行的。

[0139] 方面28:根据方面26至27所述的方法,其中该至少一条第一电路路径包括该第一集成器件的背侧和该第二集成器件的背侧。

[0140] 方面29:根据方面26至28所述的方法,其中该第一集成器件包括:第一管芯;耦合

到该第一管芯的第二管芯;第三管芯;以及耦合到该第三管芯的第四管芯。

[0141] 方面30:根据方面29所述的方法,其中该第一管芯被配置成通过该第一桥电耦合到该第三管芯。

[0142] 本文中所描述的本公开的各种特征可实施于不同系统中而不会脱离本公开。应当注意,本公开的以上各方面仅是示例,且不应被解释成限定本公开。对本公开的各方面的描述旨在是说明性的,而非限定所附权利要求的范围。由此,本公开的教导可以现成地应用于其他类型的装置,并且许多替换、修改和变形对于本领域技术人员将是显而易见的。

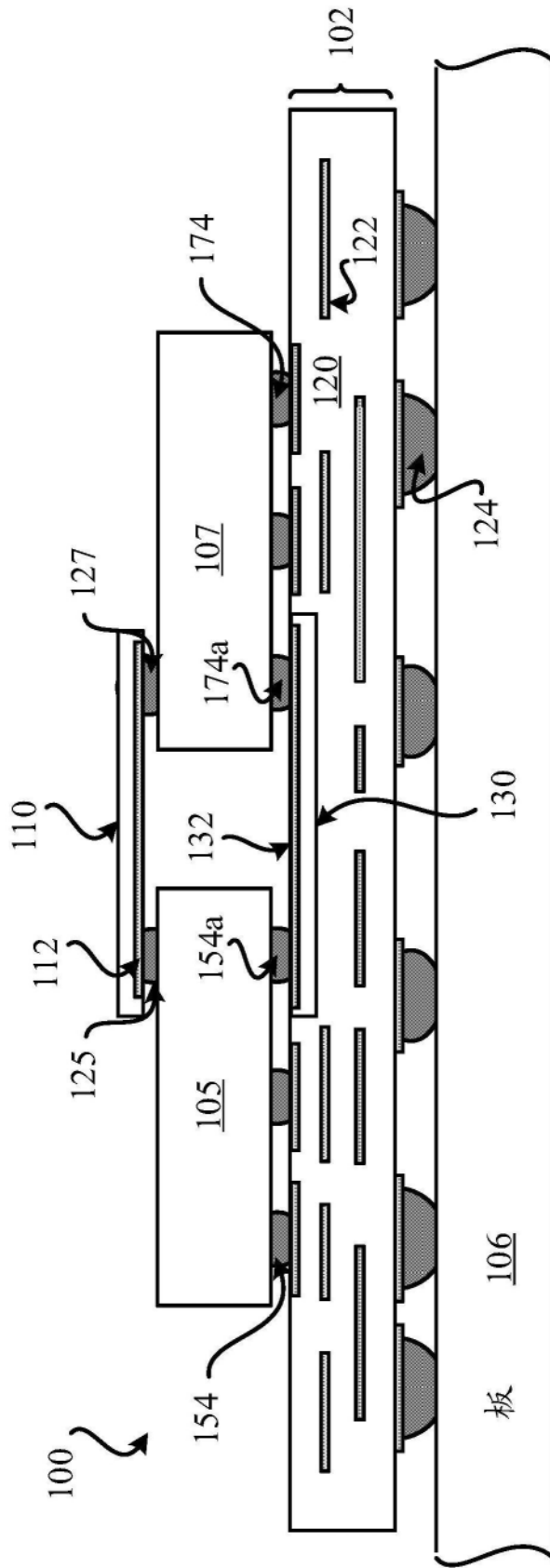


图1

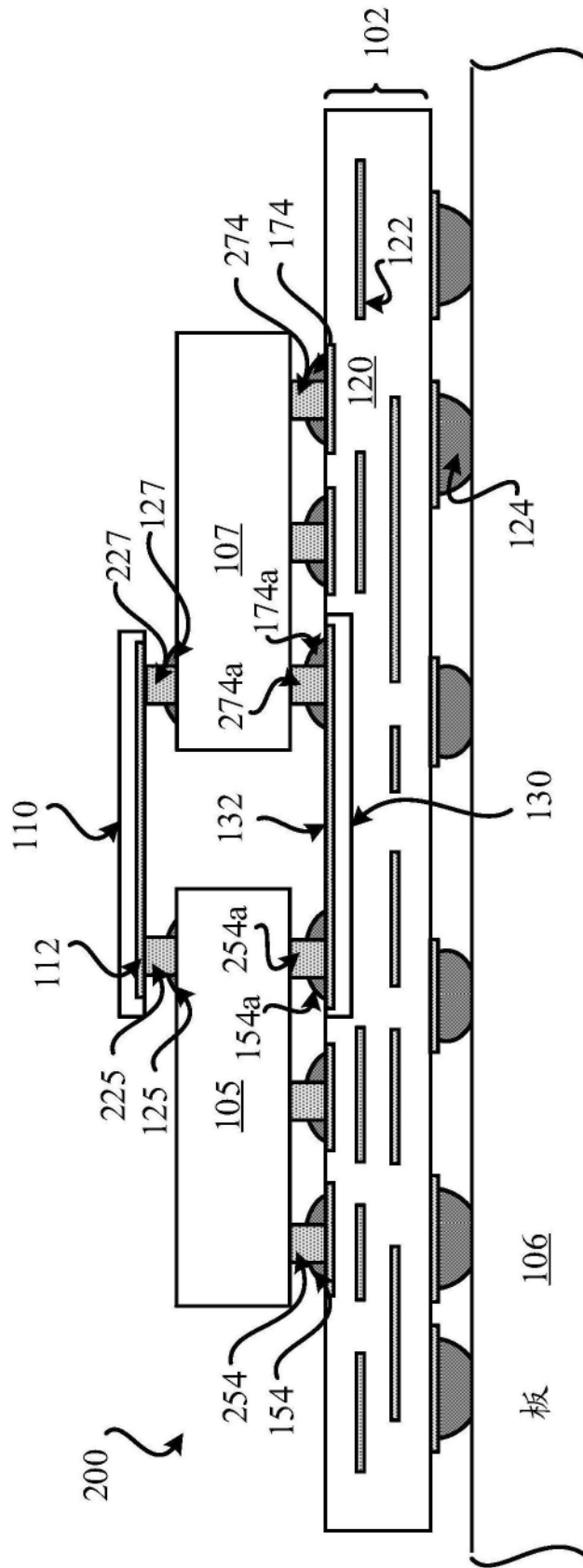


图2

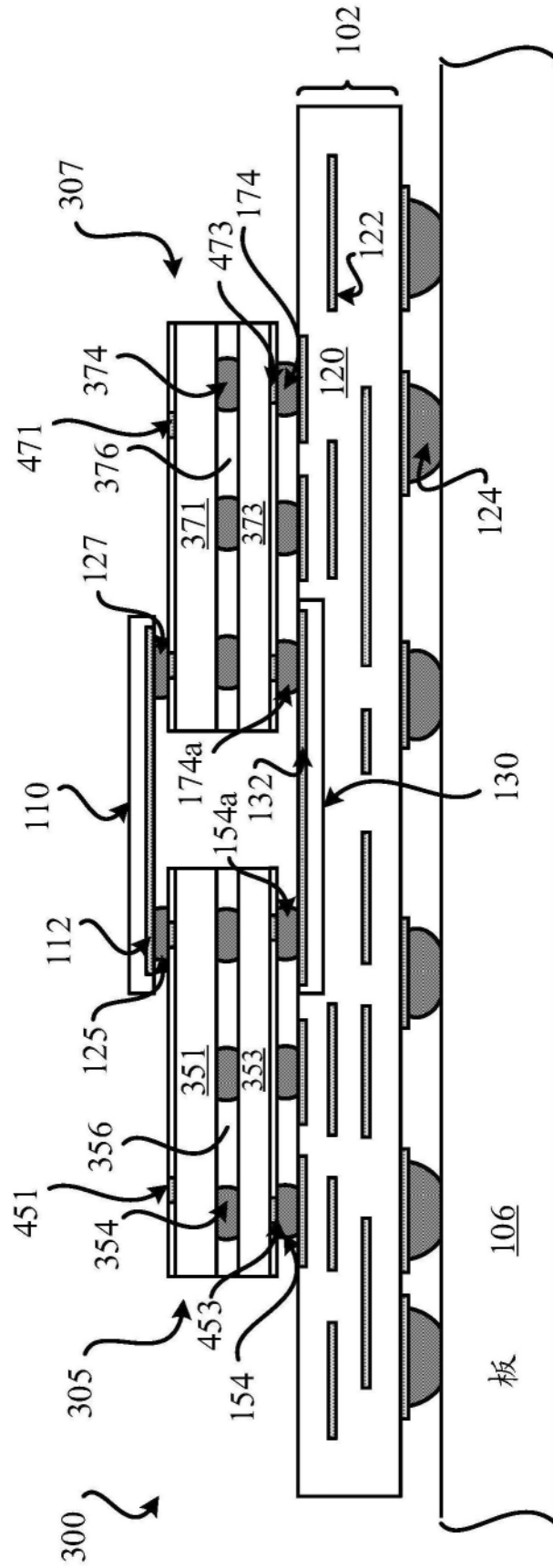


图4

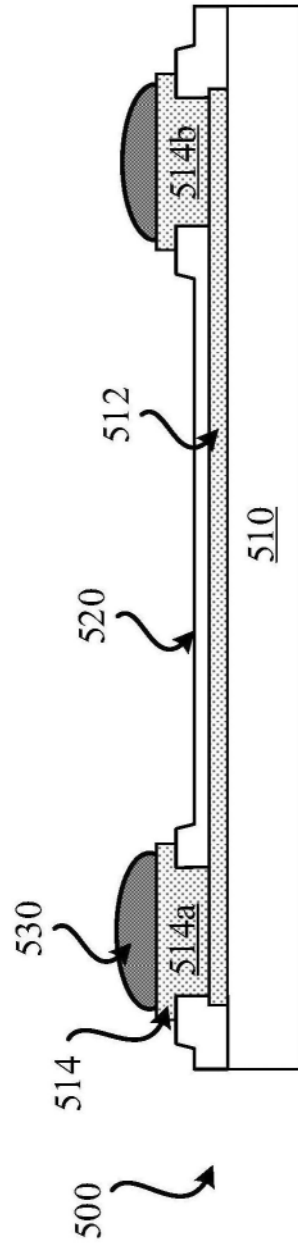


图5

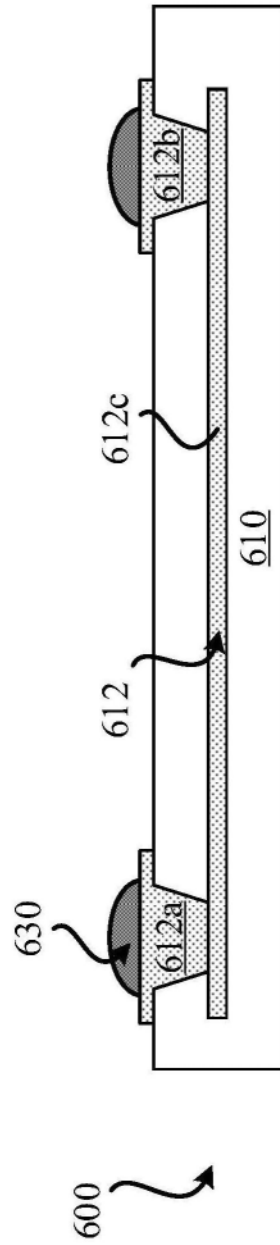


图6

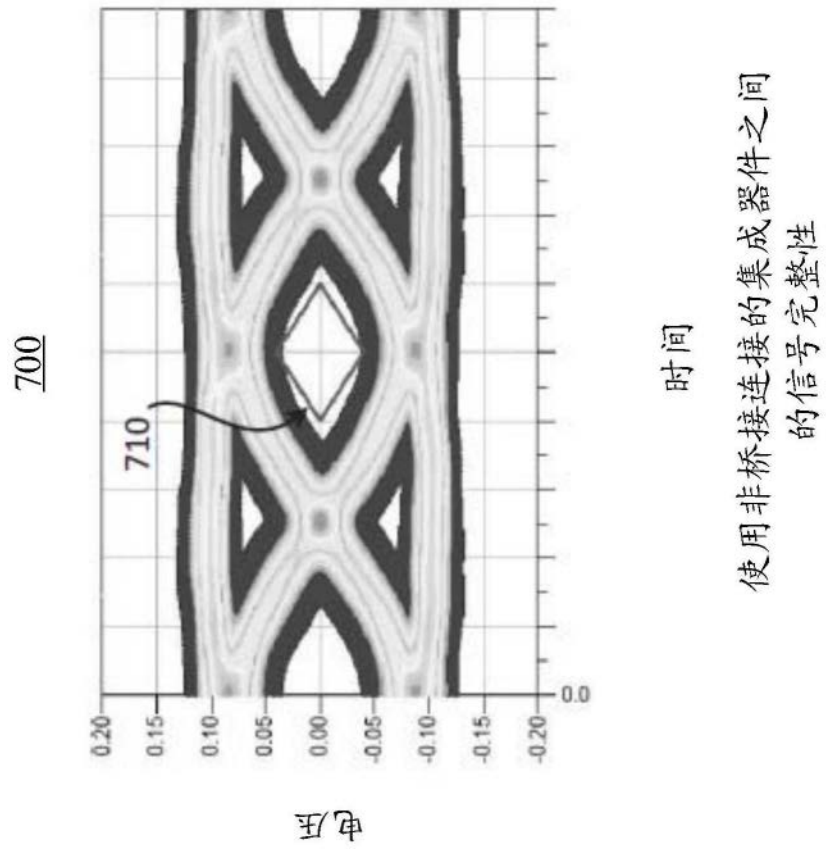
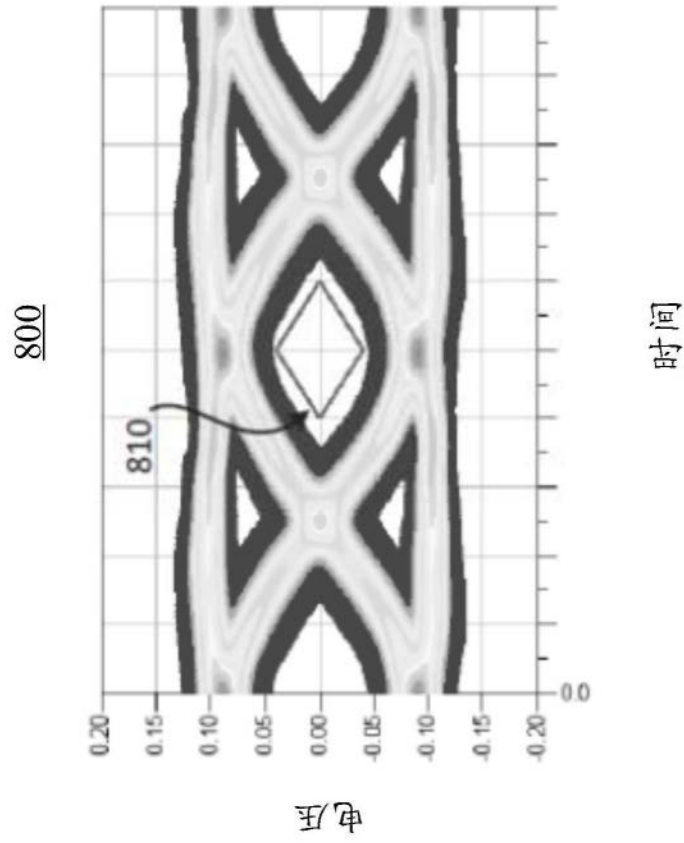


图7



使用耦合到集成器件的顶部分的桥的集成器
件之间的信号完整性

图8

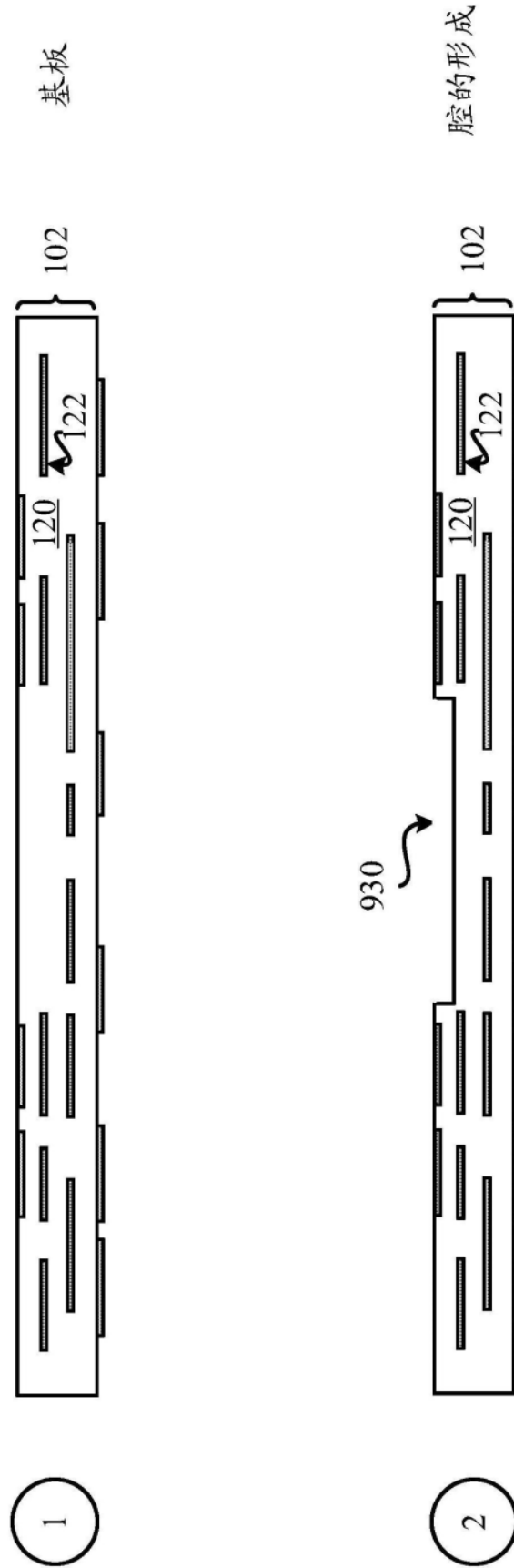


图9A

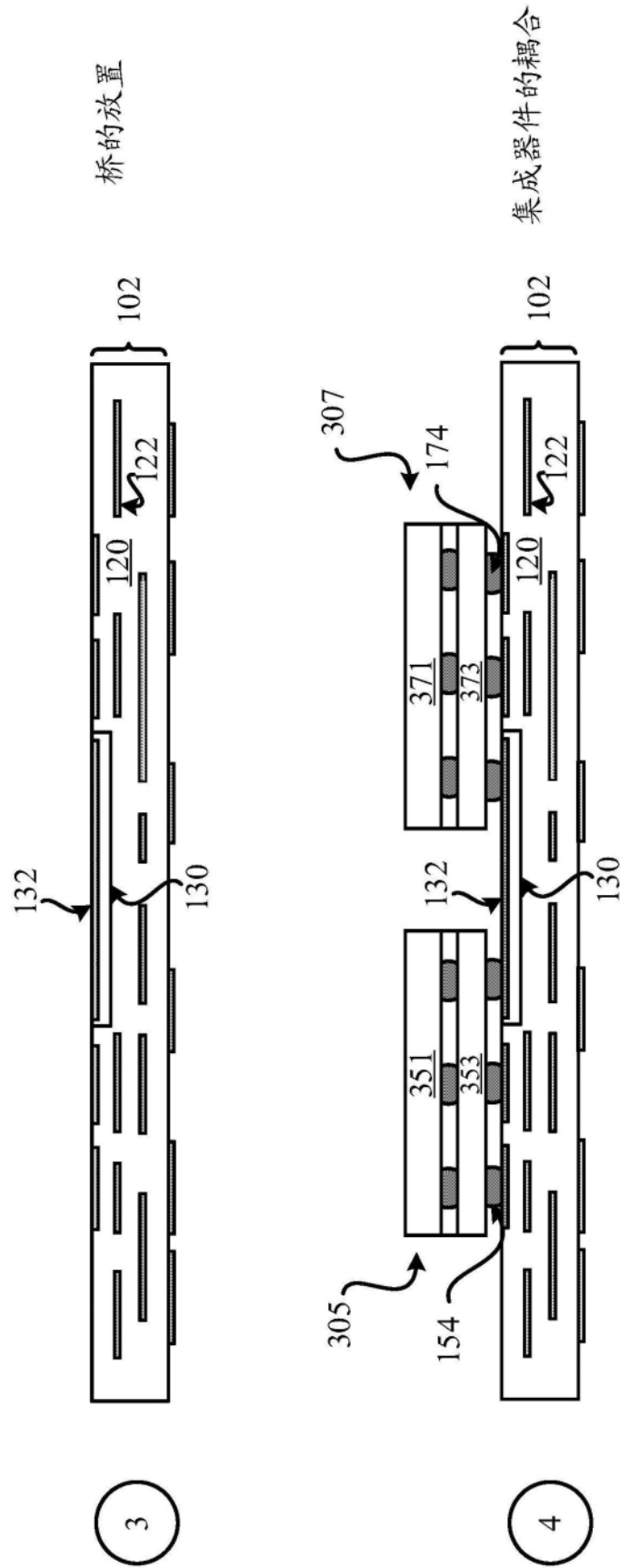


图9B

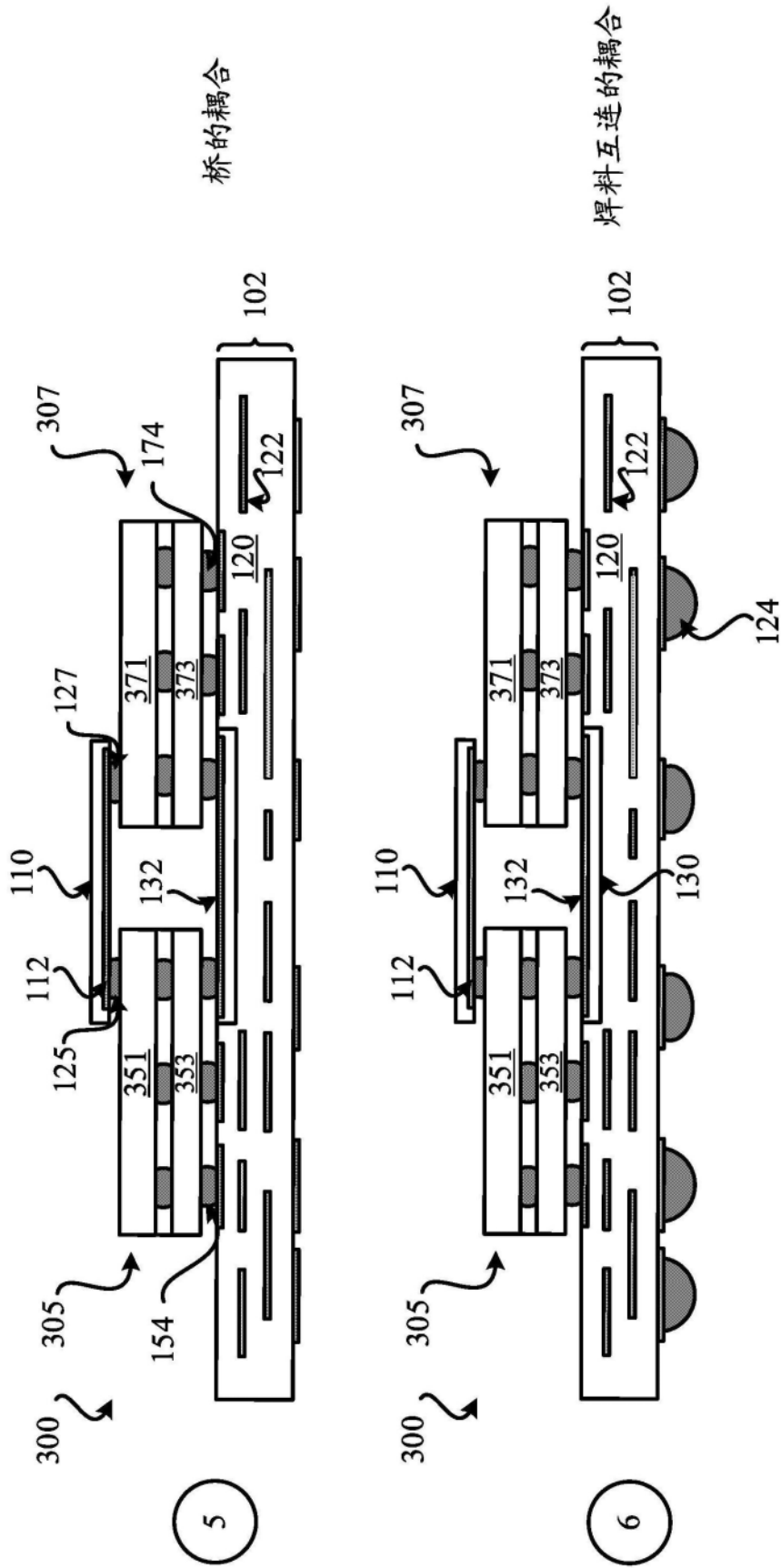


图9C

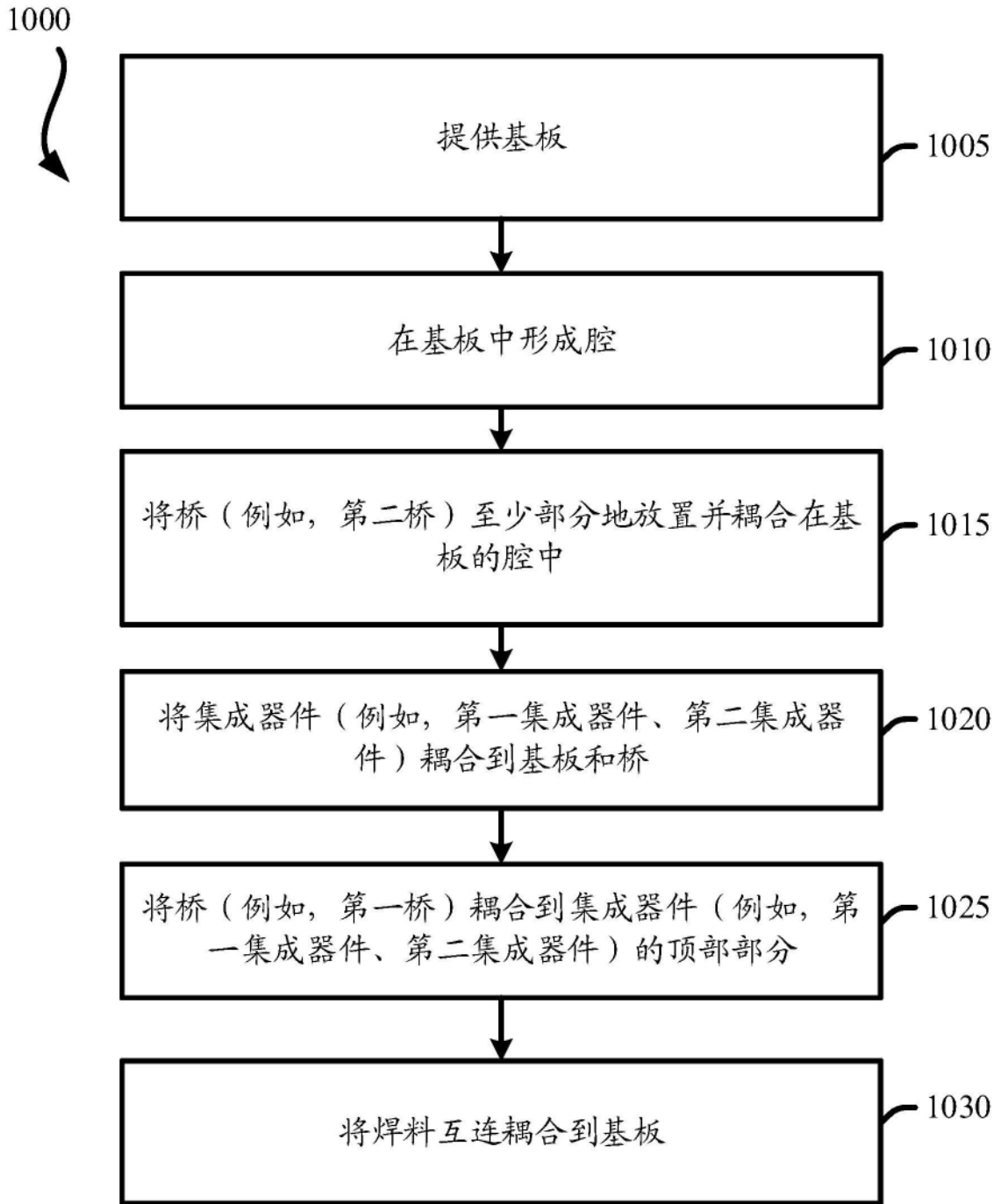


图10

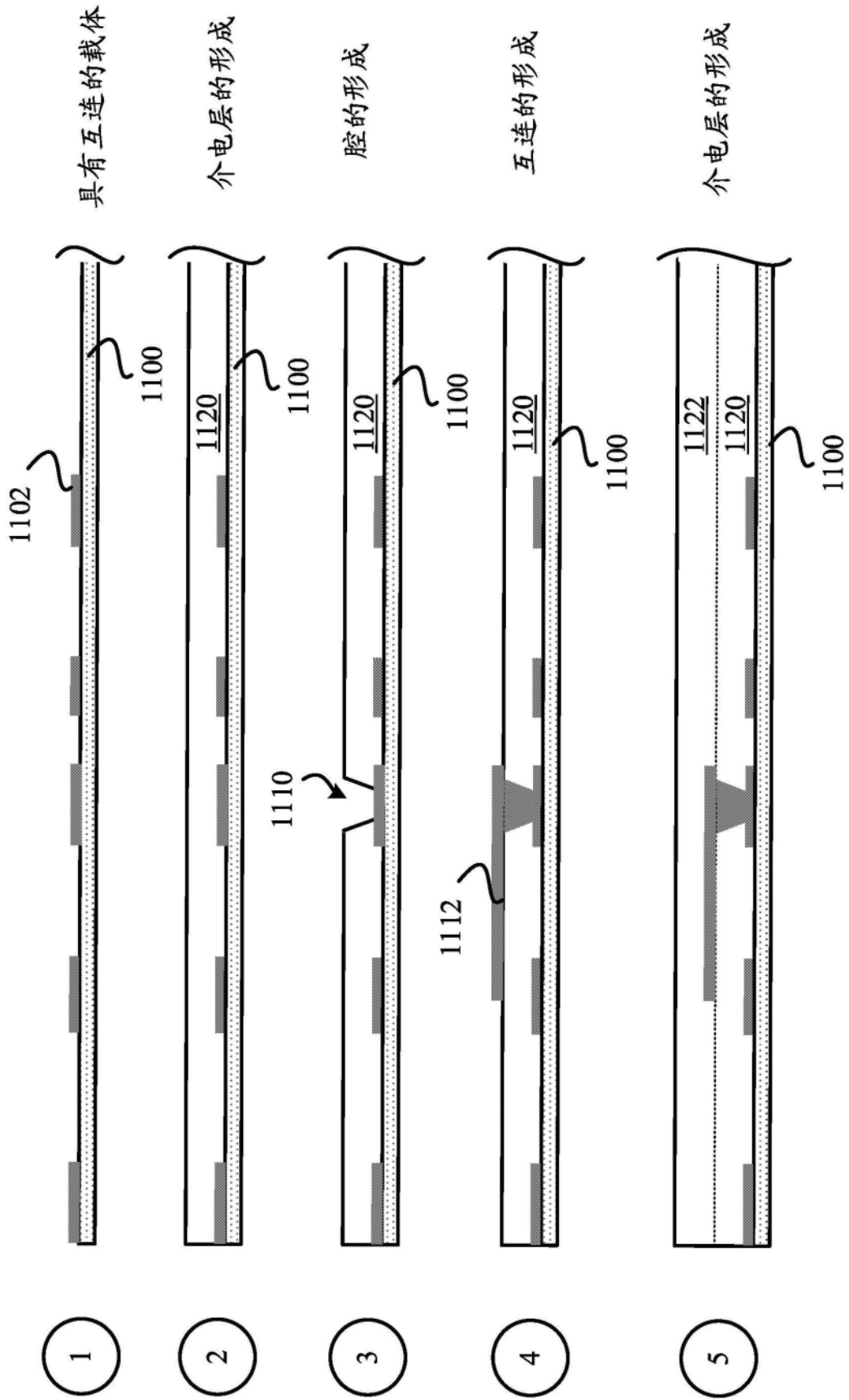


图11A

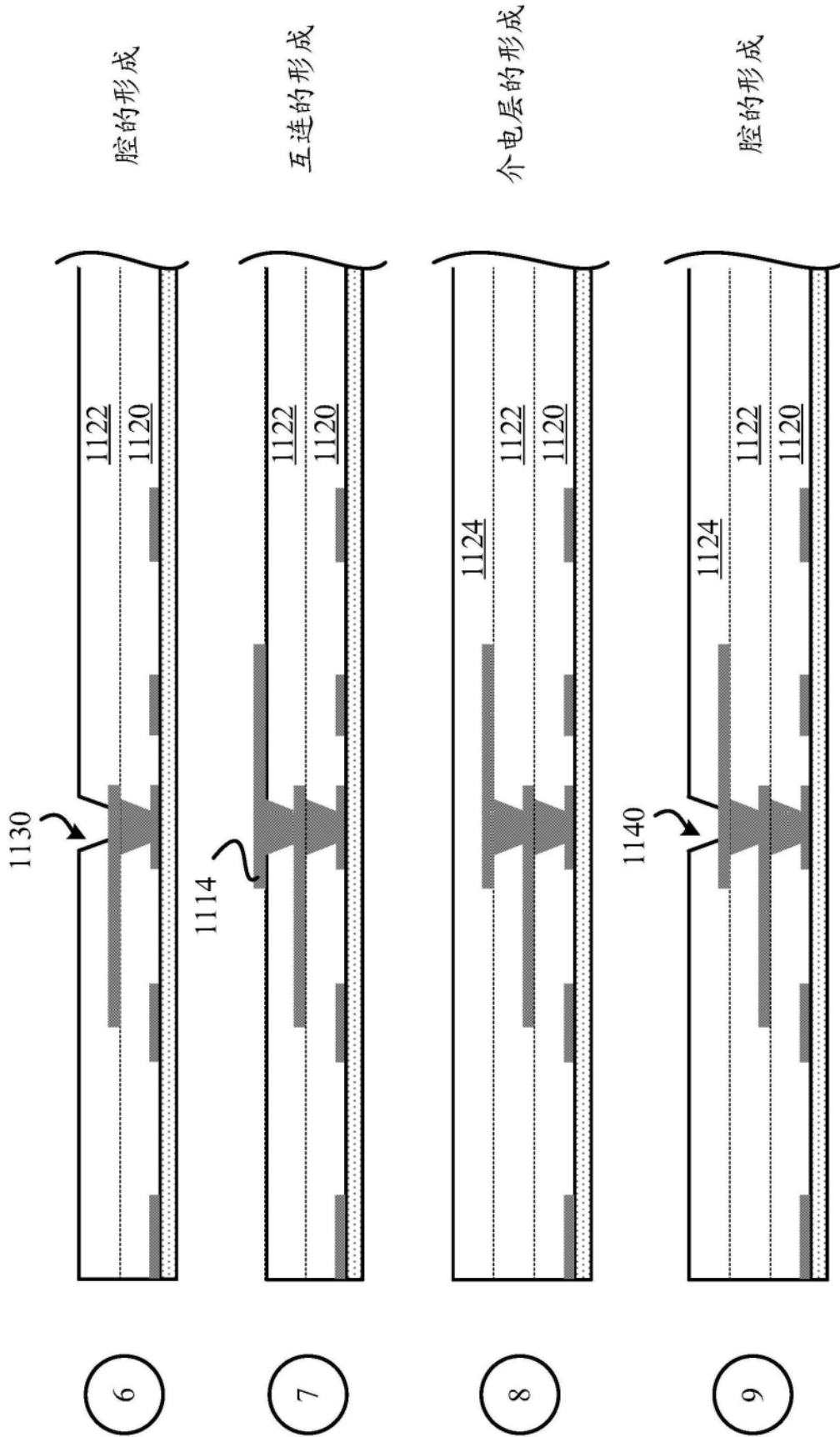


图11B

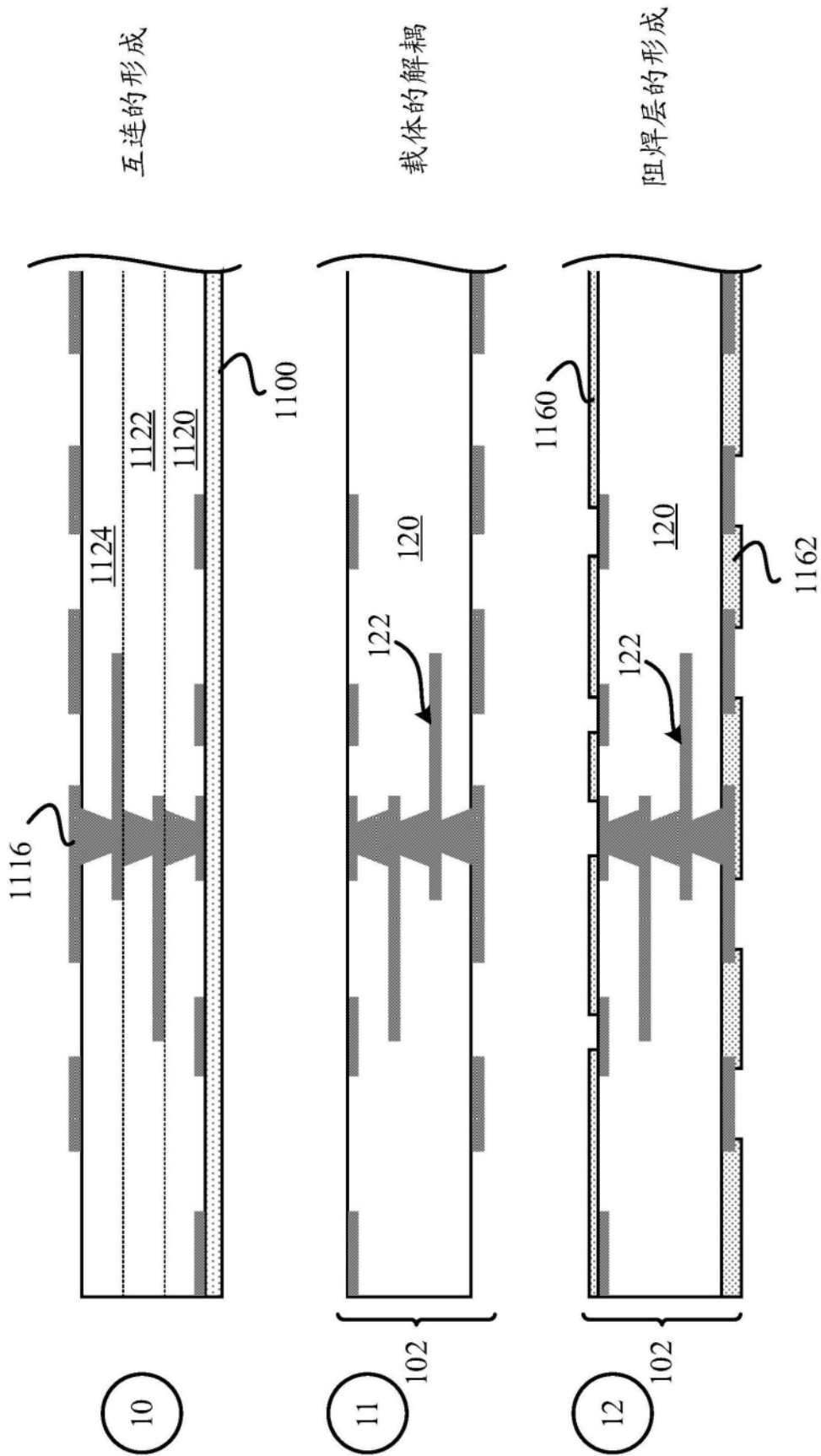


图11C

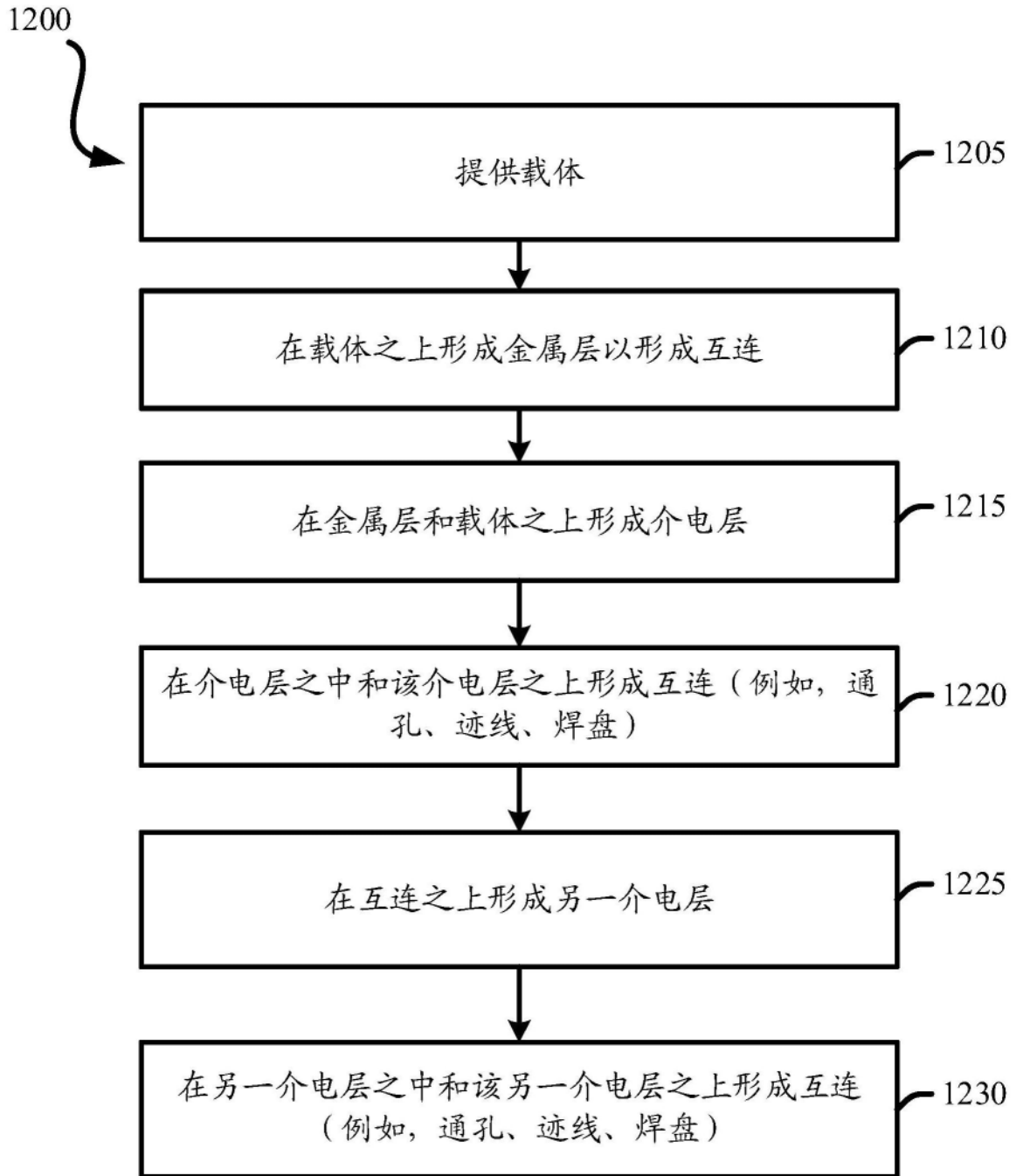


图12

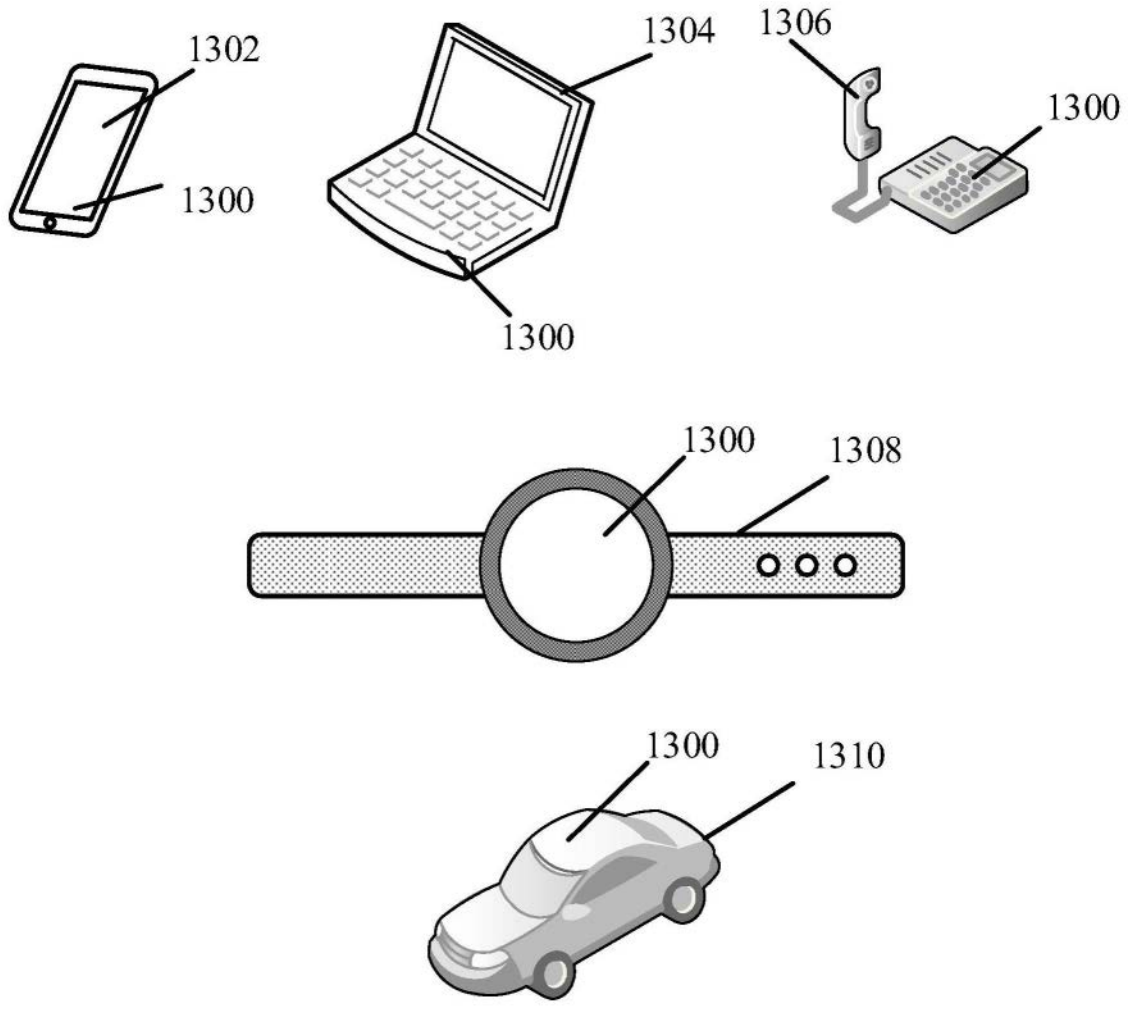


图13