

# 公告本

申請日期	90. 6. 8
案 號	90 1 1 3 9 2 5
類 別	G06F12/10

A4  
C4

(以上各欄由本局填註)

561341

## 發 明 專 利 說 明 書

一、發明 新型名稱	中 文	轉譯後備緩衝器清除濾波器
	英 文	A TRANSLATION LOOKASIDE BUFFER FLUSH FILTER
二、發明 創作人	姓 名	1. 葛瑞德·D·小蘇拉斯基 GERALD D. ZURASKI, Jr. 2. 麥可·T·克拉克 MICHAEL T. CLARK
	國 籍	美國
	住、居所	1. 美國·德州 78726·奧斯汀市·曼德帕克可夫 8009 號 8009 Mead Parke Cove Austin, TX 78726 U.S.A. 2. 美國·德州 78739·奧斯汀市·摩德瑞得巷 6137 號 6137 Mordred Lane Austin, TX 78739 U.S.A.
三、申請人	姓 名 (名稱)	高級微裝置公司 ADVANCED MICRO DEVICES, INC.
	國 籍	美國
	住、居所 (事務所)	美國·加州 94088-3453·桑尼威·第 1AMD 區·M/S 68· 郵政信箱 3453 號 One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, CA 94088-3453 U.S.A.
	代 表 人 姓 名	理查·J·諾迪 Richard J. Roddy

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC 分類：

A6  
B6

本案已向：

美

國(地區)申請專利，申請日期： 案號： ，有 無主張優先權

2000年6月15日 09/595,597 (主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明( 1 )

### [發明背景]

#### 1、發明範疇

本發明係有關處理器，特別係有關儲存位址轉譯之轉譯後備緩衝器。

#### 2、相關技術說明

使用記憶體管理的電腦系統需要將虛擬位址轉譯成為實體位址俾進行記憶體存取。典型電腦程式係寫成定址記憶體模式，如此當進行記憶體存取時發出虛擬記憶體位址。然後虛擬記憶體位址須轉譯成為實體記憶體位址俾存取該程式要求的資訊。不同電腦架構存在有多種機構來執行虛擬至實體位址轉譯。

一項從事位址轉譯的問題為等待時間(latency)。除了由記憶體存取資訊需要耗費時間外，需要多個時脈週期用來進行位址轉譯。此種等待損失變成經常需要做記憶體存取程式之嚴重或無法接受的問題。常見減少因轉譯位址造成的等待損失的方法係使用轉譯後備緩衝器(TLB)。TLB為一種位在處理器內部的小型記憶體，用以儲存虛擬至實體位址轉譯。典型 TLB 可對最近的位址轉譯儲存實體及虛擬位址二者。當程式試圖作記憶體存取時，程式發出虛擬位址。然後 TLB 搜尋發出的虛擬位址。若找到該虛擬位址，則對應於發出的虛擬位址之實體位址可用來存取主記憶體。典型轉譯係以頁為基礎提供(例如 4 千位元組，2 百萬位元組，4 百萬位元組等)，以及 TLB 可儲存虛擬位址頁部分以及對應的實體位址頁部分。

## 五、發明說明( 2 )

儘管 TLB 可提供優勢但仍存有問題。其中一個問題出現在內文切換。許多採用 TLB 的處理器中，內文切換導致去除全部儲存於 TLB 的轉譯。稱作 TLB 清除。TLB 清除的原因在於對應於切換的內文之一或多個位址轉譯可能經修改，如此快取於 TLB 的轉譯可能不再是正確的轉譯。不幸，於內文切換後執行新處理時，各個記憶體存取要求位址轉譯而 TLB 須重新載入。位址轉譯以及 TLB 的重載導致大量等待損失。此等等待損失可能由於需要頻繁作內文切換的程式或作業系統而益行惡化。

儲存於 TLB 的位址轉譯係由儲存於記憶體的基層資料結構支援。例如採用頁的電腦可儲存資料結構於頁表。此種資料結構包括載入 TLB 的轉譯。雖然此等資料結構可透過內文切換對已經切換的內文作變更，但經常此等資料結構並未改變。儘管資料結構於所有情況中未改變的事實，典型處理器仍然執行 TLB 的清除。此種情況下 TLB 清除可能不必要，結果導致前文說明之大量等待損失。

## [發明概要]

前文摘述之問題大部分可藉由此處所述之轉譯後備緩衝器(TLB)清除濾波器予以解決。於一個具體實施例中，處理器包括 TLB 用於儲存最近位址轉譯。TLB 清除濾波器監視記憶體之區塊，由該記憶體之區塊，位址轉譯已經載入及快取於 TLB 中。TLB 清除濾波器係配置以判定記憶體中是否有任何基層位址轉譯已經變更。若無變更，則 TLB 清除濾波器將於內文切換之後防止 TLB 清除。若對基層位

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 3 )

址轉譯已經發生改變，則 TLB 清除濾波器將允許 TLB 於內文切換後清除。

在一個具體實施例中，TLB 清除濾波器使用區域表來追蹤由其中已經將位址轉譯快取於 TLB 的該等記憶體區塊。TLB 清除濾波器可監視於記憶體各不同區塊(典型為頁表或目錄)基層位址轉譯修改。第一內文切換可能導致 TLB 清除，隨後激活 TLB 清除濾波器。若記憶體基層位址轉譯於區域表未偵測得任何變化，則 TLB 清除可於下次內文切換時藉 TLB 清除濾波器阻擋。

TLB 清除濾波器運算方法也包括跟蹤內文切換。在一個具體實施例中，如此可經由將基本位址暫存器之值加標籤進行。基本位址暫存器可配置而儲存與特定內文關聯的頁表之基本位址。暫存器的標籤及實際值可儲存於區域表作為分錄(entry)，且可對應特定記憶體區。標籤可連同其它資料儲存於 TLB 分錄俾關聯該分錄的轉譯與一種內文。藉此方式，許多內文之轉譯可同時駐在 TLB。唯有具有內文標籤係匹配目前內文標籤的轉譯才可由目前內文所利用。

於一個具體實施例使用的區域表係使用內文可定址記憶體(CAM)以及隨機存取記憶體(RAM)執行。CAM 可用於儲存有關記憶體結構資訊，由該記憶體結構已經將位址轉譯載入 TLB。此種資訊包括頁目錄資訊及頁表資訊。RAM 可用來儲存基本位址暫存器值及其關聯標籤。計數器可用來跟蹤基本位址分錄數目。當計數器溢位時，TLB 清除濾波器然後去活化，清除區域表。區域計數器也可用於記錄

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 4 )

儲存於 CAM 的分錄數目。此種計數器的溢位也造成 TLB 清除濾波器去活化而清除區域表。於 TLB 清除濾波器去活化後，內文切換結果導致 TLB 清除。然後 TLB 清除濾波器再度被激活。

如此於各具體實施例，TLB 清除濾波器可避免不必要的 TLB 清除。由於可防止不必要的 TLB 清除，故當基層位址轉譯無任何改變時，新內文可使用先前已經快取的位址轉譯。於多種情況下，如此可免除重複轉譯虛擬位址至實體位址以及重複快取於 TLB 的過程的需要。如此，可顯著縮短大量記憶體存取的等待時間，因而可顯著提高處理器效能。

## [圖式之簡單說明]

本發明之其它目的及優點由研讀後文詳細說明及參照附圖而將顯然自明，附圖中：

第 1 圖為執行 TLB 清除濾波器之處理器之一個具體實施例之方塊圖；

第 2 圖為採用 TLB 清除濾波器之處理器部分之一個具體實施例之方塊圖；

第 3 圖為 TLB 清除濾波器之一個具體實施例之方塊圖；

第 4 圖為說明 TLB 清除濾波器之一個具體實施例之區域表分錄之說明圖；

第 5 圖為邏輯圖說明運算 TLB 清除濾波器之一個具體實施例之邏輯；

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 5 )

第 6 圖為時序圖說明 TLB 清除濾波器之一個具體實施例之運算；

第 7A 圖為方塊圖說明於區域表藉分錄遮蓋之頁結構；

第 7B 圖為方塊圖說明一個區域表具有對應於第 7A 圖所示頁結構之分錄；以及

第 8 圖為電腦系統之一個具體實施例之方塊圖，於該電腦系統可執行 TLB 清除濾波器。

雖然本發明可作多種修改及替代形式變化，但其特定具體實施例係舉例顯示於附圖且於此處說明其細節。但須瞭解附圖及說明絕非意圖圍限本發明於所揭示的特定形式，反而本發明涵蓋落入如隨附之申請專利範圍界定之本發明之精髓及範圍的全部修改例、相當例及替代例。

## [元件符號說明]

10、10a 處理器	12 預提取/預解碼單元
14 分支預測單元	16 指令快取記憶體
18 指令對準單元	20、20A 至 20C 解碼單元
22、22A 至 22C 預留站	24、24A 至 24C 功能單元
25 記憶體	26 載入/儲存單元
28 資料快取記憶體	30 暫存器檔案
32 重新排序緩衝器	34 MROM 單元
37 匯流排介面單元	38 結果匯流排
39 轉譯後備緩衝器(TLB)	40 清除濾波器
200 電腦系統	202 匯流排橋

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 6 )

204	主記憶體	206	記憶體匯流排
208	圖形控制器	210	AGP 匯流排
212A 至 212B	PCI 裝置	214	PCI 匯流排
216	二次匯流排橋	218	EISA 或 ISA 裝置
220	EISA/ISA 匯流排	222	鍵盤及滑鼠
224	CPU 匯流排	226	顯示器
228、228a	快取記憶體	301	基本位址暫存器
401	環節點	402	區域表
402-C	CAM 分錄	402-R	RAM 分錄
403	濾波器電路	404	區域計數器
405	暫存器計數器	406	控制邏輯
407	多工器		

## [發明之詳細說明]

現在參考第 1 圖，顯示處理器 10 一個具體實施例之方塊圖。其它具體實施例亦屬可能且意圖實施。如第 1 圖所示，處理器 10 包括預提取/預解碼單元 12，分支預測單元 14、指令快取記憶體 16、指令對準單元 18、多個解碼單元 20A 至 20C，多個預留站 22A 至 22C、多個功能單元 24A 至 24C、載入/儲存單元 26、資料快取記憶體 28、暫存器檔案 30、重新排序緩衝器 32、MROM 單元 34、以及匯流排介面單元 37。此處述及的元件在一字母後有個特定參考編號將單獨以參考編號集合指稱。例如解碼單元 20A-20C 將合稱為解碼單元 20。

預提取/預解碼單元 12 耦合而接收來自匯流排介面單

## 五、發明說明( 7 )

元 37 的指令，進一步耦合至指令快取記憶體 16 以及分支預測單元 14。同理，分支預測單元 14 係耦合至指令快取記憶體 16。更進一步分支預測單元 14 係耦合至解碼單元 20 及功能單元 24。指令快取記憶體 16 進一步耦合至 MROM 單元 34 以及指令對準單元 18。指令對準單元 18 又耦合至解碼單元 20。各個解碼單元 20A 至 20C 耦合至載入/儲存單元 26 且耦合至各別預留站 22A 至 22C。預留站 22A 至 22C 進一步耦合至各別功能單元 24A 至 24C。此外，解碼單元 20 及預留站 22 係耦合至暫存器檔案 30 以及重新排序緩衝器 32。功能單元 24 也耦合至載入儲存單元 26、暫存器檔案 30 以及重新排序緩衝器 32。資料快取記憶體 28 耦合至載入/儲存單元 26 以及耦合至匯流排介面單元 37。匯流排介面單元 37 進一步耦合至連接至 L2 快取記憶體之 L2 介面，及耦合至匯流排。最後 MROM 單元 34 耦合至解碼單元 20。

指令快取記憶體 16 為儲存指令用的高速快取記憶體。指令由指令快取記憶體 16 提取且分散至解碼單元 20。一具體實施例中，指令快取記憶體 16 係配置成可儲存高達 64 千位元組指令於有 64 位元組線(一個位元組包含 8 個二進制位元)之雙向集合關連結構。另外，可採用任何其它預定配置之大小。例如發送指令快取記憶體 16 可執行為全關聯、設定關聯或直接映射配置。

指令係藉預提取/預解碼單元 12 儲存於指令快取記憶體 16。於請求前指令會根據預提取方法而由指令快取記憶

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 8 )

體 16 預提取。預提取/預解碼單元 12 可採用多個預提取方案。當預提取/預解碼單元 12 傳輸指令給指令快取記憶體 16 時，預提取/預解碼單元 12 對各個指令位元組產生三個預解碼位元：一個開始位元、一個結束位元以及一個功能位元。預解碼位元形成標籤指示各個指令的邊界。預解碼標籤也可傳輸額外資訊，例如特定指令是否可藉解碼單元 20 直接解碼、或指令是否經由激發 MROM 單元 34 控制的微碼程序執行，容後詳述。更進一步，預提取/預解碼單元 12 可配置成偵測分支指令，以及儲存對應該分支指令之分支預測資訊至分支預測單元 14。其它具體實施例採用任一種適當預解碼方案。

其次將說明對採用可變位元組長度指令集合之處理器 10 具體實施例之預解碼標籤的一個編碼。可變位元組長度指令集合為其中不同指令佔有不同位元組數目的指令集合。處理器 10 之一個具體實施例採用的可變位元組長度指令集合例如為 x86 指令集合。

於編碼例中，若一指定位元組為一個指令的第一位元組，則設定該位元組的開始位元。若位元組為指令最末位元組，則設定該位元組的結束位元。可藉解碼單元 20 直接解碼的指令稱作「快速路徑」指令。根據一具體實施例，其餘 x86 指令稱作 MROM 指令。用於快速路徑指令，對含括於指令的各個前置位元組設定功能位元而對其它位元組清除功能位元。另外，對 MROM 指令，對各前置位元組清除功能位元而對其它位元組設定功能位元。指令類型可經

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 9 )

由檢驗對應結束位元組的功能位元決定。若清除了該功能位元，則該指令為快速路徑指令。相反地，若設定了該功能位元，則該指令為 MROM 指令。因此指令運算碼可位於一個指令內，由於該位元組關聯指令中的第一個清除功能位元，故運算碼可藉解碼單元 20 直接解碼。例如快速路徑指令包括兩個前置位元組亦即 Mod R/M 位元組，而緊鄰位元組具有開始、結束及功能位元如下：

開始位元	10000
結束位元	00001
功能位元	11000

MROM 指令為已經判定為太過複雜無法藉解碼單元 20 解碼的指令。MROM 指令係藉激發 MROM 單元 34 執行。特別當遭遇 MROM 指令時，MROM 單元 34 剖析且發出指令至經過界定的快速路徑指令子集俾執行預定運算。MROM 單元 34 分派該快速路徑指令子集至解碼單元 20。

處理器 10 採用分支預測俾於條件分支指令之後推理提取指令。含括分支預測單元 14 俾進行分支預測運算。一具體實施例中，分支預測單元 14 採用分支目標緩衝器，其快取至多兩個分支目標位址以及於指令快取記憶體 16 一條快取線每 16 位元組部分之對應預測/未預測。分支目標緩衝器例如包含 2048 分錄或任何其它適當數目的分錄。當一條特定線被預解碼時，預提取/預解碼單元 12 決定初期分支目標。隨後由於指令於快取線內部執行，可能出現對應快取線的分支目標更新。指令快取記憶體 16 提供預提取

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 10 )

的指令位址指示，故分支預測單元 14 決定何種分支目標位址欲選用以形成分支預測。解碼單元 20 及功能單元 24 提供更新資訊給分支預測單元 14。解碼單元 20 偵測未由分支預測單元 14 預測的分支指令。功能單元 24 執行分支指令，決定經預測的分支指令是否不正確。分支指示可被「採行」，其中隨後指令係由分支指令目標位址提取。相反地，分支指示可「未被採行」，其中隨後指令係由分支指令接續的記憶體位址被提取。當偵測得預測錯誤分支指令時，預測錯誤分支後方的指令而由處理器 10 的各個單元拋棄。另一種配置中，分支預測單元 14 可耦合至重新排序緩衝器 32，而非耦合至解碼單元 20 以及功能單元 24，可接收來自重新排序緩衝器 32 之分支預測錯誤資訊。分支預測單元 14 可採用多種不同適當的分支預測演算法。

由指令快取記憶體 16 提取的指令傳輸至指令對準單元 18。當指令係由指令快取記憶體 16 提取時，對應預解碼資料經掃描而提供有關該被提取指令之資訊給指令對準單元 18(以及供給至 MROM 單元 34)。指令對準單元 18 利用掃描資料對準指令至各個解碼單元 20。一具體實施例中，指令對準單元 18 對準來自三組八個指令位元組的指令至解碼單元 20。解碼單元 20A 接收指令係在同時由解碼單元 20B 及 20C(於程式順序)接收的指令之前。同理，解碼單元 20B 接收的指令係在同時由解碼單元 20C 接收的指令於程式順序之前。

解碼單元 20 係配置成可解碼由指令對準單元 18 接收

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 11 )

的指令。暫存器運算元資訊經過偵測以及路由至暫存器檔案 30 以及重新排序緩衝器 32。此外，若指令要求執行一或多項記憶體運算，則解碼單元 20 分派記憶體運算給載入/儲存單元 26。各個指令被解碼成為一組功能單元 24 之控制值，此等控制值連同運算元位址資訊以及其它可能含括於該指令之異位或即刻資料被分派至預留站 22。於一特定具體實施例中，各個指令被解碼成為兩項運算，二運算可由功能單元 24A 至 24C 分開執行。

處理器 10 支援順序的執行，如此採用重新排序緩衝器 32 來跟蹤原先程式之暫存器讀取與寫入運算順序，執行暫存器的重新命名，俾允許作推理指令執行以及分支預測錯誤的復原與有助於精確例外。重新排序緩衝器 32 內部之暫時儲存位置保留於指令解碼時涉及更新暫存器因而儲存推測暫存器狀態。若分支預測不正確，則推理執行的指令的結果連同預測錯誤路徑可在寫入暫存器檔案 30 之前於緩衝器內失效。同理，若某個特定指令引發例外，則可拋棄於該特定指令後方的指令。藉此方式例外為「準確」(換言之該引起例外的特定指令後方的指令於例外之前未被完成)。注意若一特定指令係於程式順序中該特定指令前方的指令之前執行，則該特定指令係推理執行。前方指令可為分支指令或例外引發指令，該種情況下推理結果可由重新排序緩衝器 32 拋棄。

提供於解碼單元 20 輸出端的指令控制值以及即刻或異位資料直接路由至各別預留站 22。於一具體實施例中，

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 12 )

各個預留站 22 可保有指令資訊(換言之指令控制值以及運算元值、運算元標籤及/或即刻資料)經歷長達六個懸置指令等待發給對應功能單元。注意對第 1 圖具體實施例而言，各個預留站 22 結合一個專屬功能單元 24。如此三個專屬「發出位置」係由預留站 22 及功能單元 24 形成。換言之，發出位置 0 係由預留站 22A 及功能單元 24A 形成。指令對準且分派至預留站 22A 係藉功能單元 24A 執行。同理，發出位置 1 係由預留站 22B 及功能單元 24B 形成；以及發出位置 2 係由預留站 22C 及功能單元 24C 形成。

當解碼特定指令時，若要求運算元為暫存器位置，則暫存器位址資訊可同時路由至重新排序緩衝器 32 及暫存器檔案 30。熟諳技藝人士瞭解 x86 暫存器檔案包括八個 32 位元真實暫存器(換言之典型稱作為 EAX、EBX、ECX、EDX、EBP、ESI、EDI 及 ESP)。於採用 x86 處理器架構的處理器 10 具體實施例，暫存器檔案 30 包含各該 32 位元真實暫存器儲存位置。額外儲存位置可含括於暫存器檔案 30 內部由 MROM 單元 34 使用。重新排序緩衝器 32 對下述結果含有暫時儲存位置，該等結果變更暫存器內容因而允許脫序執行。重新排序緩衝器 32 之暫時儲存位置對各指令預留，各指令解碼時決定修改真實暫存器之一內容。如此於執行特定程式期間各點，重新排序緩衝器 32 有一或多個位置含有指定暫存器之推理執行內容。若於指定指令解碼後，判定重新排序緩衝器 32 有個先前位置指定給暫存器用作為指定指令的運算元，則重新排序緩衝器 32 發送指令的

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 13 )

對應預留站：1)最近被指定位置之值，或 2)最近被指定位置標籤，若該值尚未由功能單元產生，功能單元最終將執行前一指令。若重新排序緩衝器 32 有個位置預留給指定暫存器，則運算元值(或重新排序緩衝器標籤)係由重新排序緩衝器 32 而非由暫存器檔案 30 提供。若無任何位置預留用於重新排序緩衝器 32 的要求暫存器，則該值直接取自暫存器檔案 30。若運算元對應記憶體位置，則該運算元值經由載入/儲存單元 26 提供給預留站。

於一個特定具體實施例中，重新排序緩衝器 32 可配置成一個單元來同時儲存及操縱解碼指令。此種配置於此處稱作為「線定向」指令。經由共同操縱若干指令，可簡化重新排序緩衝器 32 採用的硬體。例如本具體實施例含括的線定向重新排序緩衝器隨時由解碼單元 20 分派一或多個指令時，可配置足夠三個指令(來自各解碼單元 20 各一個指令)相關指令資訊的儲存空間。相反地，可變數量之儲存空間配置於習知重新排序緩衝器，其儲存量係依據實際分派的指令量決定。分派可變量的儲存空間需要較多個邏輯閘。當各個同時解碼指令已經執行時，指令結果同時儲存於暫存器檔案 30。然後儲存空間已經閒置可供分派另一組協力解碼指令。此外，由於控制邏輯係於數個協力解碼指令分攤，故每個指令採用的控制邏輯環路量減少。識別特定指令的重新排序緩衝器標籤可分成兩個領域：線標籤以及補償值標籤。線標籤識別包括該特定指令之協力解碼指令集合，以及補償標籤識別該集合內部何種指令係對應該

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 14 )

特定指令。注意儲存指令結果進入暫存器檔案 30 中，釋放出對應的自由儲存空間稱作「退休」指令。進一步發現任何重新排序緩衝器構造可用於處理器 10 之各具體實施例。

如前述，預留站 22 儲存指令至指令藉對應功能單元 24 執行為止。若屬下列情況則選定執行指令：(i)已經提供指令運算元；以及(ii)尚未提供指令於運算元而此指令係於同一預留站 22A 至 22C 內，以及其係於程式順序指令之前。發現當指令係藉功能單元 24 之一執行時，該指令結果直接送至等候該結果的任何預留站 22，同時結果送至更新重新排序緩衝器 32(此項技術俗稱「結果前傳」)。於相關結果前傳之時脈週期期間，可選擇指令供執行且送至功能單元 24A 至 24C。此種情況下預留站 22 路由前傳結果至功能單元 24。由功能單元 24 執行的多項運算之具體實施例中，運算可排程與彼此分開。

在一具體實施例中，各個功能單元 24 配置成進行加及減的整數算術運算以及移向、旋轉、邏輯運算、以及分支運算。運算係回應於解碼單元 20 對特定指令解碼的控制值進行。注意浮點單元(圖中未顯示)也可用來配合浮點運算。浮點單元可作為共同處理器，接收來自 MROM 單元 34 或重新排序緩衝器 32 之指令，以及隨後與重新排序緩衝器 32 通訊俾完成指令。此外，功能單元 24 可配置成由載入/儲存單元 26 執行的載入及儲存記憶體運算產生位址。於一個特定具體實施例中，各個功能單元 24 包含產生

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 15 )

位址的位址產生單元以及執行其餘功能的執行單元。二單元於一時脈週期期間當有不同指令或運算時可各自獨立運算。

各功能單元 24 也提供有關執行條件分支指令的資訊給分支預測單元 14。若分支預測不正確，則分支預測單元 14 於預測錯誤的分支已經進入指令處理管線後清除指令，以及致使由指令快取記憶體 16 或主記憶體提取需要的指令。注意此種情況下，於預測錯誤分支指令拋棄後所得原先程式順序的指令結果，包括推理執行且暫時儲存於載入/儲存單元 26 以及重新排序緩衝器 32 的指令結果。進一步，注意分支執行結果可由功能單元 24 提供給重新排序緩衝器 32，其可對功能單元 24 指示分支預測錯誤。

功能單元 24 產生的結果若欲更新暫存器值，則該結果送至重新排序緩衝器 32，若記憶體位置內容變更，則送至載入/儲存單元 26。若結果欲儲存於暫存器，則當指令解碼時，重新排序緩衝器 32 儲存結果於對該暫存器值預留的位置。多個結果匯流排 38 含括用於由功能單元 24 以及載入/儲存單元 26 前傳結果。結果匯流排 38 傳輸產生的結果，以及重新排序緩衝器標籤識別執行的指令。

載入/儲存單元 26 提供功能單元 24 與資料快取記憶體 28 間的介面。於一個具體實施例中，載入/儲存單元 26 配置以第一載入/儲存緩衝器，此緩衝器具有對尚未存取的資料快取記憶體 28 懸置載入或儲存的資料及位址資訊儲存位置；以及第二載入/儲存緩衝器，具有對具有存取資料快

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 16 )

取記憶體 28 載入及儲存其資料及位址資訊的儲存位置。例如第一緩衝器可包含 12 個位置及第二緩衝器可包含 32 個位置。解碼單元 20 仲裁存取至載入/儲存單元 26。當第一緩衝器為滿時，解碼單元將等候至載入/儲存單元 26 有空間儲存懸置載入或儲存請求資訊。載入/儲存單元 26 也進行對懸置儲存記憶體運算之載入記憶體運算作相依性查核，俾確保維持資料的相干性。記憶體運算為處理器 10 與主記憶體子系統間的資料移轉。記憶體運算可為指令利用儲存於記憶體之運算元的結果，或由載入/儲存指令造成資料傳輸但無其它運算的結果。此外，載入/儲存單元 26 可包括特殊暫存器儲存裝置用於特殊暫存器，例如節段暫存器以及由 x86 處理器架構定義的位址轉譯機構相關的暫存器。

資料快取記憶體 28 為高速快取記憶體，供暫時儲存介於載入/儲存單元 26 與主記憶體子系統間傳輸的資料。於一個具體實施例中，資料快取記憶體 28 具有於雙向集合相關結構儲存高達 64 千位元組資料之容量。須瞭解資料快取記憶體 28 可以多種特定記憶體配置執行，包括集合關聯配置、完整關聯配置、直接映射配置以及任何適當大小的任何其它配置。

於處理器 10 採用 x86 處理器架構的特定具體實施例中，指令快取記憶體 16 以及資料快取記憶體 28 被線性定址以及實體標籤。線性位址係由指令規定的補償值以及 x86 位址轉譯機構節段部規定的基本位址形成。線性位址

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 17 )

可視需要而轉譯成實體位址用於存取主記憶體。線性至實體轉譯係由 x86 位址轉譯機構之頁部規定。實體位址比較實體標籤俾決定命中/失誤狀態。

匯流排介面單元 37 係配置成於電腦系統透過匯流排而於處理器 10 與其它組件間通訊。例如匯流排可與數位設備公司發展出的 EV-6 匯流排相容。另外，任何適當互連結結構皆可使用，包括基於封包的連結、單向或雙向連結等。視需要之 L2 快取記憶體介面也可用於與第二階快取記憶體介面。

現在參照第 2 圖，顯示採用 TLB 清除濾波器之部分處理器 10 一個具體實施例之方塊圖。TLB 清除濾波器 40 耦合至載入/儲存單元 26、匯流排介面單元 37、L1 快取記憶體 25 以及 TLB 39。L1 快取記憶體 25 例如包括指令快取記憶體 16 以及資料快取記憶體 28。於若干具體實施例中，L1 快取記憶體 25 之指令快取記憶體 16 以及資料快取記憶體 28 各自關聯其本身分開的 TLB。此等 TLB 可集成入各個快取記憶體。載入/儲存單元 26 耦合入暫存器檔案 30。暫存器檔案之各個暫存器中包括基本位址暫存器 301。基本位址暫存器 301 可對協力處理內文的頁表儲存基本位址。另外基本位址暫存器 301 可儲存頁目錄指標器表基本位址，或其它關聯協力執行內文的位址資訊。基本位址暫存器 301 可於內文切換期間更新。

TLB 清除濾波器 40 配置成監視記憶體區塊，該區塊包括可載入 TLB 39 之位址轉譯。若 TLB 清除濾波器 40

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 18 )

偵測得被監視的記憶體區塊中有一個或多個位址轉譯變化，則清除濾波器允許 TLB 39 於下次內文切換後清除。於具體實施例所示，TLB 清除濾波器可確認無效信號俾允許 TLB 39 的清除。載入/儲存單元 26 也讓 TLB 39 藉確認信號(此處顯示為 LS\_TLB Invalidate)而被清除。此種信號當由載入/儲存單元 26 確認時造成 TLB 39 的無條件清除，或讓 TLB 於下次內文切換時清除。無條件清除可能的部分起因將於後文參照第 5 圖討論。

TLB 清除濾波器 40 可藉第一次內文切換而起動。第一次內文切換可能發生於最初電腦系統啟動之後、或清除濾波器鈍化之後。第一次內文切換結果導致 TLB 39 的清除。於第一次內文切換後，TLB 39 之清除藉 TLB 清除濾波器 40 濾波。

TLB 清除濾波器 40 耦合至匯流排介面單元 37，可接收有關其監視的記憶體區塊相關資訊。所示具體實施例中，TLB 清除濾波器 40 接收來自匯流排介面單元 37 之頁目錄分錄。各具體實施例中，TLB 清除濾波器 40 亦可接收有關頁目錄分錄、頁目錄指標器、頁表或其它可用於位址轉譯的資料結構相關資訊。通常儲存位址轉譯資訊的任何記憶體區塊位址之可由匯流排介面單元 37 提供給 TLB 清除濾波器 40。TLB 清除濾波器 40 也接收來自匯流排介面單元 37 之窺探(或探測)請求信號以及搜尋區域表(容後詳述)之窺探位址。TLB 清除濾波器 40 於出現內文切換時也接收來自載入/儲存單元 26 的通知，原因在於載入/儲存

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 19 )

單元可傳播儲存於特殊暫存器匯流排(SRB)環周圍的基本位址暫存器 301 的新位址。

通常 SRB 環為可用於與特殊暫存器通訊的匯流排。多種特殊暫存器可位於整個處理器的多個單元。所示具體實施例中，載入/儲存單元 26 作為 SRB 環之主匯流排，因而控制涉及特殊暫存器的讀寫運算。SRB 環的執行讓特殊暫存器更靠近使用該暫存器的邏輯，而仍然處於載入/儲存單元 26 的控制之下。

現在參照第 3 圖，顯示 TLB 清除濾波器之一具體實施例之方塊圖。TLB 清除濾波器 40 包括環節點 401、區域表 402 及濾波器電路 403。濾波器電路 403 耦合至 TLB 39 且確認信號失效或清除 TLB。區域表 402 包括內容可定址記憶體(CAM)以及隨機存取記憶體(RAM)。區域表 402 之 CAM 部分可用於儲存位址如頁目錄指標器以及關聯標籤，也可儲存來自基本位址暫存器 301(第 2 圖)之基本位址。區域表 RAM 部分典型儲存來自基本位址暫存器 301 之基本位址關聯的標籤。CAM 及 RAM 的分錄容後詳述。

區域表 401 之分錄可由 TLB 清除濾波器 40 經由環節點 401 及多工器 407 接收。多工器 407 如此處所示也可用於接收其它資訊例如頁目錄分錄(PDE)屬性。透過多工器 407 接收的資訊隨後可儲存於 CAM 或 RAM。來自區域表 402 的資訊也可透過環節點 401 傳播入 SRB。

二計數器也關聯區域表 402。區域計數器 404 配置成計數 CAM 的分錄數目，而基本位址暫存器計數器 405 配

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 20 )

置成計數基本位址暫存器標籤數目。各個計數器跟蹤區域表的可利用資源。若區域表不含適當資源，則其中一部計數器確認溢位信號。例如若各 CAM 分錄為滿，則區域計數器確認溢位信號。此種溢位信號用來鈍化 TLB 清除濾波器。同理，若全部可利用的標籤已經用於基本位址暫存器計數器，則也溢位，因而確認溢位信號而鈍化 TLB 清除濾波器。然後 TLB 清除濾波器 40 鈍化後的第一內文切換導致 TLB 清除。當 TLB 清除濾波器 40 被鈍化時，計數器可藉控制邏輯 406 復置。

如前述，區域表 402 配置成於 TLB 清除濾波器 40 作動期間儲存多個分錄。區域表 402 的分錄可用以偵測頁表的修改或其它用以將位址轉譯載入 TLB 39 的資料結構。為了偵測何時頁表或其它資料結構已經改變，匯流排介面單元 37(第 1 圖)可探測(換言之窺探)區域表。區域表的探測可為處理器內部相干性協定之函數。通常窺探位址比較記錄於區域表(例如 CAM)的位址。若區域表探測結果為命中，以及探測係以探測 TLB 清除濾波器 40 監視的記憶體區塊中修改資料的記憶體存取(指示用於將位址轉譯載入 TLB 資料可能的修改)，則下次內文切換可導致 TLB 39 的清除。所示具體實施例中，TLB 的清除發生於濾波器電路 403 確認失效信號時，藉此失效協力儲存於 TLB 39 的全部分錄。典型搜尋區域表導致匹配儲存於 CAM 的分錄之一時獲得命中結果。若探測未獲得命中結果，則 TLB 清除濾波器 40 可防止於下次內文切換後的 TLB 清除。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 21 )

現在轉至第 4 圖，顯示對 TLB 清除濾波器之一具體實施例之區域表分錄說明圖。各區域表分錄包括 CAM 分錄 402-C 及 RAM 分錄 402-R。CAM 分錄 402-C 包括有效位元 (V)、頁目錄指標器 (PDP) 位元以及標籤。於多個其它具體實施例中，CAM 分錄也包括其它類型關聯記憶體位址資訊，例如屬性及保護資訊。CAM 分錄 402-C 標籤典型為對應於存在於 TLB 的位址轉譯之位址。此種位址例如為頁分錄指標器、或來自頁目錄分錄之頁表指標器、或來自基本位址暫存器之基本位址。於一個具體實施例中，位址可為對應記憶體中實體位址的線性位址。若標籤指示的位址係用於頁目錄指標器，則設定 PDP 位元。若標籤指示的位址用於頁目錄分錄，則 PDP 位元被清除。可設定有效位元來指示標籤指示的位址對儲存於 TLB 或頁表的位址轉譯為有效。儲存於 CAM 分錄的位址可由前述匯流排介面單元探測，因而讓 TLB 清除濾波器 40 決定頁表或其它位址轉譯載入 TLB 的資料結構是否發生修改。

RAM 分錄 402-R 包括有效位元以及基本位址暫存器標籤。所述具體實施例中，基本位址暫存器標籤關聯可儲存於 CAM 的基本位址暫存器分錄。儲存於 CAM 的基本位址值可為先前遭遇內文或目前執行內文的頁表(或其它資料結構)之基本位址。本具體實施例的基本位址暫存器標籤單純為對應基本位址數目。隨著於基本位址暫存器之各變化(典型發生於各次內文切換)，暫存器新值比較儲存於區域表的末次 TLB 清除以來的較舊的數值。若未見匹配(換言

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 22 )

之失誤)，則暫存器值可指定一個標籤並儲存於 CAM，關聯標籤儲存於 RAM。匹配表示暫存器目前值已經儲存於區域表。如此若先前遭逢的內文由處理器所重建，則先前使用的位址轉譯可再度使用。若匹配則無須指定新標籤。

第 5 圖為說明濾波器電路 403 之一運算邏輯具體實施例之邏輯圖。濾波器電路 403 包括一種邏輯，該種邏輯唯有於符合某些條件時才允許 TLB 清除。濾波器電路 403 配置由第 1 圖載入/儲存單元 26 接收 LS\_TLBInvalidate 以及 LS\_TLBInvalidateM 信號。LS\_TLBInvalidate 信號造成 TLB 無條件清除，而與 TLB 清除濾波器是否作動無關。多種處理器的運算變化需要 TLB 的清除。此等條件包括但非限於關掉傳呼、打開全球傳呼、變更記憶體類型或變更記憶體屬性。當確認 LS\_TLBInvalidate 信號時該信號傳播通過邏輯圖顯示的 OR 閘及 D 正反器。如此然後造成

FF\_TLBInvalidate 信號被確認(此信號等於第 2 及 3 圖顯示的 Invalidate 信號)，因而允許於下次內文切換後 TLB 的清除。

LS\_TLBInvalidateM 信號指出發生修改時 TLB 是否被清除。當 TLB 清除濾波器作動時，此種信號維持邏輯高態。修改包括基層位址轉譯變化或清除濾波器狀態變化(例如計數器溢位時)。當 LS\_TLBInvalidateM 信號確認為邏輯高而 /CLR 信號確認為邏輯低(而於輸入 AND 閘之前顛倒)時可確認 FF\_TLBInvalidate 信號。

/CLR 信號可藉若干不同條件之一驅動至邏輯低態。此

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 23 )

等條件將隨不同具體實施例而異。所示具體實施例中，此等條件包括清除濾波器復置(復置信號)、頁資料修改(修改頁資料信號，如第 3 圖命中信號所述)、任一個計數器溢位(溢位區計數器信號、溢位基本位址暫存器計數器信號)、或去能清除濾波器信號(去能清除濾波器信號)。各條件信號存在於第 5 圖邏輯電路。典型於所示具體實施例/CLR 信號維持於邏輯高態，而可傳播通過反饋電路(包括 OR 閘)變成附圖顯示 7-輸入 AND 閘的輸入。FF\_TLBInvalidate 信號當被確認時也傳播通過反饋電路以及通過 OR 閘。驅動任何條件至邏輯高狀態將導致 AND 閘的邏輯低輸入(由於反相器之故)，因而造成/CLR 信號確認邏輯低態。

現在參照第 6 圖，顯示 TLB 清除濾波器之一具體實施例之操作說明時序圖。時序圖係舉例顯示清除濾波器基本操作，絕非意圖涵蓋全部可能發生的情況或結果。此外，時序圖絕非意圖特徵化清除濾波器的特定執行細節，細節將隨不同具體實施例而異。

TLB 清除濾波器初步藉第一次內文切換激活。因初次內文切換之前清除濾波器尚未被激活，故可能導致 TLB 的未經濾波的清除。於初次內文切換後，頁表 A 載入記憶體。頁表 A 關聯新內文，如此對應頁表的分錄於對應位址轉譯載入 TLB 時可載入第 3 圖區域表。載入頁表 A 後發生另一次內文切換。此種情況下可藉激活後的 TLB 清除濾波器防止 TLB 的清除。指示無任何條件需要內文切換間發生清除。所示範例中，於兩次內文切換間未對頁表作修改。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 24 )

第二次內文切換後，頁表 B 載入記憶體。頁表 B 含有位址轉譯，部分可載入 TLB。於頁表 B 載入記憶體後，頁表 B 經修改。如此載入得自頁表 B 之 TLB 的部分位址轉譯不再有效。結果 TLB 清除濾波器允許於下次內文切換後發生 TLB 清除(此處顯示為濾波後清除)。

次一事件係發生於濾波後清除而載入頁表 C 之後。如參照第 3 圖討論，區域計數器跟蹤區域表 CAM 部分，若區域表缺乏更多分錄空間時區域計數器溢位。所示圖中，此事件出現於載入頁表 C 之後，造成區域計數器溢位。區域計數器溢位造成 TLB 清除濾波器的鈍化。鈍化後的初次內文切換時 TLB 可被清除。此種第一次內文切換也造成 TLB 清除濾波器的再度活化。

第 7A 及 7B 圖為方塊圖顯示區域表中分錄涵蓋之頁結構，以及帶有分錄對應 TLB 清除濾波器 40 之一個具體實施例之頁結構區域表。於第 7A 圖中，基本位址暫存器 301 儲存一位址其指向頁目錄指標器區(R<sub>0</sub>)。該區的分錄係指向頁目錄。

現在參照第 8 圖，顯示電腦系統 200 之具體實施例之方塊圖，包括處理器 10 透過匯流排橋 202 耦合至多種系統組件。也可能且預期包含其它具體實施例。所述系統中，主記憶體 204 經由記憶體匯流排 206 而耦合至匯流排橋 202，以及圖形控制器 208 經由 AGP 匯流排 210 耦合至匯流排橋 202。最後多個 PCI 裝置 212A-212B 經由 PCI 匯流排 214 耦合至匯流排橋 202。二次匯流排橋 216 進一步設

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

### 五、發明說明( 25 )

置成容納電介面，該電介面透過 EISA/ISA 匯流排 220 而介面至一個或多個 EISA 或 ISA 裝置 218。處理器 10 經由 CPU 匯流排 224 耦合至匯流排橋 202 以及耦合至視選擇存在的 L2 快取記憶體 228。

匯流排橋 202 提供處理器 10、主記憶體 204、圖形控制器 208 以及附接至 PCI 匯流排 214 裝置間的介面。當接收到來自連結至匯流排橋 202 的裝置之一的運算時，匯流排橋 202 識別運算目標(例如特定裝置，或位於 PCI 匯流排 214 之目標係於 PCI 匯流排 214 上之情況)。匯流排橋 202 路由運算至鎖定目標的裝置。匯流排橋 202 通常將運算由來源裝置或匯流排使用的協定轉譯出目標裝置或匯流排使用的協定。

除了對 PCI 匯流排 214 之 EISA/ISA 匯流排 220 提供介面外，若有所需，二次匯流排橋 216 可進一步結合額外功能。輸入/輸出控制器(圖中未顯示)係位於二次匯流排橋 216 外側而整合一體，輸入/輸出控制器含括於電腦系統 200 而提供鍵盤及滑鼠 222 以及多種串聯及並聯埠(視需要)的操作支援。外部快取記憶體單元(圖中未顯示)於其它具體實施例，可進一步耦合至處理器 10 與匯流排橋 202 間的 CPU 匯流排 224。另外，外部快取記憶體可耦合至匯流排橋 202，外部快取記憶體之快取控制邏輯可整合匯流排橋 202。L2 快取記憶體 228 進一步以處理器 10 的背側配置顯示。注意，L2 快取記憶體 228 可以處理器 10 分開，於處理器 10 整合成為一個卡匣(例如插槽 1 或插槽 A)，而甚至

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 26 )

於處理器 10 整合至半導體基板上。

主記憶體 204 為應用程式儲存以及處理器 10 主要執行的記憶體。適當主記憶體 204 包含 DRAM(動態隨機存取記憶體)。例如多排組 SDRAM(同步 DRAM)或 Rambus DRAM (RDRAM)也適合。

PCI 裝置 212A 至 212B 為多種周邊裝置說明例如網路介面卡、視訊加速器、音效卡、硬或軟碟機或磁碟機控制器，SCSI(小型電腦系統介面)配接器以及電話卡。同理，ISA 裝置 218 為多種不同類型周邊裝置範例，例如數據機、音效卡以及多組資料獲得卡例如 GPIB 或場匯流排介面卡。

設置圖形控制器 208 俾控制文字及影像於顯示器 226 上的成像。圖形控制器 208 可具體實施為一般業界已知之典型圖形加速器俾成像三維資料結構，三維資料結構可有效來去於主記憶體 204 位移。因此圖形控制器 208 可為主 AGP 匯流排 210，於此 AGP 匯流排可請求及接收存取至匯流排橋 202 內部的目標介面因而獲得存取主記憶體 204。專屬圖形匯流排適合由主記憶體 204 快速取還資料。用於某些運算，圖形控制器 208 可進一步配置成於 AGP 匯流排 210 產生 PCI 協定異動。如此匯流排橋 202 之 AGP 介面包括支援 AGP 協定異動以及 PCI 協定目標及初始化器異動的功能。顯示器 226 為任一種可呈現影像或文字的電子顯示器。適當顯示器 226 包括陰極射線管(「CRT」)、液晶顯示器(「LCD」)等。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 27 )

注意，雖然前文說明使用 AGP、PCI 及 ISA 或 EISA 匯流排為例，但可視需要取代成任一種匯流排架構。進一步需注意電腦系統 200 可為包括額外處理器(例如顯示為電腦系統 200 之選擇性組件的處理器 10a)之多重處理電腦系統。處理器 10a 類似處理器 10。特別處理器 10a 可為處理器 10 的完全相同複本。處理器 10a 透過獨立匯流排(如第 5 圖所示)連結至匯流排橋 202 或可與處理器 10 共享 CPU 匯流排 224。此外，處理器 10a 可耦合至類似 L2 快取記憶體 228 之選擇性 L2 快取記憶體 228a。

雖然已經參照特定具體實施例說明本發明，但需瞭解該等具體實施例係供說明用而本發明範圍非僅圍限於此。任何對所述具體實施例的變化、修改、添加及改良皆屬可能。此等變化、修改、添加及改良將落於如下申請專利範圍界定之本發明之範圍。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 四、中文發明摘要(發明之名稱: 轉譯後備緩衝器清除濾波器)

一種轉譯後備緩衝器(TLB)清除濾波器。於一個具體實施例中，中央處理單元包含 TLB 用於儲存最近位址轉譯。TLB 清除濾波器監視記憶體區塊，由該記憶體區塊，位址轉譯已經於 TLB 中載入及快取。TLB 清除濾波器係配置以偵測記憶體中是否有任何基層位址轉譯已經變更。若無變更發生，則 TLB 清除濾波器將於次一內文切換之後防止 TLB 清除。若對基層位址轉譯已經發生改變，則 TLB 清除濾波器將允許 TLB 於內文切換後清除。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

## 英文發明摘要(發明之名稱: A TRANSLATION LOOKASIDE BUFFER FLUSH FILTER)

A translation lookaside buffer (TLB) flush filter. In one embodiment, a central processing unit includes a TLB for storing recent address translations. A TLB flush filter monitors blocks of memory from which address translations have been loaded and cached in the TLB. The TLB flush filter is configured to detect if any of the underlying address translations in memory have changed. If no changes have occurred, the TLB flush filter may then prevent a flush of the TLB following the next context switch. If changes have occurred to the underlying address translations, the TLB flush filter may then allow a flush of the TLB following a context switch.

訂

線

## 第 90113925 號專利申請案

## 申請專利範圍修正本

(92 年 3 月 26 日)

1. 一種處理器，包含：  
一個轉譯後備緩衝器(TLB)，係用於儲存位址轉譯；以及  
一個耦合至該 TLB 之 TLB 清除濾波器，其中該 TLB 清除濾波器係配置成可監視記憶體區塊，由該等記憶體區塊，該位址轉譯已經讀出且快取入該 TLB 俾決定於該記憶體區塊的任何該位址轉譯是否改變，其中該 TLB 清除濾波器進一步回應於內文切換而配置成若該位址轉譯變更，則允許清除 TLB；以及其中該 TLB 清除濾波器係配置成若該位址轉譯未變更，則阻止該 TLB 的清除。
2. 如申請專利範圍第 1 項之處理器，其中該 TLB 清除濾波器係藉第一內文切換激活。
3. 如申請專利範圍第 2 項之處理器，其中該第一內文切換造成該 TLB 的清除。
4. 如申請專利範圍第 1 項之處理器，其中該 TLB 清除濾波器包含跟蹤該記憶體區塊的區域表。
5. 如申請專利範圍第 4 項之處理器，其中該 TLB 清除濾波器係配置成可偵測該記憶體區塊內部的記憶體位置修改，以及其中該 TLB 清除濾波器係配置成回應於下次內文切換以及回應於檢視得該記憶體位置之該修改

而允許該 TLB 清除。

6. 如申請專利範圍第 4 項之處理器，其中該區域表包括內容可定址記憶體 (CAM) 以及隨機存取記憶體 (RAM)。
7. 如申請專利範圍第 6 項之處理器，其中該 CAM 係配置成儲存多個分錄，其中各該多個分錄包括關聯該記憶體區塊的位址資訊。
8. 如申請專利範圍第 7 項之處理器，其中該 TLB 清除濾波器包括計數器配置成可計數於該 CAM 的分錄數目。
9. 如申請專利範圍第 8 項之處理器，其中該 TLB 清除濾波器係於計數器溢位時被鈍化。
10. 如申請專利範圍第 6 項之處理器，其中該 RAM 係配置成儲存多個分錄，其中各該多個分錄配置成儲存關聯基本位址的標籤。
11. 如申請專利範圍第 10 項之處理器，其中該 TLB 清除濾波器包括計數器配置成回應於失誤該 CAM 的基本位址而提供新標籤。
12. 如申請專利範圍第 11 項之處理器，其中該 TLB 清除濾波器為計數器溢位時被鈍化。
13. 一種操作處理器之方法，該方法包含：
  - 儲存位址轉譯於轉譯後備緩衝器 (TLB)，該位址轉譯係由一個或多個記憶體區塊載入該 TLB；
  - 決定儲存於該一個或多個記憶體區塊之任何位址轉譯是否已經改變；
  - 若儲存於該一個或多個記憶體區塊之該位址轉譯

中之任一者已經改變，則清除該 TLB，該清除係回應於內文切換進行；以及

若儲存於該一個或多個記憶體區塊之該位址轉譯並無任一者改變，則阻止該 TLB 回應於內文切換而清除，其中該 TLB 之清除係藉 TLB 清除濾波器阻止。

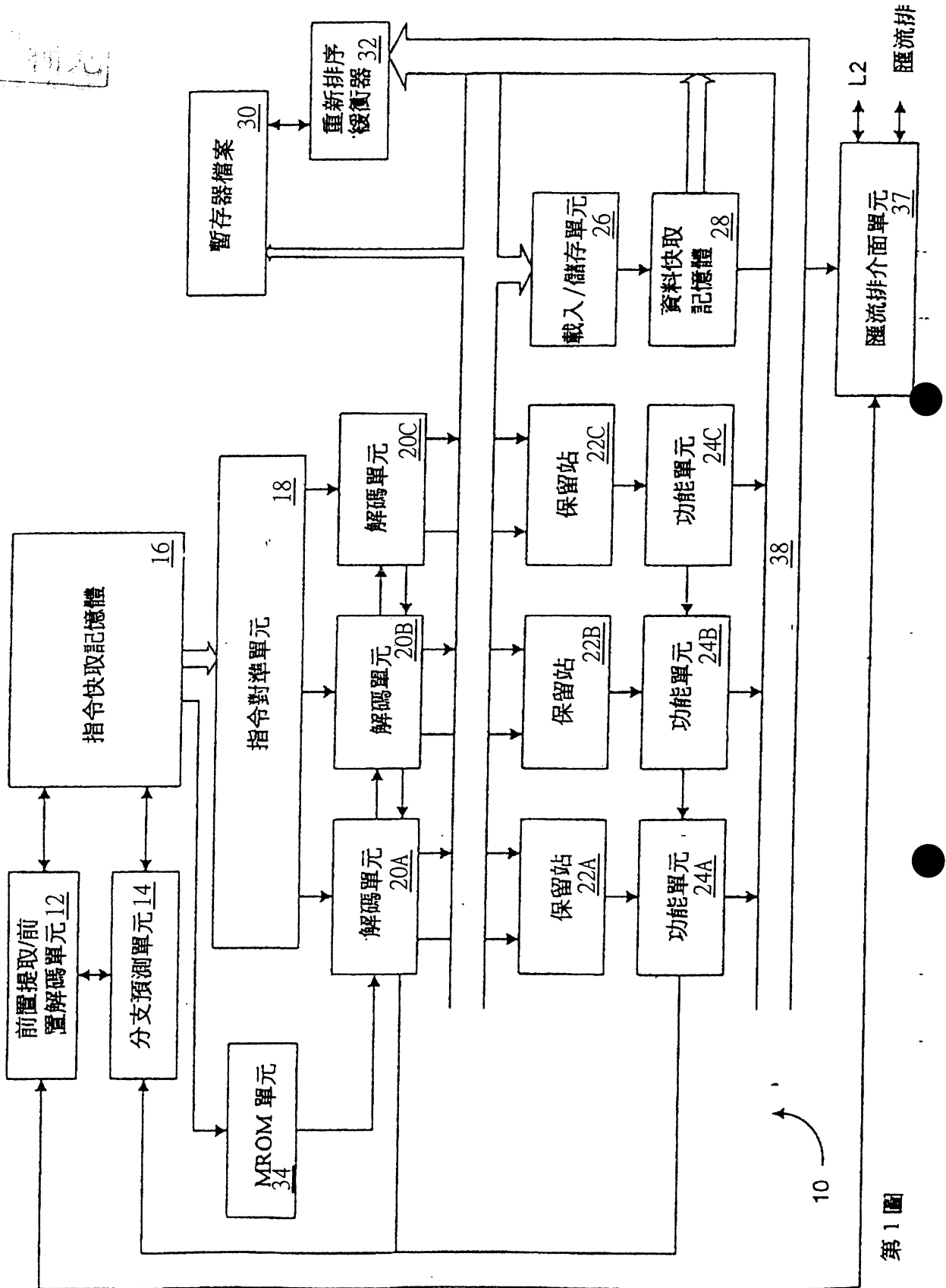
- 14.如申請專利範圍第 13 項之方法，其中該 TLB 清除濾波器係藉第一次內文切換激活。
- 15.如申請專利範圍第 14 項之方法，其中該第一內文切換造成該 TLB 的清除。
- 16.如申請專利範圍第 13 項之方法，其中該 TLB 清除濾波器包含區域表，該區域表係配置成可監視儲存於該一個或多個記憶體區塊的該位址轉譯。
- 17.如申請專利範圍第 16 項之方法，其中於偵測得儲存於該一個或多個記憶體區塊的一個或多個該位址轉譯變化後，回應於下次內文切換發生該 TLB 的清除，該項偵測係出現於該區域表。
- 18.如申請專利範圍第 16 項之方法，其中該區域表包括內容可定址記憶體(CAM)以及隨機存取記憶體(RAM)。
- 19.如申請專利範圍第 18 項之方法，其中該 CAM 係配置成儲存多個分錄，其中各該多個分錄包括關聯該記憶體之一個或多個區塊的資訊。
- 20.如申請專利範圍第 19 項之方法，其中計數器係配置成計數儲存於該 CAM 中的分錄數目。
- 21.如申請專利範圍第 20 項之方法，其中該計數器之溢位

造成該 TLB 清除濾波器被鈍化。

22. 如申請專利範圍第 18 項之方法，其中該 RAM 係配置成儲存多項分錄，各該分錄包括一個基本位址及一個關聯該基本位址的標籤。
23. 如申請專利範圍第 22 項之方法，其中計數器係配置成計數於該 RAM 中的分錄數目。
24. 如申請專利範圍第 23 項之方法，其中該 TLB 清除濾波器係於該計數器溢位時被鈍化。
25. 一種記憶體位址處理裝置，包含：

一個具有多個分錄之記憶體電路，其中各該多個分錄係配置成儲存用以儲存位址轉譯之記憶體區塊的一個位址；以及

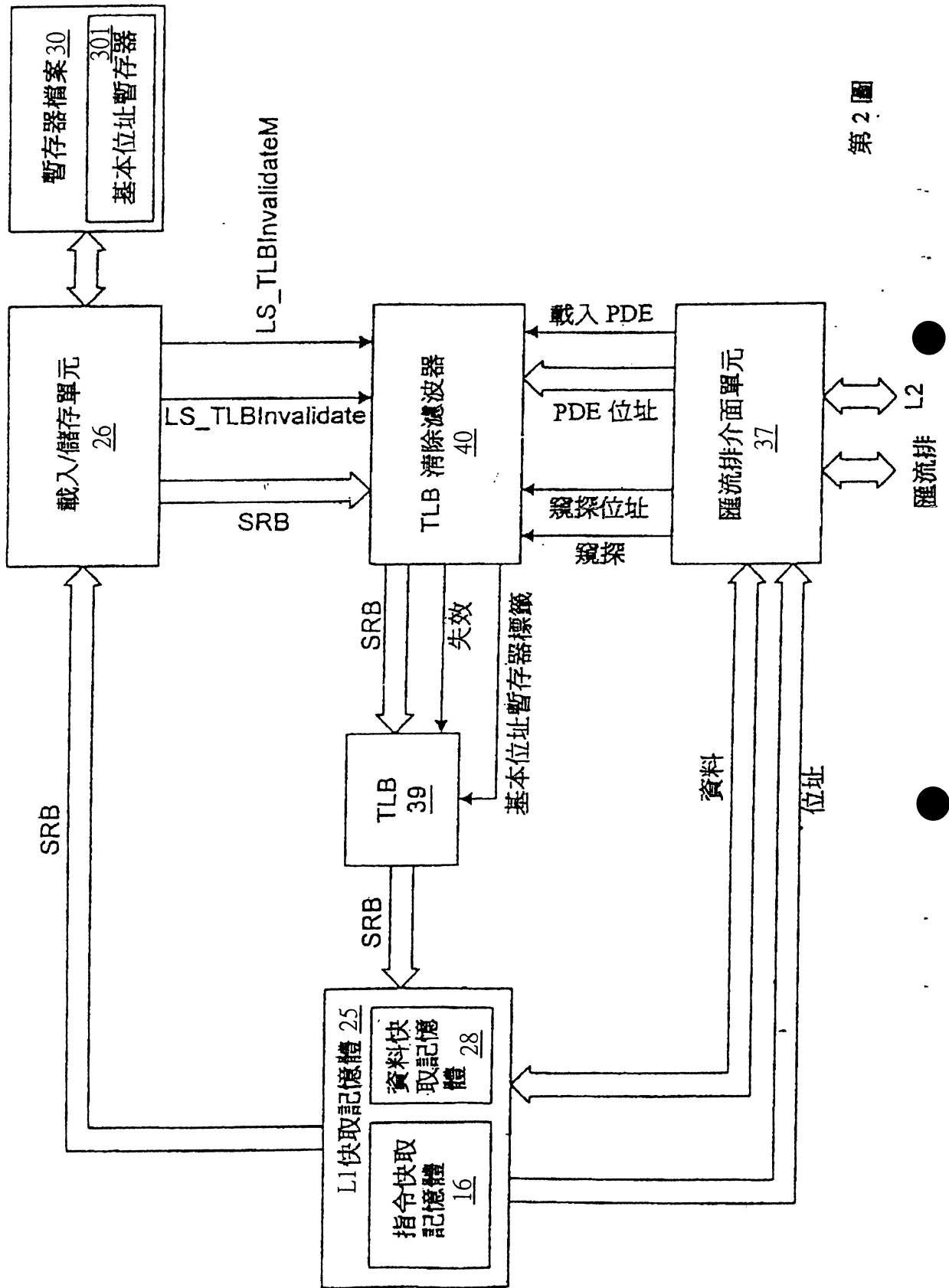
一個耦合至記憶體電路之電路，其中該電路係配置成若對應於儲存於記憶體電路的該多個分錄之位址轉譯已經改變，則允許轉譯後備緩衝器(TLB)回應於內文的切換而清除，以及其中該濾波器電路係配置成若該位址轉譯未變化，則阻止 TLB 的清除。



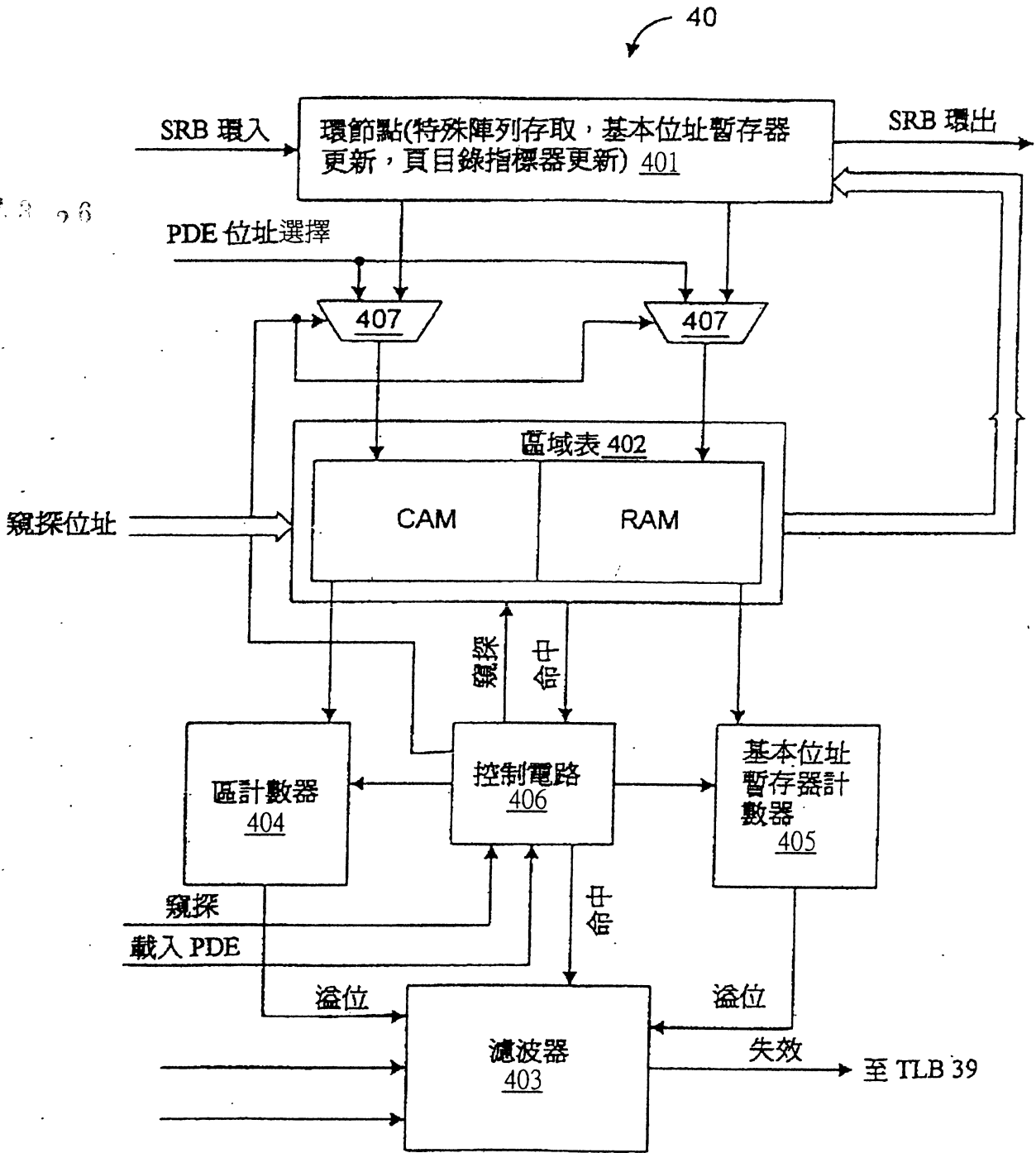
第 1 圖

附三

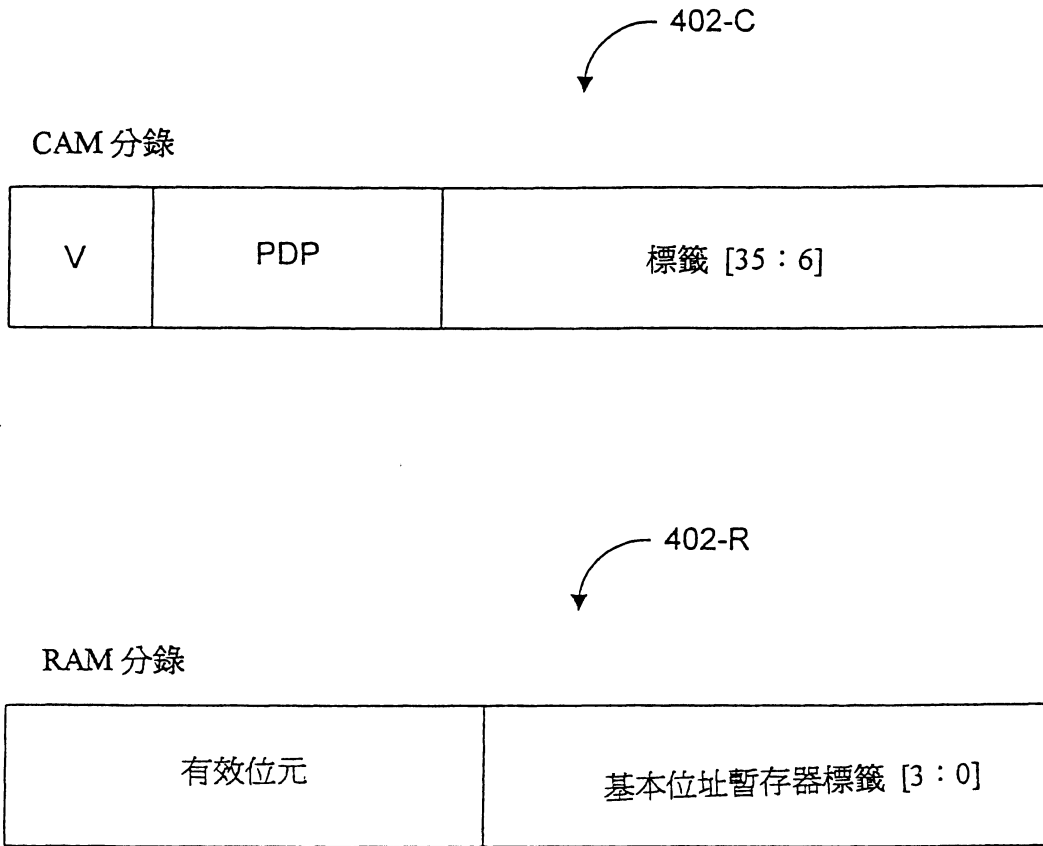
單元



第 2 圖

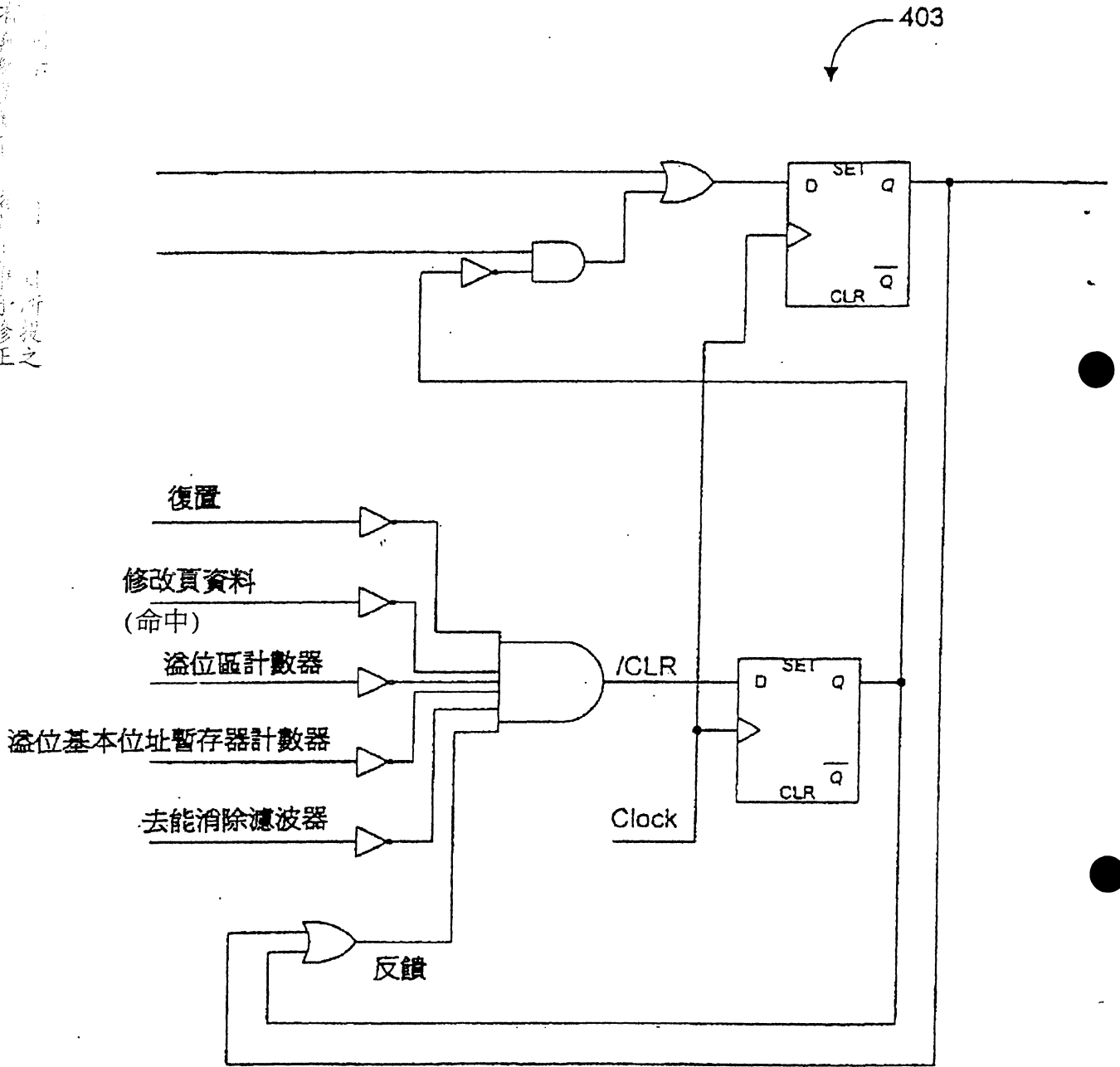


第 3 圖

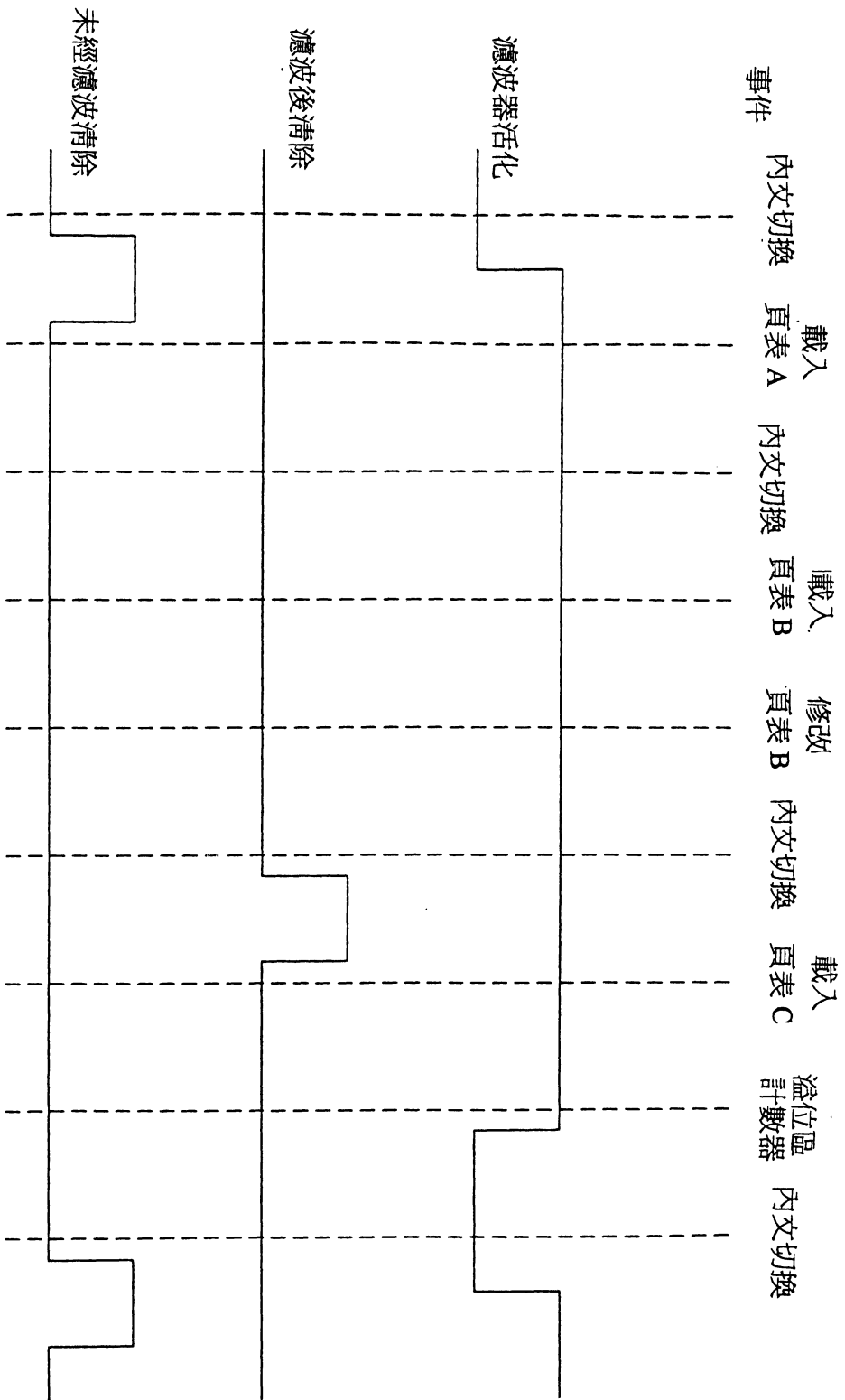


第 4 圖

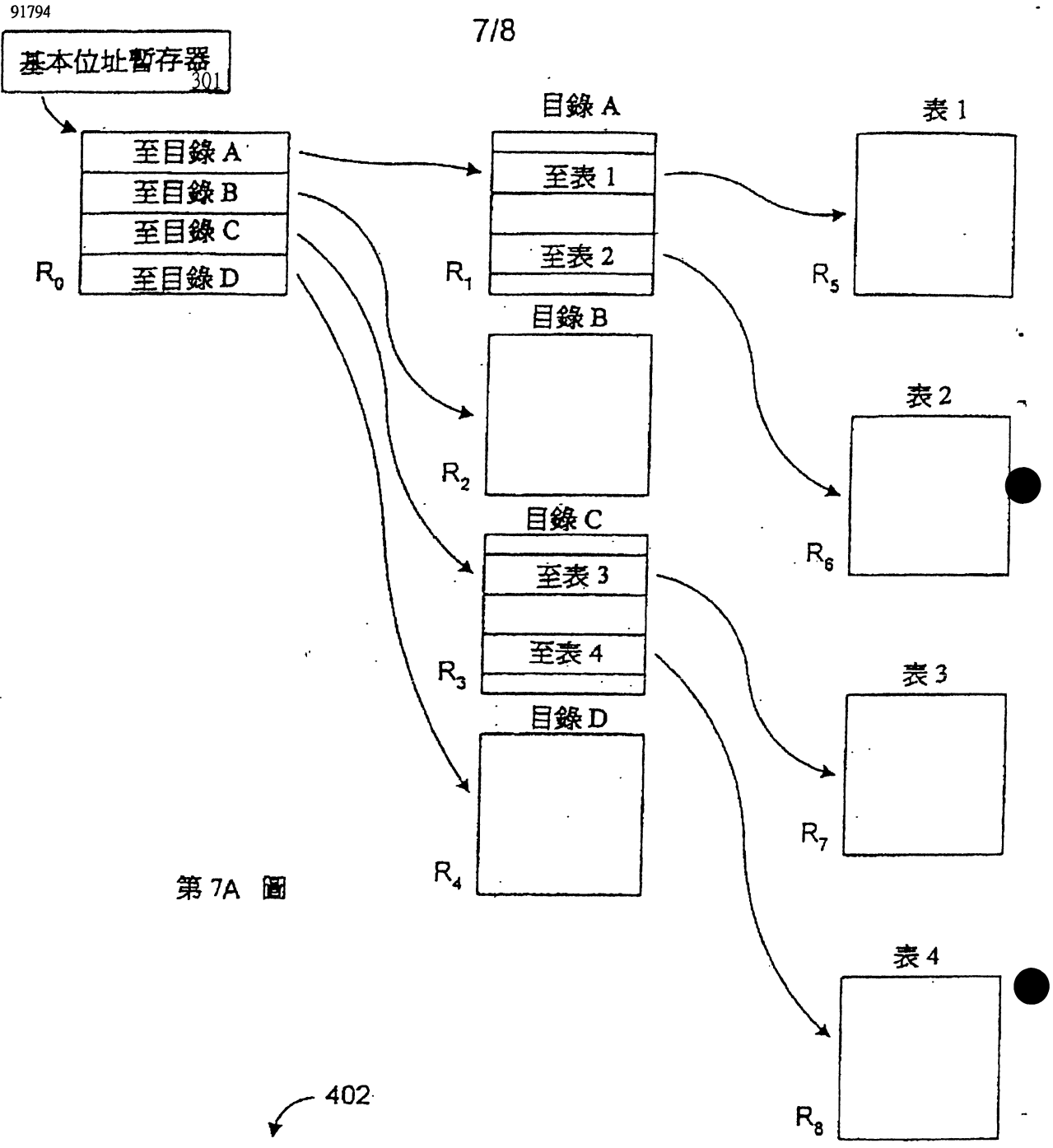
修正時  
若  
修正  
之



第 5 圖

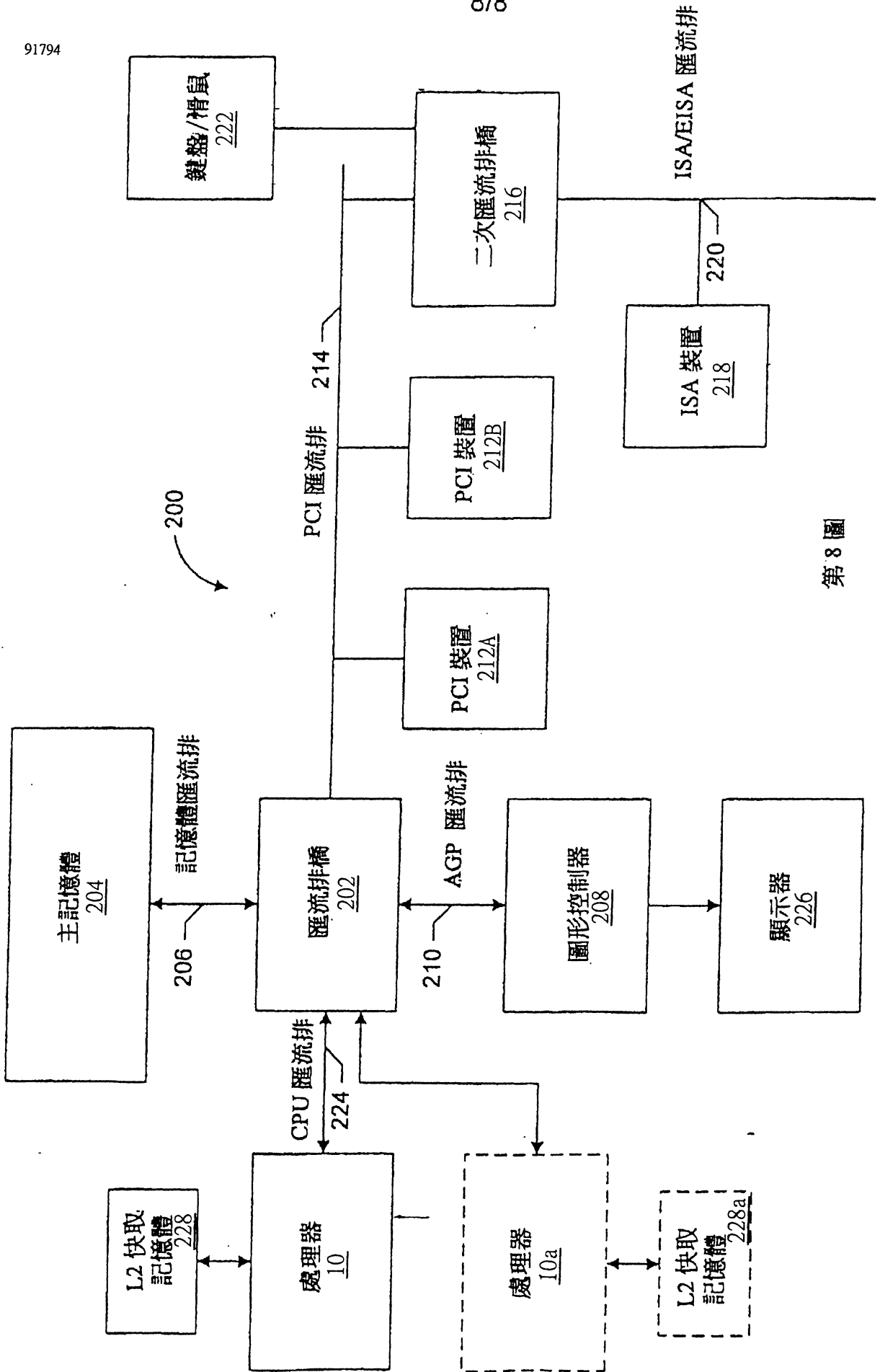


第 6 圖



CAM		RAM			
V	PDP 位元	R <sub>0</sub>	PDP	基本位址	標籤 0
		R <sub>1</sub>	目錄 A		
		R <sub>2</sub>	目錄 B		
		R <sub>3</sub>	目錄 C		
		R <sub>4</sub>	目錄 D		
		R <sub>5</sub>	表 1		
		R <sub>6</sub>	表 2		
		R <sub>7</sub>	表 3		
		R <sub>8</sub>	表 4		

第 7B 圖



第 8 圖