

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5374831号  
(P5374831)

(45) 発行日 平成25年12月25日 (2013.12.25)

(24) 登録日 平成25年10月4日 (2013.10.4)

(51) Int. Cl. F I  
 H O 1 L 25/07 (2006.01) H O 1 L 25/04 C  
 H O 1 L 25/18 (2006.01)

請求項の数 29 (全 36 頁)

(21) 出願番号	特願2007-126042 (P2007-126042)	(73) 特許権者	000004260 株式会社デンソー
(22) 出願日	平成19年5月10日 (2007.5.10)		愛知県刈谷市昭和町1丁目1番地
(65) 公開番号	特開2008-60531 (P2008-60531A)	(73) 特許権者	507136040
(43) 公開日	平成20年3月13日 (2008.3.13)		シェフィールド大学
審査請求日	平成22年5月7日 (2010.5.7)		イギリス、シェフィールド S1 3JD
(31) 優先権主張番号	11/511516		、マッピングストリート
(32) 優先日	平成18年8月29日 (2006.8.29)	(73) 特許権者	507135087
(33) 優先権主張国	米国 (US)		ケンブリッジ大学
			イギリス、ケンブリッジ CB3 0FA
		(74) 代理人	100106149
			弁理士 矢作 和行
		(74) 代理人	100121991
			弁理士 野々部 泰平

最終頁に続く

(54) 【発明の名称】 複数の半導体チップおよび電子部品を備える2枚の基板を有するパワーエレクトロニックパッケージ

(57) 【特許請求の範囲】

【請求項1】

第1および第2の高熱伝導率絶縁非平面基板と、  
 前記第1および第2の高熱伝導率絶縁非平面基板の間に配置される、複数の半導体チップ及び電子部品とを備え、

前記第1および第2の高熱伝導率絶縁非平面基板の各々は、電気絶縁体層および複数のパターン形成された電気導体層を含み、それらは交互に積み重ねられており、

前記電気導体層は、機械的および電氣的に前記半導体チップおよび前記電子部品と接続され、

前記第1および第2の高熱伝導率絶縁非平面基板の各々は、さらに、複数の隆起領域、すなわちポストを含み、当該隆起領域、すなわちポストは、前記第1および第2の高熱伝導率絶縁非平面基板が機械的および電氣的に接続されるように、はんだ層を介して相互に結合され、

前記隆起領域、すなわちポストの数、配置、および各々の隆起領域、すなわちポストの形状は、前記第1および第2の高熱伝導率絶縁非平面基板の間に機械的分離をもたらすように調整され、

前記電気導体層は、複数の電気回路が前記第1および第2の高熱伝導率絶縁非平面基板のうちの少なくとも一方に設けられるように、互いに分離絶縁されることを特徴とするパワーエレクトロニックパッケージ。

【請求項2】

前記第 1 および第 2 の高熱伝導率絶縁非平面基板の一方は、複数の凹部を含み、当該複数の凹部は、前記第 1 および第 2 の高熱伝導率絶縁非平面基板の一方の所定領域に配置され、その所定領域には、前記半導体チップまたは電子部品が搭載され、

前記第 1 および第 2 の高熱伝導率絶縁非平面基板は、複数の結合領域によって、機械的および電氣的に結合され、前記隆起領域、すなわちポストが、その結合領域を提供することを特徴とする請求項 1 に記載のパワーエレクトロニックパッケージ。

【請求項 3】

前記第 1 の高熱伝導率絶縁非平面基板は、いずれの凹部も有していない平坦な表面を備えることを特徴とする請求項 2 に記載のパワーエレクトロニックパッケージ。

【請求項 4】

前記隆起領域、すなわちポストは、前記第 1 および第 2 の高熱伝導率絶縁非平面基板間において、複数の結合領域を提供し、それら複数の結合領域は、前記第 1 および第 2 の高熱伝導率絶縁非平面基板の少なくとも一方と、外部の電気回路とが結合可能な配列を有することを特徴とする請求項 1 に記載のパワーエレクトロニックパッケージ。

【請求項 5】

各々の半導体チップは、第 1 および第 2 の主電極を有し、

前記第 1 の主電極は、前記半導体チップの第 1 の主表面に配置され、

前記第 2 の主電極は、前記半導体チップの第 2 の主表面に配置され、

前記第 2 の主表面は、前記第 1 の主表面と対向していることを特徴とする請求項 1 に記載のパワーエレクトロニックパッケージ。

【請求項 6】

前記第 1 および第 2 の高熱伝導率絶縁非平面基板の各々は、第 1 及び第 2 の外部表面を有し、

前記第 1 の外部表面は、前記半導体チップの一つの電極と、前記電子部品の一つの電極との接続に供され、前記第 1 の外部表面が、両サイドにおける電氣的接続のための複数の外部バスを提供することを特徴とする請求項 5 に記載のパワーエレクトロニックパッケージ。

【請求項 7】

前記半導体チップは、半導体トランジスタチップを含み、

前記電子部品は、ダイオードチップを含み、

前記外部バスは、前記半導体トランジスタチップの第 1 の主電極と、前記ダイオードチップの第 1 の主電極との間の接続のための第 1 の外部バスを含むことを特徴とする請求項 6 に記載のパワーエレクトロニックパッケージ。

【請求項 8】

前記外部バスは、前記トランジスタチップの第 2 の主電極と、前記ダイオードチップの第 2 の主電極との間の接続のための第 2 の外部バスをさらに含むことを特徴とする請求項 7 に記載のパワーエレクトロニックパッケージ。

【請求項 9】

前記半導体チップ及び前記電子部品は、前記第 1 および第 2 の高熱伝導率絶縁非平面基板の第 1 の外部表面の間に挟まれることを特徴とする請求項 6 に記載のパワーエレクトロニックパッケージ。

【請求項 10】

前記結合領域は、複数の電氣的に不活性なボンド領域を含み、前記電氣的に不活性なボンド領域の数、前記電氣的に不活性なボンド領域の配列、及び電氣的に不活性なボンド領域の各々の形状が、前記第 1 および第 2 の高熱伝導率絶縁非平面基板の機械的分離をもたらすように調整されることを特徴とする請求項 2 に記載のパワーエレクトロニックパッケージ。

【請求項 11】

前記第 1 および第 2 の高熱伝導率絶縁非平面基板の各々は、非結合領域を含み、この非結合領域は、前記結合領域の高さよりも低い高さを有することを特徴とする請求項 2 に記

10

20

30

40

50

載のパワーエレクトロニックパッケージ。

【請求項 1 2】

前記半導体チップの一つの電極、前記電子部品の一つの電極、及び前記外部バスは、はんだ付け可能な電気導通材料を用いて接合されることを特徴とする請求項 6 に記載のパワーエレクトロニックパッケージ。

【請求項 1 3】

前記第 1 および第 2 の高熱伝導率絶縁非平面基板は、挟持部分の絶縁樹脂を介して接続されており、当該絶縁樹脂は、エポキシ樹脂またはシリコン樹脂であって、前記半導体チップを覆うとともに、前記第 1 および第 2 の高熱伝導率絶縁非平面基板の前記外部バス間を電氣的に絶縁するものであることを特徴とする請求項 6 に記載のパワーエレクトロニックパッケージ。

10

【請求項 1 4】

前記第 1 および第 2 の高熱伝導率絶縁非平面基板は、挟持部分の絶縁ポリアミド層を介して接続されており、当該絶縁ポリアミド層は、前記半導体チップと前記電子部品を覆うとともに、前記第 1 および第 2 の高熱伝導率絶縁非平面基板の前記外部バス間を電氣的に絶縁するものであることを特徴とする請求項 6 に記載のパワーエレクトロニックパッケージ。

【請求項 1 5】

前記第 1 および第 2 の高熱伝導率絶縁非平面基板の各々は、非導電性セラミック基板と、高導電性金属部材とを有し、前記第 1 および第 2 の高熱伝導率絶縁非平面基板の高導電性金属部材は、ダイレクトボンディング銅、ダイレクトボンディングアルミニウムまたは活性金属ブレイジングはんだ材料によって前記基板に結合されたものであることを特徴とする請求項 1 に記載のパワーエレクトロニックパッケージ。

20

【請求項 1 6】

非導電性セラミック基板は、2種の材料からなり、1つは、アルミナ、窒化アルミニウム、窒化ケイ素、炭化ケイ素及びダイヤモンドのいずれかであり、他の1つは、銅またはアルミニウムであることを特徴とする請求項 1 5 に記載のパワーエレクトロニックパッケージ。

【請求項 1 7】

前記第 1 および第 2 の高熱伝導率絶縁非平面基板の各々は、銅またはアルミニウムを含むことを特徴とする請求項 1 に記載のパワーエレクトロニックパッケージ。

30

【請求項 1 8】

前記外部バスは、前記第 1 および第 2 の高熱伝導率絶縁非平面基板の各々に配設されるものであり、銅もしくはアルミニウムを使用した、1 ボンド・2 ステップエッチング法によって形成されえるものであることを特徴とする請求項 6 に記載のパワーエレクトロニックパッケージ。

【請求項 1 9】

前記外部バスは、前記第 1 および第 2 の高熱伝導率絶縁非平面基板の各々に配設されるものであり、銅もしくはアルミニウムを使用した、2 ボンド・2 ステップエッチング法によって形成されえるものであることを特徴とする請求項 6 に記載のパワーエレクトロニックパッケージ。

40

【請求項 2 0】

前記半導体チップは、縦型の接合形電界効果トランジスタ ( J F E T ) を含むことを特徴とする請求項 1 に記載のパワーエレクトロニックパッケージ。

【請求項 2 1】

前記半導体チップは、縦型の M O S 形電界効果トランジスタ ( M O S F E T ) を含むことを特徴とする請求項 1 に記載のパワーエレクトロニックパッケージ。

【請求項 2 2】

前記半導体チップは、縦型の絶縁ゲート形バイポーラトランジスタ ( I G B T ) を含むことを特徴とする請求項 1 に記載のパワーエレクトロニックパッケージ。

50

## 【請求項 2 3】

前記半導体チップは、縦型の接合ダイオードを含むことを特徴とする請求項 1 に記載のパワーエレクトロニックパッケージ。

## 【請求項 2 4】

前記半導体チップは、縦型のショットキーバリアダイオードを含むことを特徴とする請求項 1 に記載のパワーエレクトロニックパッケージ。

## 【請求項 2 5】

前記半導体チップは、縦型のワイドバンドギャップ半導体トランジスタを含み、前記電子部品はダイオードチップを含むことを特徴とする請求項 1 に記載のパワーエレクトロニックパッケージ。

10

## 【請求項 2 6】

前記半導体チップは、縦型の SiC トランジスタを含み、前記電子部品はダイオードチップを含むことを特徴とする請求項 1 に記載のパワーエレクトロニックパッケージ。

## 【請求項 2 7】

最大動作温度よりも高いプロセス温度の下で形成されることにより、残留圧縮応力が前記電子部品において減少されることを特徴とする請求項 1 に記載のパワーエレクトロニックパッケージ。

## 【請求項 2 8】

前記第 1 の高熱伝導率絶縁非平面基板に装着された第 1 の熱交換器と、  
前記第 2 の高熱伝導率絶縁非平面基板に装着された第 2 の熱交換器とをさらに備え、  
前記第 1 及び第 2 の熱交換器は、互いに並列に配置され、  
前記熱交換器の各々は、第 1 および第 2 表面を有し、前記第 1 の熱交換器の第 1 表面は、前記第 1 の高熱伝導率絶縁非平面基板に接触し、前記第 2 の熱交換器の第 1 表面は、前記第 2 の高熱伝導率絶縁非平面基板に接触することを特徴とする請求項 1 に記載のパワーエレクトロニックパッケージ。

20

## 【請求項 2 9】

前記第 1 の熱交換器の第 2 表面に取り付けられる DC リンクキャパシタボードと、  
前記第 2 の熱交換器の第 2 表面に取り付けられるゲートドライバユニットとを備え、  
前記 DC リンクキャパシタボードと前記ゲートドライバユニットとが、冷却インバーターシステムを提供し、各々の熱交換器のすべての表面が冷却のために利用されることを特徴とする請求項 2 8 に記載のパワーエレクトロニックパッケージ。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、複数の半導体チップおよび電子部品を備える 2 枚の基板を有するパワーエレクトロニックパッケージに関する。

## 【背景技術】

## 【0002】

高性能パワー電子デバイスは、電圧、電流および電力レベルに関し長足の進歩を遂げ続けている。しかし、性能が向上するほど、電力の消費レベルがより高くなるため、電氣的相互接続、冷却および機械的保全性に関して負担が増す。

40

## 【0003】

パワーエレクトロニクスデバイスのパッケージングに対する従来の手法は、基板や回路基板上に実装されたディスクリットなパッケージデバイス、またはベアチップが基板上に実装されワイヤボンドによって基板に接続されるハイブリッドモジュールを使用しており、このため、従来の手法は重大な性能限界を有する。

## 【0004】

ディスクリットパッケージは、成形プラスチック、金属密封缶または密封セラミックキャリヤとすることができ、そのパッケージはプラスチックパッケージリードフレームにワイヤボンドされる 1 個のパワーチップを収容する。ベアパワーチップは基板上のパッドに

50

はんだ接着されるので、熱の経路は、これらのインタフェース、基板を経て、接着剤またはサーマルグリースを通じて冷却構造物に至る。熱的インタフェースの数や、基板およびインタフェース材料の劣った熱伝導係数は、過度に高い接合部対周囲熱抵抗の原因となるので、この構成は、デバイス動作を制限し、限界を超えて接合温度を上昇させる。これらの熱的な影響は、また、設計者に、熱拡散を増大させるためにデバイス同士を引き離すようにさせ、それにより、より大きいモジュールサイズ、増加された電氣的寄生およびより高コストな組み付けの代償を伴う。

【 0 0 0 5 】

パワー J F E T、M O S F E T、I G B T およびダイオードといったパワー半導体チップは、大電流を制御するためのデバイスであり、それらは大量の熱を生じる。従って、これらの半導体チップがパッケージに組み込まれる場合、十分な冷却（熱放射）を達成するように配置される。従来のパワーモジュール技術では、パッケージに組み込まれた複数の半導体チップから構成される場合、高熱伝導率セラミックで作られた絶縁基板が使用される。複数の半導体チップはこの絶縁基板に実装され、半導体チップの下側主表面に設けられた主電極が、絶縁基板上に設けられた銅厚膜とソフトソルダリングによって接続される。I G B T チップの上側表面に設けられた主電極および制御電極は、絶縁基板に設けられた銅厚膜にワイヤボンディングによって接続される。絶縁基板は、銅で作られた熱放射ベースプレートにはんだ付けされる。このようにして、半導体チップによって発生された熱は、半導体チップの下側表面側に配設された絶縁基板を通じて放射される。

【 0 0 0 6 】

この従来の技術において、熱は半導体チップの各々の 1 表面から放射されるにすぎず、それゆえ熱放射性能を高めることができる程度には限界があり、さらに、パワーモジュールの構成物の大きさを縮小するには制限がある。

【 0 0 0 7 】

高い電氣的性能の相互接続構造を備えつつ、熱的および機械的性能要求に取り組む先進パッケージング技術が、軍事、航空宇宙、医学および産業エレクトロニクスといった応用分野を目的としたパワーエレクトロニクスのために、将来的に必要とされている。これらの応用分野はすべて、より高い電圧、より高い電流、より大きいパワー消費およびより高速なスイッチング速度を備える半導体へ移行しつつあり、そのようなデバイスは従来のパッケージング手法による電氣的、機械的および熱的能力を凌駕している。

【 0 0 0 8 】

先進パッケージング技術は、片面冷却経路を備える低性能セラミック基板上のワイヤボンダされる半導体チップ（ダイ）を、直接両面冷却金属ベース相互接続構造で取って替えるはずである。この構成の 1 例が電氣的に絶縁された熱伝導性両面プレパッケージ構成である（特許文献 1）。ハイブリッド技術は、半導体チップとの電氣的接続を行なうために金属スペーサおよびワイヤボンディングを利用している。半導体チップ間の厚さの相違を吸収することができるスペーサの使用は、パワーモジュールの両面冷却のための熱伝導経路も提供する（特許文献 2）。このプレパッケージ構成では、図 5 0 に示すような、スタンプ加工リード部材、接点電極、半導体チップなどが、1 対のセラミック基板部材の間に配置される。

【 0 0 0 9 】

この構成の別の例は、高信頼性銅黒鉛導体基板パワーデバイスパッケージである（非特許文献 1）。このパッケージは、I G B T およびダイオードチップが、2 枚の銅黒鉛導体基板、平坦化および相互接続のための金バンプおよびソルダバンプ、そして上面相互接続および両面熱除去のための第 2 の銅黒鉛層によって挟まれている構造を有する。

【特許文献 1】米国特許出願公報第 2 0 0 3 / 0 1 3 2 5 1 1 号

【特許文献 2】米国特許出願公報第 2 0 0 3 / 0 0 9 0 8 7 3 号

【非特許文献 1】I E E E 第 4 4 回年次国際信頼性物理学シンポジウム、サンホセ、2 0 0 6、p . 6 1 3 ( I E E E 44th Annual international Reliability Physics Symposium, San Jose, 2006, page 613 )

10

20

30

40

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0010】

しかし、ワイヤボンドの固有の応力除去がなければ、両面接続構成は、電気的および熱的双方の伝導に高い伝導率を与えるものの、インタフェースにおける膨張の不一致を排除するために極めて慎重な材料選択を必要とする。伝熱層の熱膨張係数の低減は、信頼できるインタフェースを付与するだけでなく、電気絶縁層における応力の減少によって、極めて薄いAlN誘電体の使用を可能にし、熱伝達をさらに改善する。この構成において、IGBTおよびダイオードチップの電極間の電気的接続を得るために、半導体チップは、2枚の銅黒鉛導体基板、平坦化のための金バンプおよびソルダバンプによって挟まれる。しかし、半導体チップの上側では、この上側の電極と上側絶縁基板に設けられた電極が金属バンプによって接続されるので、接続部の面積は小さい。従って、電気抵抗が大きくなり、大きい電流を得るには不利になるという問題、そして、半導体チップによって生じた熱が即座には絶縁基板に伝達されず、それゆえ熱放射性能が悪いという問題が存在する。また、このパッケージ設計は、半導体チップボンディングとともに外部接続バスボンディングを必要とする。この非対称設計レイアウトでは、全ての組付プロセスの後にパッケージにおいて均一な応力分布を達成するために制御することは困難であり、それは半導体チップへの大きな応力につながり得る。MOSゲート構造を有するIGBTおよびMOSFETのような半導体チップは、それらが応力に弱いという特徴を有する。

10

## 【0011】

上述の問題に鑑みて、本発明は、複数の半導体チップ及び電子部品を備える2枚の基板を有するパワーエレクトロニックパッケージの熱放射性能を向上することを目的とする。さらに、複数の半導体チップ及び電子部品へ印加される応力を低減することを目的とする。

20

## 【課題を解決するための手段】

## 【0012】

本発明の第1の態様によれば、パワーエレクトロニックパッケージは、第1および第2の高熱伝導率絶縁非平面基板と、第1および第2の高熱伝導率絶縁非平面基板の間に配設された複数の半導体チップおよび電子部品を含む。第1および第2の高熱伝導率絶縁非平面基板の各々は、電気絶縁体層および複数のパターン形成された電気導体層を含み、それらは交互に積み重ねられている。電気導体層は、機械的および電気的に電子部品と接続されている。第1および第2の高熱伝導率絶縁非平面基板の各々は、複数の隆起領域、すなわちポストをさらに含む。隆起領域、すなわちポストは、第1および第2の高熱伝導率絶縁非平面基板が機械的および電気的に接続されるように、はんだ層を介して相互に結合される。隆起領域、すなわちポストの数、配置、および各々の隆起領域、すなわちポストの形状は、第1および第2の高熱伝導率絶縁非平面基板の間に機械的分離をもたらすように調整される。電気導体層は、複数の電気回路が第1および第2の高熱伝導率絶縁非平面基板のうちの少なくとも一方に設けられるように、互いに分離絶縁される。

30

## 【0013】

上記パッケージでは、均一な応力分布がパワーエレクトロニックパッケージにおいて得られ、従って熱放射性能が改善される。詳細には、半導体チップによって発生された熱は、半導体チップの2つの主表面から2枚の高熱伝導率絶縁非平面基板に円滑に伝達され、それによって迅速に放射される。直接両面冷却構成はさらに、パワーエレクトロニックパッケージの熱抵抗を低減する。

40

## 【発明を実施するための最良の形態】

## 【0016】

本発明の上記および他の目的、特徴および利点は、添付図面に関してなされる以下の詳細な説明からより明らかになる。以下、同様の番号は同様の部品を示している図面を参照しつつ、両面冷却パワーエレクトロニックパッケージの好ましい実施形態について説明する。

50

## 【 0 0 1 7 】

まず、第1の実施形態によるパワーエレクトロニックパッケージ100を図1～図5(b)を参照して説明する。パワーエレクトロニックパッケージ100の断面が図1に示されている(図は、半ブリッジ整流器の半分だけ、すなわち1個のトランジスタ20および1個のダイオード30のみを示している)。パワーエレクトロニックパッケージ100は、2枚の高熱伝導率絶縁非平面基板1、2の間に挟まれた、例えば2個のパワー半導体トランジスタチップ20および例えば2個のパワー半導体ダイオードチップ30から構成されている。それらの高熱伝導率絶縁非平面基板1、2上には、上側および下側の非平面基板1、2が接触させられた時、半導体チップと接触するように金属電極7～10がパターン形成されている。

10

## 【 0 0 1 8 】

図2は、パワーエレクトロニックパッケージ100の側面分解図を示している。図3(a)、(b)、および図4(a)、(b)は、上側および下側の非平面基板1、2のレイアウトを示している。つまり、これらの高熱伝導率絶縁非平面基板1、2の内側面および外側面が各図に示されている。パワー半導体トランジスタチップ20は、2つの主表面として上側表面21および下側表面22を有する。各トランジスタチップ20の下側主表面22には、ドレインまたはコレクタ電極25が表面全体にわたって形成されている。トランジスタチップ20の他方の上側主表面21には、小さな矩形のゲート電極24が上側主表面の選定領域に形成されており、ソースまたはエミッタ電極23が残りの上側主表面領域に形成されている。

20

## 【 0 0 1 9 】

パワー半導体ダイオードチップ30もまた、2つの主表面として上側表面31および下側表面32を有する。パワー半導体ダイオードチップ30の下側主表面32には、カソード電極34が表面全体にわたって形成されている。ダイオードチップ30の下側主表面32にカソード電極34が形成されている一方、ダイオードチップ30の上側主表面31にはアノード電極33が形成されている。

## 【 0 0 2 0 】

パワーエレクトロニックパッケージ100は、図1～図28を参照して説明される。上側および下側の高熱伝導率絶縁基板1、2は、非導電性セラミック基板77および、ダイレクトボンド銅、ダイレクトボンドアルミニウムまたは活性金属ブレイジングはんだ材料のいずれかによって結合された高導電性金属7～10から構成される。セラミック基板77は、アルミナ、窒化アルミニウム、窒化ケイ素、炭化ケイ素またはダイヤモンド、および銅またはアルミニウム金属よりなる群から得られる材料で構成されている。上側および下側の高熱伝導率絶縁基板1、2の各々はまた、2つの主表面として内側表面3、4および外側表面5、6を有する。上側高熱伝導率絶縁基板1の内側主表面3には、ゲート、ソースまたはエミッタ、およびアノード用の外部バス電極パターン7a、7b、8a、8b、9a、9b、9c、が、図3(a)の高熱伝導率絶縁基板1の平面図に示す通り配設されている。下側高熱伝導率絶縁基板2の内側主表面4には、図4(a)に示すように、ドレインまたはコレクタ、およびカソード用の外部バス電極パターン10a、10bが配設されている。なお、図3(b)及び図4(b)は、上側および下側の高熱伝導率絶縁基板1、2の外側主表面5、6のレイアウトを示しており、これら外側主表面5、6には、後述する熱交換器80との結合のため、リッジ43が形成されている。

30

40

## 【 0 0 2 1 】

高熱伝導率絶縁非平面基板1、2上のこれらの外部バス電極パターン7～10は、ダイレクトボンド銅、ダイレクトボンドアルミニウムまたは活性金属ブレイジングはんだ材料のうちの銅またはアルミニウム材料の1ボンド・2ステップエッチングまたは2ボンド・2ステップエッチングのどちらか一方によって形成される。これらの外部バス電極パターン7～10に加えて、電気絶縁領域70が上側および下側の高熱伝導率絶縁基板1、2の内側主表面3、4に配設されている。

## 【 0 0 2 2 】

50

これらの基板 1、2 は、電気絶縁体からなる層とパターン形成された電気導体からなる層とが交互に積層されることにより構成されており、電気導体が、機械的および電氣的接続を行なうため構成部品に対して露呈されている。基板の導体領域の表面輪郭は、それらが、2 枚の基板 1、2 間に機械的および電氣的相互接続をもたらすべく、組付中に結合される多くの隆起領域、すなわちポストを有するように形作られている。例示の実施形態によっては、隆起領域はまた、構成部品と基板との間に電氣的および/または機械的接続をもたらすために使用され得る。これらのボンド領域の数、配置およびジオメトリは、非平面基板 1、2 の機械的分離を制御する。導体層を多数の電氣的に絶縁された領域に分離することにより、一方もしくは両方の基板において、電気回路が画成される。

#### 【0023】

電氣的導電性を備えつつ、絶縁される領域の形状についてここで説明する。図 3 (a) ~ 図 4 (b) に示す通り、上側および下側の高熱伝導率絶縁非平面基板 1、2 は、ほぼ矩形形状に構成されており、外部接続バスを含む。この実施形態において、例えば、半ブリッジ整流器が、2 個のトランジスタ 20 および 2 個のダイオード 30 で動作するように設計されている。半導体チップ間の距離は、それがパワーエレクトロニックパッケージ 100 の全体にわたる応力分布を決定するうえで大きな役割を果たす変数となる。

#### 【0024】

2 個の半導体トランジスタ 20 および 2 個の半導体ダイオードチップ 30 は、下側高熱伝導率絶縁非平面基板 2 にはんだ 45 を介してはんだ付けされている。非平面基板 1、2 上の半導体チップボンディング領域から遠ざかった位置に、DC バスおよびフェーズアウトリードを画成する外部線接続端子 (7Aa, 7b, 8Aa, 8b, 9Aa ~ 9c, 10Aa, 10b の一部) が配置されている。パターン形成された接続バスは上側および下側の高熱伝導率絶縁非平面基板 1、2 上において、バス間の高さの違いを補償するためにいかなる外部装具も必要ないので、ゲートドライブユニット (GDU) のような外部回路とのパワーエレクトロニックパッケージ 100 の直接統合をもたらす。外部線接続端子金属 7 ~ 10 は、上側および下側の高熱伝導率絶縁非平面基板 1、2 のジオメトリに制限され、非平面基板 1、2 から突出していない。

#### 【0025】

パワーエレクトロニックパッケージ 100 には、機械的安定性のために、そして半導体チップに対する応力を最小限にするために、電氣的に不活性な支持ポストがモジュールの周辺に存在する。これは、特に、電氣的に不活性な支持ポスト間、及び半導体チップでの圧縮結合形成の間に機械的な支持を助成するためのもので、それにより過剰な応力が高熱伝導率絶縁非平面基板 1、2 に蓄積するのを防ぐことができる。

#### 【0026】

図 5 (a) および図 5 (b) に示す通り、中央のフェーズアウト位置に加えて、上側高熱伝導率絶縁基板 1 の領域 46 および 47 ならびに下側高熱伝導率絶縁基板 2 の領域 48 および 49 は、パワーエレクトロニックパッケージ 100 において、機械的および電氣的接続をもたらす。

#### 【0027】

図 6 (a) ~ 図 6 (c) は、種々のステージにおけるパワーエレクトロニックパッケージの概略を示しており、図 6 (a) は組付前のパッケージを示し、図 6 (b) はリフロープロセスの間のパッケージを示し、図 6 (c) は組付後のパッケージを示している。パッケージ材料における示差熱膨張係数は、リフロープロセス後に応力を誘起する。存在する種々の応力の力は次の通りである。すなわち、組付プロセス前の弓なりとなるような出発高熱伝導性絶縁非平面基板における不均等な応力、半導体チップより大きい銅収縮のような、機械的強度のための銅 - 銅ボンディング領域における引張力、過剰応力が半導体チップにダメージを与えるような半導体チップへの圧縮力、そして絶縁ボンディング領域の数、位置およびそれらの距離に依存する半導体チップへの屈曲力である。パワーエレクトロニックパッケージ設計を最適化すべく、重要なパッケージパラメータを決定するために応力値が計算される。組付プロセスの熱 - 機械的解析を行う際に、ジオメトリの考慮は重要

10

20

30

40

50

である。

【 0 0 2 8 】

セラミックタイル（セラミック基板）間内部の、エッチングによる輪郭形状を規定するパラメータを最適化することは、セラミックによって挟まれるように組付を行なった後に、結果として生じる残留応力を最小限にするうえで重要である。結果として生じる応力が高い場合に、影響されやすい領域は、主に半導体チップ（ダイ）側方の積層構造、相互接続ポストおよび支持ポストである。

【 0 0 2 9 】

結果として生じた応力の局所的な上昇は、検討されたモデルにおける鋭利な角部の兆候を示すものである。半導体チップの角部に沿って応力値のスパイク（急激な増大）をどの程度低減できるかを調査する試みにおいて、X - Y平面で、例えば5 mm角のダイについて、半径  $r_d$  による曲率をダイの角部に導入する。半導体のレーザー切断は、たいてい互いに直角となる垂直エッジを残すので、Z方向（半導体チップの厚さ方向）での曲率は考慮されない。このダイ曲率は、図7のメッシュ3次元モデルに示される。半導体チップを下側高熱伝導率絶縁非平面基板2に取り付けた場合の、AuGeチップ接着はんだに隣接した材料層のvon Mises応力値（SEQV）が、各々の半径  $r_d$  について抽出される。これらの結果が図8に示されている。予想通り、150  $\mu\text{m}$ と200  $\mu\text{m}$ の曲率半径の間で観察されたSEQVの急激な減少により、指数関数的な減衰傾向が明確に見られる。

【 0 0 3 0 】

初期組付シミュレーションから分かる通り、AuGeはんだの抗張力  $U_{TS}$  を十分に超える大きい応力が、それを挟んでいる他の層に比べて、この層の厚さの結果として生じる。外側の基板のエッチングされた銅表面には、（銅）材料の抗張力  $U_{TS}$  近辺の応力値が生じ、SEQVは最大値と最小値とで27%変動する。SiCの底面は、曲率半径  $r_d$  の変化に応じて、応力値は12%の分布範囲での変動を呈する。SiC底面におけるSEQV値はすべて、SiC材料の抗張力（ultimate tensile strength: 極限引張り強さ）よりも十分に低く、半導体ダイの角部の曲率がダイ接着プロセスの間にダイ内部の力に深刻な影響を及ぼさない。

【 0 0 3 1 】

曲率半径  $r_d = 250 \mu\text{m}$  の場合、4 mm角の相互接続ポストのボンディングのための第2のリフロープロセスの後に、その完全に弾性的な挙動に起因して大きい応力がSiCダイ内部に見られ、ポスト曲率半径  $r_d$  を変化させた時、図9に見られる通り、抗張力  $U_{TS}$ （SiC）の18%だけ高い、653 MPaまで指数関数的に減衰することにより、SEQV値が28%の分布範囲で変動する。これはSiCの抗張力  $U_{TS}$  をわずかに上回るが、これは実際の組付では、材料の降伏応力で飽和することが予想される。AuSnはんだを囲む他の材料において見られる応力は各自の抗張力  $U_{TS}$  の値よりもかなり高いが、それらは、すべて徐々に指数関数的に減衰しており、図10(a)～図10(e)に示すような円形の相互接続ポスト（ $r_d$  を無限大“ ”にする）が、上側高熱伝導率絶縁非平面基板1における残留応力を最善に最小限にするであろうことを示している。

【 0 0 3 2 】

ダイ近辺から離れて、発明者らはフェーズアウトポストのジオメトリを調べる。ここで、発明者らはAuSn相互接続はんだ層について対称である構造を検討する。その際、フェーズアウトポストの曲率を、完全に方形の2 mm角のポスト構造に始まり、 $r_{out} = 1 \text{ mm}$ の完全に円形のものまで変化させる。（第2のリフロープロセスと同様の）AuSnはんだのリフロー後、モデルに結果的に生じた最大応力が各々の  $r_{out}$  について抽出され、図11に示されている。

【 0 0 3 3 】

AuSnはんだ層には、予想されたように、高い弾性応力値が生じている、銅ポストにおけるvon Mises応力は、正方形から円形のフェーズアウトポストに移行した場合に37%の減少を示している。ポスト構造において見られる著しく低い応力値は、AuSnリフロープロセスがフェーズアウトポスト近辺の両方の基板上的エッチングされた内側銅層に

10

20

30

40

50

対してほとんど影響を及ぼさないということを示している。逆に、前節で見られたように、このはんだ付けプロセスは、半導体チップ近辺の相互接続ポストにおいて、結果的に生じる応力に対してはるかに深刻な影響を及ぼす。

#### 【 0 0 3 4 】

モデルにおいて、 $X - Y$ 平面の曲率に加えて、 $Z$ 方向においても、曲率半径がフェーズアウトポスト構造に導入される（半径は、相互接続ポストの高さのおよそ半分）。このような曲率を付けることにより、エッチングされた非平面基板の実際の内側表面に最善に近似させることができる。完全な円形フェーズアウトポストの場合、はんだリフロー後の残留応力を抽出すると、図 1 2 ( a ) ~ 図 1 2 ( d ) に示されるように、 $117 \text{ MPa}$  から  $84 \text{ MPa}$  へと  $30\%$  の改善が見られた。図にも示されているが、メッシュモデルが解析において使用された。

10

#### 【 0 0 3 5 】

このパワーエレクトロニックパッケージ設計において、フェーズアウトポストは、図 1 3 ( a ) および 1 3 ( b ) に示されるように、それぞれの基板の内側の銅層上における、例えば  $300 \mu\text{m}$  の銅ブロックから構成されるエッチングされた輪郭形状を有する。しかし、支持ポストを見ると、エッチングはセラミック層まで下方に進んでおり、それにより例えば高さ  $500 \mu\text{m}$  の電気絶縁ポストを生成している。ポスト構造のジオメトリのこのわずかな変化は、組付後に残る残留応力と密接な関連がある。この解析において使用されたメッシュモデルもまた図 1 3 ( a ) および図 1 3 ( b ) に示されている。このモデルは、 $X - Y$ 平面および $Z$ 方向での曲率をとともに組み込んでいる。

20

#### 【 0 0 3 6 】

発明者らは、図に示されたポスト凹部距離  $X_{rec}$  を変化させた場合の効果を調べた。全てのポスト凹部距離  $X_{rec}$  について、 $AuSn$  ポスト接着はんだリフローから生じる銅層およびセラミック層における von Mises 応力が抽出され、それらの von Mises 応力が、図 1 4 に示されている。グラフから、上記構造において得られた応力値がそれぞれの材料の極限引張り強さ  $\sigma_{UTS}$  を十分に下回っていることは明らかである。加えて、銅層およびアルミナ層に関して見られる傾向は互いに逆であり、ポスト凹部距離  $X_{rec}$  の増加に伴って、アルミナ層の最大 von Mises 応力 ( $\sigma_{Al_2O_3}$ ) が減少するのに対し、銅層の最大 von Mises 応力 ( $\sigma_{Cu}$ ) は増大している。過度に大きい凹部は、銅層の塑性変形をもたらし、それにより支持ポスト構造にジオメトリ上の制約を課す。抗張力  $\sigma_{UTS}$  ( $\sigma_{Al_2O_3}$ ) よりも十分に低い領域において、指数関数的な減少傾向がアルミナ層において見られるので、ポスト凹部距離  $X_{rec}$  をできる限り小さい設計値に保つことにより、組付後の層における残留応力の蓄積に起因する銅のいずれの塑性変形をも防ぐことができる。

30

#### 【 0 0 3 7 】

基板 1、2 上のポスト構造の間隔は、解析されるべき、もう 1 つの重要な問題である。過剰なノード数のために、この解析では 2 次元モデルが使用され、その 1 例が図 1 5 ( a ) および図 1 5 ( b ) に示されている。これらのモデルは、両方とも基板の内側にあるポスト（高さ  $300 \mu\text{m}$ ）による構造物および、セラミック層まで  $500 \mu\text{m}$  分エッチングされた電氣的に絶縁されたポストによる構造物を組み入れている。

40

#### 【 0 0 3 8 】

$AuSn$  はんだリフロープロセスによる解析は、ポスト間隔  $X_p = 9.5 \text{ mm}$  を有する最初の構造について図 1 6 に示す通り、前述の解析のように、はんだ層に関して対称ではない応力分布を明らかにしている。

#### 【 0 0 3 9 】

電気絶縁のための銅の完全なエッチダウンによる、上側基板 1 の内部銅層の分離は、その下にあるセラミックにおいて局所的な応力上昇につながる、 $90^\circ$  の角部を銅層に残す。これらの層の各々の最大 von Mises 応力値が、各々のポスト間隔  $X_p$  について抽出される。応力値が各材料の抗張力  $\sigma_{UTS}$  を十分に下回っていることはグラフから明らかであるが、ほとんどの材料層について見られる指数関数的な増加傾向は、ポスト間隔が大

50

きな値に増加するに従って、大きな応力を生じさせる結果をもたらす。しかし、上側および下側基板 1、2 におけるアルミナは、セラミックの表面での銅エッチングの性質ゆえにポスト間隔に対して異なる反応を示す。ポスト間隔を増大させることは上側基板のアルミナにおける圧縮応力を軽減し、それにより層において見られる応力を低減する。この傾向は図 16 において見られる。

#### 【0040】

ダイ接着およびポスト接着はんだ付けプロセスが、周囲の層に生じる残留応力に関してどの程度の影響を有するかを判断するために、それぞれのはんだリフロープロセスの間におけるダイ接着およびポスト接着はんだの厚さ  $t_d$ 、 $t_p$  を変化させた。ダイ接着はんだの厚さ  $t_d$  について調べる際に、組付プロセスはリフロープロセス後に停止され、ポスト接着はんだの厚さ  $t_p$  を変化させた場合における、両方のはんだリフロープロセスがシミュレートされた（この場合、ダイ接着はんだの厚さ  $t_d$  は  $100\ \mu\text{m}$  で一定に保たれた）。これらのパラメータは、図 17 のセラミックサンドイッチ構造の断面略図に示されている。ダイ接着はんだの厚さ  $t_d$  を変化させた時に得られる、抽出された最大 von Mises 応力は、下側基板の銅層および半導体チップに関して図 18 に示されている。両方の材料は、それぞれの抗張力  $\sigma_{UTS}$  値を十分に下回っており、ダイ接着はんだの厚さ  $t_d$  が増加するにつれて指数関数的に減少する力を受ける。はんだ厚さ  $t_d$  は、これらの周囲の層に影響を及ぼす一方で、はんだ材料自体において抽出された応力値は、それ自身の降伏応力を超えており、従って現実には塑性変形のために飽和するはずである。しかし、完全に弾性的な変形に特有な高応力が観察される。

#### 【0041】

ダイ接着はんだの厚さ  $t_d$  を一定に保ちつつ、ポスト接着はんだの厚さ  $t_p$  を変化させた場合、類似の指数関数的な減少傾向が、 $t_p$  が無限大“ ”に近づくにつれて、図 19 の抽出された応力値のグラフにおいて見られる。2 つのはんだ層が半導体チップの両側にあるので、半導体チップ（ダイ）において生じる応力は材料の降伏応力を超えて飽和するであろうと予想される。これは、調査したすべての  $AuSn$  はんだ厚さ  $t_p$  で見られる、抽出された高い von Mises 応力において明らかである。上側基板 1 の銅層および  $AuSn$  ポスト相互接続はんだ層における応力は、それぞれの抗張力  $\sigma_{UTS}$  値の許容範囲内にあるが、より厚いはんだを使用することは、セラミックサンドイッチパッケージの種々の層において見られる残留応力を最小限にするであろう。

#### 【0042】

種々のセラミック厚さ  $t_{\text{ceramic}}$  で種々のタイプの基板から抽出されるアルミナセラミックにおける最大 von Mises 応力が、熱サイクルの 2 つの極限温度に関して、図 20 のグラフに示されている。グラフによって強調された傾向から、より厚いセラミック層は、その両側の内部銅層の剪断力および圧縮力に耐えることができるはずであるので、アルミナ層において見られる応力を低減する。加えて、従来の凹部非形成構造における応力が厚い基板よりも低くなり、実験的に観察される寿命の延長の根拠となることがわかる。

#### 【0043】

前節において、半導体チップは十分に塑性変形範囲にある応力を受けるので、ここでの解析が完全に弾性材料モデルを含むことから、抽出された von Mises 応力値が、図表に見られる通り抗張力  $\sigma_{UTS}$ （半導体材料）を十分に超えることが予想される。同様に、半導体チップの周囲の  $AuGe$  および  $AuSn$  はんだ層内部の  $FEA$  要素の高アスペクト比および、その要素およびそれらの定義ノード内部の集積点の結果的に得られる近接性のために、それぞれの材料の抗張力  $\sigma_{UTS}$  値を上回る応力が観察される。

#### 【0044】

電氣的に不活性な支持ポストの数および形状もまた、それがパワーエレクトロニックパッケージ 100 全体にわたる応力分布を決定するうえで役割を果たすパラメータとなる。考慮される支持ポストを伴うレイアウトの 3 つのバリエーションが考えられ、9 本および 5 本の支持ポストの位置構成が提案される。中央ポストは、フェーズアウト端子に接続されており、同一寸法を有する。図 10 (a) ~ 10 (c) は、中央フェーズアウトポスト

を含む、採用可能な9本(P1)および5本(P2)、(P3)のポスト位置構成を示している。

#### 【0045】

これらの電気絶縁ポスト領域のボンディングには、完全なリフロープロセス後に短絡を生じる原因となり得るはんだ45のオーバフローを防止するためにはんだストッパ層50を用いることが考慮されている。例えば400 $\mu$ m(平均位置 $Q_s(x, y) \pm 200\mu$ m)の有限線厚さを有するソルダレジスト層が、ポスト上にスクリーン印刷される。ポスト上へのはんだ45ペーストのスクリーン印刷は、図21に図示の通り例えば200 $\mu$ mの許容差を有するステンシルを必要とする。ソルダレジストはまた、半導体チップとの電気接続に使用されるパターン形成電極にも適用することができる。半導体チップに関して、製造プロセスにより、デバイスパッドでの十分なポリアミドコーティングが保証され、それによりはんだストッパ層を冗長化することができる。

10

#### 【0046】

高熱伝導率絶縁非平面基板1、2の製造は、例えばダイレクトボンド銅のエッチングによって行われる。各ステップに必要とされる種々の層は、プロセスフローとともに示されている。シングルまたはダブルボンディングプロセスのどちらかを伴うダブルエッチング技法が、図22(a)~22(g)に示されるように、非平面基板1、2の製造に使用される。ダブルボンド・ダブルエッチングプロセスにおいて、出発材料は、例えば薄い銅(200 $\mu$ m)がその両側に結合されている例えば300 $\mu$ m厚のセラミックである(図22(a)のステップ1)。まず、その薄い銅の、マスクによって特定される領域がエッチングされ(図22(b)のステップ2)、その後、300 $\mu$ mの厚い銅が、エッチングされた薄い銅の表面上に結合される(図22(c)のステップ3)。この厚い銅をエッチングすることにより、最終的なパターン形成されたダイレクトボンド銅基板を得ることができる(図22(d)のステップ4)。

20

#### 【0047】

シングルボンド技法では、500 $\mu$ mの厚い銅がまず最初にセラミック上に結合され(図22(e)のステップ1)、その後、2つのエッチングプロセスが実行されて、要求通りにエッチングされたダイレクトボンド銅基板が得られる(図22(f)及び図22(g)のステップ2および3)。

30

#### 【0048】

ダブルボンド・ダブルエッチングプロセスは、エッチングされた部分の横方向の広がり $1_s$ に関して良好に制御(例えば100 $\mu$ mないし250 $\mu$ mの範囲内)することができるが、ダブルエッチングは最初の200 $\mu$ m銅層のオーバエッチングをもたらす。シングルボンド・ダブルエッチングプロセスは、かなり平滑な銅表面を残す。

#### 【0049】

半導体チップおよび熱交換器ユニットのボンディングを伴うパワーエレクトロニクスパッケージ100の種々の組付段階もまた、図23に示されている。2枚の高熱伝導性絶縁基板1、2は、2個の半導体トランジスタチップ20および2個のダイオードチップ30が2枚の高熱伝導率絶縁基板1、2の間に挟まれるように向かい合わせにされる。この結果、上側高熱伝導率絶縁基板1のパターン形成された電極パターン7a、7b、8a、8b、9a、9b、9cと、トランジスタチップ20の制御ゲート電極24、ソースまたはエミッタ電極23、および、ダイオードチップ30のアノード電極33とがはんだ材料45および/またははんだストッパ層50を介して積層配置され、また、下側高熱伝導率絶縁基板2側の電極パターン10a、10bと、トランジスタチップ20のドレインまたはコレクタ電極25及びダイオードチップ30のカソード電極34とがはんだ材料45および/またははんだストッパ層50を介して積層配置される。

40

#### 【0050】

その後、上述の接触部分を加熱板または加熱炉などで加熱することにより、リフローソルダリングを実行する。高熱伝導率絶縁基板1、2間の間隙は、電気的に不活性なボンディングポスト70によって均一に制御され、例えば約0.3mm~5mmである出発銅金

50

属の厚さの値のほぼ倍の値となる。このようなサンドイッチパッケージの間隙は、リフロープロセス後のはんだ45の厚さも考慮している。

【0051】

このパワーエレクトロニックパッケージ100では、ボンド領域（支持ポスト70など）が非平面基板1、2の機械的分離を制御するので、2枚の高熱伝導率絶縁非平面基板1、2の間にスペーサを挿入する必要はまったくない。高熱伝導率絶縁基板1、2の電極パターンに半導体チップをはんだ付けする際に、はんだ付け材料は電極パターンのボンディング部分にスクリーン印刷されるか、または、はんだ付け材料の箔を半導体チップの電極と電極パターンのボンディング部分との間に挟むようにしても良い。

【0052】

この実施形態において、全ての半導体チップは、最初のはんだ付け作業において下側高熱伝導率絶縁基板2にはんだ付けされる（例えばAuGeなどの高融点のはんだ45）。その後、上側高熱伝導率絶縁基板1が一体に合わせられ、第2のはんだ付け作業が行われる（例えばAuSnなどの低融点のはんだ45）。あるいは、この組立プロセスは、例えばAgSnなどの同一融点のはんだ45による過渡液相（transient liquid phase）プロセスを用いて、半導体チップを高熱伝導率絶縁基板1、2間に挟んで単一のはんだ付け作業において実行することもできる。第2のはんだ付け作業では、はんだ付け作業において使用されるはんだ45の量を制御することができるので、大形バンプのはんだ45を使用することができる。

【0053】

主要な電極パッドの場合、いくつかの大形はんだバンプを単一のバンプの代わりに、半導体チップ上に形成することができる。これらのバンプの材料としては、例えばAuGeおよびAuSnなどの金系はんだ45が好ましい。高熱伝導性絶縁非平面基板1、2のパターン形成された電極上で、はんだ45の厚さを制御するために、はんだストップレジスト50もまた、リフロープロセス後のはんだ45の量を制御するために使用することができる。上述のボンディングが実行された後、例えばエポキシ樹脂やシリコン樹脂などの絶縁樹脂が、2枚の高熱伝導率絶縁基板1、2の間に充填され、特定の温度まで低下されることによって硬化させられる。間隙を充填する封入材料は、強電界が作用した時に結果的に空気破壊につながる、構造物におけるエアポケットを除去するものである。代替として、ポリイミド絶縁シートを、図24に示す通り組付プロセスにおいて2枚の高熱伝導性絶縁非平面基板1、2間に挿入することができる。

【0054】

この実施形態によれば、半導体チップが2枚の高熱伝導率絶縁基板1、2によって挟まれ、半導体トランジスタチップ20およびダイオードチップ30の電極および高熱伝導率絶縁基板1、2の電極パターンがはんだ付け（例えばAuSnおよびAuGeのはんだ付け）によって結合されてパワーエレクトロニックパッケージ100を作る。半導体チップによって生じる熱は、半導体チップの上側表面および下側表面から高熱伝導率絶縁基板1、2に円滑に伝達され、それによって迅速に放射される。

【0055】

2枚の高熱伝導性絶縁非平面基板1、2の外側表面は、熱交換器80との結合を改善するために、リッジ43を形成するように段階的にエッチングされている。熱交換器80は、その底面に溝がフライス加工されている。露出した銅の外端付近で隆起した熱交換器80の周辺部（リッジ構造物）をエッチングすることにより、熱交換器80本体が適位置に確実に着座できる。熱交換器ユニットは、図23に示す通り、同じ絶縁樹脂を用いて、または低温はんだ45を用いてシールされる。

【0056】

外部バス接続端子は、高熱伝導率絶縁基板1、2の電極パターンに設けられている。セラミック底部のレーザーセラミックアブレーションまたはセラミック切断により、完全な組付後に電気的接続バスを露出させることができる。従って、外部線との接続用の別個の端子を設け、これらの端子を電極パターンに接続する作業を不要とすることが可能である

10

20

30

40

50

。詳細には、外部線接続端子のうち、主DCバス端子（主電源端子）は同じ方向に延在して設けられ、ゲートドライバユニットのための制御電極端子は主電極端子と反対方向に延在して設けられる。この構成により、制御線および電力線を離しておくことが容易になるので、電磁気干渉ノイズに対して耐性の有る構造となる。加えて、そのような電極レイアウト設計は、パワーエレクトロニックパッケージ100の浮遊インダクタンスを低減するうえで効果的である。

#### 【0057】

パワーエレクトロニックパッケージ100は、ハーフブリッジの出力段を収容している。それは、各々が同じ定格の各自のリカバリダイオード30を備える、直列に接続された2個の半導体トランジスタ20から構成される。上述のようにして製造されたパワーエレクトロニックパッケージ100の電気回路図が図25に示されている。さらに、パワーエレクトロニックパッケージ100における半導体チップのレイアウトが図に示されている。図25に示す通り、第1のトランジスタ20aのドレインまたはコレクタ電極は正のDCバス端子に接続されており、第2のトランジスタ20bのソースまたはエミッタ電極は負のDCバス端子に接続されており、そして第1及び第2のトランジスタ20a, 20bのゲートは、ゲートドライブユニット端子 $S_{DA}$ ,  $S_{DB}$ に接続されている。同様に、第1のダイオード30aの端子は、それぞれの極性を備える第1のトランジスタ20aのドレインまたはコレクタおよびソースまたはエミッタと接続されている。第2のダイオード30bの端子は、それぞれの極性を備える第2のトランジスタ20bのドレインまたはコレクタおよびソースまたはエミッタと接続されている。第2のトランジスタ20bのドレインまたはコレクタは第1のトランジスタ20aのソースまたはエミッタと接続されている。

#### 【0058】

中央ボンディング領域は、フェーズアウト信号を付与するために上側および下側のDCバス端子を接続している。そのような構成は、説明したハーフブリッジ回路から、複数の半導体チップをボンディングすることによって完全な三相インバータ回路に拡張することができる。

#### 【0059】

図26、図27および図28を参照して、パワーモジュール、DCリンクキャパシタボードおよびゲートドライバユニットを冷却するために、熱交換器ユニットの全ての側面を利用するパワーインバータシステムについて説明する。図26はインバータシステムの分解図を示す。パワーエレクトロニックパッケージ100は、図25に示したハーフブリッジ回路を3個有し、それらが完全な三相インバータモジュールを構成する。このインバータシステムでは、下部熱交換器の第1の側面がパワーエレクトロニックパッケージ100を挟みつけ、ハーフブリッジ回路のための個々のゲートドライバユニットが他方側を挟みつける。他方、上部熱交換器の第1の側面がパワーエレクトロニックパッケージ100を挟みつけ、ハーフブリッジ回路のための個々のDCリンクキャパシタボードが他方側を挟みつけても良い。そのような構造が、高い動作温度でのインバータシステムの動作を可能にする。図27および図28は、上部側および底部側からのパワーインバータシステムの立体図を示す。

#### 【0060】

第2の実施形態によるパワーエレクトロニックパッケージが、図29(a)~図30(b)を参照して説明される。このパッケージと図1~28に示されたパッケージとの相違を、以下に説明する。

#### 【0061】

図29(e)及び29(f)、図30(a)及び30(b)は、上側および下側の高熱伝導率絶縁基板1, 2の平面図および底面図を示している。また、図29(a)~29(d)に示すように、同じチップ上の大小両方の半導体デバイスに対応するために、共通電極ポストレイアウトが考慮され(D1およびD2)、それによりそれらは両方のジオメトリの半導体トランジスタ20のボンディング電極パッドと位置合わせされている。パター

ン形成された電極ボンディング領域の大きさは、半導体トランジスタ20のボンディング電極パッドの大きさよりも実質的にわずかに小さく設定され、パターン形成された電極の突出高さは外部接続バスよりも高く設定される。薄いといった特徴を有するゲート電極の角部の曲率が、できる限り多くの90°コーナを排除するために大きくされている。

#### 【0062】

これらの図に示す通り、上側および下側の高熱伝導率絶縁非平面基板1、2はほぼ矩形形状に構成されており、全ての外部接続バスは上側高熱伝導率絶縁基板1にある。上側高熱伝導率絶縁基板1は、下側高熱伝導率絶縁基板2に比べてサイズが大きい。それぞれ2つの主表面を有する半導体トランジスタ20およびダイオードチップ30が、2枚の高熱伝導率絶縁基板1、2の間に挟まれている。第1の半導体トランジスタ20aおよび第1のダイオード30aならびに第2の半導体トランジスタ20bおよび第2のダイオードチップ30bは、下側高熱伝導率絶縁非平面基板2にはんだ付けされている。残りの構成は、第1の実施形態と同じである。この種の構成によっても、パワーエレクトロニックパッケージ100内部での熱の発生および剪断応力分布を改善することが可能である。

10

#### 【0063】

第3の実施形態によるパワーエレクトロニックパッケージが、図31~図33(b)を参照して説明される。このパッケージと図1~28に図示されたパッケージとの相違を、以下に述べる。

#### 【0064】

図31に示す通り、2枚の高熱伝導性絶縁非平面基板1、2の各外側表面は、熱交換器80との改善された結合のためにエッチングされていない。この実施形態は、サンドイッチ構造の両面を冷却するために一体化された熱交換器80を使用することはもちろん、一体化されない熱交換器80を使用することができる自由も提供する。2枚の高熱伝導性絶縁非平面基板1、2の平坦な外側表面は、熱放射性能を改善するために、間に熱的構成部品を使用する閉鎖形マイクロチャネル熱交換器80ユニットの使用に適している。しかし、これはパワーエレクトロニックパッケージ100のより大きな熱抵抗につながるが、この構成は、熱交換器80ユニットのダイレクトボンディングがないためにサンドイッチ構造における全体の応力を緩和できる。また、この構造は、空冷熱交換器80ユニットに実装することもできる。残りの構成部分は、第1の実施形態と同じである。この種の構成によっても、パワーエレクトロニックパッケージ100内部での熱の発生および剪断応力分布を改善することが可能である。

20

30

#### 【0065】

図32(a)~図33(b)は、上側および下側の高熱伝導率絶縁基板1、2の平面図および底面図を図示している。これらの図に示す通り、上側および下側の高熱伝導率絶縁非平面基板1、2はほぼ矩形形状に構成されており、全ての外部接続バスは上側高熱伝導率絶縁基板1にある。上側高熱伝導率絶縁基板1は、下側高熱伝導率絶縁基板2に比べてサイズが大きい。第1の半導体トランジスタチップ20aおよび第1のダイオードチップ30aならびに第2の半導体トランジスタチップ20bおよび第2のダイオードチップ30bは、下側高熱伝導率絶縁非平面基板2にはんだ付けされている。

#### 【0066】

第4の実施形態によるパワーエレクトロニックパッケージを、図34~図36(b)を参照して説明する。このパッケージと図1~28に図示されたパッケージとの相違を、以下に述べる。

40

#### 【0067】

図34に示す通り、半導体チップは、上下両方の高熱伝導性絶縁非平面基板1、2に対称的な状態で実装される。互いに上下逆にされたそれぞれの2つの主表面を有する半導体トランジスタチップ20およびダイオードチップ30が、2枚の高熱伝導率絶縁基板1、2の間に挟まれている。詳細には、第1のトランジスタチップ20aおよび第1のダイオードチップ30aは上側高熱伝導率絶縁基板1にはんだ付けされ、第2のトランジスタ20bおよび第2のダイオードチップ30bは下側高熱伝導率絶縁基板2にはんだ付けされ

50

、それらは互いに上下逆の関係にある。その他の構成部分は、第1の実施形態と同じである。この種の構成によっても、パワーエレクトロニックパッケージ100内部での熱の発生および剪断応力分布を改善することが可能である。

【0068】

図35(a)～図36(b)は、上側および下側の高熱伝導率絶縁基板1,2の平面図および底面図を図示している。これらの図に示す通り、上側および下側の高熱伝導率絶縁非平面基板1,2はほぼ矩形形状に構成されており、全ての外部接続バスは上側高熱伝導率絶縁基板1にある。上側高熱伝導率絶縁基板1は、下側高熱伝導率絶縁基板2に比べてサイズが大きい。第1の半導体トランジスタチップ20aおよび第1のダイオードチップ30aならびに第2の半導体トランジスタチップ20bおよび第2のダイオードチップ30bは、それぞれ、上側および下側の高熱伝導率絶縁非平面基板1,2にはんだ付けされている。

10

【0069】

第5の実施形態によるパワーエレクトロニックパッケージを、図37～図39(b)を参照して説明する。このパッケージと図1～28に図示されたパッケージとの相違を、下に述べる。

【0070】

図37に示す通り、2枚の高熱伝導性絶縁非平面基板1,2の各外側表面は、熱交換器80との改善された結合のためにエッチングされていない。この実施形態は、サンドイッチ構造の両面を冷却するために、一体化された熱交換器80を使用することはもちろん、一体化されない熱交換器80を使用することができる自由も提供する。2枚の高熱伝導性絶縁非平面基板1,2の各々の平坦な外側表面は、熱放射性能を改善するために間に熱的構成部品を使用する閉鎖形マイクロチャネル熱交換器80ユニットの使用に適している。これはパワーエレクトロニックパッケージ100のより大きな熱抵抗につながるが、この構成は、熱交換器80ユニットのダイレクトボンディングがないためにサンドイッチ構造における全体の応力を緩和できる。また、この構造は、空冷熱交換器80ユニットに実装することもできる。残りの構成部分は、第4の実施形態と同じである。この種の構成によっても、パワーエレクトロニックパッケージ100内部での熱の発生および剪断応力分布を改善することが可能である。

20

【0071】

図38(a)～図39(b)は、上側および下側の高熱伝導率絶縁基板1,2の平面図および底面図を図示している。これらの図に示す通り、上側および下側の高熱伝導率絶縁非平面基板1,2はほぼ矩形形状に構成されており、全ての外部接続バスは上側高熱伝導率絶縁基板1にある。上側高熱伝導率絶縁基板1は、下側高熱伝導率絶縁基板2に比べてサイズが大きい。第1の半導体トランジスタチップ20aおよび第1のダイオードチップ30aならびに第2の半導体トランジスタチップ20bおよび第2のダイオードチップ30bは、それぞれ、上側および下側の高熱伝導率絶縁非平面基板1,2にはんだ付けされている。

30

【0072】

第6の実施形態によるパワーエレクトロニックパッケージを、図40～図45(b)を参照して説明する。このパッケージと図1～28に図示されたパッケージとの相違を、下に述べる。

40

【0073】

ハーフブリッジ整流器が動作する間、上側基板1の銅リードの電位は、下側基板2の銅リードの電位よりも低い。この結果、2枚のセラミックタイル(セラミック基板)間のキャピティに強い電界が発生する。そのキャピティでは、図40に示すように、等しく間隔が空けられた電位線が基板と平行となる。半導体チップの端部において、これらの電位線は、(終端構造のために)空乏領域内から空気キャピティ内へと外方に曲がる。上側基板上のエッチングされた銅ポストの高さは、半導体チップの厚さと同様、例えば約300μmである。上側および下側の基板間の600μmの分離距離は結果として、電位線がエア

50

キャビティにおいて再分布するので、半導体チップの端部からの電位線のさらなる屈曲をもたらす。この電界は、レーザー切断後の半導体チップ端部（ダイエッジ）の粗さによってさらに強められる。図らずもこれは、半導体の端部における電位集中につながり、それにより、その領域における強電界の印加のためにチップ端部での半導体の早期ブレイクダウンをもたらし得る。

#### 【 0 0 7 4 】

図 4 1 に示すように、厚い銅板へのエッチングされたウインドウを導入することにより、端部でのブレイクダウンを防止することで、この問題に対処すべく試みられている。この場合、エッチングされていない銅層は例えば厚さ 5 0 0  $\mu\text{m}$  であるが、ウインドウのベース（底部）の銅の厚さは例えば 2 0 0  $\mu\text{m}$  である。しかし、これらの井戸状のくぼみ（凹部）が半導体チップの周辺に沿って強電界を有効に防止するためには、半導体チップと井戸状くぼみの内側面との間隔が約 1 0  $\mu\text{m}$  のオーダーであることが求められる。しかし、これは、チップ接着プロセスのアラインメント精度に加え、エッチングプロセスの間に関与する公差のために、物理的に不可能である。実際には、井戸状のくぼみは、今日の技術のエッチングプロセスに起因して、使用されているチップよりも例えば 4 5 0  $\mu\text{m}$  大きく設計されている。これはチップ端部での局所的な強電界を緩和する効果が乏しいかもしれないが、機械的な観点からは、井戸状くぼみの構造は、より厚い Cu 層によりセラミックサンドイッチ構造により大きな安定性を付与することが期待できる。上下両方の基板上のより厚い銅層は、別のパッケージバリエーションも提供する。

#### 【 0 0 7 5 】

さらに、前述のシミュレーション結果は、銅層の厚さが上側基板に極めて密接な関係を有することが明らかであることを示唆している。この場合、5 0 0  $\mu\text{m}$  の銅層を有する基板は、外側及び内側の銅層およびセラミック層において、非常に低い残留応力を示す。より厚い銅層は、上側基板上の内側銅層における残留応力をおよそ 4 0 % 低減し、その降伏応力点よりも低く弾性変形の領域に移す。上側基板におけるセラミック層応力もまた、応力値で 3 3 % の減少を示す。下側基板の応力値は、それが半導体チップおよびチップ接着はんだの近傍の材料の応力値の飽和によってマスクされてしまうので、ほとんど改善を示さない。

#### 【 0 0 7 6 】

図 4 2 に示すように、下側高熱伝導性絶縁非平面基板 2 の内側表面はエッチングされ、その結果、内側表面には、1 つ以上の凹部、すなわち井戸状くぼみが存在し、それらの内部に部品が配置される。そのような構成は、上側熱伝導性絶縁非平面基板 1 に比べて下側熱伝導性絶縁非平面基板 2 の厚さをより厚くさせる。図 4 3 はパワーエレクトロニックパッケージの分解図を示し、図 4 4 ( a ) ~ 図 4 5 ( b ) は上側および下側の高熱伝導率絶縁基板 1 , 2 の平面図および底面図を示している。これらの図に示すように、上側および下側の高熱伝導率絶縁非平面基板 1 , 2 はほぼ矩形形状に構成されており、全ての外部接続バスは上側高熱伝導率絶縁基板 1 にある。上側高熱伝導率絶縁基板 1 は、下側高熱伝導率絶縁基板 2 に比べてサイズが大きい。2 個の半導体トランジスタチップ 2 0 および 2 個の半導体ダイオードチップ 3 0 は、下側高熱伝導率絶縁非平面基板 2 にはんだ付けされている。残りの構成は、第 1 の実施形態と同じである。

#### 【 0 0 7 7 】

第 7 の実施形態によるパワーエレクトロニックパッケージを、図 4 6 ~ 図 4 8 ( b ) を参照して説明する。このパッケージと図 4 0 ~ 4 5 ( b ) に示されたパッケージとの相違を、以下に述べる。

#### 【 0 0 7 8 】

この実施形態では、図 4 6 に示すように、下側高熱伝導性絶縁非平面基板 2 の内側表面がエッチングされ、その結果、内側表面には、1 つ以上の凹部、すなわち井戸状くぼみが存在し、それらの内部に部品が配置される。また、上側高熱伝導性絶縁非平面基板 1 の外側表面の銅層は、下側基板 2 の外側表面の銅層の厚さと一致している。これにより、上側および下側の高熱伝導性絶縁非平面基板 1 , 2 が第 6 の実施形態に比べてより厚い銅厚さ

10

20

30

40

50

を有する。図47(a)~図48(b)は、上側および下側の高熱伝導率絶縁基板1、2の平面図および底面図を図示している。これらの図に示すように、上側および下側の高熱伝導率絶縁非平面基板1、2はほぼ矩形形状に構成されており、全ての外部接続バスは上側高熱伝導率絶縁基板1にある。上側高熱伝導率絶縁基板1は、下側高熱伝導率絶縁基板2に比べてサイズが大きい。2個の半導体トランジスタ20および2個の半導体ダイオードチップ30が下側高熱伝導率絶縁非平面基板2にはんだ付けされている。残りの構成部分は、第1の実施形態と同じである。

【0079】

第8の実施形態によるパワーエレクトロニックパッケージを図49(a)および図49(b)を参照して説明する。これらのパッケージと図1~28に図示されたパッケージとの相違を、以下に述べる。

【0080】

図49(a),(b)に示すように、この実施形態では、半導体チップは、上側および下側の高熱伝導性絶縁非平面基板1、2に対称的な状態で実装される。互いに関して上下逆にされたそれぞれの2つの主表面を有する半導体トランジスタチップ20およびダイオードチップ30が、2枚の高熱伝導率絶縁基板1、2の間に挟まれる。詳細には、第1のトランジスタチップ20aおよび第1のダイオードチップ30aは上側高熱伝導率絶縁基板1にはんだ付けされ、第2のトランジスタチップ20bおよび第2ダイオードチップ30bは下側高熱伝導率絶縁基板2にはんだ付けされ、それらは互いに上下逆の関係にある。なお、第1のトランジスタチップ20a及び第1のダイオードチップ30a並びに第2のトランジスタチップ20b及び第2のダイオードチップ30bは、それぞれ、上側および下側の高熱伝導性絶縁非平面基板1、2の銅層に形成された井戸状くぼみ内に配置されている。残りの構成部分は、第7の実施形態と同じである。この種の構成によっても、パワーエレクトロニックパッケージ100内部での熱の発生および剪断応力分布を改善することが可能である。

【0081】

図49(a)および図49(b)は、第2のトランジスタチップ20b及び第2のダイオードチップ30bが下側の高熱伝導性絶縁非平面基板2の銅層に配置された部位における断面図、および第1のトランジスタチップ20a及び第1のダイオードチップ30aが上側の高熱伝導性絶縁非平面基板1の銅層に配置された部位における断面図をそれぞれ示している。これらの図に示されているように、上側および下側の高熱伝導率絶縁非平面基板1、2はほぼ矩形形状に構成されており、すべての外部接続バスは上側高熱伝導率絶縁基板1にある。

【0082】

本開示は、概して、複数の電子部品を備える2枚の基板を有するパワーエレクトロニックパッケージに関する。詳細には、パッケージは1つ以上の半導体チップ(ダイ)および他の同様に造形された電子部品を含み、それらは2枚の高熱伝導率絶縁非平面基板の間に実装される。独自の非平面基板が、大面積接続ポストとして機能し、従来の金属バンプに比べて低い電気的および熱的抵抗を実現する。これらの非平面基板は、電気絶縁体層およびパターン形成された電気導体層が交互に積みかさねられて構成され、電気導体層は機械的および電気的接続のため構成部品に露呈されている。基板の導体領域の表面輪郭は、それらが、2枚の基板間に機械的および電気的相互接続をもたらすべく、組付中に結合される多くの隆起領域、すなわちポストを有するように形作られている。これらのボンド領域の数、配置およびジオメトリは、非平面基板の機械的分離を制御する。導体層を多数の電気的に絶縁された領域に分離することにより、一方もしくは両方の基板において、電気回路が画成される。

【0083】

詳細には、完全な組付プロセス後に、圧力型接点を備えるパワーエレクトロニックパッケージにおいて均一な応力分布が得られ、それは半導体チップの応力を低減し、また直接両面冷却構造において改善した熱放射性能を実現する。2枚の高熱伝導率絶縁非平面基板

10

20

30

40

50

が、ワイヤボンドを排除するために使用される。半導体チップの有効表面上でのワイヤに代替される固体銅相互接続ポストは、優れた電氣的経路だけでなく、半導体チップの2つの主表面からの優れた熱冷却経路も同様に付与する。そのようなパワーエレクトロニックパッケージは、熱が発生するチップの領域に熱冷却構造が接続されているので、著しく低い半導体チップ接合温度を実現することができる。

【0084】

両面冷却パワーエレクトロニックパッケージは、特に、極端な高温熱サイクルのもとで延長した寿命が要求される電子モジュールにおいて、極めて有用であるとわかった。パワーエレクトロニックパッケージ構造は、デバイスから外部パッドにいずれのボンドワイヤも含まないので、接合部の数を劇的に低減し、より良好な信頼性につながるとともに構造内での寄生インダクタンスおよび抵抗を減少させることができる。

10

【0085】

本開示のパワーエレクトロニックパッケージによれば、半導体チップが2枚の高熱伝導率絶縁非平面基板の間に挟まれ、半導体チップの電極および高熱伝導率絶縁非平面基板の電極パターンが直接結合され、それによってワイヤボンドの必要性を排除する。半導体チップによって生じた熱は、半導体チップの2つの主表面から2枚の高熱伝導率絶縁非平面基板に円滑に伝達され、それによって迅速に放射される。直接両面冷却構造はさらに、パワーエレクトロニックパッケージの熱抵抗を低減する。

【0086】

本開示の別の態様によれば、互いに関して上下逆にされた2つの主表面を有する相対的に低い熱膨張係数を有する1つ以上の半導体ダイおよび他の同様に造形された電子部品が、2枚の高熱伝導率絶縁非平面基板の間に実装される。基板は、電気絶縁体層およびパターン形成された電気導体層が交互に積層されることによって構成され、電気導体層は機械的および電氣的接続のため構成部品に露呈されている。基板の導体領域の表面輪郭に関して、一方または両方の基板の銅層に1つ以上の凹部、すなわち井戸状くぼみが存在し、それらの内部に部品が配置されるように形作られる。ボンド領域は、表面プロファイルによってか、または領域選択的ボンディングプロセスの適用によって定義され得る。これらのボンド領域の数、配置およびジオメトリは、非平面基板の機械的分離を制御する。ボンディングプロセスは2枚の基板間の機械的および電氣的相互接続を可能にし、多くの電気絶縁領域への導体層の分離は、電気回路が一方または両方の基板上で画成されることを可能にする。また、サンドイッチ構造の組付温度は最大動作温度よりも高く、それにより、冷却時に、残留圧縮応力が構成部品に残されることになる。

20

30

【0087】

本開示の別の態様によれば、互いに関して上下逆にされた2つの主表面を有する1つ以上の半導体ダイおよび他の同様に造形された電子部品が、2枚の高熱伝導率絶縁非平面基板の間に実装される。パワーエレクトロニックパッケージは、隆起した表面輪郭を備える第1の非平面基板を、本開示の前述の2つの態様と同様に凹部を有する第2の非平面基板と組み合わせる。ボンド領域（結合領域）は、表面プロファイリングによってか、または領域選択的ボンディングプロセスの適用によって画成され得る。これらのボンド領域の数、配置およびジオメトリは、非平面基板の機械的分離を制御する。ボンド領域のジオメトリは、ボンディング中に圧縮力を選択的に適用することにより、ボンディング後に構成部品に残留圧縮応力を残すように設定される。また、ボンディングプロセスは2枚の基板間の機械的および電氣的相互接続を可能にし、多くの電気絶縁領域への導体層の分離は、電気回路が一方または両方の基板上で画成されることを可能にする。

40

【0088】

本開示の別の態様によれば、2つの主表面を有する1つ以上の半導体ダイおよび他の同様に造形された電子部品が、2枚の高熱伝導率絶縁非平面基板の間に実装される。パワーエレクトロニックパッケージは、隆起または陥没したどちらかの表面輪郭を有する第1の基板を第2の基板と組み合わせ、第2の基板において、構成部品に露呈されるパターン形成された導体層は、隆起または陥没した表面輪郭を備えない平坦面となっている。

50

ボンド領域は、表面プロファイリングによってか、または領域選択的ボンディングプロセスの適用によって定義され得る。これらのボン領域の数、配置およびジオメトリは、非平面基板の機械的分離を制御する。ボンド領域のジオメトリは、ボンディング中の圧縮力を選択的に適用することにより、ボンディング後の構成部品に残留圧縮応力を残すように設定される。また、ボンディングプロセスは2枚の基板間の機械的および電氣的相互接続を可能にし、多くの電気絶縁領域への導体層の分離は、電気回路が一方または両方の基板上で画成されることを可能にする。

【0089】

さらに、高熱伝導率絶縁非平面基板は、非導電性セラミック基板および、ダイレクトボンド銅、ダイレクトボンドアルミニウムまたは活性金属ブレイジングはんだ材料のいずれかによって結合された高導電性金属から構成される。また、非導電性セラミック基板は、アルミナ、窒化アルミニウム、窒化ケイ素、炭化ケイ素またはダイヤモンド、および銅またはアルミニウム金属よりなる群から得られる材料より構成される。この場合、非導電性セラミック基板の熱膨張係数が半導体チップのそれに近いので、半導体チップと電極パターンとの間で作用する熱応力を低減することが可能である。さらに、高熱伝導率絶縁非平面基板の非ボンド領域の高さは、ボン領域のそれよりも小さく、2枚の高熱伝導率絶縁非平面基板の間に封入のための十分な間隙を与える。例えばシリコンゴムよりなる封入材料が、強電界が関与した時に空気破壊につながる、構造物におけるエアポケットの数を最小限にするために、その間隙に注入される。代替として、ポリイミドシートが間隙に挿入されて電氣的破壊を防ぐようにしても良い。さらに、代替として、パワーエレクトロニックパッケージは、高熱伝導率絶縁非平面基板の内側表面の間に配置された絶縁ポリアミド層を含み、当該ポリアミド層によって、半導体チップおよび他の同様に造形された電子部品を包み込んで、外部電気接続との間の電気絶縁を図るようにしても良い。

【0090】

また、上述した各例において、パワー半導体トランジスタチップ20には、接合形電界効果トランジスタ(JFET)、MOS形電界効果トランジスタ(MOSFET)、絶縁ゲート形バイポーラトランジスタ(IGBT)、ワイドバンドギャップ半導体トランジスタ、SiCトランジスタなどのパワー半導体トランジスタを採用することができる。さらに、パワー半導体ダイオードチップ30には、接合ダイオード、ショットキーバリアダイオードなどのパワー半導体ダイオードを採用することができる。これらのパワー素子は、高密度かつ大電流を流すことが可能であり、その発熱量も大きいいため、上記各例に示した構造により、放熱を図ることが好ましい。

【0091】

本発明の好ましい実施形態に関して説明したが、本発明はそれらの好ましい実施形態および構成物に限定されるものではないことを理解すべきである。本発明は種々の修正および等価な構成を包括するように意図されている。加えて、種々の組合せおよび構成が好適であるが、より多数の、より少数のまたは単一の要素だけを含む他の組合せおよび構成もまた本発明の主旨および範囲の内にある。

【図面の簡単な説明】

【0092】

【図1】パワーエレクトロニックパッケージを示す断面図である。

【図2】パワーエレクトロニックパッケージを示す分解図である。

【図3】(a)、(b)は、それぞれ、パッケージにおける上側高熱伝導率絶縁非平面基板の平面図および底面図である。

【図4】(a)、(b)は、それぞれ、パッケージにおける下側高熱伝導率絶縁非平面基板の平面図および底面図である。

【図5】(a)、(b)は、それぞれ、機械的および電氣的接続を示す上側および下側の高熱伝導率絶縁非平面基板の平面図である。

【図6】(a)~(c)は、種々のステージにおけるパワーエレクトロニックパッケージの概略を示す断面図であり、(a)は組付前のパッケージを示し、(b)はリフロープロ

10

20

30

40

50

セスの間のパッケージを示し、(c)は組付後のパッケージを示している。

【図7】パワーエレクトロニックパッケージにおける半導体チップおよび接続ポスト領域のメッシュ3次元画像の拡大図である。

【図8】半導体チップ(ダイ)のコナ半径がリフロープロセス後の下側非平面基板の銅層およびはんだ材料(AuGe)の全応力値に及ぼす影響の計算結果を示すグラフである。

【図9】相互接続ポストの曲率の増加に伴う、リフロープロセス後の種々の材料層における応力変動の計算結果を示すグラフである。

【図10】(a)~(c)は、中央フェーズアウトポストを含む9本(P1)および5本(P2)、(P3)ポスト位置構成を示す平面図であり、(e)、(d)は、提案されたポスト曲率(G1)および(G2)を示す平面図である。

【図11】フェーズアウトポストの曲率の増加が、上側非平面基板の銅表面および相互接続はんだ材料層の残留応力に及ぼす影響の計算結果を示すグラフである。

【図12】Z方向(半導体チップの厚さ方向)において、フェーズアウトポスト構造に曲率が導入された場合に、銅層における残留応力が30%減少したことを示す、エッチングされた垂直方向の輪郭形状を有するものと有しないものとの、計算されたフェーズアウトポスト解析を示す図である。

【図13】(a)は、セラミックサンドイッチ構造におけるフェーズアウトポストおよび支持ポスト構造を示す断面略図であり、(b)は、主凹部輪郭形状のメッシュ3次元モデルを示す図である。

【図14】組付られたセラミックサンドイッチ構造での、支持ポスト構造の銅層およびセラミック層において観察される計算された残留応力を示すグラフである。

【図15】(a)は、ポストとポストとの分離の概略を示す平面図であり、(b)は、セラミックサンドイッチ構造内部の残留応力に対する支持ポスト間の間隔パラメータの影響を調べるために使用されるメッシュ2次元モデルを示す図である。

【図16】ポスト分離間隔を変化させた場合の、パッケージアセンブリのそれぞれの層において見られる最大応力値の計算結果を示すグラフである。

【図17】AuGeダイ接着はんだおよびAuSn相互接続ポスト接着はんだを示すセラミックサンドイッチアセンブリを示す略断面図である。

【図18】リフロープロセス後の、ダイ接着はんだの厚さを変化させることによって得られる、応力値の計算結果を示すグラフである。

【図19】リフロープロセス後の、ポスト相互接続はんだの厚さを変化させることによって得られる、応力値の計算結果を示すグラフである。

【図20】-60および200で使用される熱サイクル温度の極値で示されたパワーエレクトロニックパッケージの薄いおよび厚い銅層において得られた計算された最大応力を示すグラフである。

【図21】ソルダレジストのための提案されたレイアウトを示す断面略図である。

【図22】(a)~(d)は、非平面基板の製造に使用されるダブルボンディングプロセスを伴うダブルエッチング技法を示す断面図であり、(e)~(g)は、非平面基板の製造に使用されるシングルボンディングプロセスを伴うダブルエッチング技法を示す断面図である。

【図23】熱交換器ユニットを含む組付プロセスにおけるパッケージの分解図である。

【図24】ポリイミド絶縁シートを用いた組立プロセスにおけるパワーエレクトロニックパッケージを示す分解図である。

【図25】パワーエレクトロニックパッケージの電気回路を示す回路図である。

【図26】サンドイッチパワーモジュール、DCリンクキャパシタボードおよびドライバユニットから構成されるパワーインバータシステムの分解図であり、それらの全部は一体化された密封熱交換器ユニットによって冷却される。

【図27】上側からのパワーインバータシステムの斜視図である。

【図28】底側からのパワーインバータシステムの斜視図である。

10

20

30

40

50

【図29】(a)～(d)は、共通の電極ポストレイアウトによる同一チップ上の大小の半導体デバイスを示す平面図および底面図であり、(e)及び(f)は、異なるサイズの半導体デバイスに適応できる別の上側高熱伝導率絶縁基板の平面図および底面図である。

【図30】(a)、(b)は、さらに別の上側高熱伝導率絶縁基板の平面図および底面図である。

【図31】別のパワーエレクトロニックパッケージを示す断面図である。

【図32】(a)、(b)は、上側高熱伝導率絶縁基板の平面図および底面図である。

【図33】(a)、(b)は、下側高熱伝導率絶縁基板の平面図および底面図である。

【図34】さらに別のパワーエレクトロニックパッケージを示す断面図である。

【図35】(a)、(b)は、上側高熱伝導率絶縁基板の平面図および底面図である。

10

【図36】(a)、(b)は、下側高熱伝導率絶縁基板の平面図および底面図である。

【図37】別のパワーエレクトロニックパッケージを示す断面図である。

【図38】(a)、(b)は、上側高熱伝導率絶縁基板の平面図および底面図である。

【図39】(a)、(b)は、下側高熱伝導率絶縁基板の平面図および底面図である。

【図40】半導体チップの端部における電位線の集中を示す断面図である。

【図41】半導体チップの端部における電位線の集中の低減を示す断面図である。

【図42】別のパワーエレクトロニックパッケージを示す断面図である。

【図43】パワーエレクトロニックパッケージを示す分解図である。

【図44】(a)、(b)は、上側高熱伝導率絶縁基板の平面図および底面図である。

【図45】(a)、(b)は、下側高熱伝導率絶縁基板の平面図および底面図である。

20

【図46】別のパワーエレクトロニックパッケージを示す断面図である。

【図47】(a)、(b)は、上側高熱伝導率絶縁基板の平面図および底面図である。

【図48】(a)、(b)は、下側高熱伝導率絶縁基板の平面図および底面図である。

【図49】(a)、(b)は、パワーエレクトロニックパッケージを示す断面図である。

【図50】電氣的絶縁・熱伝導性両面プレパッケージIC構成部品を示す分解図であり、加工リード部材、接点電極、半導体チップなどが従来技術に従って1対のセラミック基板部材の間に配置されている。

【符号の説明】

【0093】

100 パワーエレクトロニックパッケージ

30

1 上側高熱伝導率絶縁非平面基板

2 下側高熱伝導率絶縁非平面基板

3、4 内側表面

5、6 外側表面

7～10 金属電極

20 半導体トランジスタチップ(ダイ)

23 ソースまたはコレクタ電極

24 ゲート電極

25 ドレインまたはエミッタ電極

30 半導体ダイオードチップ(ダイ)

40

33 アノード電極

34 カソード電極

43 リッジ

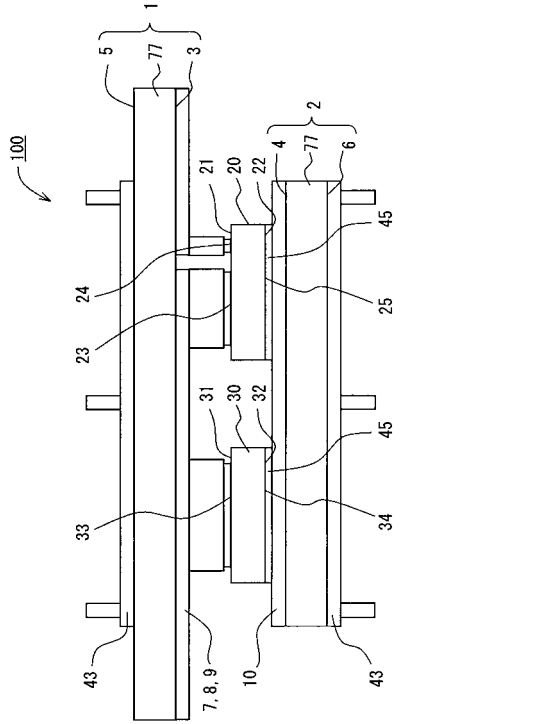
45 はんだ

70 電気絶縁領域

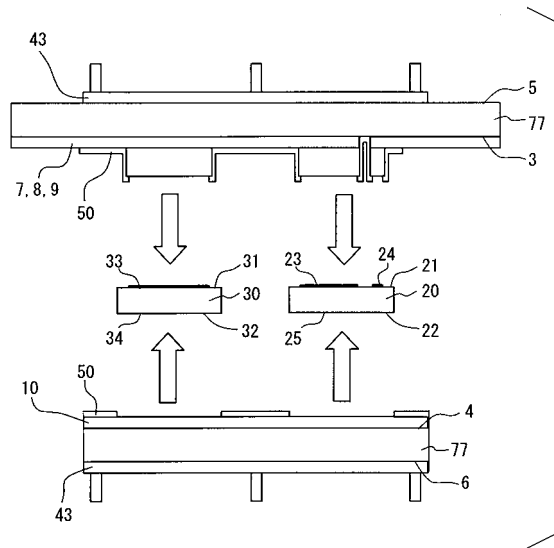
77 非伝導性セラミック基板

80 熱交換器

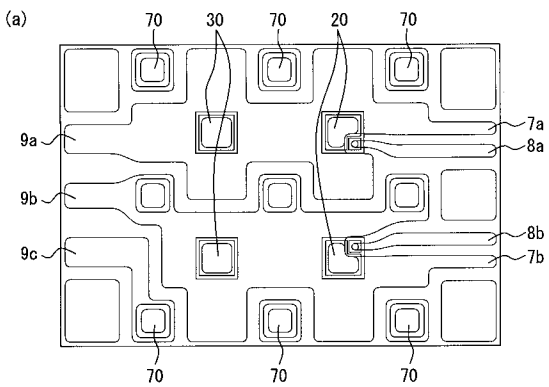
【 図 1 】



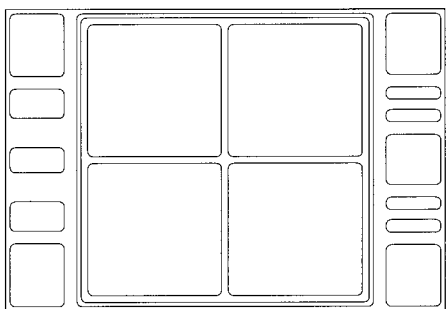
【 図 2 】



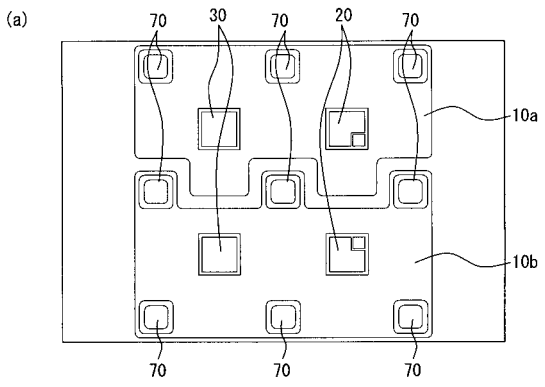
【 図 3 】



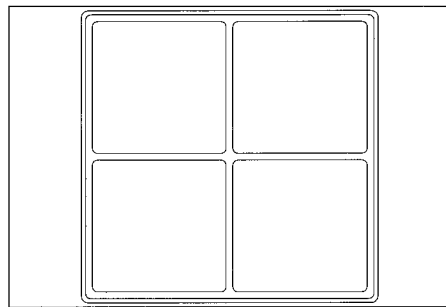
(b)



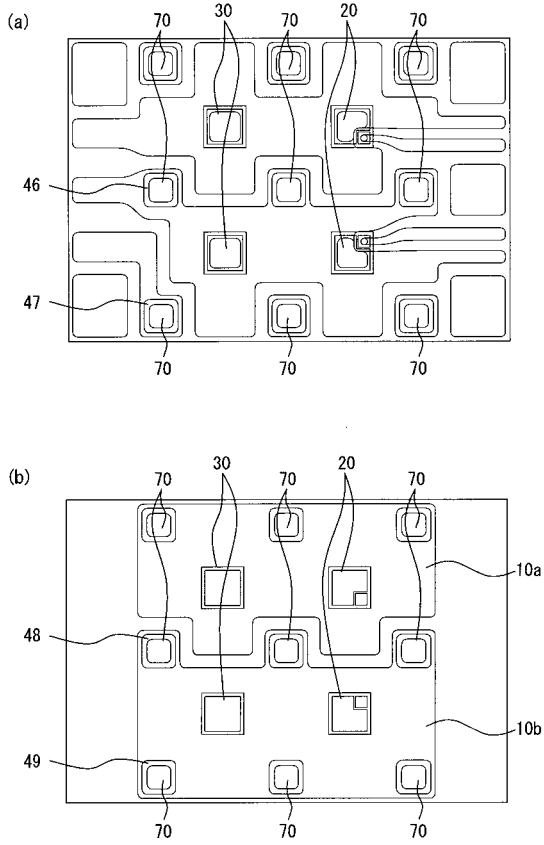
【 図 4 】



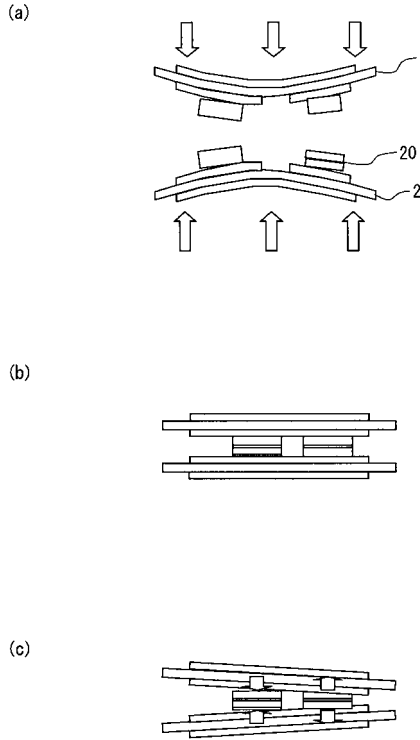
(b)



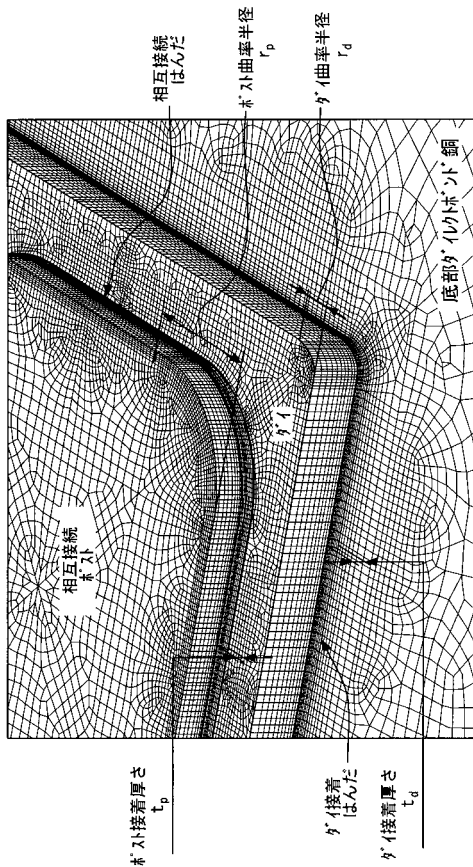
【図5】



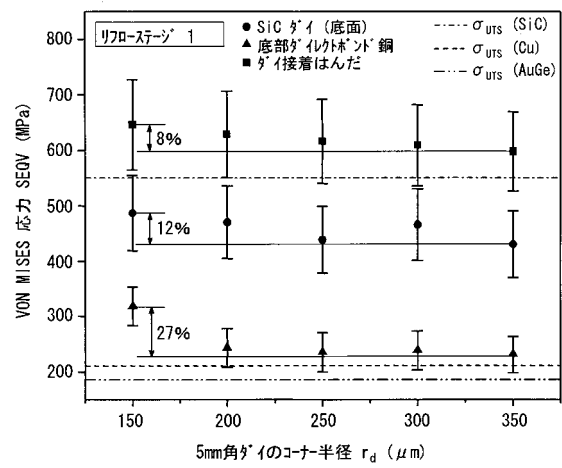
【図6】



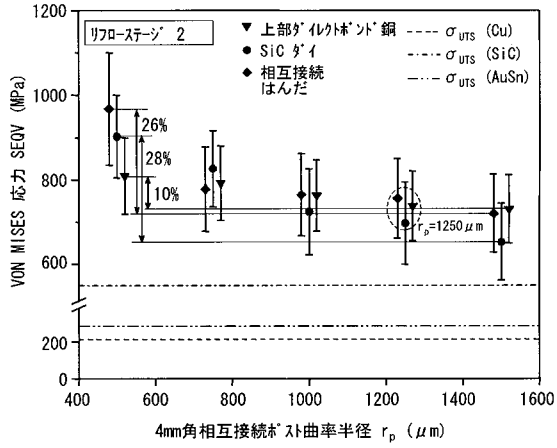
【図7】



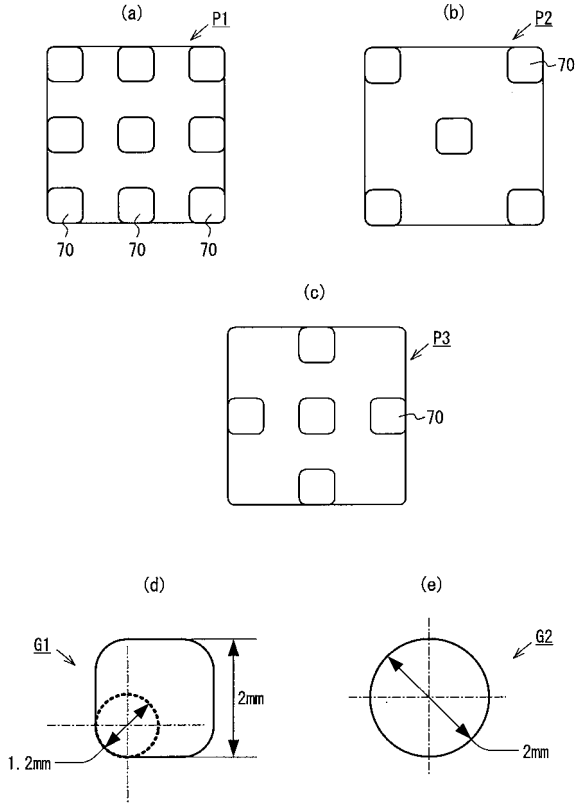
【図8】



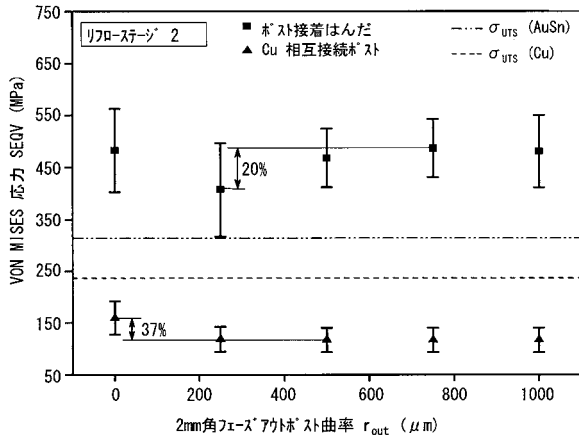
【図 9】



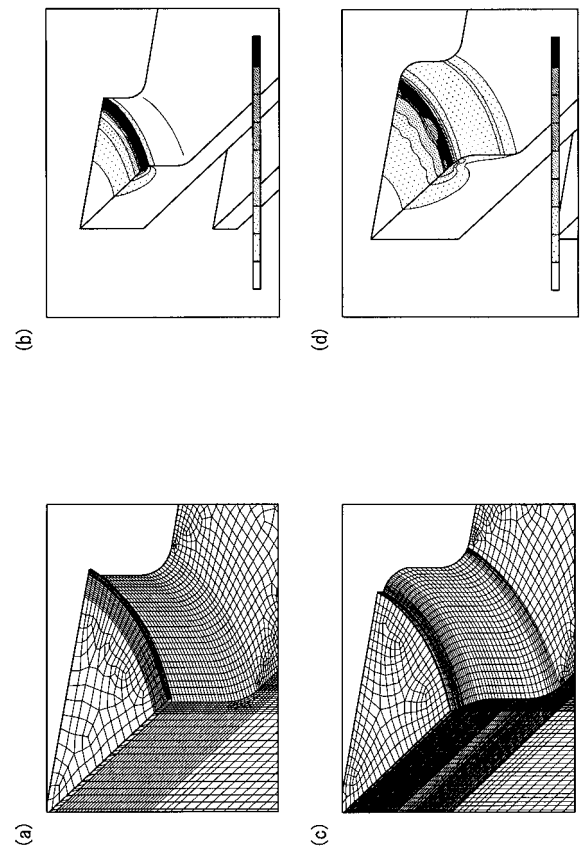
【図 10】



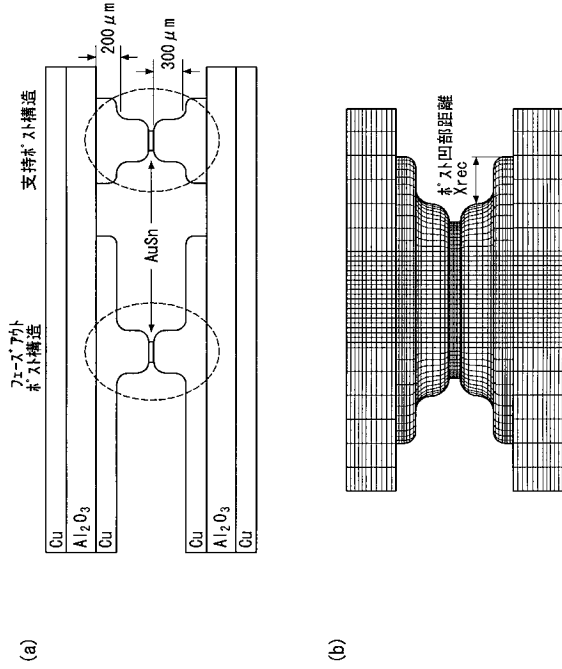
【図 11】



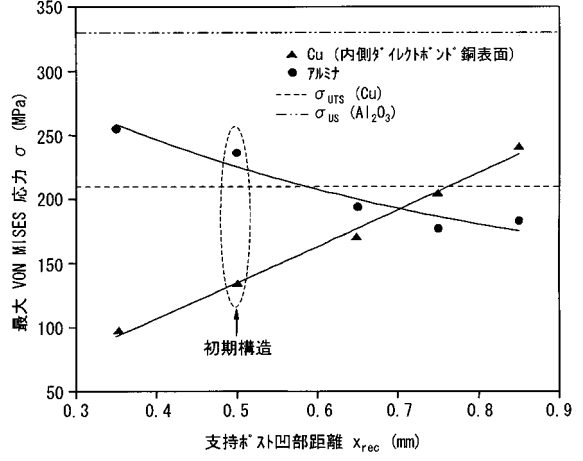
【図 12】



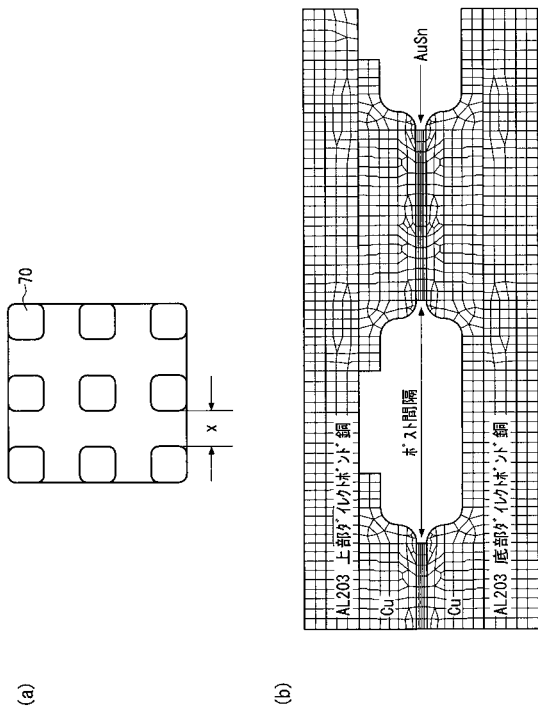
【図 13】



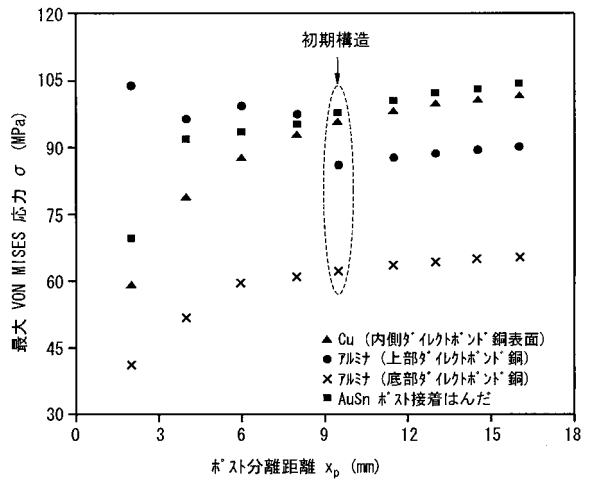
【図 14】



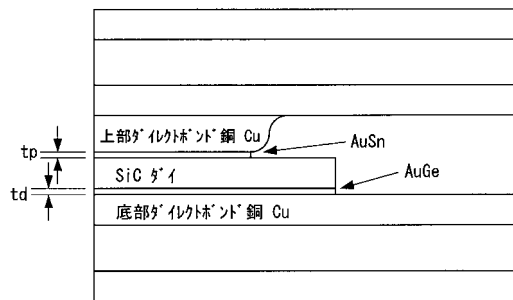
【図 15】



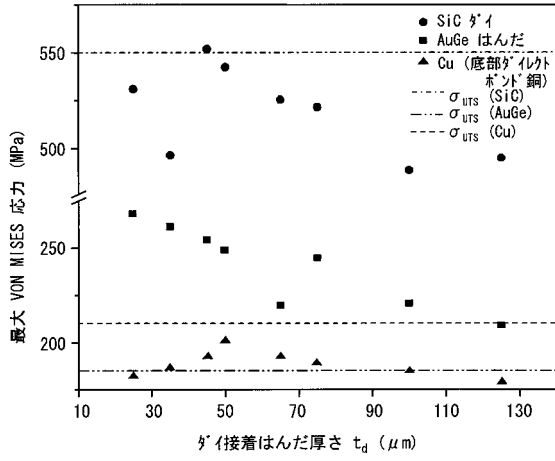
【図 16】



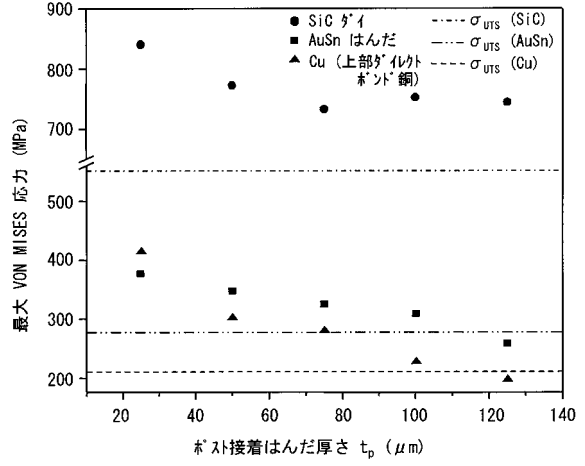
【図 17】



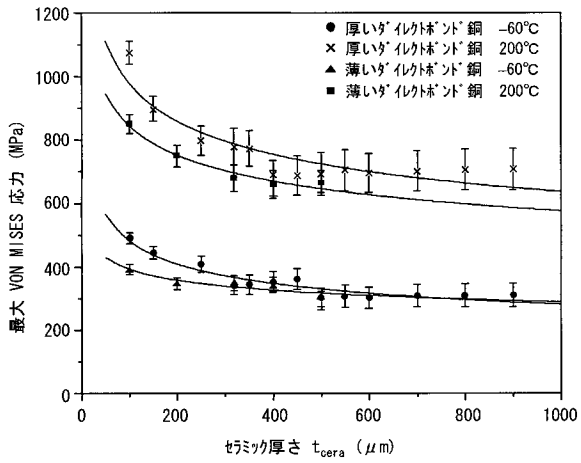
【図18】



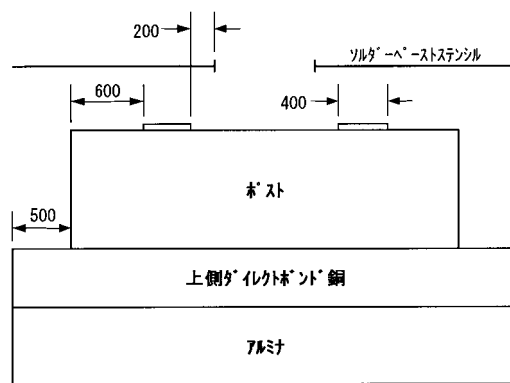
【図19】



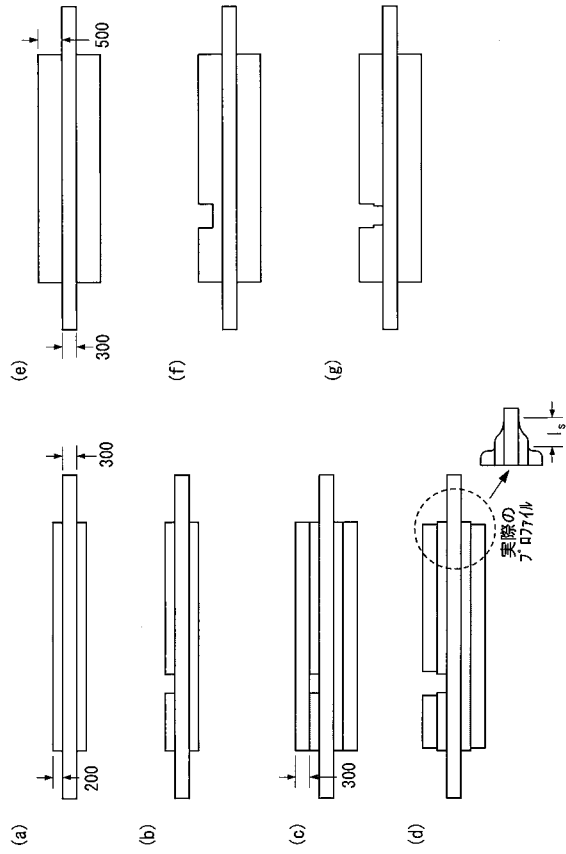
【図20】



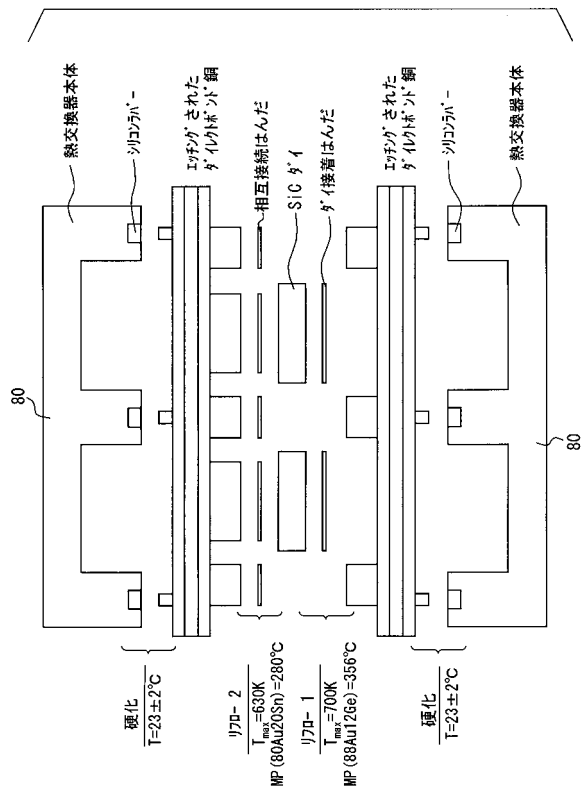
【図21】



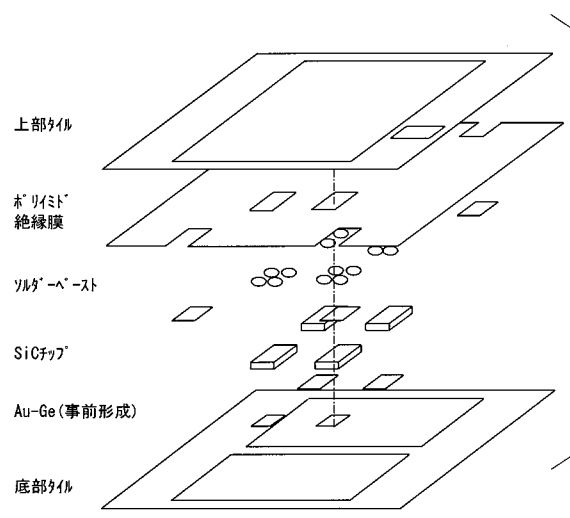
【図 2 2】



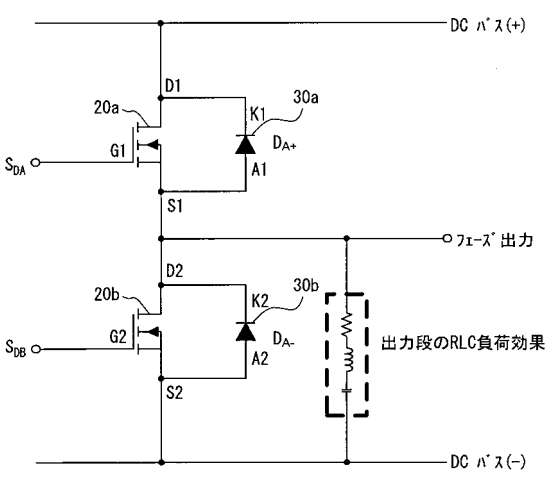
【図 2 3】



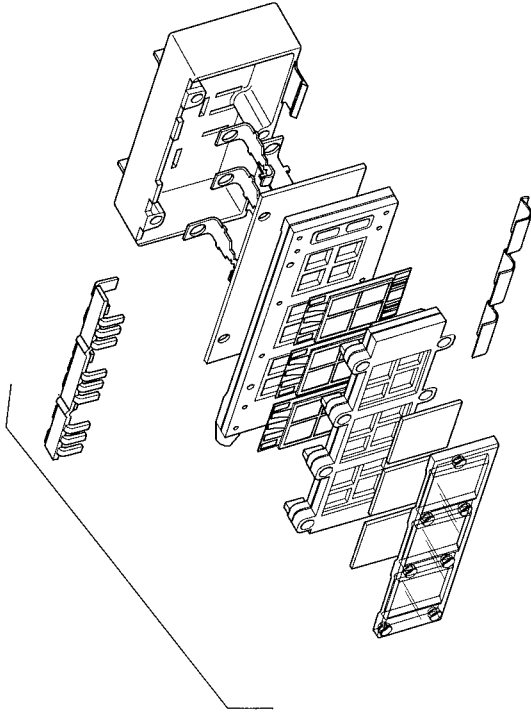
【図 2 4】



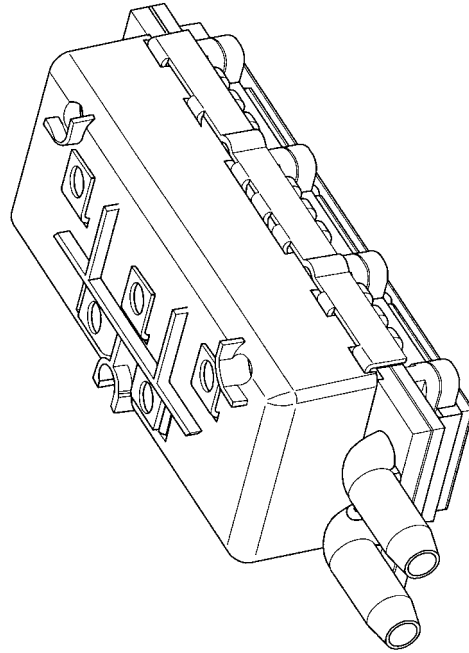
【図 2 5】



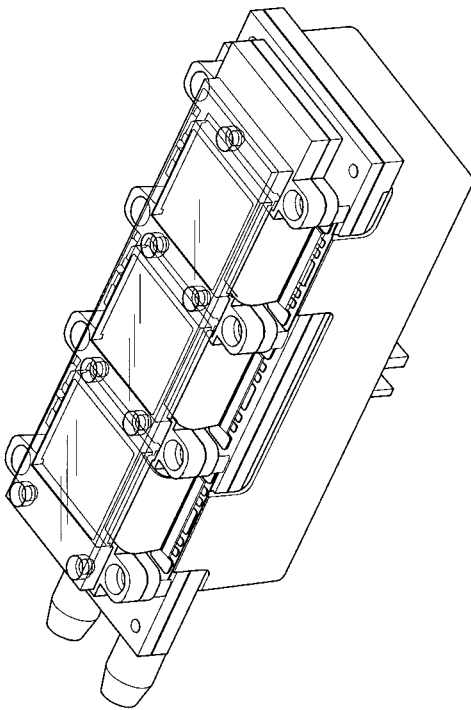
【図 26】



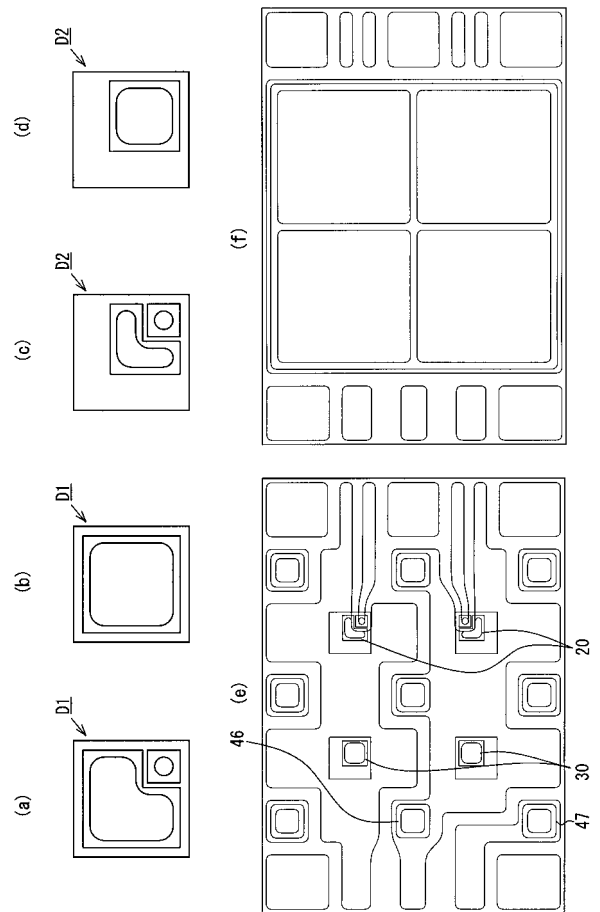
【図 27】



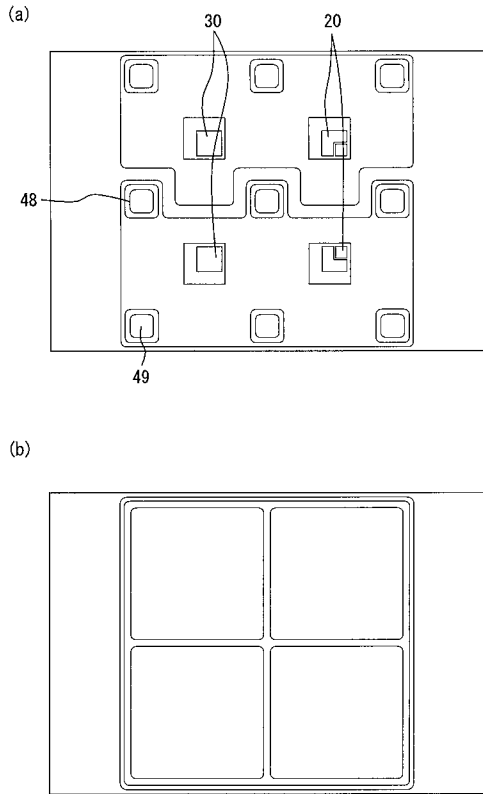
【図 28】



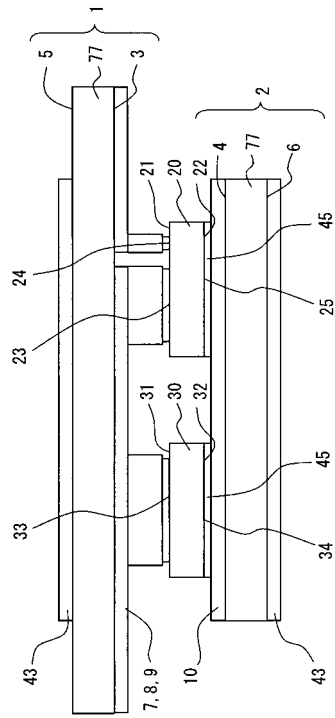
【図 29】



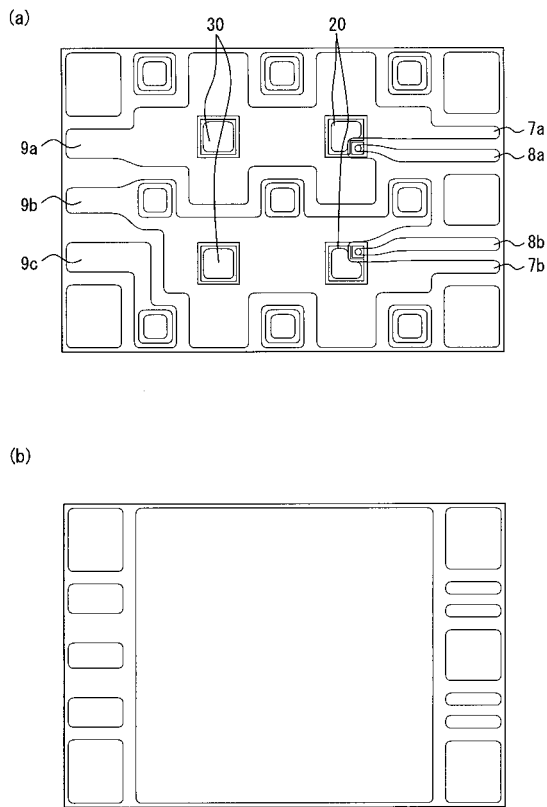
【図30】



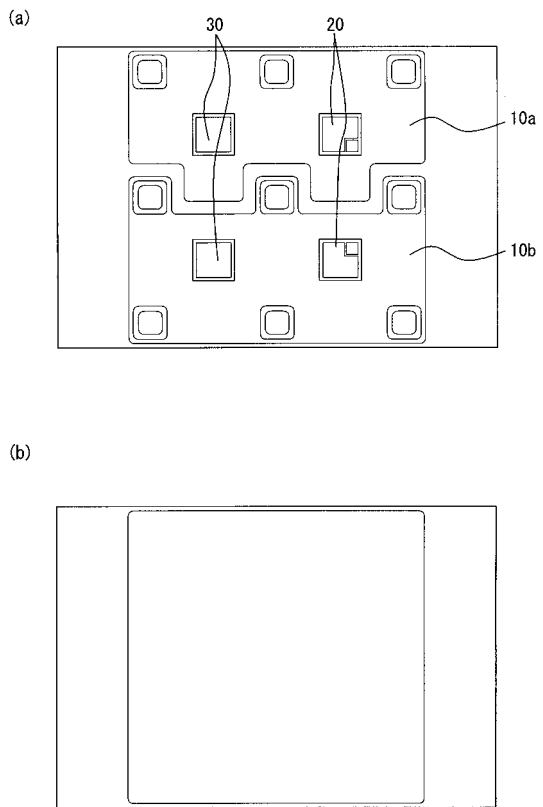
【図31】



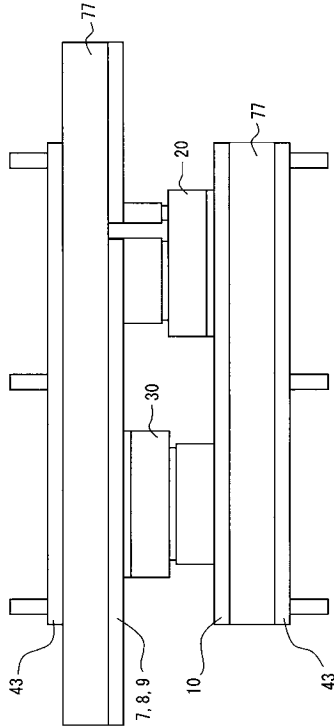
【図32】



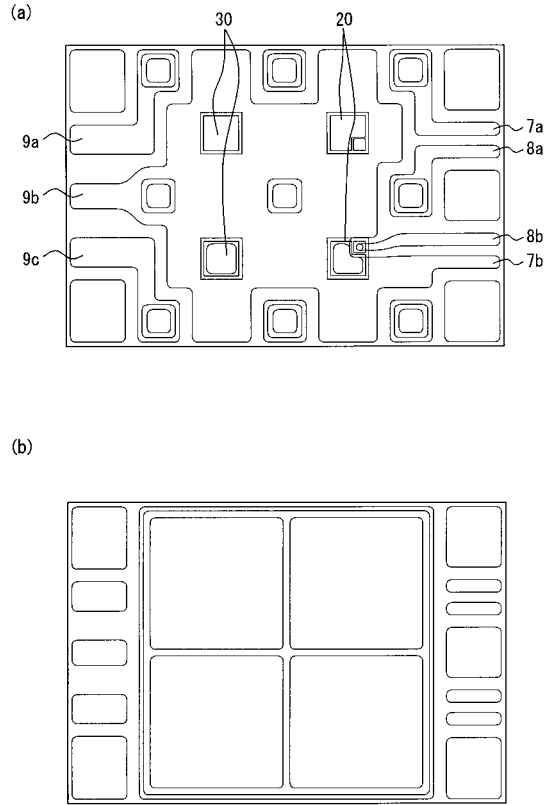
【図33】



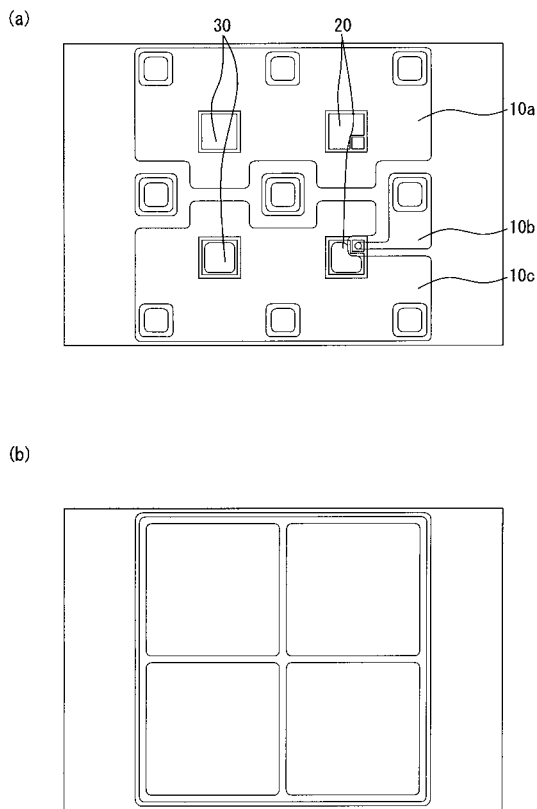
【 3 4 】



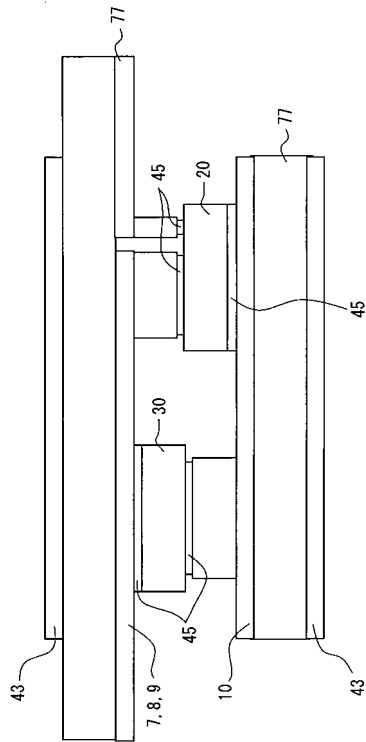
【 3 5 】



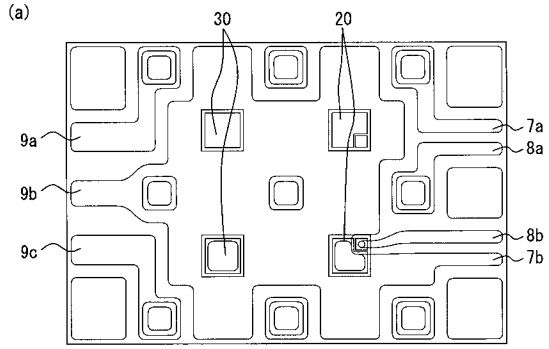
【 3 6 】



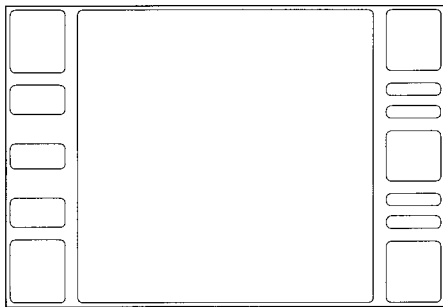
【 3 7 】



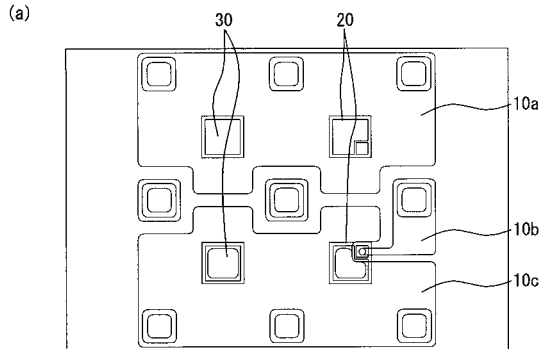
【図 38】



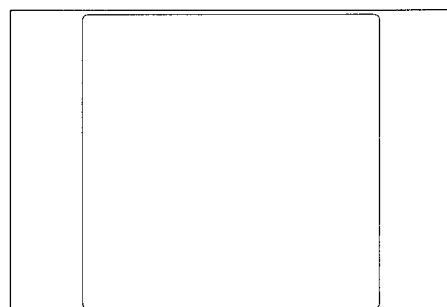
(b)



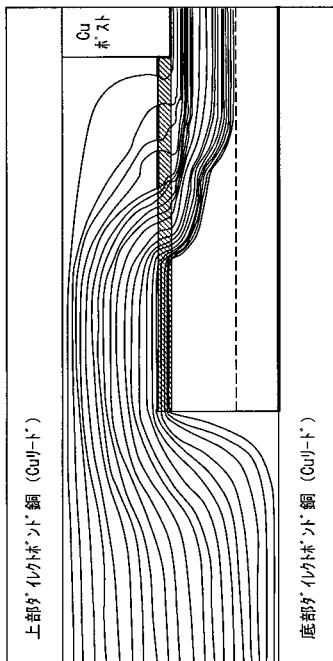
【図 39】



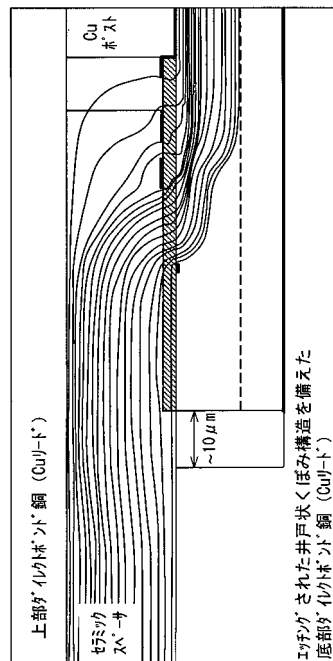
(b)



【図 40】

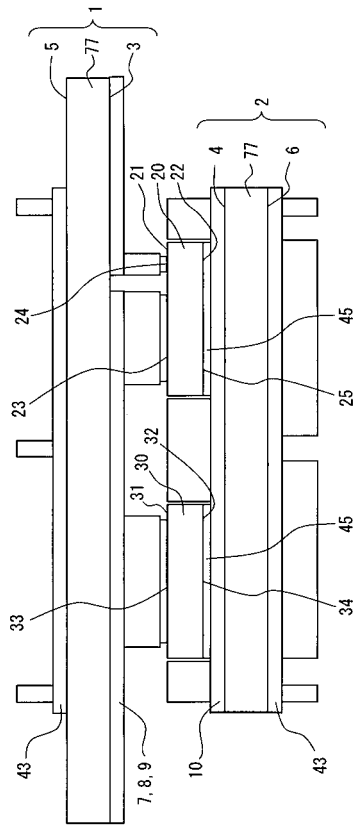


【図 41】

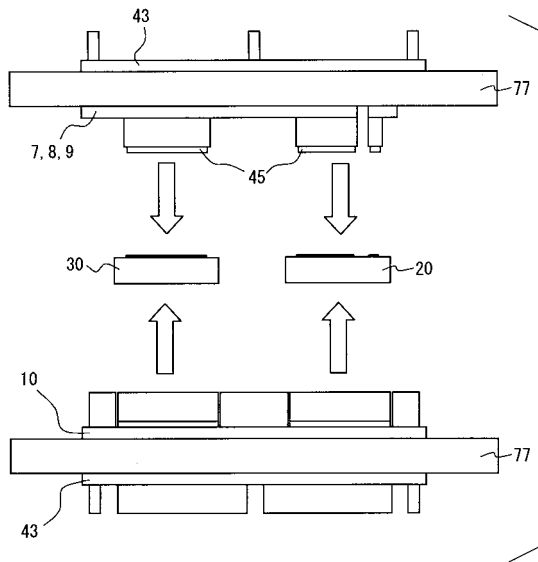


エッチがされた井戸状くぼみ構造を備えた  
底部がイリチウム銅 (CuIr) の銅 (CuIr) の

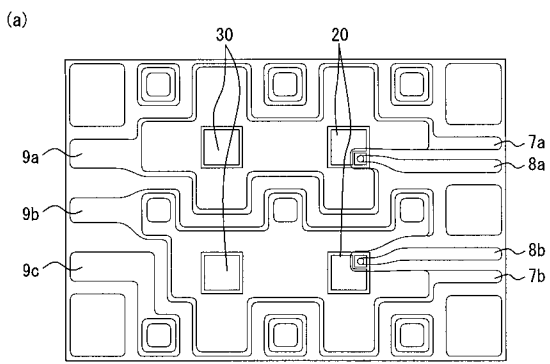
【 図 4 2 】



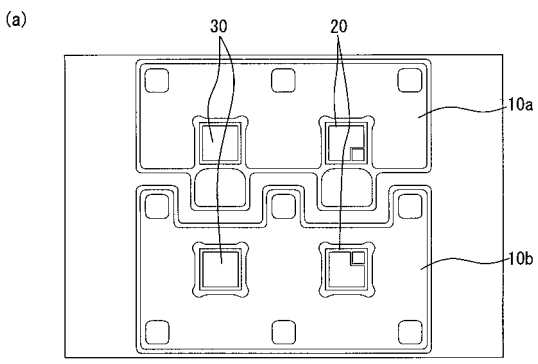
【 図 4 3 】



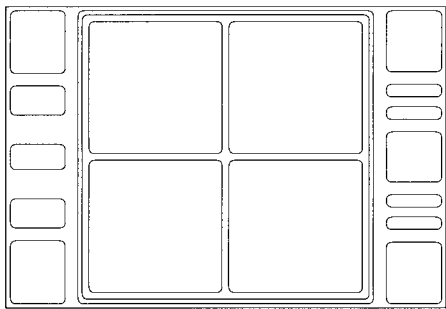
【 図 4 4 】



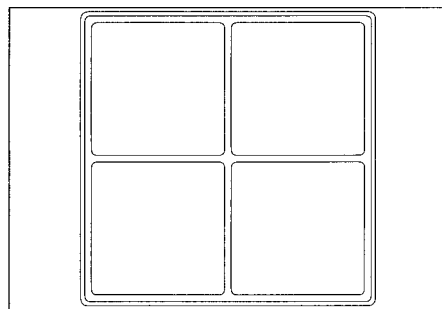
【 図 4 5 】



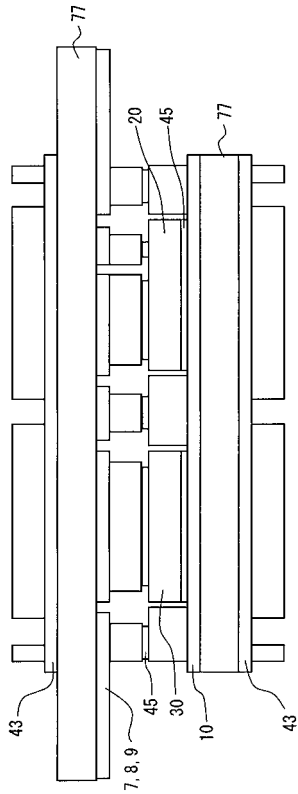
(b)



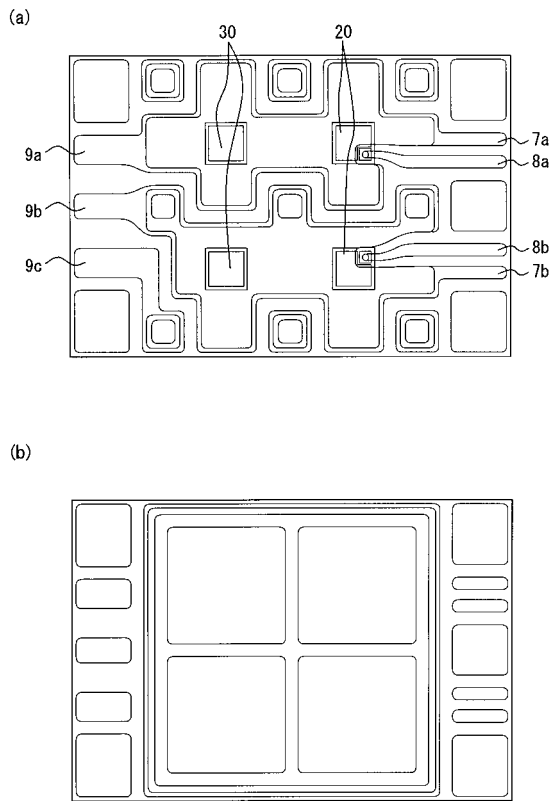
(b)



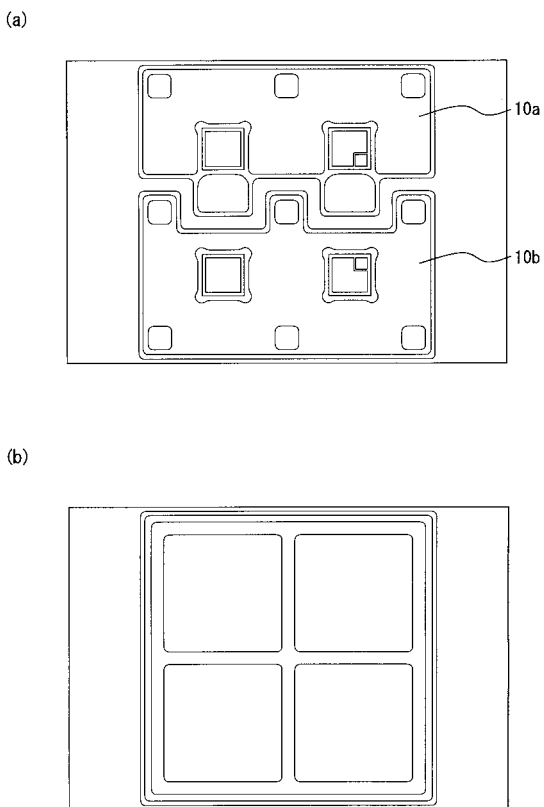
【図46】



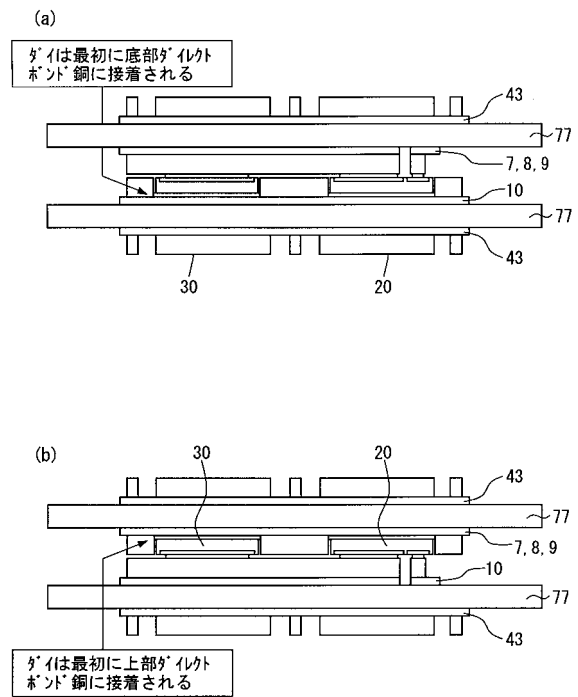
【図47】



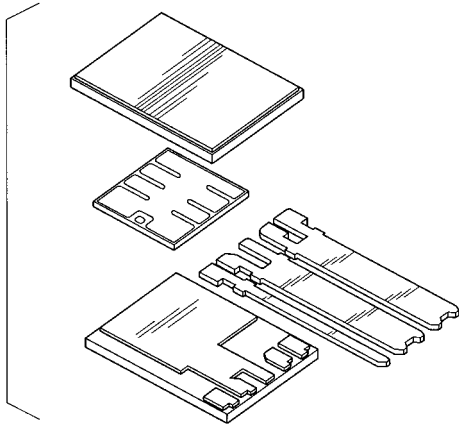
【図48】



【図49】



【 5 0】



## フロントページの続き

- (72)発明者 丸汎 ラジェシュ クマール  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 ジョンソン マーク  
イギリス、シェフィールド S1 3JD、 マッピングストリート、シェ  
フィールド大学内
- (72)発明者 ブタイ シリル  
イギリス、シェフィールド S1 3JD、 マッピングストリート、シェ  
フィールド大学内
- (72)発明者 ハイラシッド ジェレミス  
イギリス、ケンブリッジ CB3 0FA、 9トンプソン アベニュー  
ケンブリッジ大学内
- (72)発明者 ウッドレア フローリン  
イギリス、ケンブリッジ CB3 0FA、 9トンプソン アベニュー  
ケンブリッジ大学内

審査官 井上 由美子

- (56)参考文献 特開平10-056131(JP,A)  
国際公開第2000/019515(WO,A1)  
特開2003-289129(JP,A)  
特開2000-174180(JP,A)  
特開2004-356502(JP,A)  
特開2003-110222(JP,A)  
国際公開第2005/024941(WO,A1)  
特開2004-303900(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H01L 25/00 - 25/18

H01L 23/34 - 23/46

H01L 21/60

H01L 23/12

H05K 3/06