(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3565921号
(P3565921)
(45)発行日　平成16年9月15日(2004.9.15)　(24)登録日　平成16年6月18日(2004.6.18)

(51)Int.Cl.[7]　F I
H03K 19/0185　H03K 19/00　101E

請求項の数 5　(全 7 頁)

(21)出願番号　特願平6-278415
(22)出願日　平成6年10月18日(1994.10.18)
(65)公開番号　特開平7-183793
(43)公開日　平成7年7月21日(1995.7.21)
審査請求日　平成13年10月17日(2001.10.17)
(31)優先権主張番号　138,656
(32)優先日　平成5年10月18日(1993.10.18)
(33)優先権主張国　米国(US)

(73)特許権者　399117121
アジレント・テクノロジーズ・インク
AGILENT TECHNOLOGIES, INC.
アメリカ合衆国カリフォルニア州パロアルト　ページ・ミル・ロード　３９５
３９５ Page Mill Road
Palo Alto, California U.S.A.
(74)代理人　100105913
弁理士　加藤　公久
(72)発明者　ロバート・ビー・マンレー
アメリカ合衆国コロラド州フォートコリンズ、イーストリッジクレストロード　９４５

最終頁に続く

(54)【発明の名称】レベル変換回路

(57)【特許請求の範囲】
【請求項１】
ＣＭＯＳ集積回路内で、シフトされた差動ＥＣＬ電圧レベル入力信号をＣＭＯＳ電圧レベル出力信号に変換するコンバータ回路において、
供給電圧と前記出力信号との間に接続された第１ｐＦＥＴと；
前記出力信号と回路のアースとの間に接続されていて、前記シフトされた差動ＥＣＬ電圧レベル入力信号の反転信号がゲートに接続された第１ｎＦＥＴと；
前記シフトされた差動ＥＣＬ電圧レベル入力信号と、前記第１ｐＦＥＴとの間に接続された電圧レベル・シフト回路とを備え、
前記電圧レベル・シフト回路が前記反転信号を少なくとも１ボルトだけアース・レベルの方向にシフトして、前記第１ｐＦＥＴの前記ゲートにシフトされた信号を供給する構成であることを特徴とするコンバータ回路。
【請求項２】
前記電圧レベル・シフト回路が、前記供給電圧と前記第１ｐＦＥＴの前記ゲートとの間に接続されていて、前記反転信号がゲートに接続されている第２ｎＦＥＴと；
前記第１ｐＦＥＴと前記回路アースとの間に接続された第３ｎＦＥＴと；
前記供給電圧と前記回路アースとの間に直列に接続されている第４と、第５のｎＦＥＴとを備え、
前記第４ｎＦＥＴは前記供給電圧に接続され、且つ、前記シフトされた差動ＥＣＬ電圧入力信号の非反転入力信号がそのゲートに接続されており、前記第５ｎＦＥＴのゲートが前

記第１ｐＥＦＴの前記ゲートに接続され、前記第３ｎＦＥＴのゲートが前記第４と第５のｎＦＥＴの間に接続されたことを特徴とする、請求項１に記載のコンバータ回路。
【請求項３】
ＣＭＯＳ集積回路内で、シフトされた差動ＥＣＬ電圧レベル入力信号をＣＭＯＳ電圧レベル出力信号に変換するコンバータ回路において、
供給電圧と前記出力信号との間に接続された第１ｐＦＥＴと；
前記出力信号と回路のアースとの間に接続されていて、前記シフトされた差動ＥＣＬ電圧レベル入力信号の反転信号がゲートに接続された第１ｎＦＥＴと；
前記供給電圧と前記第１ｐＦＥＴの前記ゲートとの間に接続されていて、前記シフトされたＥＣＬ電圧入力信号の前記反転信号がゲートに接続されている第２ｎＦＥＴと；
前記第１ｐＦＥＴと前記回路アースとの間に接続された第３ｎＦＥＴとを備え、
前記第２と第３のｎＦＥＴが電圧レベルシフト回路を形成し、更に、前記供給電圧と前記回路アースとの間に直列に接続されている第４と、第５のｎＦＥＴとを備え、前記第４ｎＦＥＴは前記供給電圧に接続され、且つ、前記シフトされた差動ＥＣＬ電圧入力信号の非反転入力信号がそのゲートに接続されており、前記第５ｎＦＥＴのゲートが前記第１ｐＥＦＴの前記ゲートに接続され、前記第３ｎＦＥＴのゲートが前記第４と第５のｎＦＥＴの間に接続されたことを特徴とするコンバータ回路。
【請求項４】
前記第２と第４のｎＦＥＴが略同寸法とされ、前記第３及び第５のｎＦＥＴが略同寸法とされ、前記第２と第４のｎＦＥＴの寸法が、前記第３及び第５のｎＦＥＴの寸法に対して所定の比とされることを特徴とする、請求項２に記載のコンバータ装置。
【請求項５】
前記第２と第４のｎＦＥＴが略同寸法とされ、前記第３及び第５のｎＦＥＴが略同寸法とされ、前記第２と第４のｎＦＥＴの寸法が、前記第３及び第５のｎＦＥＴの寸法に対して所定の比とされることを特徴とする、請求項３に記載のコンバータ装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は電子回路に関し、特に相補型金属－酸化物－半導体（ＣＭＯＳ）集積回路内の電子回路に関する。より詳細には、本発明は製造プロセスの変化を補償することを含めて、シフトされた差動エミッタ結合論理の電圧レベルをＣＭＯＳ回路の電圧レベルに変換するための回路に関する。
【０００２】
【従来の技術】
ＣＭＯＳ集積回路は、極めて僅かな電力しか消費しないため、電子回路の設計に広範に利用される論理回路群である。エミッタ結合論理（ＥＣＬ）回路はより多くの電力を消費するが、ＥＬＣはＣＭＯＳよりも大幅に高速であり、ＣＭＯＳの速度では充分ではない回路用に使用される。ＥＣＬの電圧変動が少ないことによって、プリント回路基板を経て接続される信号の放射が少なくなる。更に、ＥＣＬはインピーダンスが低い伝送線を励振するように設計されているので、高周波数の集積回路間の信号特性が優れている。例えば、ＥＣＬはコンピュータ・ワークステーションで使用される解像度が極めて高い陰極線管用のビデオ信号を生成するための高周波信号を供給する場合に使用される。
【０００３】
ＣＭＯＳ集積回路は代表的には、動作用に５ボルトの供給電圧を使用し、論理レベルはこの電圧の範囲全体に亘って変化する。すなわち、０ボルトは論理０用の出力であり、５ボルトは論理１用の出力である。ＥＣＬは従前から－５．２ボルトの供給電圧を使用してきた。ＥＣＬ回路の論理レベルはアースを基準にしており、出力の範囲は大幅に狭くなり、最悪の場合は論理１用には－１．１、論理０用には－１．５の値となる。
【０００４】
ＥＣＬ回路は、ＥＣＬ用にＣＭＯＳの＋５ボルトの供給電圧をも使用し、その信号の基準

をアースではなく＋５ボルトとすることによって、ＣＭＯＳ回路と組み合わせることができる。このようにすると、ＥＣＬの論理１は３．９ボルトとなり、ＥＣＬの論理０は３．５ボルトとなる。この方法によって、ＥＣＬが備えている速度上の利点が得られると共に、回路を単一の集積回路へと組み入れることができる。このように利用されるＥＣＬは場合によって“疑似”ＥＣＬ、ポジティブＥＣＬ又はシフトされたＥＣＬと呼ばれる。

【０００５】

論理１と論理０に関して最悪の場合の値の間の範囲が狭いので、ＣＭＯＳ製造プロセスでの変動によって、ＥＣＬ回路が適正に機能するかどうかに重大な影響が及ぼされることがある。プロセスの変動によってＣＭＯＳトランジスタが“高速”又は“緩速”になり、しかも依然としてＣＭＯＳ製造公差の範囲内にある場合は、ＣＭＯＳレベルとＥＣＬレベルとの間で変換を行う回路では適正に機能する充分な裕度が得られないことがある。

【０００６】

そこで製造プロセスの変動の全範囲に亘って適正な出力の裕度が得られる構成の、シフトされたＥＣＬとＣＭＯＳの電圧レベルを変換する、ＣＭＯＳ集積回路内で製造される変換回路が必要となる。本発明は上記の、及びその他の必要性を満たすものである。

【０００７】

【発明の目的】

本発明の一側面は、シフトされた差動ＥＣＬ論理電圧レベルを、ＣＭＯＳ論理電圧レベルに変換するための回路を提供することにある。

【０００８】

本発明の別の側面は、ＣＭＯＳ製造プロセスの変動の全範囲に亘ってＥＣＬ論理レベルの裕度を保持することにある。

【０００９】

【発明の概要】

本発明の上記の、及びその他の側面は、シフトされた差動ＥＣＬ論理電圧レベル入力信号とＣＭＯＳ論理電圧レベル信号との間で電圧レベルを変換するためのＣＭＯＳ回路において達成される。ＥＣＬレベルはＣＭＯＳ回路のＶＤＤ電圧を基準とし、ＣＭＯＳ　ＶＤＤ電圧とアースとの間に接続されたＥＣＬ回路に接続することが可能である。

【００１０】

この回路は供給電圧と出力信号との間に接続された第１ｐＦＥＴと、出力信号と回路アースとの間に接続された第１ｎＦＥＴとを有している。シフトされた差動ＥＣＬ電圧入力信号の反転信号は、第１ｎＦＥＴのゲートに接続されている。反転信号は更に第２ｎＦＥＴのゲートに接続され、このゲートは供給電圧と、第１ｐＦＥＴのゲートに接続されている。第３ｎＦＥＴは第１ｐＦＥＴのゲートと、回路アースとの間に接続され、第２と第３のｎＦＥＴはシフトされた信号を第１ｐＦＥＴに供給する電圧レベル・シフト回路を形成する。

【００１１】

第４と第５のｎＦＥＴは、供給電圧と回路アースとの間に直列に接続されている。第４のｎＦＥＴは供給電圧に接続され、シフトされた差動ＥＣＬ電圧入力信号の非反転入力信号は第４ｎＦＥＴのゲートに接続されている。第５ｎＦＥＴのゲートはシフトされた信号に接続され、第３ｎＦＥＴのゲートは第４と第５のｎＦＥＴの間に接続されている。第３と第５のｎＦＥＴは一方の論理から他方の論理への遷移を促進する再生回路を形成する。

【００１２】

【実施例】

以下の説明は、本発明を実施する上での現時点での最良の態様である。この説明は限定的なものではなく、本発明の基本原理を説明する目的であるに過ぎない。

【００１３】

図１はシフトされたＥＣＬ電圧レベルからＣＭＯＳ電圧レベルへと変換する回路を示している。ここで図１を参照すると、回路１０２は入力信号１０４と、反転入力信号１０６とを有している。ｐＦＥＴ１１８とｎＦＥＴ１１６とはＣＭＯＳインバータを形成しており

、反転入力１０６はｎＦＥＴ１１６に直接接続され、レベル・シフトされた反転入力信号はｐＦＥＴ１１８のゲートに接続されている。

【００１４】

反転入力１０６はｎＦＥＴ１１４のゲートに接続されており、このゲートはＶＤＤとｎＦＥＴ１１２との間に接続されている。ｎＦＥＴ１１２はｎＦＥＴ１１４用の負荷を与え、ｎＦＥＴ１１４とｎＦＥＴ１１２の組み合わせによって、反転入力信号１０６を下方のレベルにシフトしてシフトされた信号１２２を得るためのレベル・シフト機能が得られる。このシフトされた信号はゲート入力をｐＦＥＴ１１８に接続する。ＥＣＬ用の低い論理電圧レベルはｐＦＥＴ１１８のゲートーソースしきい値範囲内にあるので、入力信号はｐＦＥＴ１１８のゲートに接続される前に、ｎＦＥＴ１１２と１１４とによって約１ボルトだけシフトされる。

【００１５】

ｎＦＥＴ１０８及び１１０はＩＮ信号１０４用のレベル・シフト素子として接続されている。ｎＦＥＴ１１０と１１２との交差結合によって、レベル・シフト機能の安定化が図られ、入力の論理レベルが変化した際に遷移速度を高める役割を果たす。

【００１６】

動作時には、ＮＩＮ信号１０６が降下すると、ｎＦＥＴ１１４の導通性が低下して、信号１２２のレベルを降下せしめる。同時にＩＮ信号１０４が上昇して導通性が高まり、それによって信号１２４のレベルは上昇して、ｎＦＥＴ１１２の導通性が高まり、それによってシフトされた信号１２２のレベルをより急速に降下せしめる。信号１２２が降下するとｎＦＥＴ１１０の導通性が低下し、それによって信号１２４のレベルがより急速に高まり、それによってｎＦＥＴ１１０と１１２との間に再生帰還が生じて遷移が促進され、ｐＦＥＴ１１８の導通性がより急速に高まる。ＮＩＮ１０６が上昇すると、上記とは逆の作用が生じ、そこでｐＦＥＴ１０８，１１０，１１２及び１１４が回路の速度を高める。

【００１７】

ＦＥＴのサイズ比は回路の性能を最適化するために調整可能である。ｎＦＥＴ１０８と１１４とは同じサイズであり、ｎＦＥＴ１１０と１１２も同様であろう。１０８／１１４のサイズと、１１０／１１２のサイズの比が１．１４対１であることによって、より少ない裕度でより高速の回路が得られる。１０８／１１４のサイズと、１１０／１１２のサイズの比が１対１．１である場合はより多くの裕度が得られるが速度は遅くなる。ｐＦＥＴ１１８とｎＦＥＴ１１６のサイズ比は上記の比率に対応して調整される。すなわち、１．１４対１の比率の場合は、ｐＦＥＴ１１８とｎＦＥＴ１１６のサイズ比は３対１である。１対１．１の比率の場合は、ｐＦＥＴ１１８とｎＦＥＴ１１６のサイズ比は３．５対１である。

【００１８】

上記のとおり、本発明の現時点での好ましい実施例を説明してきたが、本発明の側面は完全に達成され、本発明の趣旨と範囲から離れることなく、構造と回路に多くの変更が可能であり、本発明の大幅に異なる実施例と用例が自明であることが専門家には理解されよう。ここに記載した開示内容と説明は説明目的であり、本発明を限定するものでは決してない。

【００１９】

以上、本発明の実施例について詳述したが、以下、本発明の各実施例毎に列挙する。

【実施例１】

ＣＭＯＳ集積回路内で、シフトされた差動ＥＣＬ電圧レベル入力信号（１０４，１０６）をＣＭＯＳ電圧レベル出力信号（１２０）に変換するコンバータ回路において、

供給電圧と前記出力信号（１２０）との間に接続された第１ｐＦＥＴ（１１８）と；

前記出力信号（１２０）と回路のアースとの間に接続されていて、前記シフトされた差動ＥＣＬ電圧レベル入力信号の反転信号（１０６）がゲートに接続された第１ｎＦＥＴ（１１６）と；

前記シフトされた差動ＥＣＬ電圧レベル入力信号（１０４，１０６）と、前記第１ｐＦＥ

Ｔ（１１８）との間に接続された電圧レベル・シフト回路（１０８，１１０，１１２，１１４）とを備え、前記電圧レベル・シフト回路が前記反転信号（１０６）を少なくとも１ボルトだけアース・レベルの方向にシフトして、前記第１ｐＦＥＴ（１１８）の前記ゲートにシフトされた信号（１２２）を供給する構成であることを特徴とするコンバータ回路。

【実施例２】

前記電圧レベル・シフト回路が、

前記供給電圧と前記第１ｐＦＥＴ（１１８）の前記ゲートとの間に接続されていて、前記反転信号（１０６）がゲートに接続されている第２ｎＦＥＴ（１１４）と；

前記第１ｐＦＥＴと前記回路アースとの間に接続された第３ｎＦＥＴ（１１２）と；

前記供給電圧と前記回路アースとの間に直列に接続されている第４（１０８）と、第５（１１０）のｎＦＥＴとを備え、前記第４ｎＦＥＴ（１０８）は前記供給電圧に接続され、且つ、前記シフトされた差動ＥＣＬ電圧入力信号の非反転入力信号がそのゲートに接続されており、前記第５ｎＦＥＴ（１１０）のゲートが前記第１ｐＥＦＴ（１１８）の前記ゲートに接続され、前記第３ｎＦＥＴ（１１２）のゲートが前記第４（１０８）と第５（１１０）のｎＦＥＴの間に接続されたことを特徴とする実施例１記載のコンバータ回路。

【実施例３】

ＣＭＯＳ集積回路内で、シフトされた差動ＥＣＬ電圧レベル入力信号（１０４，１０６）をＣＭＯＳ電圧レベル出力信号（１２０）に変換するコンバータ回路において、

供給電圧と前記出力信号（１２０）との間に接続された第１ｐＦＥＴ（１１８）と；

前記出力信号（１２０）と回路のアースとの間に接続されていて、前記シフトされた差動ＥＣＬ電圧レベル入力信号の反転信号（１０６）がゲートに接続された第１ｎＦＥＴ（１１６）と；

前記供給電圧と前記第１ｐＦＥＴ（１１８）の前記ゲートとの間に接続されていて、前記シフトされたＥＣＬ電圧入力信号の前記反転信号（１０６）がゲートに接続されている第２ｎＦＥＴ（１１４）と；

前記第１ｐＦＥＴと前記回路アースとの間に接続された第３ｎＦＥＴ（１１２）とを備え、前記第２と第３のｎＦＥＴが電圧レベルシフト回路を形成し、更に、

前記供給電圧と前記回路アースとの間に直列に接続されている第４（１０８）と、第５（１１０）のｎＦＥＴとを備え、前記第４ｎＦＥＴは前記供給電圧に接続され、且つ、前記シフトされた差動ＥＣＬ電圧入力信号の非反転入力信号がそのゲートに接続されており、前記第５ｎＦＥＴ（１１０）のゲートが前記第１ｐＥＦＴ（１１８）の前記ゲートに接続され、前記第３ｎＦＥＴ（１１２）のゲートが前記第４（１０８）と第５（１１０）のｎＦＥＴの間に接続されたことを特徴とするコンバータ回路。

【００２０】

【発明の効果】

以上説明したように、本発明を用いることにより、ＣＭＯＳ製造プロセスの変動の全範囲に亘ってＥＣＬ論理レベルの裕度を保持しつつ、シフトされた差動ＥＣＬ論理電圧レベルをＣＭＯＳ論理電圧レベルに変換するための回路を提供することができる。

【図面の簡単な説明】

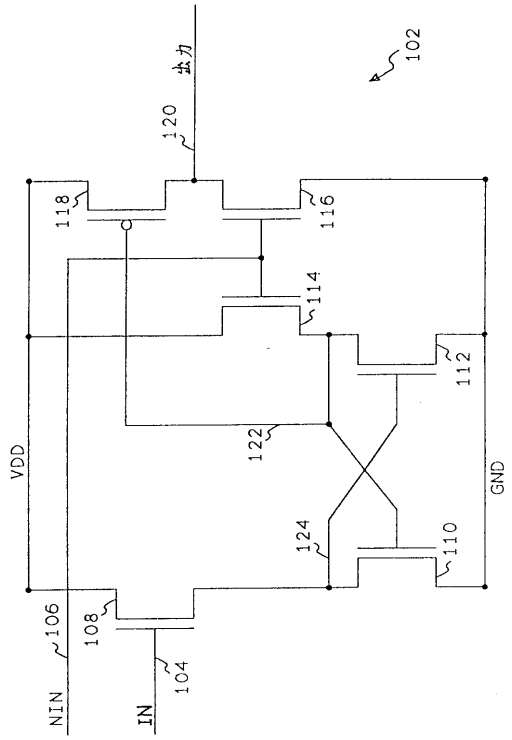
【図１】本発明のレベル・シフトされた差動ＥＣＬ電圧レベルをＣＭＯＳ電圧レベルに変換する回路の概略図である。

【符号の説明】

１１８：ｐＦＥＴ

１０８、１１０、１１２、１１４、１１６：ｎＦＥＴ

【図１】



フロントページの続き

審査官　彦田　克文

(56)参考文献　特開平０４－０７８２２１（ＪＰ，Ａ）
特開平０４－２２３７１３（ＪＰ，Ａ）
特開平０５－０３７３３５（ＪＰ，Ａ）
特開平０５－０９５２７１（ＪＰ，Ａ）
米国特許第4471242（ＵＳ，Ａ）
米国特許第4779016（ＵＳ，Ａ）
米国特許第4835419（ＵＳ，Ａ）
米国特許第4841175（ＵＳ，Ａ）
米国特許第4996443（ＵＳ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03K 19/0185