



(12) 发明专利申请

(10) 申请公布号 CN 104365057 A

(43) 申请公布日 2015. 02. 18

(21) 申请号 201380031222. 3

(51) Int. Cl.

(22) 申请日 2013. 06. 12

H04L 12/12 (2006. 01)

(30) 优先权数据

61/660, 664 2012. 06. 15 US

13/662, 076 2012. 10. 26 US

(85) PCT国际申请进入国家阶段日

2014. 12. 12

(86) PCT国际申请的申请数据

PCT/US2013/045404 2013. 06. 12

(87) PCT国际申请的公布数据

W02013/188535 EN 2013. 12. 19

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 G · A · 威利

(74) 专利代理机构 上海专利商标事务所有限公司 31100

代理人 唐杰敏

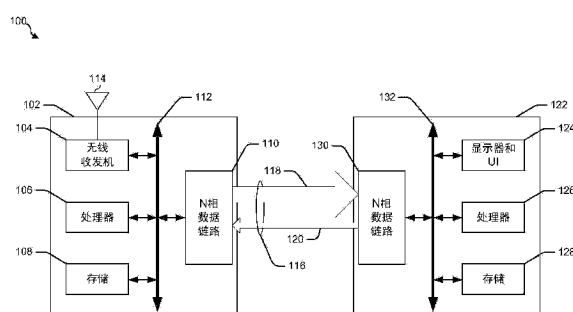
权利要求书3页 说明书9页 附图7页

(54) 发明名称

三相极性安全反向链路关闭

(57) 摘要

描述了促成电子装置内的两个设备之间的数据链路关闭从而启用安全进入休眠模式的系统、方法和装置。主机设备在第一数据链路上向客户端设备传送命令。如果客户端设备不在第二数据链路上传送，则主机设备发起第一数据链路的关闭和进入休眠状态。当确定客户端设备在第二数据链路上传送时，可发起延迟。该命令可包括撤销在第二数据链路上传送数据的准许以使客户端设备终止第二数据链路上的通信的指令。



1. 一种用于数据通信的方法,包括:

在第一数据链路上向客户端设备传送命令,所述命令被编码在一个或多个N相极性编码的码元中并且包括撤销在第二数据链路上传送数据的准许的指令;

确定所述客户端设备是否正在所述第二数据链路上传送;

当确定所述客户端设备不在所述第二数据链路上传送时使所述第一和第二数据链路进入休眠状态;以及

当确定所述客户端设备在所述第二数据链路上传送时使所述第一和第二数据链路在延迟之后进入所述休眠状态。

2. 如权利要求1所述的方法,其特征在于,所述第一数据链路支持比所述第二数据链路所支持的数据率快至少一个数量级的数据率。

3. 如权利要求2所述的方法,其特征在于,还包括在所述第一数据链路上在一个或多个N相极性编码的数据码元中传送数据。

4. 如权利要求3所述的方法,其特征在于,所述第一和第二数据链路在容纳了所述客户端设备和主机设备的装置中提供,其中所述N相极性编码的数据码元是由所述主机设备传送的并且包括3相编码的数据码元。

5. 如权利要求3所述的方法,其特征在于,所述命令包括数据链路关闭分组且其中由所述第二数据链路支持的所述数据率是基于所述数据链路关闭分组中提供的信息来确定的。

6. 如权利要求5所述的方法,其特征在于,在数据链路关闭分组中提供的所述信息包括用于对从所述第一数据链路提取的时钟进行分频的除数。

7. 如权利要求3所述的方法,其特征在于,所述第二数据链路上传达的数据是使用从所述N相极性编码的数据码元导出的时钟传送的。

8. 如权利要求7所述的方法,其特征在于,所述第二数据链路上传达的数据是与所述N相极性编码的数据码元同步地进行时钟控制的。

9. 如权利要求7所述的方法,其特征在于,使所述第一和第二数据链路进入休眠状态包括终止所述第一数据链路上的传输。

10. 如权利要求9所述的方法,其特征在于,终止所述第一时间链路上的传输终止所述时钟,由此防止通过所述第二数据链路的通信。

11. 如权利要求9所述的方法,其特征在于,还包括响应于从所述客户端设备接收的唤醒信号而使所述第一和第二数据链路退出所述休眠状态。

12. 如权利要求2所述的方法,其特征在于,所述命令被携带在数据分组中。

13. 如权利要求2所述的方法,其特征在于,所述延迟具有足以保证所述客户端设备已接收到携带所述命令的所述数据分组的历时。

14. 如权利要求2所述的方法,其特征在于,所述延迟具有由与所述第一数据链路相关联的分组传输时间确定的历时。

15. 如权利要求14所述的方法,其特征在于,所述延迟具有由与所述第二数据链路相关联的分组传输时间确定的历时。

16. 一种用于无线通信的设备,包括:

用于在第一数据链路上向客户端设备传送命令的装置,所述命令包括撤销在第二数据

链路上传送数据的准许的指令；

用于确定所述客户端设备是否正在所述第二数据链路上传送的装置；

用于当确定所述客户端设备不在所述第二数据链路上传送时使所述第一和第二数据链路进入休眠模式的装置，其中当确定所述客户端设备在所述第二数据链路上传送时所述第一和第二数据链路在延迟之后进入所述休眠模式。

17. 如权利要求 16 所述的设备，其特征在于，所述第一数据链路支持比所述第二数据链路所支持的数据率快至少一个数量级的数据率。

18. 如权利要求 17 所述的设备，其特征在于，所述第一数据链路上传达的数据包括 N 相极性编码的数据码元。

19. 如权利要求 18 所述的设备，其特征在于，所述第一和第二数据链路在容纳所述客户端设备和主机设备的装置中提供，其中所述 N 相极性编码的数据码元是由所述主机设备传送的并且包括 3 相编码的数据码元。

20. 如权利要求 18 所述的设备，其特征在于，所述命令包括数据链路关闭分组且其中由所述第二数据链路支持的所述数据率是基于所述数据链路关闭分组中提供的信息来确定的。

21. 如权利要求 20 所述的设备，其特征在于，在数据链路关闭分组中提供的所述信息包括用于对从所述第一数据链路提取的时钟进行分频的除数。

22. 如权利要求 18 所述的设备，其特征在于，所述第二数据链路上传达的数据是使用从所述 N 相极性编码的数据码元导出的时钟传送的。

23. 如权利要求 22 所述的设备，其特征在于，所述第二数据链路上传达的数据是与所述 N 相极性编码的数据码元同步地进行时钟控制的。

24. 如权利要求 22 所述的设备，其特征在于，所述用于使所述第一和第二数据链路进入休眠状态的装置终止所述第一数据链路上的传输。

25. 如权利要求 24 所述的设备，其特征在于，当所述第一数据链路上的传输被终止时，所述时钟被终止。

26. 如权利要求 24 所述的设备，其特征在于，还包括用于响应于从所述客户端设备接收的唤醒信号而使所述第一和第二数据链路退出所述休眠状态的装置。

27. 如权利要求 17 所述的设备，其特征在于，所述命令被携带在数据分组中。

28. 如权利要求 17 所述的设备，其特征在于，所述延迟具有足以保证所述客户端设备已接收到携带所述命令的所述数据分组的历时。

29. 如权利要求 17 所述的设备，其特征在于，所述延迟具有由与所述第一数据链路相關联的分组传输时间确定的历时。

30. 如权利要求 29 所述的设备，其特征在于，所述延迟具有由与所述第二数据链路相關联的分组传输时间确定的历时。

31. 一种用于无线通信的装置，包括：

处理系统，配置成：

在第一数据链路上向客户端设备传送命令，所述命令包括撤销在第二数据链路上传送数据的准许的指令；

确定所述客户端设备是否正在所述第二数据链路上传送；

当确定所述客户端设备不在所述第二数据链路上传送时使所述第一和第二数据链路进入休眠状态；以及

当确定所述客户端设备在所述第二数据链路上传送时使所述第一和第二数据链路在延迟之后进入所述休眠状态。

32. 一种计算机程序产品，包括：

计算机可读介质，包括用于执行以下操作的代码：

在第一数据链路上向客户端设备传送命令，所述命令包括撤销在第二数据链路上传送数据的准许的指令；

确定所述客户端设备是否正在所述第二数据链路上传送；

当确定所述客户端设备不在所述第二数据链路上传送时使所述第一和第二数据链路进入休眠状态；以及

当确定所述客户端设备在所述第二数据链路上传送时使所述第一和第二数据链路在延迟之后进入所述休眠状态。

三相极性安全反向链路关闭

[0001] 相关申请的交叉引用

[0002] 本申请要求 2012 年 6 月 15 号提交的题为“Three-Phase-Polarity Safe Reverse Link Shutdown”(“三相极性安全反向链路关闭”)的美国临时专利申请序列号 61/660,664 的权益，该申请通过整体引用明确地结合于此。

[0003] 背景

[0004] 领域

[0005] 本公开一般地涉及高速数据通信，更具体地，涉及电子设备的组件之间的非对称通信。

背景技术

[0006] 当主机通过前向数据链路向客户端发送链路关闭分组时，在非对称数据链路上可能存在竞争状况。客户端可能已经并发地在反向数据链路上开始了数据的传输。如果主机关闭前向链路，则反向链路可能丢失其传输时钟，因为当客户端尝试反向分组时前向链路将处于休眠。

[0007] 概述

[0008] 本文公开的实施例提供用于可共处于电子装置中并通过一个或多个数据链路通信地耦合的两个设备之间的通信的系统、方法和装置。当要求链路关闭时，本发明的某些实施例使得一个或多个数据链路能够有序关闭和安全进入休眠模式。

[0009] 在本公开的一方面，用于数据通信的系统、方法和装置通过第一数据链路向客户端设备传送命令，确定客户端设备是否正在通过第二数据链路进行传送，使第一和第二数据链路进入休眠状态。当确定在该命令被传送时客户端设备正在第二数据链路上进行传送时，可在进入休眠状态之前发起延迟。该命令可包括撤销在第二数据链路上传送数据的准许的指令。

[0010] 在本公开的一方面，第一数据链路支持比第二数据链路所支持的数据率快至少一个数量级的数据率。在第一数据链路上传达的数据可以用 N 相极性编码的数据码元来传送。第一和第二数据链路可在容纳客户端设备和主机设备的装置中提供。N 相极性编码的数据码元通常由主机设备传送并可包括三相编码的数据码元。

[0011] 在本公开的一方面，命令包括数据链路关闭分组。由第二数据链路支持的数据率可基于在数据链路关闭分组中提供的信息来确定。在数据链路关闭分组中提供的信息可包括用于对从第一数据链路提取的时钟进行分频的除数。

[0012] 在本公开的一方面，在第二数据链路上传达的数据可使用从 N 相极性编码的数据码元中导出的时钟来传送。在第二数据链路上传达的数据可与 N 相极性编码的数据码元同步地进行时钟控制。

[0013] 在本公开的一方面，当第一数据链路上的传输被终止时，第一和第二数据链路可进入休眠状态。终止第一数据链路上的传输可导致时钟被终止，由此防止通过第二数据链路的通信。

[0014] 在本公开的一方面,可响应于从客户端设备接收的唤醒信号来使第一和第二数据链路退出休眠状态。在本公开的一方面,命令可携带在数据分组中。延迟可具有保证客户端设备已接收到携带命令的数据分组的历时。延迟可具有由与第一或第二数据链路相关联的分组传输时间确定的历时。

[0015] 附图简述

[0016] 图 1 描绘了在设备之间采用非对称数据链路的系统。

[0017] 图 2 示出了 N 相极性数据编码。

[0018] 图 3 示出了 N 相极性数据编码的信号。

[0019] 图 4 示出了 3 相极性数据编码系统的某些方面。

[0020] 图 5 是数据通信方法的流程图。

[0021] 图 6 是示出了示例性设备中的不同模块 / 装置 / 组件之间的数据流的概念性数据流图。

[0022] 图 7 是示出了用于采用处理系统的装置的硬件实现的示例的示图。

[0023] 详细描述

[0024] 现在参照附图描述各个方面。在以下描述中,出于解释目的阐述了众多具体细节以提供对一个或多个方面的透彻理解。但是显然的是,没有这些具体细节也可实践此(诸)方面。

[0025] 如本申请中所使用的,术语“组件”、“模块”、“系统”及类似术语旨在包括计算机相关实体,诸如但并不限于硬件、固件、硬件与软件的组合、软件、或执行中的软件。例如,组件可以是但不限于,在处理器上运行的进程、处理器、对象、可执行件、执行的线程、程序和 / 或计算机。作为解说,在计算设备上运行的应用和该计算设备两者皆可以是组件。一个或多个组件可驻留在进程和 / 或执行的线程内,且组件可以本地化在一台计算机上和 / 或分布在两台或更多台计算机之间。另外,这些组件能从其上存储着各种数据结构的各种计算机可读介质来执行。这些组件可藉由本地和 / 或远程进程来通信,诸如根据具有一个或多个数据分组的信号来通信,这样的数据分组诸如是来自藉由该信号与本地系统、分布式系统中另一组件交互的、和 / 或跨诸如因特网之类的网络与其他系统交互的一个组件的数据。

[0026] 此外,术语“或”旨在表示包含性“或”而非排他性“或”。即,除非另外指明或从上下文能清楚地看出,否则短语“X 采用 A 或 B”旨表示任何自然的可兼排列。即,短语“X 采用 A 或 B”得到以下任何实例的满足 :X 采用 A ;X 采用 B ;或 X 采用 A 和 B 两者。另外,本申请和所附权利要求书中所使用的冠词“一”和“某”一般应当被解释成表示“一个或多个”,除非另外声明或者可从上下文中清楚看出是指单数形式。

[0027] 本发明的某些实施例可应用于部署在电子组件之间的通信链路,该电子组件可包括设备(诸如电话、移动计算设备、电器、汽车电子、航空电子系统等)的子组件。图 1 示出了其中通信链路 116 被用来连接系统 100 的组件 102 和 122 的示例。在此示例中,系统 100 可包括移动计算系统、无线电话、笔记本计算机、媒体播放器、游戏设备等等。通信链路 116 可以是双向的和非对称的,包括前向数据链路 118 和反向数据链路 120,其中反向链路 120 的定时是从前向链路 118 的定时导出的(或反过来)。在一个示例中,前向链路 118 可包括从第一处理设备 102 向第二处理设备 122 传达数据的高速链路。前向链路 118 可包括具有多个信号线的有线总线,每一个信号线携带经编码的数据。

[0028] 第一处理设备 102 可执行计算系统 100 的核心功能,包括维护通过无线收发机 104 和天线 114 的无线通信,而第二处理设备 122 可支持用户接口 124,该用户接口可包括显示驱动器和用户显示器,诸如液晶显示 (LCD) 面板、触摸屏、键盘语音识别和其他输入设备。用户接口 124 可提供音频输入和输出。存储 108 和 128 可包括易失性和非易失性存储,其用于维护由相应的处理器 106 和 126 使用的指令和数据。处理器 106 和 126、存储 108 和 128 以及其他设备 104、110、124 和 130 之间的通信可由一个或多个总线 112 和 132 来促成。第一处理系统 102 可被指定为主机系统或主机端发射机,而第二处理系统 122 可被指定为客户端系统或接收机。

[0029] 反向链路 120 可以比前向链路 118 低的速度操作,并可从第二处理设备 122 向第一处理设备 102 传达控制、命令和其他信息。前向和反向数据传输速率可相差诸数量级。在一些实施例中,反向链路 120 从前向链路 118 导出时钟信号以用于同步目的、控制目的、促成功率管理和 / 或用于使设计简单化。时钟信号可具有通过对用于在前向链路 118 上上传送信号的码元时钟的频率进行分频所获得的频率。码元时钟可在前向链路 118 上上传送的码元中被叠加或以其他方式被编码。使用从码元时钟导出的时钟信号允许发射机和接收机 (收发机 110、130) 的快速同步并且实现数据信号的快速开始和停止而无需为启用训练和同步而成帧。

[0030] 在一个示例中,通信链路 116 包括高速数字接口,诸如移动显示数字接口 (MDDI),且一个或多个数据链路 118 和 120 可使用 N 相极性编码。收发机 110 和 130 可对在链路 116 上上传的数据进行编码和解码。N 相极性编码的使用提供了高速数据传输并可消耗其他接口的功率的一半或更少,因为在 N 相极性编码的数据链路 116 中仅有较少驱动器是活跃的。N 相极性编码设备 110 和 / 或 130 对接口上每一次转换编码多个位,该接口可包括总线。在一个示例中,3 相极性编码可用来支持每秒 80 帧的宽视频图形阵列 (WVGA) LCD 驱动器 IC 而无需帧缓冲器,从而以 810Mbps 递送像素数据以供显示刷新。当使用 3 相极性编码时,3 线总线上的信号被驱动为正、负、或未驱动 (高阻抗)。可使用单元级电流模式驱动器 (见图 2) 来将每一个信号驱动为三个状态 (表示为 +1、-1 或 0) 中的一个。对于每一个所传送的码元,至少一个信号是在 0 状态,且驱动为正 (+1 状态) 的信号的数量等于驱动为负 (-1 状态) 的信号的数量,从而流向接收机的电流的总和始终是零。

[0031] 在发射机处,数据被输入到可选映射器,该映射器将输入字映射到将通过总线发送的一系列码元。M 相 N 线驱动器可从映射器一次接收一个码元 (见图 4)。映射器的一个目的是基于输入数据字来计算一组码元的值。这在每码元的位数不是整数时尤其有用。在 3 线系统的简单示例中,有同时驱动 2 条线的 3 种组合,以及所驱动的一对线上的极性的 2 种可能组合,从而产生 6 种可能的状态。这 6 种状态中的 5 种是可用的,因为在任何两个码元之间需要转换。在 5 种状态的情况下,每码元可达 $\log_2(5) \cong 2.32$ 位,因此映射器接受 16 位字并将它转换成 7 个码元是可能的,每个码元利用 $16/7 \cong 2.28$ 位。

[0032] 图 2 在进一步参考图 4 的情况下示出了图 1 中描绘的简化示例中的系统的某些方面。图 4 示出了在数据链路 118 上采用 3 相极性编码的系统,并且图 2 示出了主机物理层 408 的某些元件。主机物理层 408 可至少部分地在收发机 110 中实施,而客户端物理层 428 组件可至少部分地在收发机 130 中实施。数据编码器 406、链路层逻辑 404、反向数据逻辑 410 和包括唤醒逻辑 412 在内的其他逻辑的一些或全部也可在收发机 110 中实施。数据解

码器 426、链路层逻辑 424、反向数据逻辑 430 和包括唤醒逻辑 432 在内的其他逻辑的一些或全部也可在收发机 130 中实施。

[0033] N 相极性编码可根据 3 相极性编码的示例来理解。如图 2 中所示,当数据链路 118 活跃时,电流通过可在端子 202、204、206 处测量的三个信号中的两个,而没有电流通过第三信号。每个相位状态都可以具有要么为正要么为负的极性,尽管图 2 仅示出了每个相位状态的正极性状况以简化描述。为了获得“+x”状态,电流从端子 202 通过 232、234、236 到端子 204。为了获得“+y”状态,电流从端子 204 通过 234、236、238 到端子 206。为了获得“+z”状态,电流从端子 206 通过 246、244、242 到端子 202。未驱动的信号由接收机处的端接电阻器拉到中性电压。

[0034] 图 3 示出了三相极性编码的信号的示例波形。定义了相位和极性的六种可能组合。编码方法是自时钟控制的,在每个码元间隔处具有转换。在六种可能状态下,从任何当前状态到下一状态有五个可能的转换。可以将多于两位的信息编码到每一个码元间隔中。在所描绘的示例中,可以将多达 $\log_2(5)$ 或 2.3219 位编码到每个码元间隔中且可将七个连续的码元用来传送 16 位的信息。未使用的信息可用于纠错或用来携带链路控制信息。

[0035] 反向链路 120 的数据可在数字 CMOS RevData 信号 420 上发送,该信号是与前向链路信号 202、204 和 206 的高速三元组分开的。也可将 RevData 信号 420 用于将系统 400 从休眠唤醒的信令,且当链路处于休眠时通常将它置成高阻抗状态。可使用下拉电阻器或保持器来在链路处于休眠状态时将 RevData 信号 420 保持在逻辑零电平。

[0036] 数据可用作为前向链路传输速率的一部分的速率在反向链路 120 上传送。在一个示例中,对于 3 相极性编码,前向链路上的传输速率可超过每秒 1G 个码元。此外,信号转换速率可在反向链路 120 上受限以最小化辐射,由此进一步降低传输速率。在一个示例中,反向数据率可为约 1Mbps。

[0037] 前向链路 118 可进入休眠状态以降低系统功耗。当休眠时,第一处理系统 102 可停止参与与第二处理系统 122 的通信且第二处理系统 122 可不再接收用于反向链路通信的定时信息。此外,当第一处理系统 102 休眠时,功率管理策略可要求第二处理系统 122 休眠或其他方式实现功率节省过程。

[0038] 某些实施例提供在前向链路 118 被关闭的情况下防止“反向链路停留在挂起”情况的系统、方法和装置,由此阻止反向链路 120 处于分组传输中。这样的关闭可防止第二处理系统 122 执行其他任务和功能,包括唤醒数据链路 116。

[0039] 在一些实施例中,第二处理系统 122 可存储包括准许信息的状态信息,该准许信息标识第二处理系统 122 是否具有向主机发送反向数据的准许。可配置第二处理系统 122,以使得当链路 116 退出休眠状态时准许状态被初始化为“不准许发送反向数据”。因此,第一处理系统 102 可以迅速地进入和退出休眠而没有从客户端接收未经请求的消息的危险。

[0040] 可定义命令或标志来授予或撤销第二处理系统 122 发送反向数据的准许。此命令或标志可以包括由第一处理系统 102 在链路从休眠唤醒之后发送的前向分组。对前向分组的接收可授予第二处理系统 122 向第一处理系统 102 发送反向数据的准许。

[0041] 在一些实施例中,第一处理系统 102 发送分组,该分组包括撤销第二处理系统在链路 116 上设置发起休眠之前发送反向数据的准许的命令或标志。当第二处理系统 122 接收撤销在反向链路 120 上传送的准许的分组时,它通常没有延迟地停止进一步的端接。然

而,当第二处理系统 122 已经开始了分组的传输时,则第二处理系统 122 可完成传送该分组,但可停止进一步的传输直到再次被授予传输的许可。注意,当处于休眠时,第二处理系统 122 可通过反向链路 120 上的传输或其他信令来唤醒第一处理系统 122,而无论反向数据准许状态如何。在一些实施例中,准许状态仅在链路可操作(醒着)时应用。在一些实施例中,准许状态可自动地或通过命令在唤醒之际被初始化。

[0042] 某些实施例避免原本可能在第一处理系统 102 发送指示链路 116 应被关闭的命令或分组而同时第二处理系统 122 开始发送反向数据的元素或分组时产生的竞争状况的发生。如果没有防止竞争状况,则当第二处理系统 122 尝试传送反向分组时链路 116 可能进入并保持休眠。竞争状况可通过使第一处理系统 102 在将链路 116 置于休眠之前向第二处理系统 122 发送分组或命令来防止。在一些实施例中,第一处理系统 102 可首先发送拒绝或撤销发送反向数据的准许的分组。然后,第一处理系统 102 可在发送链路关闭分组和/或命令之前等待预定的延迟以保证第二处理系统 122 已经完成了传输。可选择预定的延迟以计及分组由第一处理系统 102 发送并由第二处理系统 122 正确地接收所花费的时间。在一些实施例中,预定的延迟具有足够长的历时以准许第二处理系统 122 完成传输并响应于对准许的撤销而禁用其反向数据准许状态。在一些实施例中,预定的延迟具有足够长的历时以准许第一处理系统 102 检测由第二处理系统 122 发送的反向分组的前沿。

[0043] 在一些实施例中,第二处理系统 122 可配置为如果传输已经在进行中,则在接收到链路关闭分组和/或命令时立即停止反向分组的传输。第二处理系统 122 可使输出信号 202、204 和 206(见图 2)被强制到零、到高阻抗、和/或到另一个预定义的状态。第二处理系统 122 可禁用来自收发机 130 的输出。在第二处理系统 122 强制关闭时处于传输中的分组可被重新调度以用于传输。在一些实施例中,丢弃正在被传送的分组。第一处理系统 102 也可停止其反向分组接收过程并可将未完成的分组标志为发送给协议处理机的错误状况。协议处理机可请求重传、忽略丢弃的分组、或执行一些其他的适于该应用和在丢弃的分组中传送的数据类型的修正性动作。在一个示例中,第一处理系统 102 和第二处理系统 122 中的一者或两者可将丢弃的分组记录为错误,以使得上层协议可检测到该错误并通过交换或传达例如命令、状态或请求中的一者或者者来发起对来自另一个处理系统 102 或 122 的修正性动作的请求。

[0044] 在某些实施例中,在反向链路 120 上传送的数据是使用从前向链路 118 上传送的信号导出的定时信息来时钟控制的。通常,对应于前向链路 118 上的码元定时的码元时钟信号被提取和分频以获得较慢的、与收发机 110 同步的、用于在反向链路 120 上传送数据的时钟。在一个示例中,码元时钟可按 128、256、512、1024、2048 等来分频以简化时钟生成电路系统。当使用 N 相极性编码时,多个信号线 202、204 和 206 可用于时钟生成目的。在 3 相极性编码中,每一个信号线 202、204 和 206 在三个状态(正、空和负)之一之间循环,且空(状态)以顺时针或逆时针方向在这三个信号线 202、204 和 206 之间循环。可使用这三个信号线 202、204 和 206 的任何组合来生成时钟信号。在一些实施例中,可使用从信号 202、204 和 206 的第一个三元组生成的时钟信号来为多个三元组生成时钟信号。

[0045] 在一些实施例中,可通过使用多个 3 相极性编码器而不是使用其中 N 大于 3 的 N 相编码器来增加带宽。使用多个 3 相极性编码器的优点包括通过选择性地启用更多或更少的编码器以匹配带宽需求来节省功率的能力。在一些实施例中,多个 3 相编码器中的一个

可被指定为主编码器，该主编码器是最后一个置于休眠的编码器，由此保证在可用时可从主编码器导出时钟。在一些实施例中，来自多个 N 相极性编码器中的每一个的信号被门控以获得时钟信号。如果 N 相编码器中的任何一个正在传送，则经门控的信号包括时钟信号，尽管由于 N 相极性编码器之间的偏斜而可能损害工作周期。

[0046] 在一些实施例中，处理系统 102 和 122 互相独立地操作前向和反向链路 118 和 120。前向和反向链路之间的完全独立可要求可能包括单个连接器的反向链路 120 上的较复杂信令。当在反向链路 120 上使用单个连接器时，单独的时钟信号是不可用的，且操作的独立性排除了从前向链路 118 导出定时。收发机 110 中的接收逻辑可变得更复杂，且可要求做出某些假定、或反向数据率的显式和 / 或隐式商定。在一些实施例中，训练序列可嵌入在反向数据流中，以使得第一处理系统 102 可以不断地将数据采样适配于由客户端发送的数据的速率。收发机 110 可提供有附加逻辑，包括一个或多个锁相环以适应由处理系统 122 使用来自诸如 LCD 驱动器设备之类的组件的内部生成的时钟，该时钟可能相对不准确和 / 或遭受漂移的问题。

[0047] 在某些实施例中，反向数据比特率时间默认为预定的频率或由除数值确定的速率。举例而言，反向链路 120 的默认速率可计算为 256 个前向链路字，其中一个前向链路字是七个码元。默认的和当前的除数参数可由第一处理系统 102 定义并在反向速率除数分组中传达。在一些实施例中，除数可由链路关闭分组设置。一些实施例准许在运行中修改除数。然而，第二处理系统 122 可不对运行中的速率改变迅速反应以保证第一处理系统 102 中的反向数据捕捉电路和第二处理系统 122 中的反向数据定时电路可能需要时间来保证维持同步。因此，当链路 116 从休眠退出时，一些实施例将参数改变限制为新值以初始化。可出于改变与定时相关的参数的目的而使用被发送以强制休眠的链路关闭分组。一些实施例在可出于该目的而定义的其他分组中传达反向速率除数，尽管以这种方式传达的参数也可能仅在处理系统 102 和 122 从休眠唤醒时生效。在一些实施例中，不要求反向分组是连续的，且在前向数据链路 118 活跃时反向分组可不存在，并且反向速率除数可在运行中更新。反向速率除数也可在前向链路 118 活跃时和在客户端 122 没有传输的准许时更新。可以将反向速率除数的实际值定义为每反向链路时钟的前向链路字数目或该数量的一半。

[0048] 在一些实施例中，在第一处理系统 102 传送了关闭分组和“冻结状态”分组中的一者或多者之后进入休眠。冻结状态可导致收发机 110 将输出保持在全零状态以便防止数据和输出之间的偏斜并且在驱动器被禁用时保持输出静止。可选择冻结状态的最小历时以解决 A、B 和 C 输出 202、204 和 206 与输出启用信号之间的任何偏斜。

[0049] 在一些实施例中，第一处理系统 102 通过启用高速输出 202、204 和 206 的操作来唤醒链路 116。输出 202、204 和 206 在其被启用时可保持在恒定的相位和旋转状态中。举例而言，此相位和旋转状态可包括 3 相极性编码中可用的六种可能的状态中的任何一个。初始状态可以与在链路 116 进入休眠时驱动为冻结状态的状态相同或不同。当接收机 122 检测到链路 118 活跃时，接收机 122 启用其接收机且高速输出 202、204 和 206 被完全启用。通常，冻结状态的最小历时长到足以计及主机输出启用时间、客户端接收机启用时间、当被从主机 402 传送到客户端 422 时 RevData 20 中的延迟中的不确定性。

[0050] 在链路 116 初始化之后，可传送全零序列以用作第二处理系统 122 中的时钟。第一处理系统 102 可传送同步分组，该同步分组初始化接收机 122 处的字节或字成帧以用于

从串行链路 116 恢复数据。在同步分组之后可传送其他分组。第一处理系统也可授予第二处理系统 122 在反向数据链接 420 上发送反向分组的准许。

[0051] 本发明的某些方面促成第一和第二处理器之间的有序关闭顺序并可以防止当反向链路正活跃地传送分组或其他数据单元时前向链路关闭（反向链路停留在挂起）的情况。反向链路可用来向第一处理器发送信号以唤醒链路，且由反向链路的过早关闭导致的不确定状态可阻止系统的正确运行。

[0052] 为了防止“反向链路挂起”，客户端 422 存储表示客户端 422 何时具有发送反向数据的准许的状态信息。当系统从休眠中出来时，客户端准许状态被初始化为没有发送反向数据的准许。定义授予或者撤销客户端发送反向数据的准许的前向分组。此分组可由主机 402 在从休眠唤醒后发送以授予客户端发送数据的准许。在链路进入休眠之前，主机 402 可撤销客户端 422 发送反向数据的准许。如果客户端 422 在它已经开始传送分组之后或之时接收到撤销传送准许的分组，那么客户端 422 可完成该分组的传送并且不再传送直到被授予准许。当链路处于休眠时，客户端 422 可唤醒主机 402，而无论此反向数据准许状态的先前值是多少。准许状态通常只在链路是醒着的时候应用。如果主机 402 发送链路关闭分组且同时客户端 422 开始发送反向数据，则可能存在竞争状况。结果可以是当客户端 422 已经开始发送反向分组时链路将处于休眠。为了防止这个结果，主机 402 可在将链路 116 置于休眠之前发送分组以撤销客户端 422 的用于反向数据的传输准许。主机 402 可首先拒绝客户端 422 发送反向数据的准许，然后等待短延迟并确认在主机 402 发送链路关闭分组之前客户端不在发送分组。此短延迟通常计及分组由主机发送并由客户端 422 正确地接收所花费的时间，并还可包括客户端 422 响应反向准许分组并禁用其反向数据准许状态的时间、以及用于从客户端发送并在主机 402 中检测到反向分组的前沿的时间。

[0053] 图 5 是无线通信方法的流程图 500。该方法可由电子装置中的主机设备执行。在步骤 502，主机在第一数据链路上向客户端设备发送命令。该命令可包括撤销在第二数据链路上传送数据的准许的指令。客户端通常是第二数据链路上的发射机。该命令可被携带在数据分组中。

[0054] 在一些实施例中，第一数据链路支持比第二数据链路所支持的数据率快至少一个数量级的数据率。第一数据链路上的数据通信可包括 N 相极性编码的数据码元。第一和第二数据链路可在容纳客户端设备和主机设备的电子装置中提供且 N 相极性编码的数据码元可由主机设备传送。N 相极性编码的数据码元可包括 3 相编码的数据码元。

[0055] 在步骤 504，主机确定客户端设备是否正在第二数据链路上传送。

[0056] 如果客户端没有在第二数据链路上传送，那么在步骤 506，主机使第一和第二数据链路进入休眠状态。

[0057] 如果客户端正在第二数据链路上传送，那么在步骤 508，主机在使第一和第二数据链路进入休眠状态（步骤 506）以前进入延迟。该延迟可具有足以保证客户端设备已接收到携带命令的数据分组的历时。该延迟可具有由与第一数据链路相关联的分组传输时间确定的历时。该延迟可具有由与第二数据链路相关联的分组传输时间确定的历时。

[0058] 在一些实施例中，命令包括数据链路关闭分组。由第二数据链路支持的数据率可基于在数据链路关闭分组中提供的信息来确定。在数据链路关闭分组中提供的信息包括用于对从第一数据链路提取的时钟进行分频的除数。

[0059] 在一些实施例中，在第二数据链路上传达的数据可使用从 N 相极性编码的数据码元导出的时钟来传送。在第二数据链路上传达的数据可与 N 相极性编码的数据码元同步地进行时钟控制。可使第一和第二数据链路进入休眠状态，包括终止第一数据链路上的传输。第一数据链路上的传输可在时钟终止时被终止，由此防止通过第二数据链路的通信。

[0060] 在一些实施例中，主机响应于从客户端设备接收的唤醒信号而使第一和第二数据链路退出休眠状态。

[0061] 图 6 是示出示例性设备 602 中的不同模块 / 装置 / 组件之间的数据流的概念性数据流图 600。该设备可以是容纳在单个装置中的主机设备，诸如移动计算设备、电话、电器、或其他多处理器计算设备。该设备包括从第二数据链路 120 接收通信的接收模块 604、确定处理系统 122 是否正在传送的链路管理模块 606、将休眠和 / 或唤醒延迟的延迟模块 608、重新建立数据链路 116 上的数据通信的唤醒模块 610、生成命令并将命令传送给客户端处理系统 122 的命令模块 612、以及编码数据以用于第一数据链路 118 上的传输的传输模块。

[0062] 该设备可包括执行前述图 5 的流程图中的算法的每一个步骤的附加模块。如此，前述图 5 的流程图中的每一个步骤可由模块执行且该设备可包括那些模块中的一个或多个。各模块可以是专门配置成实施所述过程 / 算法的一个或多个硬件组件、由配置成执行所述过程 / 算法的处理器实现的、存储在计算机可读介质中以供由处理器实现的、或其某个组合。

[0063] 图 7 是解说采用处理系统 714 的设备 602' 的硬件实现的示例的示图 700。处理系统 714 可实现成具有由总线 724 一般化地表示的总线架构。取决于处理系统 714 的具体应用并取决于整体设计约束，总线 724 可包括任何数目的互连总线和桥接器。总线 724 将包括一个或多个处理器和 / 或硬件模块（由处理器 704、模块 602、604、606、608、612、614 和计算机可读介质 706 表示）的各种电路链接在一起。总线 724 还可链接各种其它电路，诸如定时源、外围设备、稳压器和功率管理电路，这些电路在本领域中是众所周知的，且因此将不再进一步描述。

[0064] 处理系统 714 可耦合至收发机 710。收发机 710 被耦合至一个或多个天线 720。收发机 710 提供用于通过发送介质与各种其它装置通信的手段。处理系统 714 包括耦合至计算机可读介质 706 的处理器 704。处理器 704 负责一般性处理，包括执行存储在计算机可读介质 706 上的软件。该软件在由处理器 704 执行时使处理系统 714 执行上文针对任何特定装置描述的各种功能。计算机可读介质 706 还可被用于存储由处理器 704 在执行软件时操作的数据。处理系统进一步包括模块 604、606、608、610、612 和 614 中的至少一个模块。各模块可以是在处理器 704 中运行的软件模块、驻留 / 存储在计算机可读介质 706 中的软件模块、耦合至处理器 704 的一个或多个硬件模块、或其某种组合。

[0065] 在一种配置中，用于无线通信的设备 602/602' 包括用于在第一数据链路 118 上向客户端设备 122 传送命令的装置 612 和 614，该命令包括撤销在第二数据链路上传送数据的准许的指令；用于确定客户端设备 122 是否正在第二数据链路 120 上传送的装置 606；用于当确定客户端设备没有在第二数据链路上传送时使第一和第二数据链路进入休眠状态的装置 608 和 612；以及用于使第一和第二数据链路退出休眠状态的装置 610。前述装置可以是设备 602 和 / 或设备 602' 的处理系统 714 中配置成执行由前述装置叙述的功能的前述模块中的一者或多者。

[0066] 附录中包括进一步的公开。

[0067] 应理解,所公开的过程中各步骤的具体次序或层次是示例性办法的解说。应理解,基于设计偏好,可以重新编排这些过程中各步骤的具体次序或层次。所附方法权利要求以样本次序呈现各种步骤的要素,且并不意味着被限定于所呈现的具体次序或层次。

[0068] 提供之前的描述是为了使本领域任何技术人员均能够实践本文中所描述的各种方面。对这些方面的各种改动将容易为本领域技术人员所明白,并且在本文中所定义的普适原理可被应用于其他方面。因此,权利要求并非旨在被限定于本文中所示出的方面,而是应被授予与语言上的权利要求相一致的全部范围,其中对要素的单数形式的引述除非特别声明,否则并非旨在表示“有且仅有一个”,而是“一个或多个”。除非特别另外声明,否则术语“一些 / 某个”指的是一个或多个。本公开通篇描述的各种方面的要素为本领域普通技术人员当前或今后所知的所有结构上和功能上的等效方案通过引用被明确纳入于此,且旨在被权利要求所涵盖。此外,本文中所公开的任何内容都并非旨在贡献给公众,无论这样的公开是否在权利要求书中被显式地叙述。没有任何权利要求元素应被解释为装置加功能,除非该元素是使用短语“用于… 的装置”来明确叙述的。

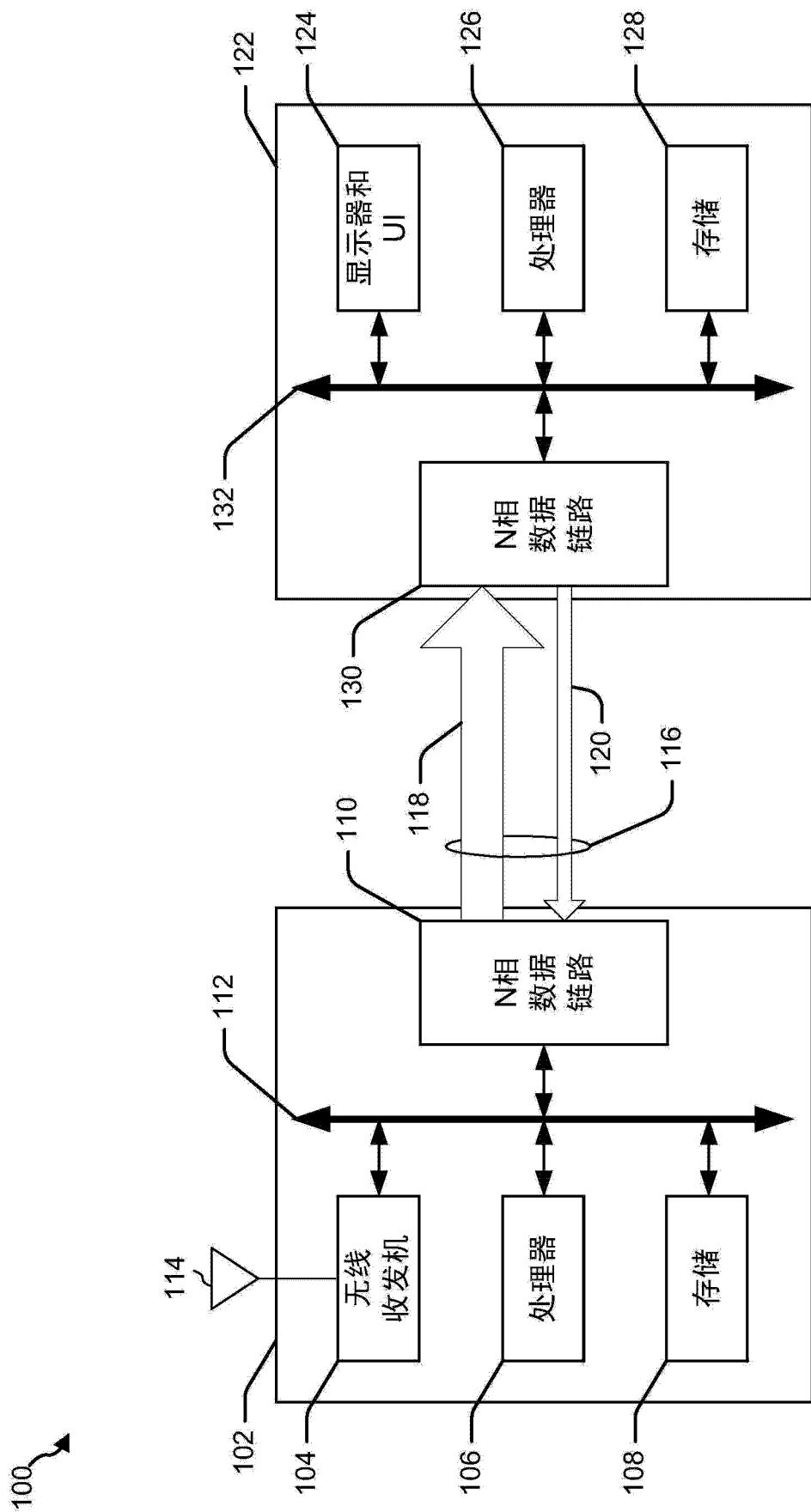


图 1

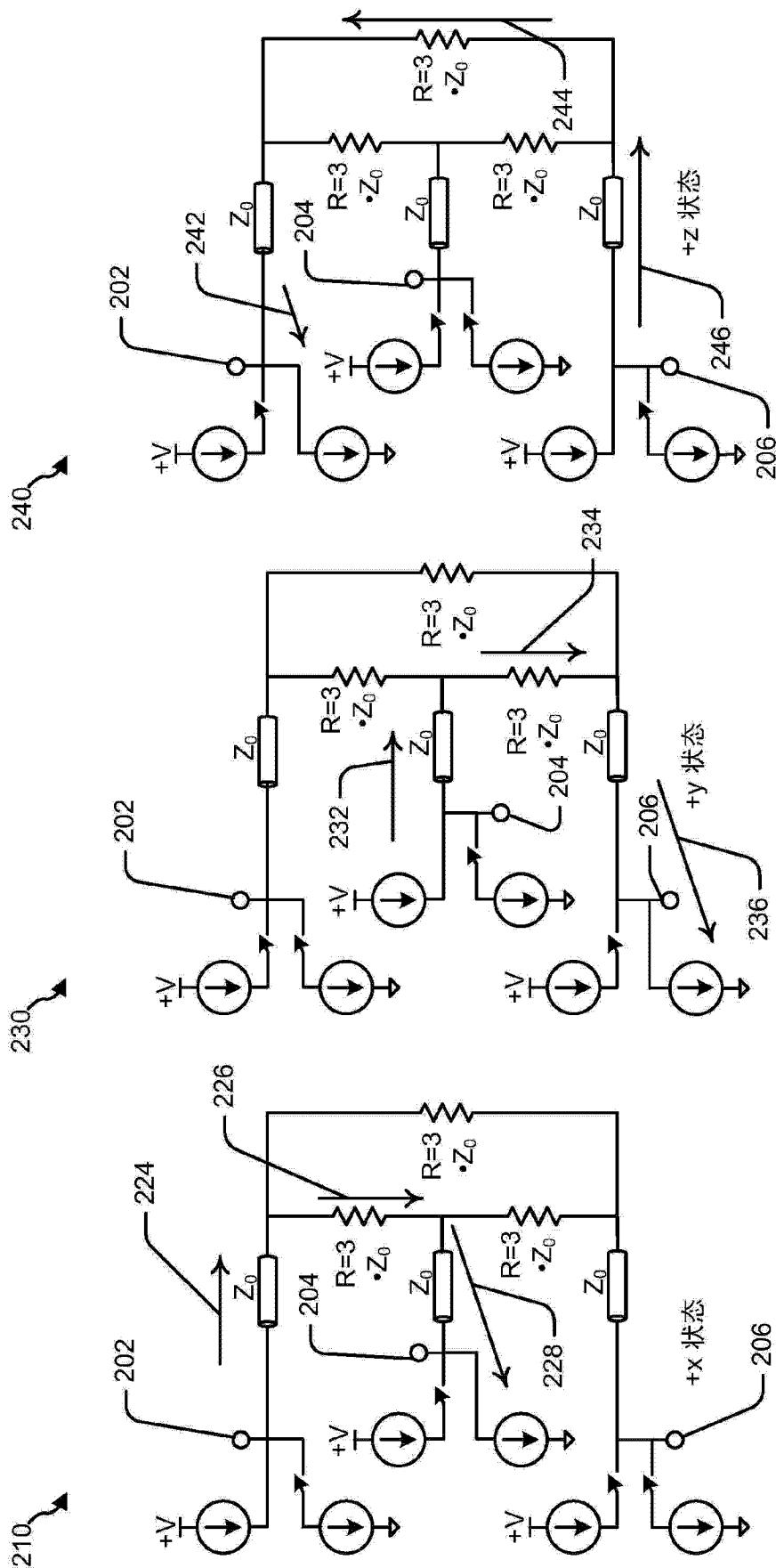


图 2

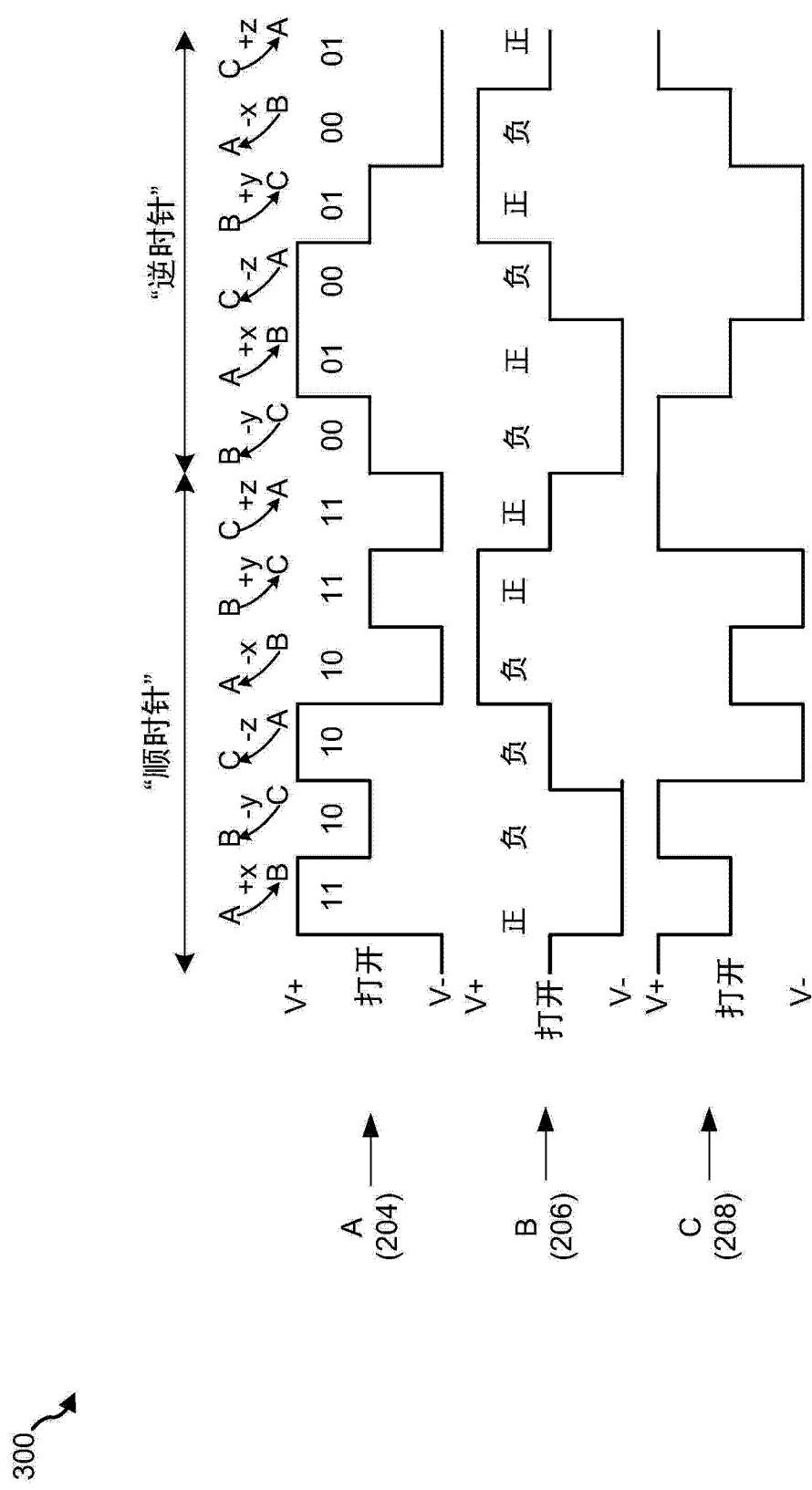


图 3

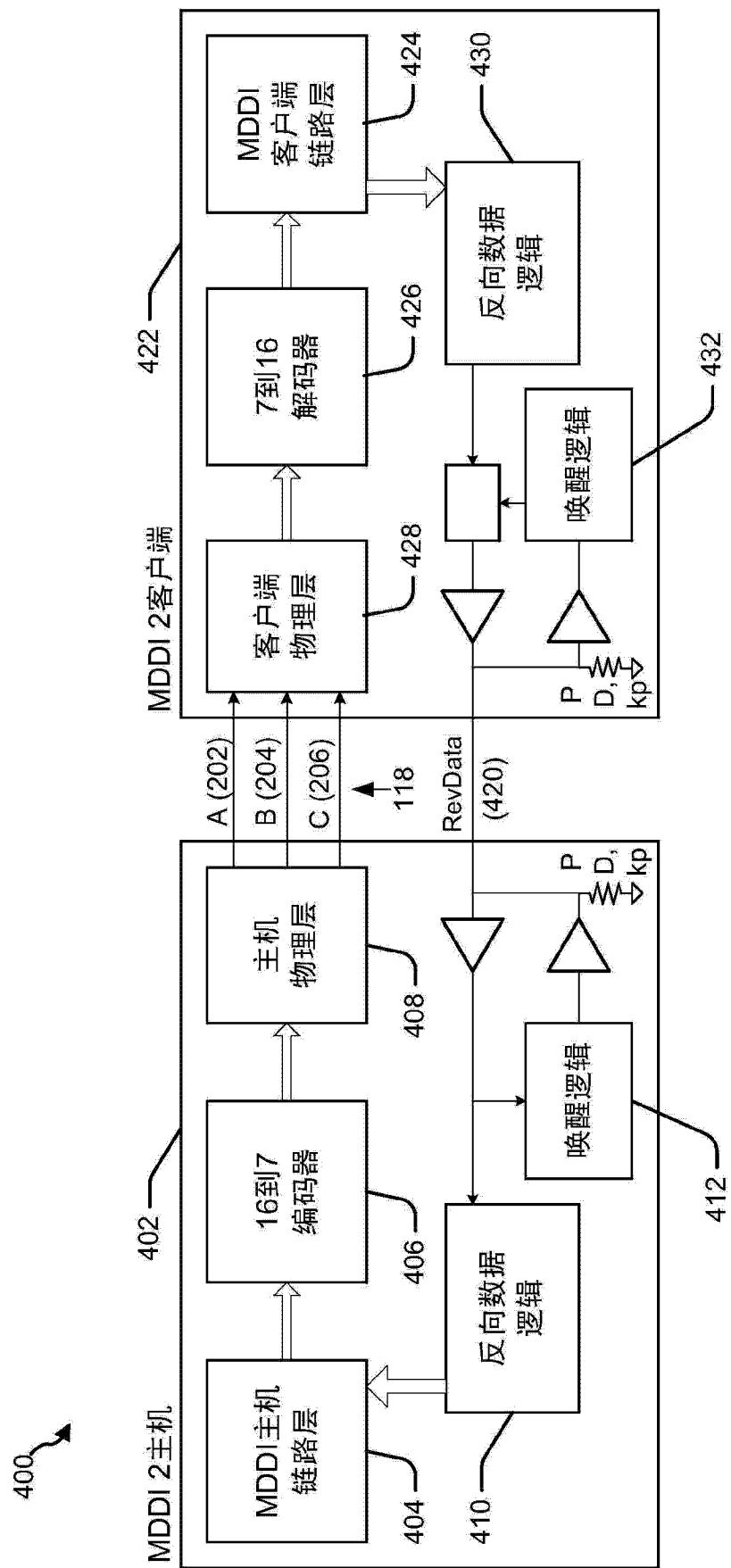


图 4

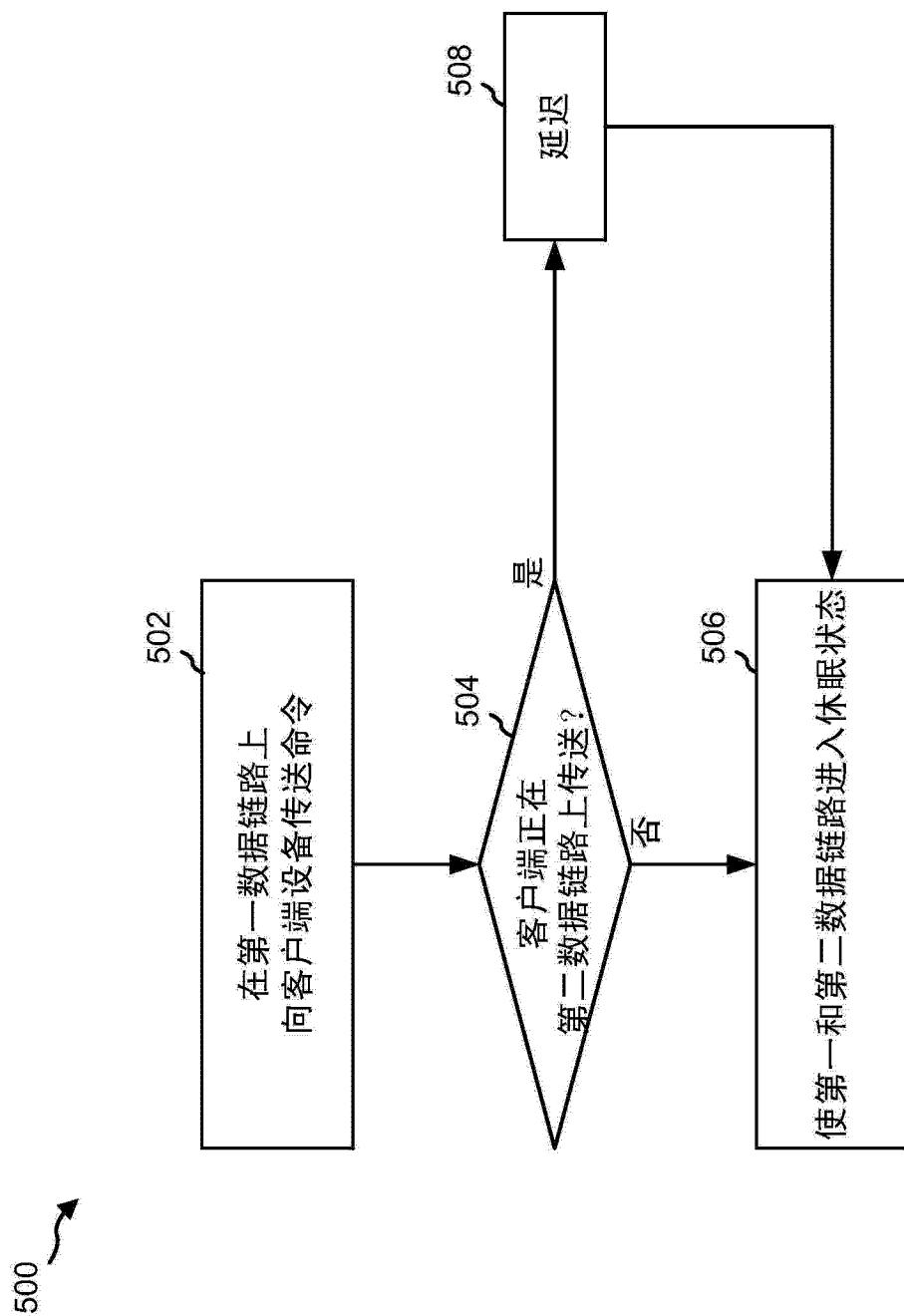


图 5

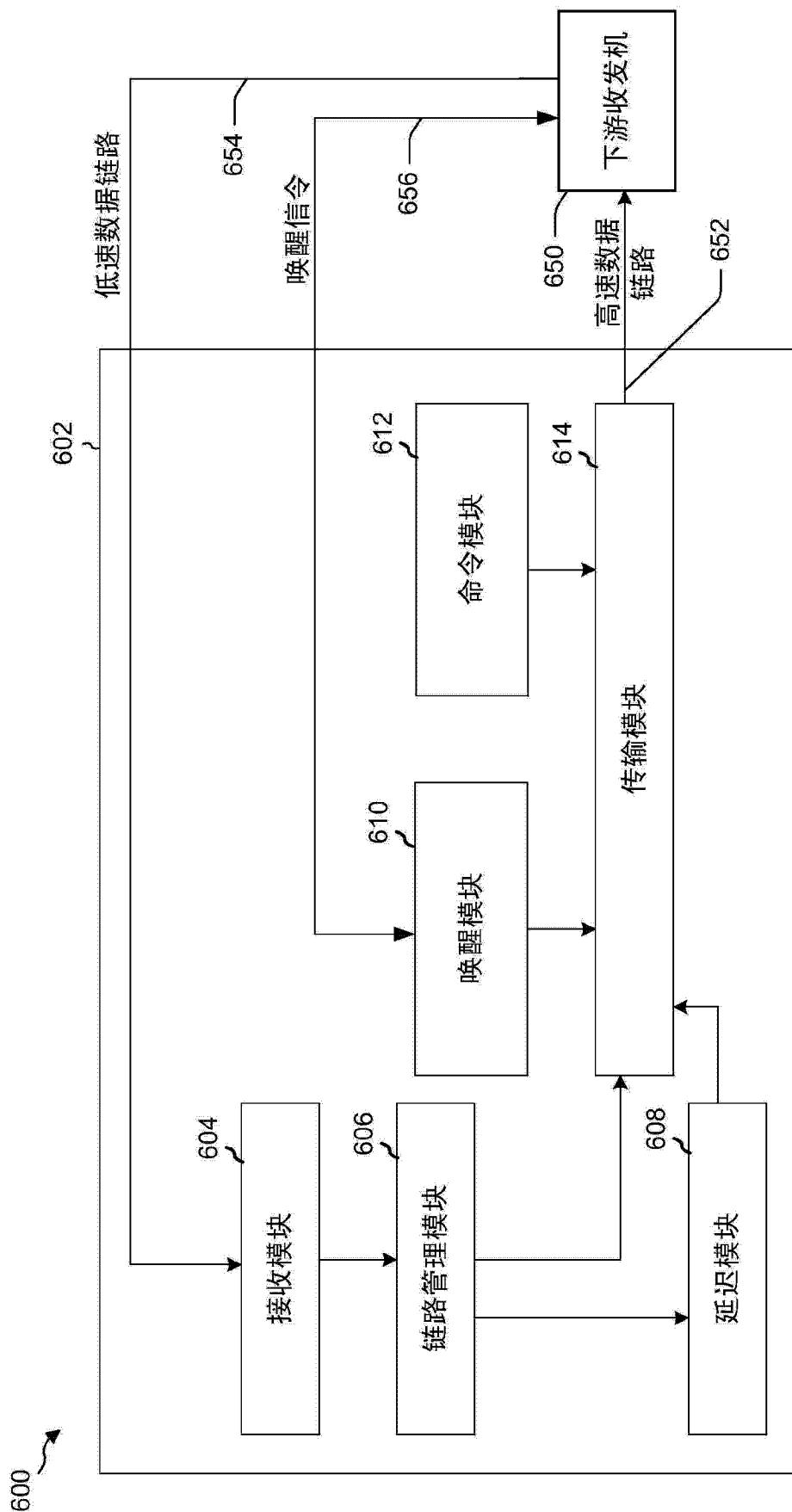


图 6

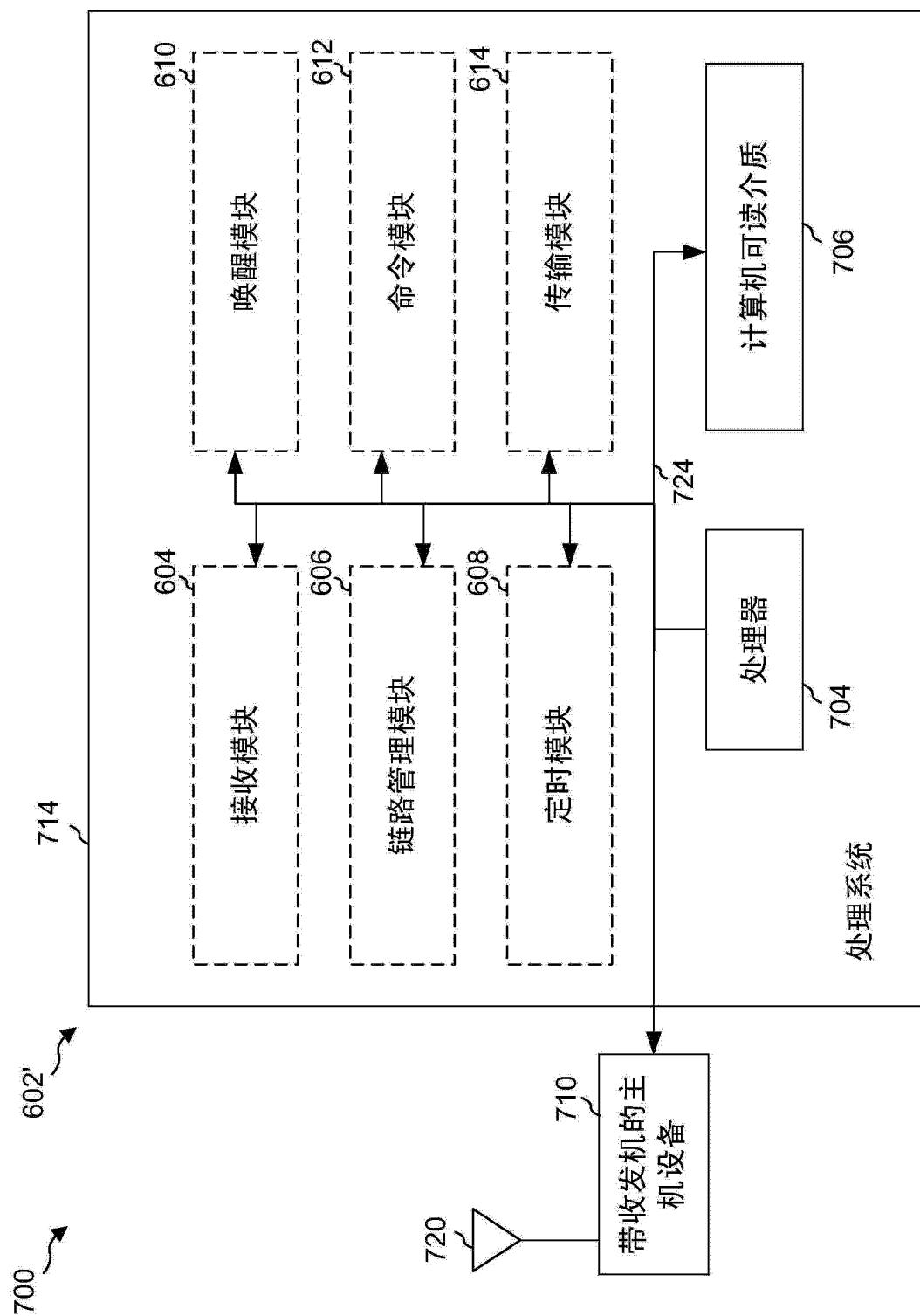


图 7